

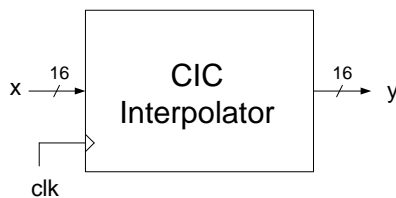
Filtro CIC Interpolatore

Progettare un circuito digitale che realizzi un filtro CIC (Cascaded Integrator-Comb) passa basso interpolatore. Le sue caratteristiche dovranno essere le seguenti.

- Fattore di interpolazione pari a $R = 4$
- Ritardo degli stadi Comb pari a $M = 1$
- Numero di stadi del filtro pari a $N = 4$
- Inserzione di $R-1$ zeri nel passaggio fra stadi Comb e stadi Integrator (Zero-Insertion)

$$y[n] = \left[\sum_{k=0}^{RM-1} x[n-k] \right]^N$$

Per ingressi e uscite utilizzare una rappresentazione su 16 bit.



La relazione finale del progetto deve contenere:

- Introduzione (descrizione algoritmo, possibili applicazioni, possibili architetture, etc.)
- Descrizione dell'architettura (diagramma a blocchi, ingressi/uscite, etc.)
- Codice VHDL (con commenti dettagliati)
- Test-plan e relativi Testbench per la verifica
- Risultati della sintesi logica automatica su piattaforma Xilinx FPGA Zync: risorse utilizzate (slice, LUT, etc.), massima frequenza di funzionamento, cammino critico, etc. commentando eventuali messaggi di warnings.
- Conclusioni

Un'architettura di principio è la seguente:

