



2018 年龙芯技术培训

主题一：龙芯主板硬件设计

主题二：龙芯嵌入式操作系统

主题三：龙芯固件

主题四：龙芯通用操作系统

龙芯中科技术有限公司

安全应用事业部

2018 年 10 月



2018 年龙芯技术培训主题一

龙芯主板硬件设计

龙芯中科技术有限公司
安全应用事业部

2018 年 10 月

目录

第一部分 龙芯处理器硬件原理图设计.....	1
一、龙芯 3A3000 硬件原理图设计.....	1
1.1、龙芯 3A3000 处理器简介.....	1
1.2、龙芯 3A1000/1500/3000 处理器区别	3
1.3、龙芯 3A 处理器升级硬件改动.....	4
1.4、龙芯 3A3000 处理器硬件设计.....	5
1.5、龙芯 3A+龙芯 7A1000 方案	13
二、龙芯 2K1000 硬件原理图设计.....	22
2.1、龙芯 2K1000 处理器简介.....	22
2.2、硬件总体设计.....	23
2.3、龙芯 2K1000 相关接口及总线设计要点.....	27
第二部分、龙芯方案 PCB 设计	35
一、PCB layout 常规建议	35
二、Hyper Transport	36
三、内存布局布线（以 DDR3 为例）	38
四、常用总结及接口布局布线.....	46
4.1、PCIE.....	46
4.2、GMAC.....	47
4.3、AUDIO（以 HDA 音频为例）	48
4.4、USB.....	49
4.5、SATA.....	50
4.6、LAN	50
4.7、VIDEO	51
4.8、NAND Flash	51
4.9、LPC BUS	52
4.10、CLOCK.....	52
4.11、HT 总线（Hyper Transport）	53
第三部分、龙芯硬件设计注意事项.....	55
一、设计中的芯片选型问题.....	55

二、新特性，新改动.....	63
2.1、待机唤醒的内存供电设计.....	63
2.2、四路互联时需要将所有的 HT0_x_LDT_RSTn 连接在一起	64
三、EJTAG/JTAG	64
四、龙芯其他芯片	65
五、国产器件选择.....	65
六、龙芯处理器的 ACPI 方案	66
七、龙芯硬件设计 FAQ 及相关硬件调试思路	67
八、HT 总线专题	76
九、龙芯 7A1000 桥片通用类板卡硬件设计规范（要求）	79
9.1、集成 GPU 部分设计注意事项.....	79
9.2、主板复位信号.....	81
9.3、桥片 SPI 存储 rom	81

第一部分 龙芯处理器硬件原理图设计

一、龙芯 3A3000 硬件原理图设计

1.1、龙芯 3A3000 处理器简介

龙芯 3A3000 是龙芯 3A2000 四核处理器的工艺升级版本，封装引脚与龙芯 3A1000 兼容。龙芯 3A3000 是一个配置为单节点 4 核的处理器，采用 28nm 工艺制造，工作主频为 1.2GHz-1.5GHz。主要技术特征如下：

片内集成 4 个 64 位的四发射超标量 GS464 高性能处理器核；

片内集成 8MB 的分体共享三级 Cache；

通过目录协议维护多核及 I/O DMA 访问的 Cache 一致性；

片内集成 2 个 64 位带 ECC，800MHz 的 DDR2/3 控制器；

片内 HT1 为 16 位 1.6GHz 的 HyperTransport 控制器，HT0 不可用。

16 位的 HT 端口可以拆分成两个 8 位的 HT 端口使用；

片内集成 1 个 LPC、2 个 UART、1 个 SPI、16 路 GPIO 接口；

相比龙芯 3A2000，其主要改进如下：

处理器核结构全面升级；

内存控制器结构、频率全面升级；

HT 控制器结构、频率全面升级；

全芯片的性能优化提升。

龙芯 3A3000 的接口信号如下图：

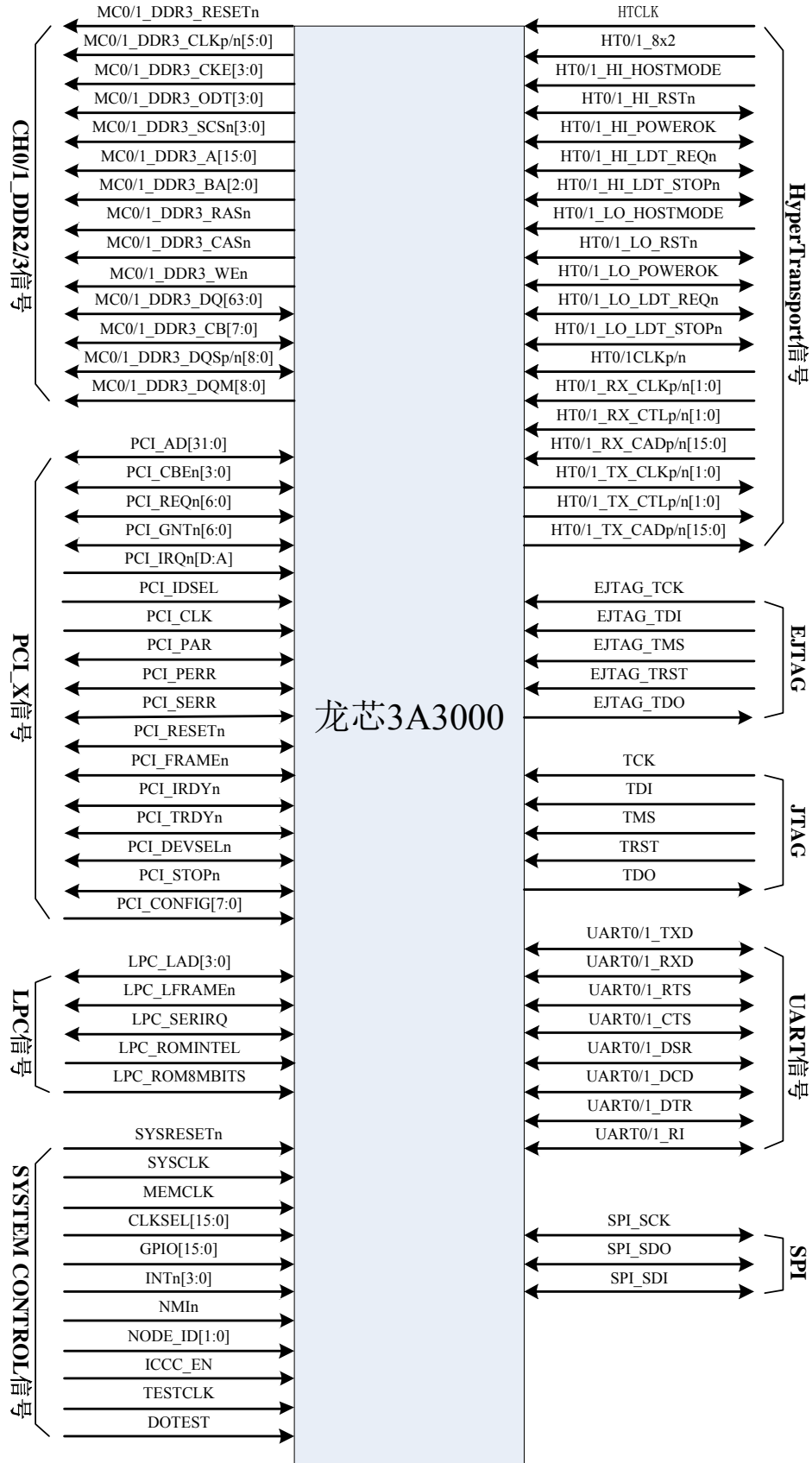


图 1-1-1: 龙芯 3A3000 处理器接口示意图

龙芯 3A 芯片推荐使用参数：

表 1-1-1：龙芯 3A 工业级各芯片基本运行参数

参数	龙芯 3A1000	龙芯 3A1500	龙芯 3A3000
核电压	1.15V	1.2V	1.15V
主频	800MHz	800MHz	1.2GHz
DDR3 DIMM 频率	325MHz	400MHz	600MHz

1.2、龙芯 3A1000/1500/3000 处理器区别

表 1-1-2：3A1000、3A1500、3A3000 工业级的区别

功能/ CPU 型号	3A1000 工业级	3A1500 工业级	3A3000 工业级
SPI 启动	不支持	支持	支持
LPC 启动	支持	支持	支持
多处理器互联	支持	支持	不支持
主频	800M	800M	1.2G
内存位宽	64/32	64/32	64/32
ECC	支持	支持	支持
CORE 频率配置	硬件	软件	软件
MEM 频率配置	硬件	软件	软件
BIOS 访问空间大小	1MB	1MB	1MB
PCI 总线	支持	支持	支持
上电时序要求	无	无	无
常温功耗	15W	15W	与主频相关
温度传感器	有	有	有

1、由于龙芯 3A 支持的 LPC Flash 已停产，所以建议支持 SPI 启动的处理器使用 SPI 启动。

2、频率的设置须与硬件 CPU 核电压的配置相匹配，CPU 主频不同对核电压的要求也不同，若主频配置过高，而核电压没有与之匹配，则会导致 PMON 无法启动或其它问题

3、温度传感器：目前有些芯片内部的温度传感器没有校准，如 3A2000 及 3A1500，后期会修正。

4、PCI 接口可以用，但不能与 HT 同时使用。

下表以 3A3000 为例，列出了 3A3000 运行频率所对应的龙芯 3A3000 的核电压具体值：

表 1-1-3: 龙芯 3A3000 处理器运行主频与处理器核电压对应表

运行主频	1GHz	1.2GHz	1.5GHz
核电压	1V	1.15V	1.25V

1.3、龙芯 3A 处理器升级硬件改动

龙芯 3A1000、龙芯 3A1500/2000、龙芯 3A3000 处理器采用相同的封装，管脚兼容。龙芯 3A1500/2000、龙芯 3A3000 相对于龙芯 3A1000 来说只是个别引脚功能做了调整，为了实现更高的性能，龙芯 3A1500/2000、龙芯 3A3000 的上电配置也做了一些改动。

1.3.1、龙芯 3A3000 相较于 3A1000 的硬件设计改动

龙芯 3A3000/3B3000 处理器引脚向下兼容龙芯 3A1000 处理器，但是相应的软硬件需要进行一些配置的变更，以使能原有的兼容模式，或者打开龙芯 3A3000/3B3000 的一些新特性。

(1) 3A1000 的 CORE_PLL_AVDD、DDR_PLL_AVDD 为 2.5v，3A3000 的为 1.8v。所以需要将这两个电源由 2.5v 改为 1.8v。

(2) 3A1000 的 MC0/1_COMP_REF_RES 在 3A3000 上为 NC pin。

(3) 3A1000 的 HT0/1_PLL_REF 在 3A3000 上为 NC pin。

(4) 3A1000 的 MC0/1_COMP_REF_GND 在 3A3000 上为 MC0/1_A15。可以支持更大容量的内存，如果该地址线不用，可以悬空。

(5) 3A1000 的 PCI_CONFIG[0] 定义为 HT Pad 电压选择，3A3000 上该 pin 定义为 SPI 启动使能，设置为 1 后可以从 SPI FLASH 启动。如果从 LPC FLASH 启动，需要设置为 0。需要注意的是：如果从 SPI FLASH 启动，则需要将 GPIO[0] 作为 SPI_CS 连接。

(6) 3A1000 的 PCI_CONFIG[7] 定义为 HT Pad 电压选择，3A3000 上该 pin 定义为 HT 总线强制设为 HT1.0 模式，该 pin 需要设置为 1，HT 直接采用 1.0 模式启动。

3A3000 的 CLKSEL[15:10] 需要设置为 000001（HT 参考时钟为差分 200MHz），并在 PMON 中使用软件重新对频率进行配置。

3A3000 的 CLKSEL[9:5] 需要设置为 01111；使用 PMON 进行内存频率设置。

3A3000 的 CLKSEL[4:0] 需要设置为 01111；使用 PMON 进行处理器核频率

设置。

1.3.2、龙芯 3A3000 相较于 3A2000/1500 的硬件设计改动

(1) 龙芯 3A2000/1500 的 CORE_PLL_AVDD、DDR_PLL_AVDD 为 NC pin, 3A3000 的为 1.8v, 所以需要给这两个 pin 供电 1.8v。

(2) 3A2000A/B 的 CLKSEL[15:10] 需要设置为 100101, 3A2000C 的 CLKSEL[15:10] 需要设置为 000101; 3A3000A/B/C 的 CLKSEL[15:10] 需要设置为 000001, 3A3000D 的 CLKSEL[15:10] 设置没有要求。以上配置 HT 参考时钟为差分 200MHz。

1.4、龙芯 3A3000 处理器硬件设计

1.4.1、龙芯 3A3000 的时钟需求电源需求及上电配置

(1) 时钟要求及配置:

龙芯 3A3000 时钟: 处理器的系统输入时钟如下表,

表 1-1-4: 龙芯 3A3000 时钟信号以及频率配置信号表

信号名称	输入/输出	频率范围 (MHz)	描述	电压域
SYSCLK	I	20-40	系统输入时钟, 驱动内置的 PLL 产生处理器的 CORE 时钟。它同时作为系统复位电路的时钟。	VDDE3V3
MEMCLK	I	20-40	DDR2/3 控制器的输入时钟, 驱动内置的 PLL 用来产生 DDR2/3 时钟。	VDDE3V3
PCI_CLK	I	25-33	PCI、LPC、SPI、UART 总线的参考时钟	VDDE3V3
HT0_CLKp/ HT0_CLKn	I	200	HT0 总线及控制器使用的参考时钟	VDDE3V3
HT1_CLKp/ HT1_CLKn	I	200	HT1 总线及控制器使用的参考时钟	VDDE3V3
HTCLK	I	100	HT0 及 HT1 总线控制器使用的可选备份时钟	VDDE3V3
CLKSEL[15: 0]	I	-	Core、DDR 和 HT 的频率选择	VDDE3V3

SYSCLK 及 MEMCLK 推荐选用 25MHz 或 33MHz;

PCICLK 使用 33MHz, 即使 PCI 接口不使用也需要提供;

HT 的时钟可以通过 200M 差分时钟对 HT0_CLKp/HT0_CLKn 与 HT1_CLKp/HT1_CLKn 分别给 HT0 和 HT1 使用, 也可以使用 100MHz 单端时钟

HTCLK 替代。通过 CLKSEL14 来配置。

时钟配置：

CLKSEL[15:10]需要设置为 6'b000001，HT 的时钟采用差分时钟输入，如果采用 HTCLK 输入，则需要设置为 6'b010001。

CLKSEL[9:5]需要设置为 5'b01111；使用 PMON 进行内存频率设置。

CLKSEL[4:0]需要设置为 5'b01111；使用 PMON 进行处理器核频率设置。

(2) 电源要求

龙芯 3A3000 各电压的电流值可参考龙芯 3A3000 手册。

(3) 关于 3A 的电源时序

上电时序没有严格要求，推荐先 IO 后核电。

(4) 复位时序要求

龙芯 3A3000 的初始化分为 Core 时钟域、DDR2/3 时钟域、HT 相关时钟域和 PCI 时钟域。

当处理器复位信号 SYSRESETn 为低时，相关的时钟，测试信号和初始化信号都必须有效且稳定。这些信号包括：

SYSCLK，MEMCLK，HTCLK，PCI_CLK，CLKSEL，差分时钟 ht0_clkp/ht0_clkn 和 ht1_clkp/ht1_clkn，这些信号必须稳定。

初始化信号 PCI_CONFIG 应该被设置为合适的值。

ICCC_EN 和 NODE_ID 必须稳定。

当 SYSRESETn 变高后，处理器内部的复位逻辑开始初始化芯片。SYSRESETn 应至少保持一个时钟周期内（相对于 SYSCLK）有效，以保证复位逻辑能可靠采样。PCI 时钟域将会被先初始化以保证龙芯 3A3000 中基本配置寄存器的有效，此后 Core、DDR2/3 和 HT 时钟域相继初始化完成。

ICCC_EN 信号用于多片互联时维护 cache 一致性。NODE_ID 信号用于在多片互联时用来设置处理器号。

ICCC_EN、NODE_ID0/1 只有在多片互联时才会使用，方案中只有单片处理器时通过 4.7K 5%电阻下拉到地。

龙芯 3A3000 的复位时序图如下图所示，图中黑色信号为外部信号，浅色信号为内部信号，用户无需关心：

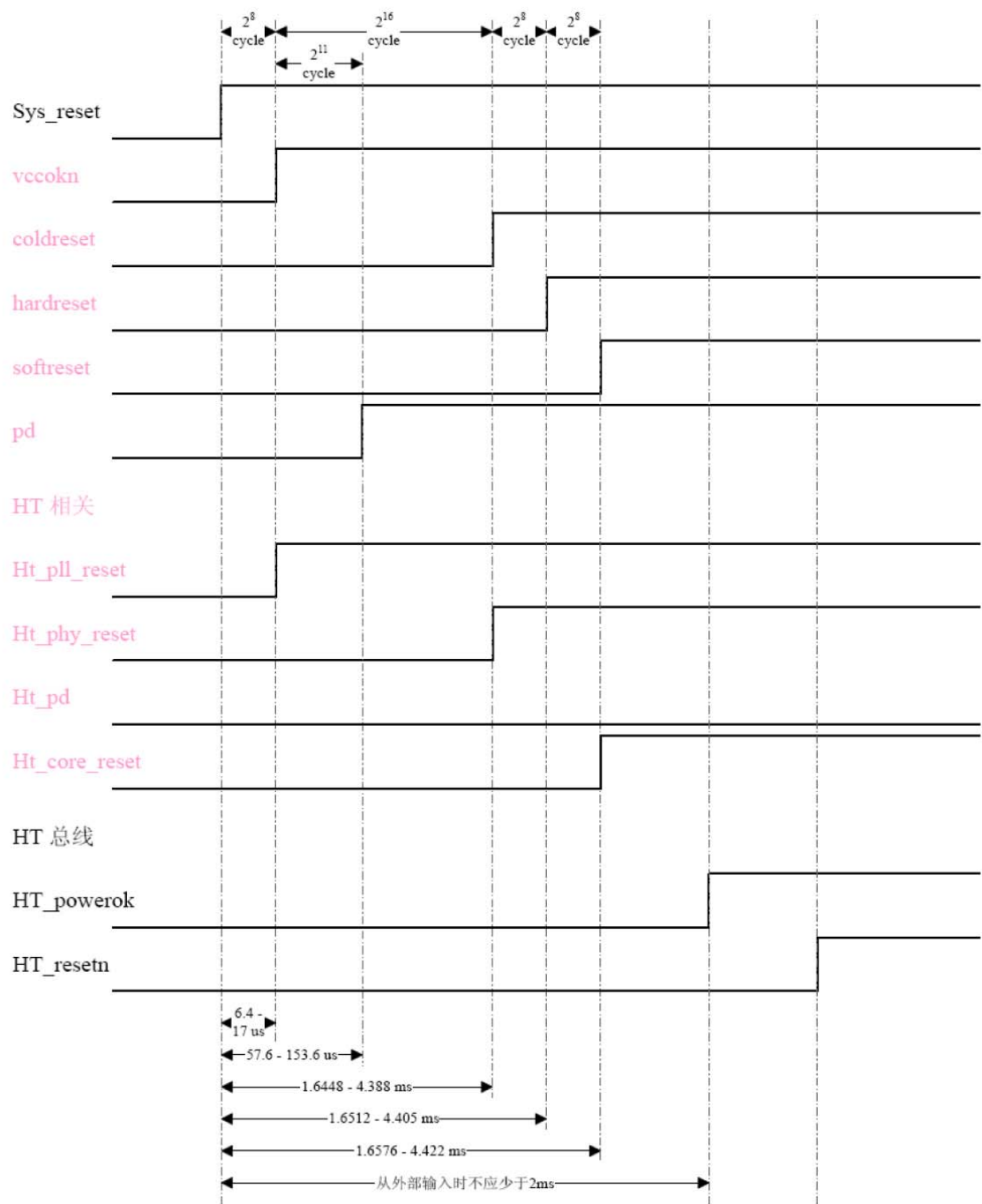


图 1-1-4: 龙芯 3A 关键信号时序图

(4) 其它部分设计

初始化接口信号如下表:

表 1-1-5: 龙芯 3A3000 的初始化信号

信号名称	输入/输出	描述	电压域
SYSRESETn	I	系统复位信号, 该信号的低电平状态需要维持多于一个 SYSCLK 周期, 它可异步与 SYSCLK 信号	VDDE3V3
PCI_RESETn	I/O	PCI 接口复位信号	VDDE3V3
PCI_CONFIG[7:0]	I	I/O 配置控制 7 HT 总线强制为 1.0 模式 6:4 需设置为 000 3 PCI 主设备模式 2 需设置为 0 1 使用外部 PCI 仲裁 0 使用 SPI 启动功能	VDDE3V3

SYSRESETn: 这个复位信号是唯一能复位整个龙芯 3A3000 处理器的信号。SYSCLK 和 MEMCLK 必须在 SYSRESETn 释放到无效前就保持稳定。SYSRESETn 的有效时间必须大于一个时钟周期。

PCI_CONFIG[7:0]: 定义了龙芯 3A3000 PCI/PCI-X 接口的工作模式以及其它需要静态配置的信号, 它在系统复位时必须保持稳定。

低速信号

支持 LPC、SPI、串口。其中 LPC 和 SPI 挂接的 FLASH 均可支持 BIOS 启动, 启动 BIOS 的容量最大支持 1MB, 如果从 SPI FLASH 启动, 则需要将 GPIO[0] 作为 SPI_CS 连接。为提高标准化 LPC 接口的 Super IO 建议挂接在南桥, 而不挂在 CPU 上; 串口支持 2 个全双工异步串口。

中断信号

龙芯 3A3000/3B3000 处理器的引脚中断包括 4 个系统中断(INTn), 4 个 PCI 中断(PCI_IRQ), 1 个 PCI 总线错误报告信号(PCI_SERRn 和 PCI_PERRn 相与)。

建议外部中断可以使用 INTn[3:0]。

表 1-1-6、龙芯 3A 配置信号说明

信号名称	输入/输出	描述	电压域
NMIIn	I	不可屏蔽中断信号, (复位为低有效), 需视实际情况上下拉。	VDDE3V3
INTn[3:0]	I	4 个外部中断信号, 这些信号分别连接到处理器中断寄存器(CR_CAUSE IP 域)的位 3 到 0, 需视实际情况上下拉。	VDDE3V3
PCI_IRQ[3:0]	I	这些中断信号应在中断控制器中使能, 低电平有效。这些中断能够被路由到中断寄存器的第 7 到 4 位, 需外部上拉。	VDDE3V3
PCI_PERRn	I/O	PCI 总线奇偶错信号, 低电平有效。这些中断能够被路由到中断寄存器的第 15 位, 需外部上拉。	VDDE3V3

PCI_SERRn	I/O	PCI 总线系统错，低电平有效。这些中断能够被路由到中断寄存器的第 15 位（与 PCI_SERRn 共享），需外部上拉。	VDDE3V3
-----------	-----	---	---------

1.4.2、龙芯 3A3000 方案关键模块及功能设计

（1）DDR 模块设计

龙芯 3A3000 处理器内部集成的内存控制器的设计遵守 DDR2/3 SDRAM 行业标准（JESD79-2 和 JESD79-3）。在龙芯 3A3000 处理器中，所实现的所有内存读/写操作都遵守 JESD79-2B 及 JESD79-3 的规定。

龙芯 3A3000 处理器支持最大 4 个 CS，一共含有 19 位的地址总线（即：16 位的行列地址总线和 3 位的逻辑 Bank 总线）。选择不同内存芯片类型时，可以调整 DDR2/3 控制器的参数设置进行支持。

龙芯 3A3000/3B3000 处理器中内存控制器具有如下特征：

接口上命令、读写数据全流水操作。

内存命令合并、排序提高整体带宽。

配置寄存器读写端口，可以修改内存设备的基本参数。

内建动态延迟补偿电路（DCC）用于数据的可靠发送和接收。

ECC 功能可以对数据通路上的 1 位和 2 位错误进行检测，并能对 1 位错误进行自动纠错。

支持 133-800MHZ 工作频率。

DDR 复位信号

复位信号可以通过软件配置 reset_ctrl 寄存器控制。

A：一般模式:reset_ctrl[1:0] == 2'b00。这种模式下，复位信号引脚的行为与一般的控制模式相兼容。主板上直接将 DDR_RESEn 与内存上的对应引脚相连。引脚的行为是：

未上电时：引脚状态为低；

上电时：引脚状态为低；

控制器开始初始化时，引脚状态为高；

正常工作时，引脚状态为高。

时序如下图所示：

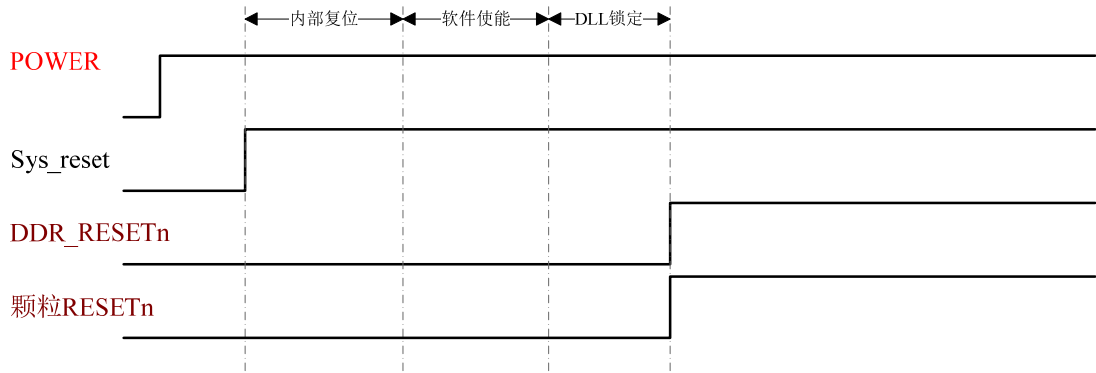


图 1-1-5: 龙芯 3A3000 内存复位时序图 (1)

B: 反向模式, $\text{reset_ctrl}[1:0] == 2'b10$ 。这种模式下, 复位信号引脚在进行内存实际控制的时候, 有效电平与一般的控制模式相反。所以主板上需要将 DDR_RESETh 通过反向器与内存上的对应引脚相连。引脚的行为是:

未上电时: 引脚状态为低;

上电时: 引脚状态为低;

控制器开始配置时: 引脚状态为高;

控制器开始初始化时: 引脚状态为低;

正常工作时: 引脚状态为低。

时序如下图所示:

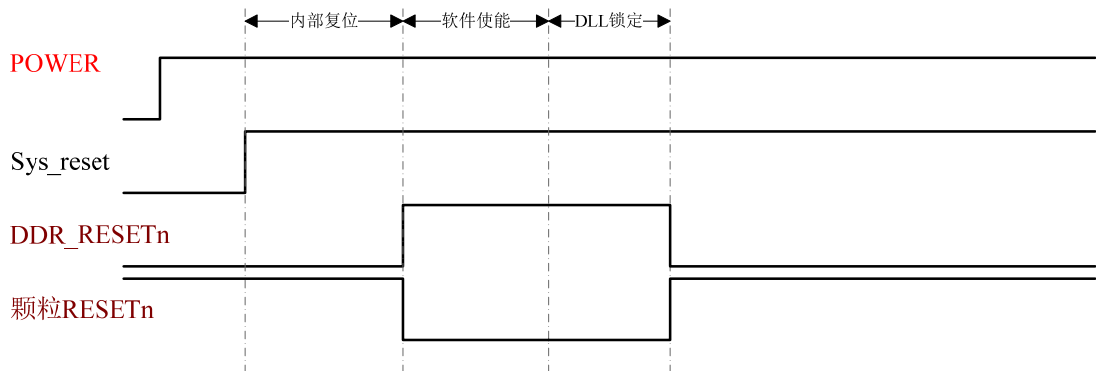


图 1-1-6: 龙芯 3A3000 内存复位时序图 (2)

C: 复位禁止模式, $\text{reset_ctrl}[1:0] == 2'b01$ 。这种模式下, 复位信号引脚在整个内存工作期间, 保持低电平。所以主板上需要将 DDR_RESETh 通过反向器与内存槽上的对应引脚相连。引脚的行为是:

始终为低;

时序如下图所示:

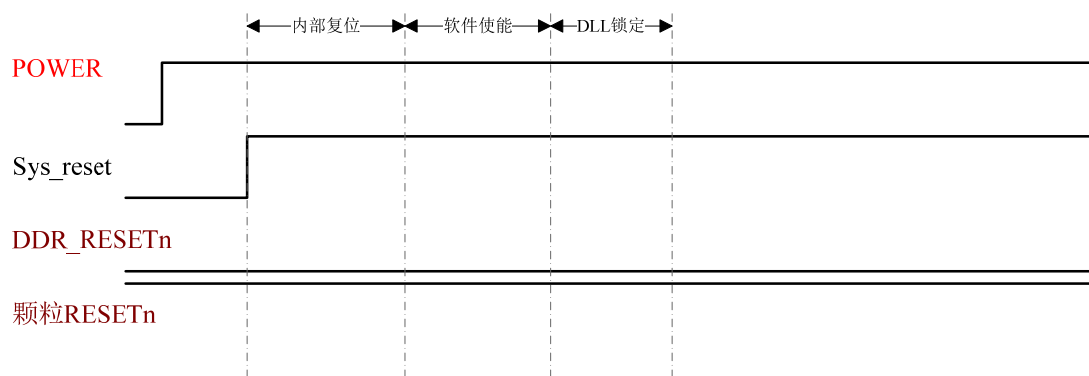


图 1-1-7: 龙芯 3A3000 内存复位时序图 (3)

注:

- A: 不使用 ACPI, DDR_RESETh 可与内存颗粒/条直接相连;
 B: 使用 ACPI, DDR_RESETh 反相后与内存颗粒/条直接相连, 同时软件中做反相配置。

DDR 频率配置

3A3000 的 CLKSEL[9:5]用于配置 DDR 时钟, 需要设置为 5'b01111, 此时 3A3000 的 DDR 频率完全由 PMON 进行设置, 改变频率时不用修改 CLKSEL 硬件配置。

DDR 电源

MEM_VDD: DDR2/3 核电源, 可以与处理器核电源 VDD 共用一个电源。

MEM_VDDE: DDR2/3 IO 电源, 由于 CPU DDR 控制器和主板的内存总共使用的电流较大, 建议预留至少 8A, DDR2/3 的+1.8V/+1.5V 一般采用单相开关电源设计即可。

MEM_VREF: DDR2/3 参考电源, 采用电阻分压的方式, 要求电阻和电容要靠近 CPU pin。

DDR 芯片选型

3A3000 支持 DDR2 及 DDR3, 推荐使用 DDR3 内存条或者 DDR3 内存颗粒。

目前已经适配过的 DDR3 内存颗粒主要有 Micron 的 x8/x16、三星的 x8/x16、紫光国芯的 x8/x16, 如 MT41J256M16RE、K4B2G1646E-BCK0、HXI15H4G160AF-13K 等。

龙芯 3A 内存控制器支持 ECC。ECC 选用的颗粒, 最好与其他内存颗粒相同; 若不同, 至少要保证该芯片实际所用的行列地址数及数据宽度与其它颗粒相同。不能选择内存颗粒为 x16 数据宽度, 而 ECC 颗粒选用 x8 宽度。

(2) HT 模块设计

3A3000 片内 HT1 为 16 位 1.6GHz 的 HT 控制器，HT0 不可用。（3B3000 片内集成 2 个 16 位 1.6GHz 的 HT 控制器，HT0 及 HT1），每组 16 位的 HT 总线接口可配置为两组 8 位总线接口单独使用。HT 接口硬件支持 IO Cache 一致性，接口特性如下：

兼容 HT1.03/3.0；

接口频率支持 200/400/800/1000/1200/1600/1800/2000/2400Mhz；

HT1.0 接口宽度支持 8 位模式；

HT3.0 接口宽度支持 8/16 位模式；

每个 16 位总线可单独配置为 2 个 8 位总线使用；

支持 IO cache 一致性。

HT 模块配置

HT 接口包括以下几个配置引脚：

HTx_8x2，用于配置每个 HT 总线的工作模式，为 1 表示对应的 HT 总线配置为两个 8 位总线分别使用；为 0 表示对应的 HT 总线配置为 1 个 16 位总线使用；

HTx_x_Hostmode，用于配置 HT 总线上单端控制信号的 IO 方向，为 1 表示主模式，控制复位等信号；为 0 时，表示为从模式，复位等信号为输入模式。

HT 互联

龙芯 3A3000 中的 HT1 接口可以用于系统中的 IO 设备连接， 硬件维护 IO cache 一致性。使用 HT1 连接方式如下。

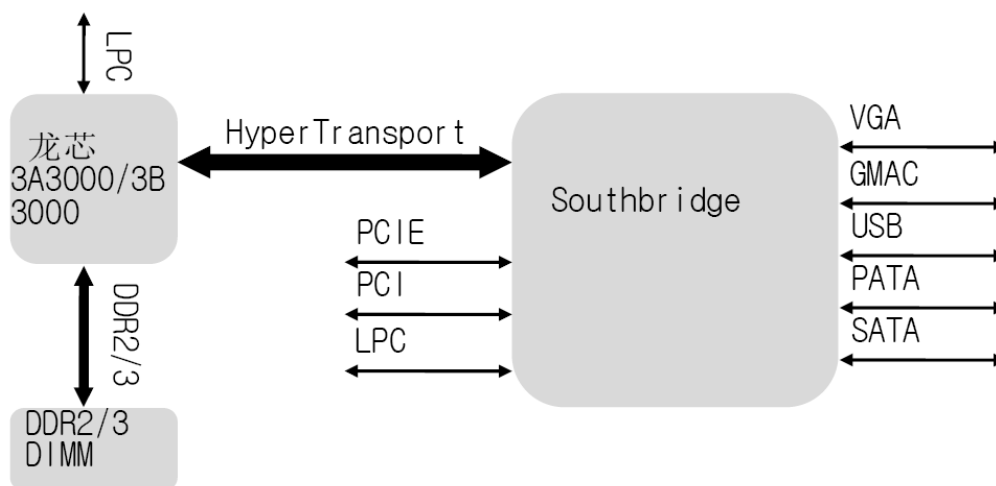


图 1-1-8：龙芯 3A3000 HT 总线互联图

(3) PCI 总线

PCI 总线可用，但如果方案使用 HT 总线，则建议不使用 3A 的 PCI 总线。

(4) UART

在设计龙芯 3A+7A1000 的方案时，调试串口推荐使用龙芯 3A 的 UART0，方案中的其他串口最好不要设计成调试串口，否则会增加不必要的软件工作量

1.5、龙芯 3A+龙芯 7A1000 方案

1.5.1、龙芯 7A 简介

龙芯 7A1000 型桥片是龙芯 3 号处理器的第一款芯片组产品，目标是替代 AMD RS780+SB710 芯片组，为龙芯处理器提供南北桥功能。

龙芯 7A1000 的主要技术特点如下：

- 16 位 HT 3.0 接口；
- 2D/3D GPU；
- 显示控制器，支持双路 DVO 显示；16 位 DDR3 显存控制器；
- 3 个 x8 PCIE 2.0 接口；每个 x8 接口都可以拆分为 2 个独立的 x4 接口；
- 2 个 x4 PCIE 2.0 接口；可以拆分为 6 个独立 x1 接口；
- 3 个 SATA 2.0；
- 6 个 USB 2.0；
- 2 个 RGMII 千兆网接口；
- HDA/AC97；
- RTC/HPET 模块；
- 1 个全功能 UART 控制器；
- 6 个 I2C 控制器；
- 1 个 LPC 控制器；
- 1 个 SPI 控制器；
- 多个 GPIO 引脚；
- 支持 ACPI 规范；
- 采用 FC-BGA 封装。

1.5.2、方案框图

下面为龙芯 3A+7A1000 的几个典型方案框图：

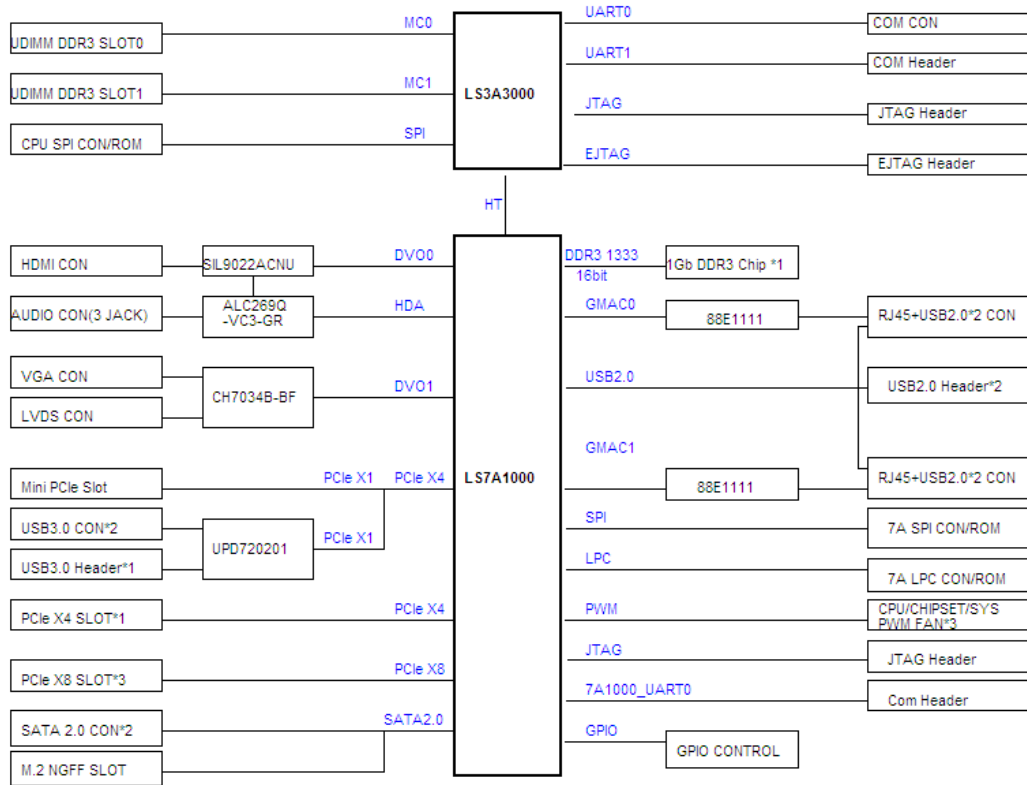


图 1-1-12: 龙芯 3A3000+龙芯 7A 方案框图

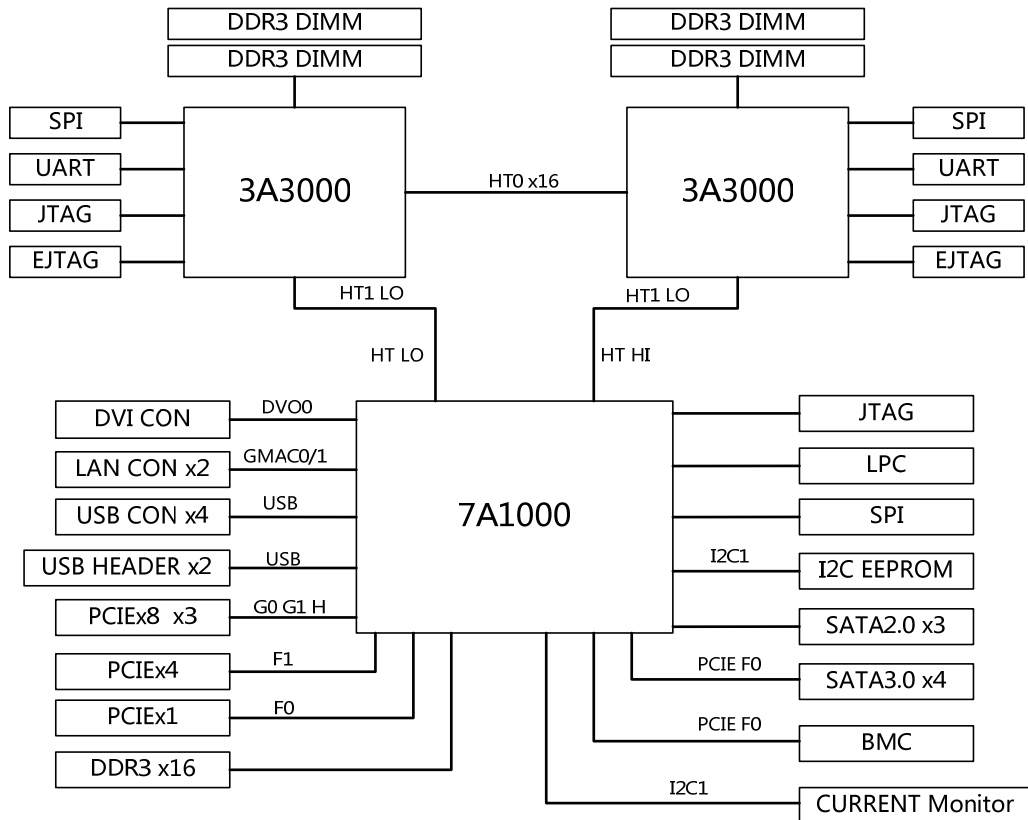


图 1-1-13: 双龙芯 3A3000+龙芯 7A 方案框图

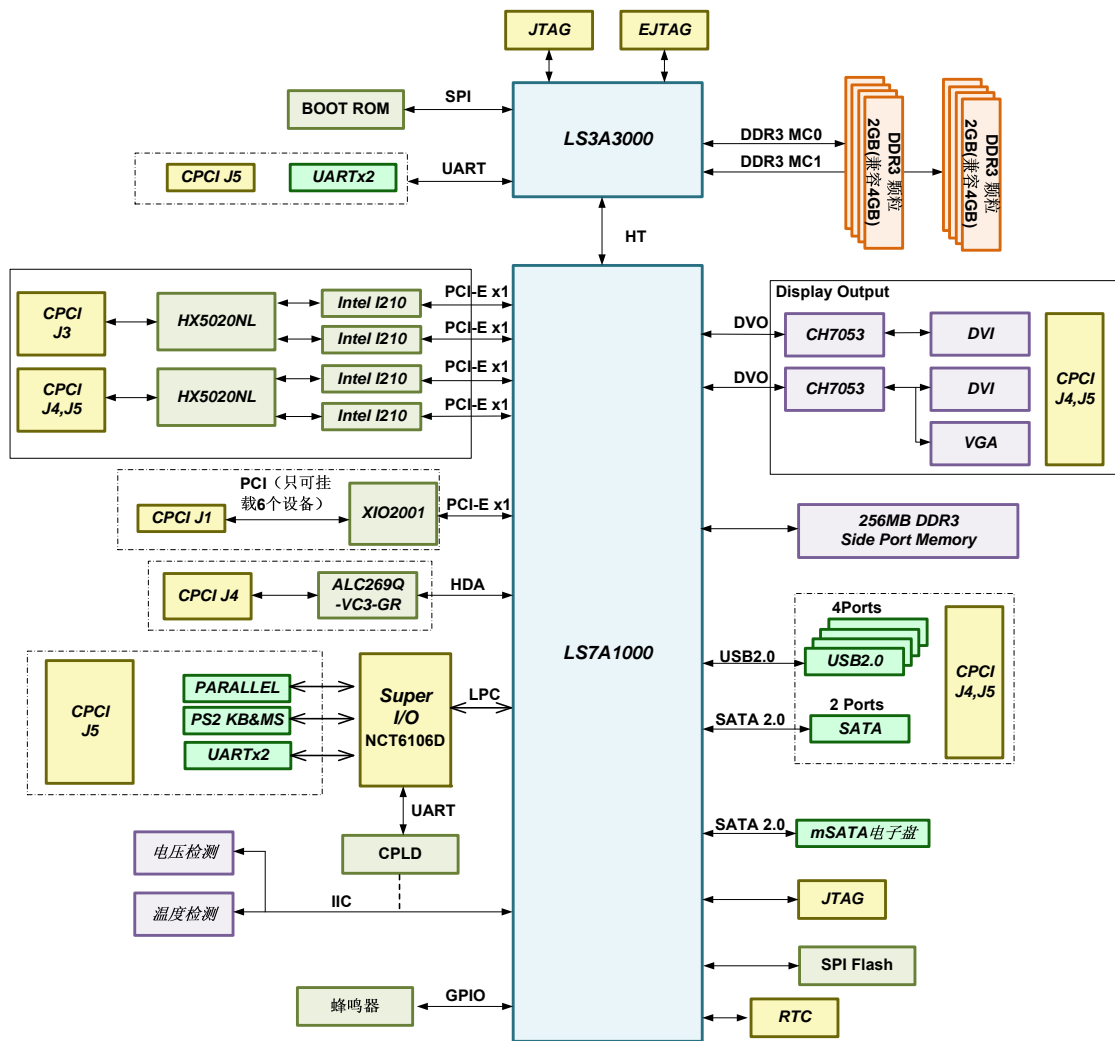


图 1-1-14: 双龙芯 3A3000+龙芯 7A 方案框图

1.5.3、龙芯 7A1000 设计开发要点

(1) GMAC 设计开发要点

龙芯 7A1000 的 GMAC 设计需要注意的事项请参考龙芯 2K1000 方案 GMAC 设计开发要点章节。

(2) PCIE 设计开发要点

PCIE_PRESENT#, 对应的口连了 PCIE 设备, 则该信号下拉; 用哪个接口连哪个; 不用可悬空, 内部有上拉;

只要 PCIE_PRESENT0#以外有一个下拉, 就是 x1 模式;

只要除 PCIE_PRESENT0#以外没有下拉, 就是 x4;

若只下拉 PCIE_PRESENT0#, 默认是 x4;

PCIE x8: 不能全部翻转, 只能 0-3 翻转为 3-0; 4-7 翻转为 7-4;

PCIE x8 的每路可分为 2 路 x4, 分出来的 x4 只能当 1 路 x1 使用;

PCIE_present#: 有设备连接就下拉, 该信号内部有上拉; 用哪个接口就连哪个, 不用的可悬空;

G0、G1、H 三个 x8, 每个 x8 可拆分成 2 个 x4, 每个 x4 用作一个 x1;

其中 F0 可分为 4 个 x1; 不可以配置为 2 个 x2;

7A1000 配置成的 PCIe x4 可以当做 PCIe x2 使用, 但剩下的两个 lane 就不可再用;

F1 的低 2 个可用作 2 个 x1; 可作为 1 个 x2, 配置为 x2 的方法与配 x4 的相同, present0#接地即可。

(3) LPC 设计开发要点

龙芯 7A1000 的 LPC 不支持作为从设备使用;

(4) USB 设计开发要点

龙芯 7A1000 的 USB 时钟可配置为内部的 (如果不用 USB 唤醒功能的话), 如需要 USB 唤醒功能, 需注意供应 USB 时钟的晶振应使用 StandBy 电源;

USB_OC: 高有效, 表示过流; 不能悬空, 不用 7A1000 的过流检测功能的话可将此信号拉低处理;

USB 时钟的电源要求是 2.5V, 若使用 3.3V 晶振, 则可通过修改串联电阻的阻值去改变该电压, 无需下拉分压;

龙芯 7A1000 没有 USB OTG 接口。

(5) HT 总线设计开发要点

龙芯 7A1000 的 HT 总线 TX 信号电压域是 1.2V, RX 信号电压域是 1.8V; 而 3A 的发送接收信号都是 1.8V; 由于差分信号只看共模点, 所以这是没有问题的。

龙芯 3A+7A1000 方案中, 龙芯 7A1000 的 HT 控制信号上的上拉是可以去掉的。

龙芯 7A1000 的 LS7A_PLL_HT_VDD 与其它 PLL 的电分开供, 该电压目前暂定 1.25V, 或者将 7A1000 的 LS7A_PLL_HT_VDD 与其它 PLL 电合并, 合并后电压设置为 1.2V~1.25V (验证不太充分, 最好不要合并)。

龙芯 7A1000 的 LS7A_HT_VDD 电源不能与其它 7A1000 的 PLL 电源合并,

LS7A_HT_VDD 电源电压为 1.2V；

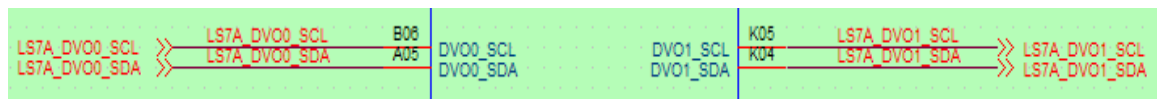
(6) 显示方案

龙芯 7A1000 支持两个 DVO 接口，该接口可以通过电路转换成客户实际需要的 VGA 接口、LVDS、HDMI、MIPI、DP、DVI 等显示接口。

对于带有热插拔信号的显示接口，电路设计时需要按照龙芯 3A+7A1000 硬件规范性设计章节中描述的将热插拔信号连接至要求的龙芯 7A1000 的具体 GPIO。

(7) IIC 设计开发要点

目前龙芯 3A+7A1000 方案中，两路 DVO 所用 DDC 已经指定使用下图中的信号，禁止使用其他 IIC 用于显示接口的 DDC 功能。



图：1-1-15: DVO 接口的 DDC 引脚

(8) SATA 设计开发要点

在龙芯 3A+7A1000 方案中，及时需要使用 SATA 接口，SATA 控制器的三对差分输入时钟也可以不接。

(9) ACPI 设计开发要点

使用 AT 模式上电，可以自己实现所有电上电，无需控制。这样就没有 PWRBTN 按钮，如果 ACPI_EN 不使能，此时要求 STANDBY 电与 S0 域的电同时上，此时 ACPI 域输入 ACPI_SYSRST#，ACPI_RTCRST#，ACPI_RSMRST# 按照时序正常输入，输出信号包括 ACPI_S3n、ACPI_PLTRSTn 等信号不能用；

如果 ACPI_EN 使能，则必须要给龙芯 7A1000 的 ACPI_PWRBTNn 信号模拟一个低脉冲，此时 ACPI 域的输出信号可用；如果没有给 ACPI_PWRBTNn 模拟按键的低脉冲信号，芯片的复位输出会一直处于低，芯片处于复位状态；此时 standby 电与 S0 是不可以合并的，需要有时序关系。

龙芯 3A+7A1000 方案使用待机逻辑时龙芯 3A 的电源时序：

待机时龙芯 3A 电源要求 1.5V 先下，core 电后下；唤醒时，要求 1.5V 后上，core 电先上。

（10）7A1000 时钟相关

在设计龙芯 3A+7A1000 板卡时，如果使用龙芯 7A1000 的时钟输出作为参考时钟，需要注意 7A 的参考时钟输出有效时序：

CLKOUT100M：在 7A 全部上电后开始有效；

CLKOUT33M 和 CLKOUT25M（GPIO2）、CLKOUTFLEX（GPIO03）在 ACPI_PLTRSTn 解复位后 100us 后有效；

CLKOUTFLEX 的默认输出为 100M，需要软件去配置修改为其他频率。

（11）复位信号

ACPI_SYSRST#与 ACPI_PWROK 信号的时序关系：

手册中要求 ACPI_SYSRST#先，然后 PWROK 后抬高，时间要求>16ms。原因是这两个信号都具有复位功能，上电的复位无需很长时间的复位信号，因此外加的复位芯片其实是不需要的，

如果不能保证手册中 ACPI_SYSRST#先，然后 PWROK 后抬高的要求，可能会出现复位 2 次；因为 ACPI_SYSRST#为低，PWROK 也会导致为低，只有 ACPI_SYSRST#先高，才不会复位 2 次；解决方法就是在 7A1000 的 POWEROK 引脚处增加大电容

7A 的 plt_RSTn 上电时会有两次上升沿，需要在 plt_rstn 和 CPU_RSTn。

龙芯 7A1000 的 RSMRST#信号虽然是 RTC 电源域，但如果将该信号连接 RTC 电，则会导致 RTC 漏电太大，耗电快，只能去掉而使用 Standby 电。

1. PLTRST#只有 7.8ms，因为担心 CPU 的复位时间不够，增加了一个复位芯片

7A 的 plt_RSTn 上电时会有两次上升沿，需要在 plt_rstn 和 CPU_RSTn 之间加一个 max811

（12）龙芯 7A1000 电源相关

龙芯 7A1000 的 VDD_ESB 电源为 3.3V，该电平值不可调整；因此龙芯 3A 的 VDDESB 也应同时修改为 3.3V；

龙芯 7A1000 的 HT_VDD 电源可与龙芯 3A 的 core 电合并，龙芯 3A1500 的 CORE 电为 1.15V（对应 CPU 主频 800MHz），龙芯 3A3000 工业级的 CORE 电也为 1.15V（对应 CPU 主频 1.2GHz）；

（13）其它注意

A: 龙芯 7A1000 不能读芯片结温，硬件方案中如需要获取 7A1000 的芯片温度，需添加外部温度传感器；

B: 龙芯 3A 的中断需要与 7A 互联，如下图所示：



C: 龙芯 7A1000 的 VSB_GATE_n 信号：控制进入 S3 及退出 S3 用于切电的控制信号，该信号比 S3 要晚，如果使用 S3 信号控制会有毛刺导致不稳定；如果仅用作开关机则使用 S3 控制即可。

1.5.4、龙芯 3A+7A1000 硬件规范性设计

为建立龙芯 7A1000 桥片平台通用类系统的软硬件技术规范，预防后期可能出现的不同软、硬件版本适配兼容性问题。特制定本文档，作为对龙芯 7A1000 桥片在通用类板卡硬件设计时的强制性约束规范。

集成 GPU 部分设计注意事项

1.1 显示接口 DDC 通道使用方法

7A1000 对每个显示通路的 DDC 做了具体规定。以 DVO0 为例，如使用不需要配置的视频编解码转换器（以下简称 PHY 芯片），则 DVO0_SCL 和 DVO0_SDA 经过电平转换后连接显示接口 如图 1 所示；如使用需要配置的 PHY 芯片，则 DVO0_SCL 和 DVO0_SDA 同时作为 PHY 芯片的配置通道和 EDID 读取通道使用 如图 2 所示；

注：DVO1 通路的使用方法与 DVO0 相同。

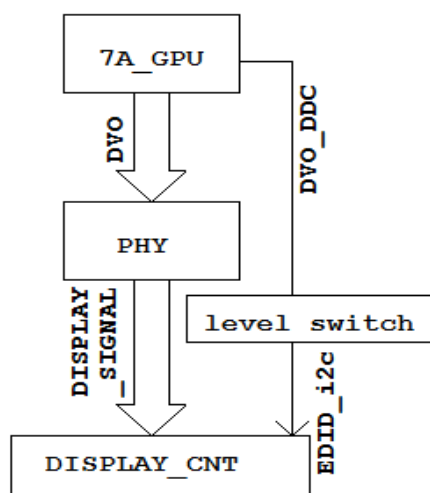


图 1

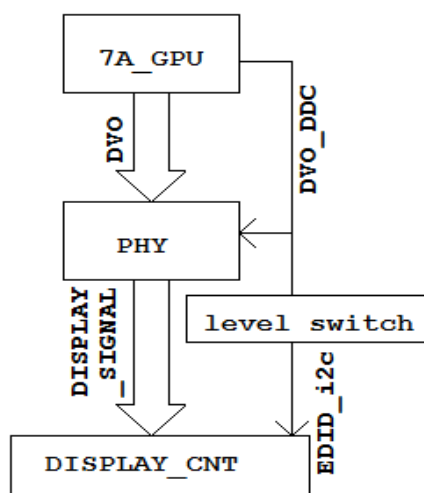


图 2

1.2 LVDS 转换方案

对于 LVDS 等固定显示屏方案,EDID 信息支持选用如图 3 所示外部独立 rom 存放,也可以使用 BIOS 软件集成的方式如图 4。

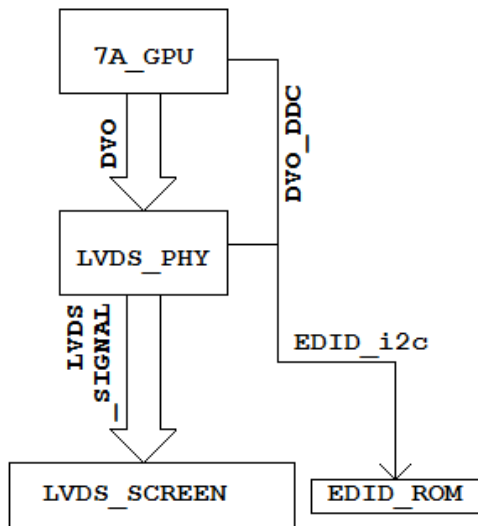


图 3

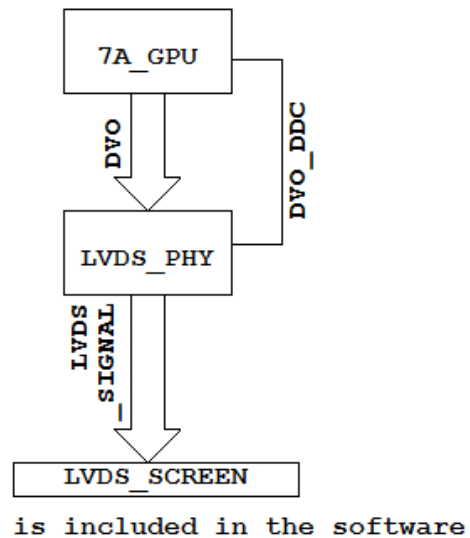


图 4

1.3 多屏显示方案

如果可以实现独立的双屏显示,需要使用两路 DVO 通道来实现。可以实现扩展和镜像切换。

如果只需要镜像双屏显示,硬件上需选用一款多通道输出 PHY 芯片来实现,对于多通道输出的 PHY 显示方案,硬件板卡设计时对应 DVO 显示通道的 DDC 只能连接到其中一路显示输出作为主显示接口,可以获取主显示接口上显示器的 EDID 信息,即可以实现显示器的拔插检测,未连接 DDC 通道的显示接口不能获取显示器的 EDID 信息,只能作为主显示接口的镜像显示。两个显示屏幕不能作为扩展屏使用。

对于三屏方案的实现,需使用 7A1000 的两路 DVO 通道,其中一路采用上述镜像屏幕显示方案,即三屏方案中的两个屏幕只能作为镜像屏。

1.4 PHY 芯片型号适配列表:

截至 2018 年 6 月在龙芯 7A1000 平台 GPU 驱动支持的显示 PHY 芯片方案如下:

型号	厂商	描述
SiI9022ACNU	Silicon Image	24bit RGB 转 单路 HDMI 1.3
IT66121FN	ITE	24bit RGB 转 单路 HDMI 1.4
ADV7511	Analog	24bit RGB 转 单路 HDMI 1.4/DVI

CH7034B-BF	Chrontel	24bit RGB 转 模拟 VGA/单通道 LVDS
ADV7125	Analog	24bit RGB 转 模拟 VGA
CH7055A	Chrontel	24bit RGB 转 模拟 VGA

如选用新型号需向龙芯中科申请以获取软件驱动的支持与认证。

1.5 热插拔类

龙芯 7A1000 桥片将 GPIO14(PIN 脚 W28)和 GPIO15(PIN 脚 W27)分别定义为 DVO0 和 DVO1 显示通道的 Hotplug_Detect 功能，当显示通道配置为 DVI、HDMI 等需要热插拔检测的显示接口时，需将相应的显示接口上的 HPD 信号经过电平转换后连接到 7A1000 相应的 Hotplug_Detect 管脚，如图 5

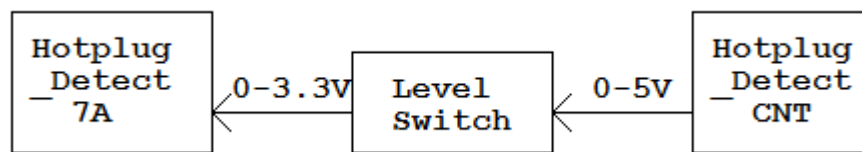
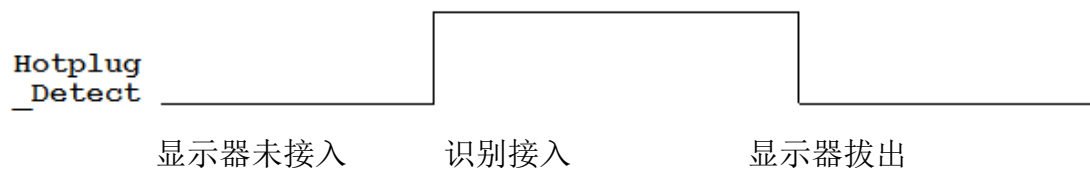


图 5



2、主板复位信号

7A1000 桥片平台主板的复位信号需留有看门狗或类似外部强制复位线路。

如图 6

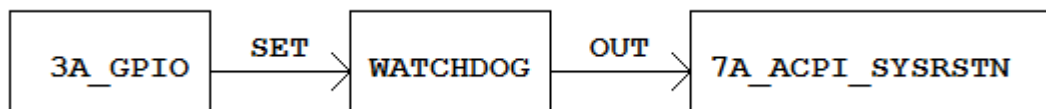


图 6

3、桥片 SPI 存储 rom

7A1000 平台主板硬件设计时，7A1000 桥片的 SPI 总线必须连接一个 SPI flash，片选固定为 CS0，读写方式必须完全兼容 SST25VF010，容量不低于 128KB。该 flash 用于存储桥片集成 GMAC 的 MAC 地址、集成 GPU 显示相关参数信息、主板串号等。

二、龙芯 2K1000 硬件原理图设计

2.1、龙芯 2K1000 处理器简介

龙芯 2K1000 处理器主要面向于网络应用，兼顾平板应用及工控领域应用。采用 40nm 工艺，片内集成 2 个 GS264 处理器核，主频 1GHz，64 位 DDR3 控制器，以及各种系统 IO 接口。

龙芯 2K1000 的主要特征如下：

- 片内集成两个 64 位的双发射超标量 GS264 处理器核，主频 1GHz
- 片内集成共享的 1MB 二级 Cache
- 片内集成 GPU
- 片内显示控制器，支持双路 DVO 显示
- 片内集成 64 位 533MHz 的 DDR3 控制器
- 片内集成 2 个 x4 PCIE2.0 接口；可以拆分为 6 个独立 x1 接口
- 片内集成 1 个 SATA2.0 接口
- 片内集成 4 个 USB2.0 接口
- 片内集成 2 个 RGMII 千兆网接口
- 片内集成 HDA/AC97/I2S 接口
- 片内集成 RTC/HPET 模块
- 片内集成 12 个 UART 控制器
- 片内集成 1 个 NAND 控制器
- 片内集成 2 个 CAN 控制器
- 片内集成 1 个 SDIO 控制器
- 片内集成 2 个 I2C 控制器
- 片内集成 1 个 LIO 控制器
- 片内集成 1 个温度传感器
- 集成动态功耗控制模块
- 采用 FC-BGA 封装

龙芯 2K1000 的稳定工作状态

- (1) 可稳定工作主频：1000MHz；
- (2) 可稳定工作 DDR3 频率：500MHz，如设计 PCB 时，DDR3 部分走线控制不好，DDR3 稳定工作频率会略低；
- (3) 可稳定工作环境温度：-40~85 摄氏度（工业级）。
- (4) 核电压与频率对应关系：
 - 1. 1.5V，主频 1GHz，内存 400MHz 运行稳定（F3F3 工艺角）
 - 1. 2V，主频 1GHz，内存 400MHz 运行稳定（TT 工艺角）

关于龙芯 2K1000 支持的固件、操作系统

BIOS：龙芯 PMON

操作系统：Linux，VxWorks

2.2、硬件总体设计

2.2.1、龙芯 2K1000 的稳定工作状态

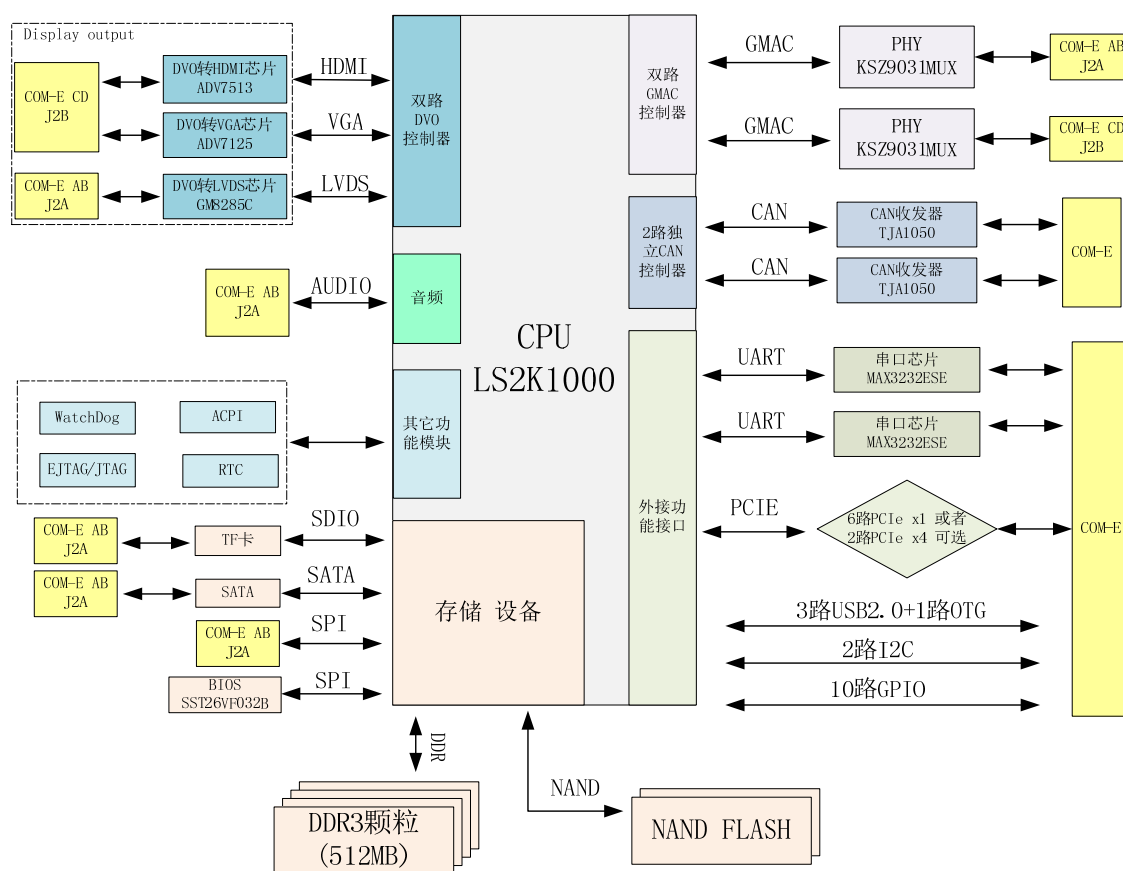


图 1-2-1：龙芯 2K1000 方案框图

2.2.2、关于龙芯 2K1000 的输入电源以及上电顺序

(1) 龙芯 2k1000 的电源及上电时序

PEST_1V1 、 P1V1 以及 VDD_CPU 这三个电源都是 1.1V，做过合并到一起的试验，目前没有发现问题。

关于龙芯 2K1000 的功耗

表 1-2-1、龙芯 2K1000 推荐的工作电源电压

电源	描述	范围			最大电流
		Min.	Typ.	Max.	
VDD	数字域电源	1.0V	1.1V	1.2V	5A
VDD_RSM	RSM 域电源	1.0V	1.1V	1.2V	200mA
RTC_VDD	RTC 域电源	2.2V	2.5V	2.8V	10uA
VDDE3V3	SOC 域 IO 电源	3.135V	3.3V	3.465V	200mA
RSM3V3	RSM 域 IO 电源	3.135V	3.3V	3.465V	50mA
RSM2V5	RSM 域 RGMII 2.5V 电源	2.375V	2.5V	2.625V	50mA
	RSM 域 RGMII 3.3V 电源	3.135V	3.3V	3.465V	TBD
DDR_VDDQ	DDR3 IO 电源	1.43V	1.5V	1.57V	1A
DDR_VREF	DDR3 VREF	0.735V	0.75V	0.765V	-
USB_3V3	USB 模拟电源	3.135V	3.3V	3.465V	95mA
PEST_1V1	PCIE/SATA vp 和 vptx 电源	1.023	1.1V	1.210V	-
PEST_3V3	PCIE/SATA vph 电源	3.135V	3.3V	3.63V	-
PLL_NODE_VDD	NODE PLL 电源	1.0V	1.1V	1.2V	-
PLL_DDR_VDD	DDR PLL 电源	1.0V	1.1V	1.2V	-
PLL_DC_VDD	DC PLL 电源	1.0V	1.1V	1.2V	-
PLL_PIX0_VDD	PIX0 PLL 电源	1.0V	1.1V	1.2V	-
PLL_PIX1_VDD	PIX1 PLL 电源	1.0V	1.1V	1.2V	-

在做龙芯 2K1000 的电源方案时，以上数据仅供参考，上述数据为 BIOS 启动

后的实测值，启动系统后电流值会稍有增大，并且相对电源方案应留有余量。

龙芯 2K1000 芯片之间功耗略有差异，差异浮动范围为 10%左右。

选取一块龙芯 2K1000 云终端板卡实测功耗数据如下：

表 1-2-2：龙芯 2K1000 云终端单纯 2K1000 功耗测试数据

龙芯 2K1000 电源	输入电压 (V)	电流 (A)	功耗 (W)
CPU_VDD (核电)	1.15V	1.9	2.2
VDD_RSM			
PEST_1V1			
PLL_PIX0_VDD			
PLL_PIX1_VDD			
PLL_CORE_VDD			
PLL_DDR_VDD			
PLL_SOC_VDD			
DDR_VDDE	1.5	0.58	0.9
GMAC_V	3.3	0.18	0.6
PEST_3V3			
IO_P3V3			
USB_A3V3	3.3	0.13	0.43
ACPI_3V3			
RTC_3V3			
总共			4.13W

测试环境：

板卡：龙芯 2K1000 云终端

运行频率：主频 800MHz，DDR3 频率 400MHz

操作系统：Fedora，系统下通过应用程序软解播放 720P 视频。

当方案中应用 ACPI 时，对 Normal 电与 Standby 电的上电时序有一定要求：

A：Normal 电与 Standby 电不能合并，如 1.2V 与 1.2VSB 不能合并到一起，3.3V 与 3.3VSB 不能合并到一起。

B：ACPI_EN 信号设置成使能状态

当方案中不应用 ACPI 时，Normal 电与 Standby 电可合并成一个电，但切记 ACPI_EN 信号设置成不使能状态（即将此信号拉低处理）。

（2）关于龙芯 2K1000 的上电配置

A：龙芯 2K1000 开机频率配置

龙芯 2K1000 推荐使用软件配置启动频率

B：关于龙芯 2K1000 的启动方式配置

龙芯 2K1000 的 BIOS 启动支持多种启动方式（Local IO，SPI(DFT)，SDIO，NAND），

在选定某一种启动方式之后根据手册硬件配置好相应启动方式，推荐 SPI 启动。

C: 龙芯 2K1000 PCIe 总线配置

龙芯 2K1000 内部集成的 PCIe 总线在初始化时需要通过读取外部引脚状态来初始化 PCIe 总线，相关 PCI_CFG 需要实际应用作出配置。

D: 关键信号配置

龙芯 2K1000 的有些信号关系到芯片能否正常运行，在设计时注意，如下：

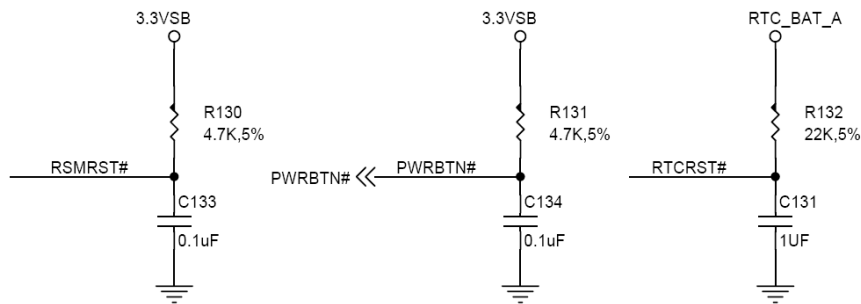


图 1-2-2: 龙芯 2K1000 复位信号处理

另外还有一些配置信号，如 SOC_EN、ACPI_EN，需要按照设计需求作出配置。

以上是龙芯 2K1000 工作前需要正确配置的几个方面，推荐在原理图设计完成时检查上述配置是否都按设计需求做出了配置。

2.2.3、关于龙芯 2K1000 的 DDR3 设计要点

(1)、龙芯 2K1000 内部集成的 DDR3 控制器支持 64 位、32 位以及 16 位内存位宽，当方案中需要使用 32 位内存位宽时，使用低 32 位数据线。支持 16 位和 8 位 DDR3 颗粒，4 位颗粒不支持。

(2)、龙芯 2K1000 的内存控制器不支持 ECC 功能；

(3)、龙芯 2K1000 只有一个 DDR 控制器，目前已知的所有 2K1000 板卡均采用 DDR3 模式，没验证过 DDR2 功能。

(4)、DDR_RESEn 信号，默认输出低电平为复位，支持软件配置成高电平复位；评估板两种方式都验证过，现在默认是高电平复位的接法，这样做是为了 S3 状态下内存能够正常工作。

(5)、目前 DDR3 调试的最高稳定工作频率为 500MHz。

2.2.4、关于龙芯 2K1000 方案的时钟设计

(1) 龙芯 2K1000 的系统时钟：

100MHz，必须连接。

(2) 龙芯 2K1000 的 PCIe 时钟：

可配置使用内部时钟。

(3) 龙芯 2K1000 的 SATA 时钟：

可配置使用内部时钟。

(4) 龙芯 2K1000 的 USB 时钟：

可配置使用内部时钟，当方案中需要有 USB 唤醒功能时，USB 部分不能配置为内部时钟，需要配置为使用外部晶体。

2.3、龙芯 2K1000 相关接口及总线设计要点

下面逐项讲解设计中使用龙芯 2K1000 各个接口时的注意事项。

2.3.1、龙芯 2K1000 方案 GMAC 设计开发要点

1) 无需使用时可以悬空的引脚如下：

GMAC_MDIO、GMAC_MDCK、GMAC_TXCLK、GMAC_TXCTL、GMAC_TXD[0-3]、GMAC_RXCLK、GMAC_RXCTL、GMAC_RXD[0-3]；

为保持龙芯 2K1000 稳定工作，避免接收干扰，不使用的接口的输入引脚原则上最好固定电平。

两路 GMAC 接口处理方法相同。

2) 龙芯 2K1000 的 GMAC 在配置为 RGMII 接口时，Clock 与 Data 是同时输出的，二者之间没有相位差，在应用时需根据相关 PHY 芯片在 PCB 走线或是 PHY 端软硬件设置对 CLOCK 信号做一定的延迟，接收端同理。

以上在选型其它 PHY 芯片时需要考虑该问题，开发板中 RTL8211E-VB-CG 通过硬件配置实现。

RTL8211E-VB-CG 为商业级芯片，工业级千兆 PHY 推荐 MICREL 的 KSZ9031。宽温级百兆 PHY 该厂家也有相关芯片。

3) GMAC 支持 2.5V 和 3.3V 两种电压，两种电压接口的 PHY 芯片都验证过；接口电压通过 GMAC_VDDE 引脚电压确定。

4) 评估板外接了两种 PHY，Realtek 的 RTL8211E 和 Marvell 的 88E1111，PHY 的复位信号需要单独控制，软件初始化完 GMAC 控制器后需要给 PHY 一个复位，否则可能会导致 PHY 芯片工作不正常（88E1111 需要这个复位信号，8211E 不需要，没有试过软复位，目前评估板方案是 GPIO 控制）

5)如果需要网络唤醒功能,请注意 PHY 和 GMAC 供电给 PHY 的复位信号,都需要连接到 Standby 电压上

2.3.2、龙芯 2K1000 方案 SATA 控制器设计开发要点

无需使用时可以悬空的引脚如下:

SATA_REFRES、

SATA_TXp、SATA_TXn、SATA_RXp、SATA_RXn、

SATA_LEDn、SATA_REFCLKp、SATA_REFCLKn;

1) SATA 时钟输入可以采用外部输入 100MHz 差分时钟,也可以软件配置成使用内部时钟;(选用外部时钟时可以用 2K1000 的 PCIE 输出时钟提供待验证)

2) SATA_REFRES 原理图中通过 200 欧电阻接到 3V3 了,实际需要 200 欧电阻接地。

2.3.3、龙芯 2K1000 方案 PCIE 接口设计开发要点

无需使用时可以悬空的引脚如下:

PCIE0_REFCLKP[0..3]、PCIE0_REFCLKN[0..3]、PCIE1_REFCLKP[0..1]、PCIE1_REFCLKN[0..1]、

PCIE0_RXP[0..3]、PCIE0_RXN[0..3]、PCIE0_TXP[0..3]、PCIE0_TXN[0..3]、

PCIE1_RXP[0..3]、PCIE1_RXN[0..3]、PCIE1_TXP[0..3]、PCIE1_TXN[0..3]、

PCIE0_CLKP、PCIE0_CLKN、

PCIE1_CLKP、PCIE1_CLKN、

1) 龙芯 2K1000 的一个 x4 接口可配置为 4 个 x1 接口独立使用,另一 x4 接口可配置为 2 个 x1 接口独立使用,信号时用前两个的信号。

2) PCIE0 支持一路 x4 和四路 x1, PCIE0_PRSENTN1/2/3 中任意一个或多个被拉低, PCIE0 即被配置为四路 x1 模式, 否则为 x4 模式

3) PCIE1 支持一路 x4 和两路 x1, PCIE1_PRSENTN1 拉低时, 被配置成两路 x1 模式, 否则为 x4 模式; 两路 x1 模式下, 使用的是 TX0/RX0 和 TX1/RX1 两组

4) 目前 PCIE 时钟选用的是内部, 外部还未验证

5) PCIE 设备上的复位信号, 需要使用芯片的 GPIO, PMON 启动后需要软件控制一下复位, 否则 PCIE 无法正常工作

6) 龙芯 2K1000 输出的 PCIe CLOCK 理论上不用逻辑转换, 实测直接使用
该信号也可以使用, 功能正常。

2.3.4、龙芯 2K1000 方案 USB 接口设计开发要点

无需使用该接口时可以悬空的引脚如下:

USB_DP、USB_DM、USB_XI、USB_X0、USB_OVRCUR、USB_REXT、

四路 USB 接口处理方法相同。

龙芯 2K1000 具有 4 路 USB2.0 接口 (3 USB2.0 + 1 OTG)。

USB XI/0 可以不外接时钟, 用内部参考时钟可行, 通过配置下述信号上下
拉实现: SYS_USBCLKMODE[0:1]=11 ;//use sysclk。

表 1-2-3、龙芯 2K1000USB 时钟配置表

SYS_USBCLKMODE[1:0]	I	USB 时钟输入配置输入 10=one 12MHz clock input 11=use sysclk(DFT)	3V3/IO
---------------------	---	--	--------

备注: 此处配置现在只能配置成 10 或者 11, 前两种配置模式不支持。

关于龙芯 2K1000 的 USB_OVRCUR 信号, 当该信号为低时, 对应 USB 可以正常
工作, 当其为高时, 系统将按相应 USB 口出现过流现象处理。

USB 无需过流保护功能时, 需要将 USB_OVRCUR 拉成低电平 (正常状态), 该
信号切勿悬空, 即使不使用对应的 USB 接口 (会影响所有 USB 均不能使用)。

USB 唤醒 2K 是支持的, 理论支持, 如果板卡需要使用 USB 唤醒功能, 则在
硬件设计时, 要将 USB 的时钟源配置为外部时钟输入, 同时注意时钟输入要在
S3 状态下有效。

1) 2K1000 有四路 USB 接口, 其中 USB0 只能用作 OTG, 其它三个可用做 USB2.0
接口

2) USB0_OCN (引脚 G24) 信号定义为 DRVVBUS, 没有 Overcurrent 功能

3) USB_VBUS 连接到 5V

2.3.5、龙芯 2K1000 方案 CAN 接口设计开发要点

无需使用该接口时可以悬空的引脚如下:

CAN0_RX、CAN0_TX、

CAN1_RX、CAN1_TX、

2.3.6、龙芯 2K1000 方案中 SPI 总线设计开发要点

SPI 用于连接 BIOS Flash 芯片，必须使用，不能悬空处理。相关信号如下：

SPI_CLK、SPI_MOSI、SPI_MISO、SPI_CS；

其中 SPI_MOSI、SPI_MISO、SPI_CS 使用时不必上拉处理。

2.3.7、龙芯 2K1000 方案 DVO 接口设计开发要点

无需使用该接口时可以悬空的引脚如下：

DV00_CLKn、DV00_CLKp、DV00_HSYNC、DV00_VSYNC、DV00_DE、DV00_D[00-23]；

DV01_CLKn、DV01_CLKp、DV01_HSYNC、DV01_VSYNC、DV01_DE、DV01_D[00-23]；

1) 龙芯 2K1000 的 RGB 连接顺序可以通过软件进行调整，龙芯 2K1000 的 RGB 颜色数据线与 DVO_D* 是固定死的，对应关系为 R (23: 16) G (15: 8) B (7: 0)

24bits RGB 信号，24 位模式和 18 位模式下信号定义见下表，其它情况下，遵循高位对齐原则

表 1-2-4、龙芯 2K1000 的 DVO 接口数据信号对应表

DVO 接口信号	24 位模式	18 位模式
DVO_D0	B0	
DVO_D1	B1	
DVO_D2	B2	B0
DVO_D3	B3	B1
DVO_D4	B4	B2
DVO_D5	B5	B3
DVO_D6	B6	B4
DVO_D7	B7	B5
DVO_D8	G0	
DVO_D9	G1	
DVO_D10	G2	G0
DVO_D11	G3	G1
DVO_D12	G4	G2
DVO_D13	G5	G3
DVO_D14	G6	G4
DVO_D15	G7	G5

DVO_D16	R0	
DVO_D17	R1	
DVO_D18	R2	R0
DVO_D19	R3	R1
DVO_D20	R4	R2
DVO_D21	R5	R3
DVO_D22	R6	R4
DVO_D23	R7	R5

2) DVO 接口控制信号输出可以取反，用于调整总线时序，寄存器名称 panel config；如果出现字体发虚，颜色交界处有失真等现象，可以调整这个地方（单沿模式有效，双沿模式下慎用此功能）

3) DVO_CLKp/CLKn 不是差分时钟，是两个相位相反的标准时钟信号，DVO_CLKn 只有在双沿输出模式时才有效

视频转换芯片推荐：

DVO 转 VGA：ANALOG DEVICE 的 ADV7125，工业级温度范围：-40℃~85℃

DVO 转 HDMI：ANALOG DEVICE 的 ADV7513，工作温度范围：-40℃~100℃

2.3.8、龙芯 2K1000 方案 HDA 接口设计开发要点

龙芯 2K1000 的 HDA 接口由于芯片设计问题，需要在时钟上串联 1.2~1.5m 的线，做一个 10ns 的延时；需使用专用延迟器件，不推荐使用该接口。

2.3.9、龙芯 2K1000 方案 SDIO 接口设计开发要点

无需使用时可以悬空的引脚如下：

SDIO_CLK、SDIO_CMD、SDIO_DATA[0-3]

所有信号需要外接上拉电阻，推荐 10K，5%

该接口可用于 TF 卡（SD 卡）接口设计以及连接 WIFI 模块。

2.3.10、龙芯 2K1000 方案 Local IO 接口设计开发要点

DVO0 接口与 LIO 以及 UART 有复用关系，如下表

表 1-2-5、DVO0 接口与 LIO 以及 UART 有复用关系

信号名称	复用名称	复用类型	复用信号描述	电压
------	------	------	--------	----

DVO0_CLKp	LIO_RDn	O	LIO WRn 输出	3V3/IO
DVO0_CLKn	LIO_WRn	O	LIO RDn 输出	3V3/IO
DVO0_HSYNC	LIO_DEN	O	LIO DEN 输出	3V3/IO
DVO0_VSYNC	LIO_DIR	O	LIO DIR 输出	3V3/IO
DVO0_DE	LIO_ADLOCK	O	LIO ADLOCK 输出	3V3/IO
DVO0_D[15:0]	LIO_AD[15:0]	I/O	LIO 双向 AD 信号	3V3/IO
DVO0_D[22:16]	LIO_A[6:0]	O	LIO 地址低位	3V3/IO
DVO0_D23	LIO_CSn	O	LIO 片选信号	3V3/IO

2.3.11、龙芯 2K1000 方案 IIS 音频接口设计开发要点

IIS 总线的信号通过 HDA 接口复用实现，方案中音频实现只能使用 HDA 或是 IIS。

无需使用时可以悬空的引脚如下：

I2S_BCLK、I2S_DI、I2S_DO、I2S_MCLK、I2S_LR

为保持龙芯 2K1000 稳定工作，避免接收干扰，不使用的接口的输入引脚最好固定电平。

2.3.12、龙芯 2K1000 方案中 UART 接口设计开发要点

无需使用该接口时可以悬空的引脚如下：

UART_TXD、UART_RXD、UART_RTS、UART_CTS、UART_DSR、UART_DTR、
UART_DCD、UART_RI

龙芯 2K1000 共支持 12 个 UART，其中，UART0、UART3、UART4、UART5 复用 UART0 接口；UART1、UART6、UART7、UART8 复用 UART1 接口；UART2、UART9、UART10、UART11 复用 UART2 接口。

具体复用关系查看龙芯 2K1000 的 datasheet。

2.3.13、龙芯 2K1000 内部 IIC 接口设计开发要点

无需使用时可以悬空的引脚如下：

I2C0_SCL、I2C0_SDA、
I2C1_SCL、I2C1_SDA、

龙芯 2K1000 共支持两路 IIC。

当使用 IIC 接口时需将 I2C_SDA、I2C_SCL 上拉。

2.3.14、龙芯 2K1000 方案 E1 接口功能设计开发要点

E1 为特殊定制接口，普通销售的 2K1000 不具备此接口，如需使用，购买前相询商务人员。

2.3.15、龙芯 2K1000 方案 RTC 功能设计开发要点

无需使用时可以悬空的引脚如下：

RTC_CLK_I、RTC_CLK_O、RTC_VR_VOUT、RTC_VR_CEXT

当使用 ACPI 功能时不可悬空上述引脚。

如 RTC 需使用有源晶振，RTC_CLK_I 为时钟输入脚，RTC_CLK_O 引脚悬空，有源晶振应由 RTC 电池供电。

当设计的板卡应用 ACPI 功能时，方案中应该保留龙芯 2K1000 自带的 RTC 功能，相关引脚不能悬空，即使使用了外部的 RTC 模块。

无论是否使用龙芯 2K1000 内部集成的 RTC 模块，龙芯 2K1000 RTC 相关电源都需要提供，否则影响处理器运行！

由于龙芯 2K1000 内置 RTC 模块功耗过高，推荐使用外部 RTC 模块集成电路实现实时时钟功能。

2.3.16、龙芯 2K1000 内部集成的 Nandflash 接口应用注意点

无需使用该接口时可以悬空的引脚如下：

NAND_D[0-7]、NAND_CLE、NAND_ALE、NAND_WRn、NAND_RDn、

NAND_CEn[0-3]、NAND_RDYn[0-3]

龙芯 2K1000 具有四个 CS 信号，也就是说基于龙芯 2K1000 的 SOC 方案中最多可挂载 4 片 Nandflash 芯片。

不用 nandflash 接口的话 RDY 信号可悬空，使用的话必须上拉。

龙芯 2K1000 支持 Nandflash 启动。设置方法请参考龙芯 2K1000 的

Datasheet，板卡设置成 nandflash 启动后，BIOS 需要根据 CPU 要求特殊设计，以实现 nandflash 启动 BIOS 启动。

如初次使用龙芯 2K1000 芯片，为方便后期板卡调试，建议板上预留 SPI Flash 启动。

龙芯 2K1000 的 nandflash 控制器对 nandflash 的支持情况：

验证过的 8K 页 Nand flash 型号是 MT29F128G，读取 NAND ID 之前必须发一个复位过去，否则读不到。

2.3.17、龙芯 2K1000 的 GPIO 应用注意点

龙芯 2K1000 共支持 60 个 GPIO，其中 4 个 GPIO 为专用 GPIO，56 个通过其他管脚复用实现 GPIO 功能。

龙芯 2K1000 所有 GPIO 均带有中断功能，四个专用 GPIO 为专用中断，其他 GPIO 引脚共享两个中断。

龙芯 2K 的功能信号与 GPIO 的复用关系为成组配置的，当将某一组引脚配置为功能引脚时，即使在设计中并未使用到某些引脚，这些引脚也不能同时配置为 GPIO 使用。

第二部分、龙芯方案 PCB 设计

一、PCB layout 常规建议

- 1、对于大多数非关键信号，保持Space: Height \geq 1:1 。
- 2、signal 经过电阻、电容、电感后没有特殊说明 W/S 的请按照经过电阻、电容、电感前一样的规则走线。
- 3、信号若无特殊说明，单端信号线按 $50\ \Omega \pm 10\%$ 走线。
- 4、Signal 绕线时与自己的 space 要大于 20mil(包括 differential signal, DDR, CLK 等)。
- 5、请尽量做到每条 net 都有测试点, 电阻, 电感两端视为不同的 net。
- 6、测点尽量放在 Top 层，实在放不开可放 Bottom 层。
- 7、differential 信号加测点尽量加在接收端。
- 8、时钟和高速信号的布线应至少距离板的边缘 250 mil，离开开关电源电感、MOS 管至少 500mil。
- 9、所有差分信号对换层处打一 GND via，GND via 距离信号换层 via 距离尽量小, 不要超过 150mil，GND via 距离差分信号的两个换层 VIA 距离相同。
- 10、仅允许最多两个引脚共用一个电源或接地过孔。
- 11、信号左拐弯右拐弯要一致，进出 pad, vias 要对称，如下图：

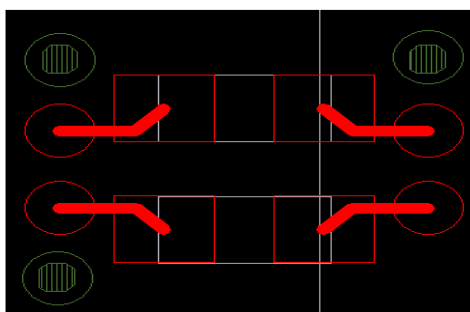


图 2-1-1：过孔示意图（1）



图 2-1-2：过孔示意图（2）

- 12、Trace 需绕线时，请保持转角段宽度至少为线宽, 若无法避免, 请确保转角处线宽线距仍然 ok，如下图：

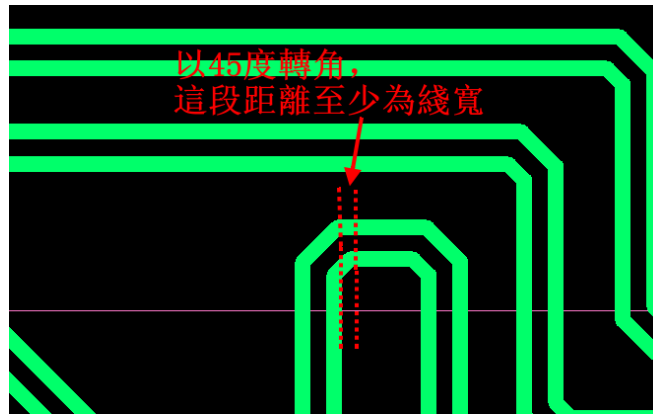


图 2-1-3: PCB 绕线示意图

- 13、对 BGA 封装的芯片，未使用的管脚，尽量打过孔。
- 14、所有需要等长的信号必须考虑 IC 内部封装延时及主板走线延时。。
- 15、去耦电容应尽量靠近芯片的电源和地引脚。
- 16、GND 平面距板边至少 0.75mm，电源层和信号层相对于底层内缩 20H。

二、Hyper Transport

- 1、信号分组、阻抗控制、线长约束。

表 2-2-1: HT 总线信号分组、阻抗控制、线长约束

Group	Net Name	阻抗	同一 Group 内 成对线 Mismatch	同一 Group 内 非成对线		Group 与 Group mismatch	总线长
				Space	Mismatch		
Group1	CPU0_HT1_RX_CADp[7. .0] CPU0_HT1_RX_CADn[7. .0] CPU0_HT1_RX_CLKp0 CPU0_HT1_RX_CLKn0 CPU0_HT1_RX_CTLp0 CPU0_HT1_RX_CTLn0	100 Ω \pm 10% differential	< 5 mils	20mils	<50 mils	<1500 mils	1”~8”

Group2	CPU0_HT1_RX_CADp[15..8] CPU0_HT1_RX_CADn[15..8] CPU0_HT1_RX_CLKp1 CPU0_HT1_RX_CLKn1 CPU0_HT1_RX_CTLp1 CPU0_HT1_RX_CTLn1	100 $\Omega \pm$ 10% differential	< 5 mils	20mils	<50 mils		
Group3	CPU0_HT1_TX_CADp[7..0] CPU0_HT1_TX_CADn[7..0] CPU0_HT1_TX_CLKp0 CPU0_HT1_TX_CLKn0 CPU0_HT1_TX_CTLp0 CPU0_HT1_TX_CTLn0	100 $\Omega \pm$ 10% differential	< 5 mils	20mils	<50 mils		
Group4	CPU0_HT1_TX_CADp[15..8] CPU0_HT1_TX_CADn[15..8] CPU0_HT1_TX_CLKp1 CPU0_HT1_TX_CLKn1 CPU0_HT1_TX_CTLp1 CPU0_HT1_TX_CTLn1	100 $\Omega \pm$ 10% differential	<5 mils	20mils	<50 mils		
Group5	LDT_STP/ LDT_PG LDT_RST/ LED_REQ/	50 $\Omega \pm$ 10%		20mils			<8"

2、同一个 Group 的信号必需走在同一 layer。

3、所有的信号都 reference 到 Ground，且不能跨分割。

4、HT differential signal 最多只能有 2 个 via，且差分对过孔中心距小于 50mil。

5、龙芯 3A 处理器 A7、B7 管脚（网络名：LS3A_HT1_CLKp、LS3A_HT1_CLKn）上的串联电容靠龙芯 3A 放置，space 小于 25mils。

6、3A 处理器 LS3A_HT1_CLKp/LS3A_HT1_CLKn 的时钟尽量短，其上串接的匹配阻容到 3A 处理器的走线长度不超过 500mil。

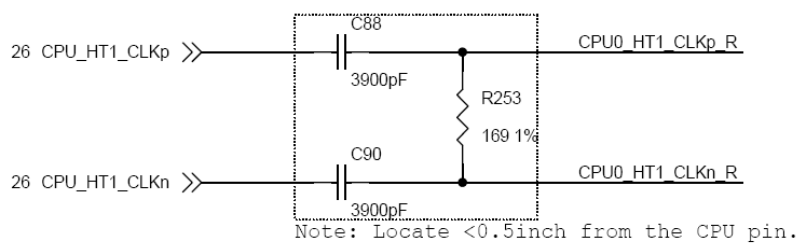


图 2-1-4: 龙芯 3A 的 HT_CLK 信号处理器

7、HTCLKN、HTCLKP 的线长（指从 7A1000 到 3A） $\leq 5\text{inch}$ ，越短越好。

三、内存布局布线（以 DDR3 为例）

DDR2/3 DQ、CB 组内可做 swap，方便走线；

DDR VTT 电源要求同时具备 sink 和 source 能力；

3.1、走线拓扑

走线拓扑如下图：

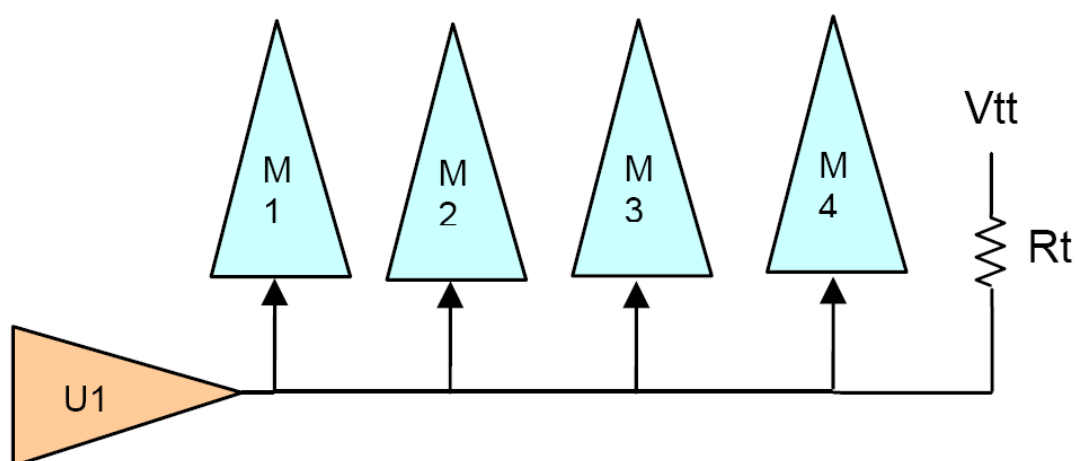


图 2-1-5: 内存颗粒拓扑图

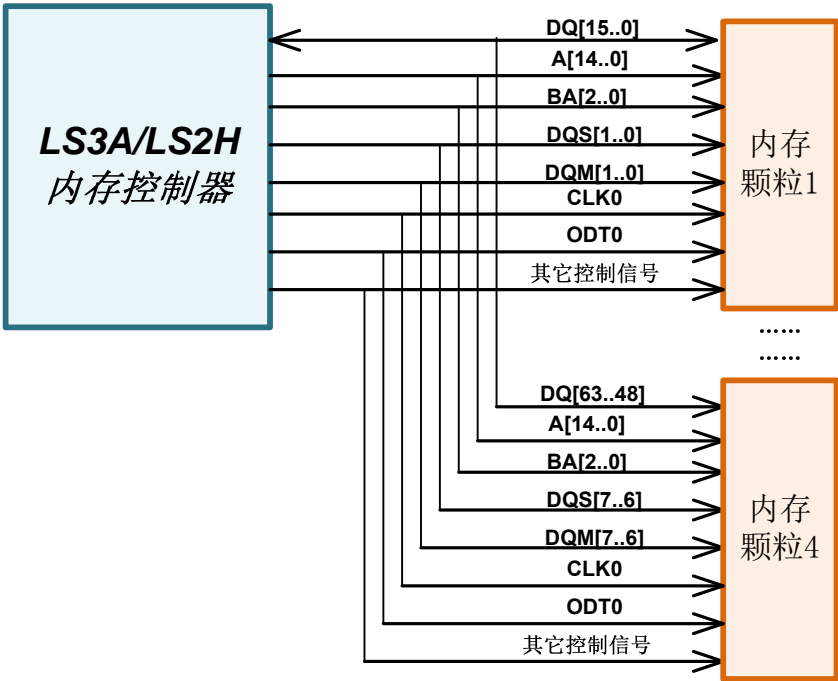


图 2-1-6: DDR3 方案实际连接图

3.2、内存信号分组，阻抗控制，线长约束表格

表 2-3-1: 内存信号分组，阻抗控制，线长约束表格

Length_Matching_Group	Type	Impedance (ohm)	Remark
CPU0_MCO_CLKP2	different ial	80	$ N-P \leq 5\text{mil};$
CPU0_MCO_CLKN2			
CPU0_MCO_A[0..15]	Single	40	要求 CPU 到每一个 SRAM 颗粒遵守长度匹配规则: ref= (CPU0_MCO_CLKP2+CPU0_MCO_CLKN2) /2; 组内所有其它信号 A, $ A-\text{ref} \leq 10\text{mil}$
CPU0_MCO_BA[0..2]	Single	40	
CPU0_MCO_CAS#	Single	40	
CPU0_MCO_RAS#	Single	40	
CPU0_MCO_WE#	Single	40	
CPU0_MCO_CS#[0..1]	Single	40	
CPU0_MCO_ODT0	Single	40	
CPU0_MCO_CKE0	Single	40	
Length_Matching_Group	Type	Impedance (ohm)	Remark
CPU0_MCO_DQSP0	different ial	80	$ N-P \leq 5\text{mil};$
CPU0_MCO_DQSN0			
CPU0_MCO_DQM0	Single	40	要求组内信号到处理器长度 A, $ A-\text{ref} \leq 10\text{mil}$
CPU0_MCO_DQ[0..7]	Single	40	
Length_Matching_Group	Type	Impedance (ohm)	Remark

CPU0_MC0_DQSP1	different		
CPU0_MC0_DQSN1	ial	80	$ N-P \leq 5\text{mil};$
CPU0_MC0_DQM1	Single	40	要求组内信号到处理器长度 A, $ A-\text{ref} \leq 10\text{mil}$
CPU0_MC0_DQ[8..15]	Single	40	
Length_Matching_Group	Type	Impedance (ohm)	Remark
CPU0_MC0_DQSP2	different		
CPU0_MC0_DQSN2	ial	80	$ N-P \leq 5\text{mil};$
CPU0_MC0_DQM2	Single	40	要求组内信号到处理器长度 A, $ A-\text{ref} \leq 10\text{mil}$
CPU0_MC0_DQ[16..23]	Single	40	
Length_Matching_Group	Type	Impedance (ohm)	Remark
CPU0_MC0_DQSP3	different		
CPU0_MC0_DQSN3	ial	80	$ N-P \leq 5\text{mil};$
CPU0_MC0_DQM3	Single	40	要求组内信号到处理器长度 A, $ A-\text{ref} \leq 10\text{mil}$
CPU0_MC0_DQ[24..31]	Single	40	
Length_Matching_Group	Type	Impedance (ohm)	Remark
CPU0_MC0_DQSP4	different		
CPU0_MC0_DQSN4	ial	80	$ N-P \leq 5\text{mil};$
CPU0_MC0_DQM4	Single	40	要求组内信号到处理器长度 A, $ A-\text{ref} \leq 10\text{mil}$
CPU0_MC0_DQ[32..39]	Single	40	
Length_Matching_Group	Type	Impedance (ohm)	Remark
CPU0_MC0_DQSP5	different		
CPU0_MC0_DQSN5	ial	80	$ N-P \leq 5\text{mil};$
CPU0_MC0_DQM5	Single	40	要求组内信号到处理器长度 A, $ A-\text{ref} \leq 10\text{mil}$
CPU0_MC0_DQ[40..47]	Single	40	
Length_Matching_Group	Type	Impedance (ohm)	Remark
CPU0_MC0_DQSP6	different		
CPU0_MC0_DQSN6	ial	80	$ N-P \leq 5\text{mil};$
CPU0_MC0_DQM6	Single	40	要求组内信号到处理器长度 A, $ A-\text{ref} \leq 10\text{mil}$
CPU0_MC0_DQ[48..55]	Single	40	
Length_Matching_Group	Type	Impedance (ohm)	Remark
CPU0_MC0_DQSP7	different		
CPU0_MC0_DQSN7	ial	80	$ N-P \leq 5\text{mil};$
CPU0_MC0_DQM7	Single	40	要求组内信号到处理器长度 A, $ A-\text{ref} \leq 10\text{mil}$
CPU0_MC0_DQ[56..63]	Single	40	

注：所有长度包含芯片封装内部长度。

所有 DDR 信号线间距 DQ/DQS 线宽：线距 $\leq 1:2$ ，C/A/C 线宽：线距 $\leq 1:1.5$ （空间不足缩减线距要求时，优先缩减相同类型线间距，避免相邻线连续线距过小，要求并行距离 $\leq 500\text{mil}$ ）。

3.3、电源完整性

1、内存电源对噪声敏感，要求较好滤波电容方案，建议 3/4 个 PIN 分配一个高频电容（0.1uf，0.01uf），6/8 个 PIN 分配一个高值电容（22uf），要求电容摆放靠近 PIN，并且避免较长连接线，电容摆放时要求高频电容更靠近末端，如下图；

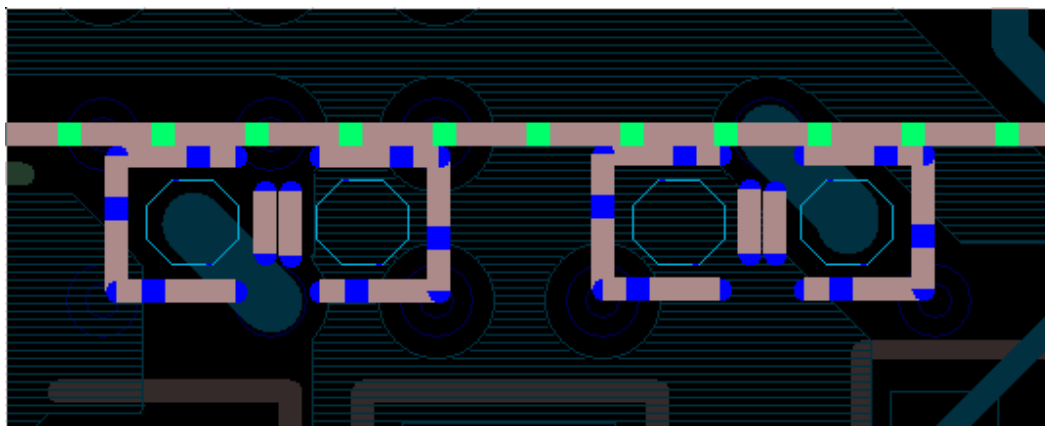


图 2-1-7：内存电源滤波电容摆放

2、内存信号扇出区域保证足够 GND VIA（只有有过孔连接，两个 GND 才是同一个参考层，没有 VIA 连接的 GND 在高速中定义为不同参考层）。

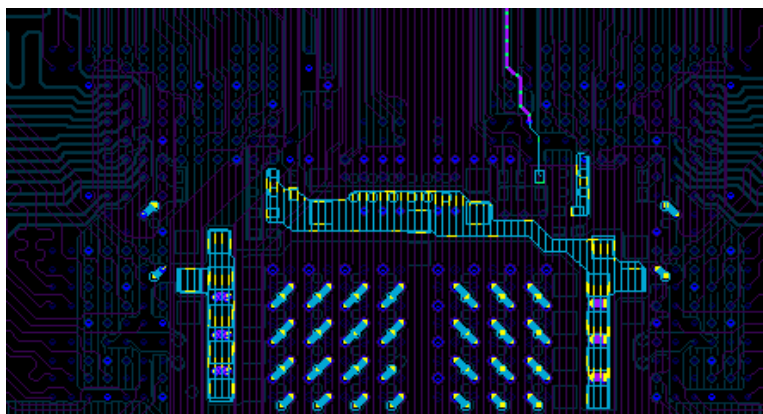


图 2-1-8：内存部分扇出图

3、CPU0_MEM_VREF 信号滤波方案，要求电容和电阻要靠近 CPU PIN，并减少铜箔和其它信号耦合；CPU0_MEM_VREF 走线宽度不小于 20mil，距离其它信号走线间距至少 15mil。

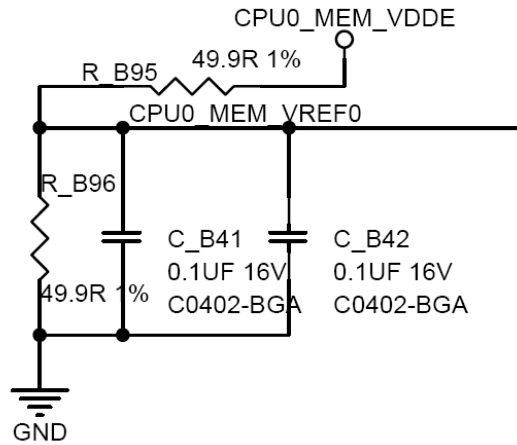


图 2-1-9: CPU0_MEM_VREF 信号滤波方案

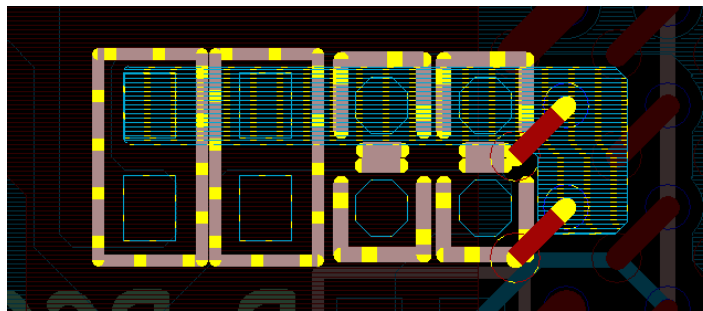


图 2-1-10: CPU0_MEM_VREF 信号滤波摆放

4、VREFCA/VREFCQ 信号滤波方案，电容摆放参照下图，要求靠近相关 PIN，走线宽度不小于 20mil，距离其它信号走线间距至少 15mil。

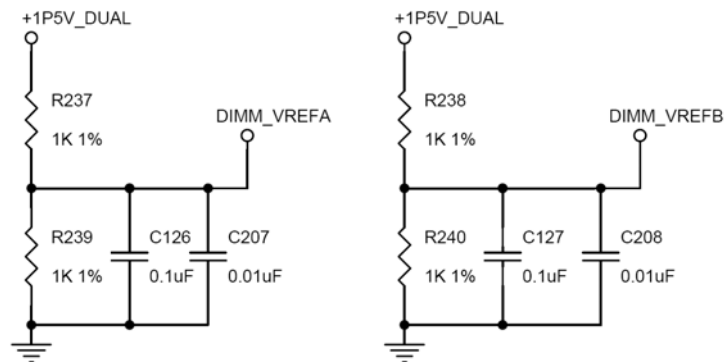


图 2-1-11: VREFCA/VREFCQ 信号滤波方案

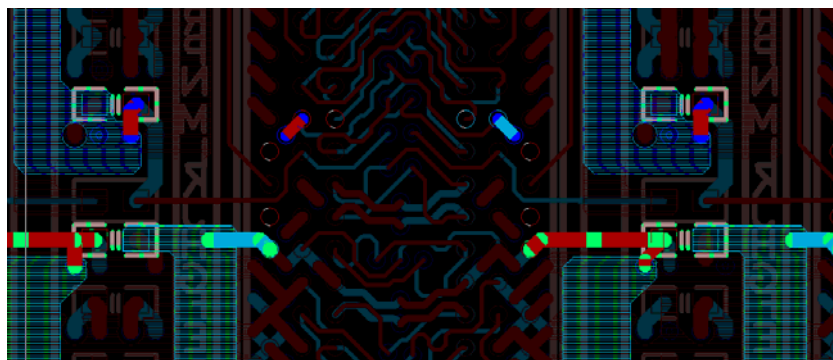


图 2-1-12: VREFCA/VREFCQ 信号滤波电容摆放

5、VTT 电流变化较大，距其它信号线距至少 30mils，该部分尽量采用铺铜，保证铜皮宽度 100mils 以上。

3.4、信号参考层完整性

1、由于龙芯处理器内部封装设计为所有 DDR 信号参考 GND，所以外部设计最佳参考方案为所有 DDR 信号参考 GND (DQ/DQS 信号扇出时参考面就要是 GND，并且整个走线过程中一直保持良好的参考，要求不可以跨越切割)。



图 2-1-13: DDR 部分参考层

2、由于龙芯 PIN 分布原因，内存控制器信号无法完成一层扇出，所以为使信号有较好扇出和换层方案，要求所有 DQ/DQS 信号内层扇出（如图蓝色高亮和紫色高亮两组信号），实际一个内存控制器占用两个内层完成信号扇出，C/A/C 信号可以上下层扇出。

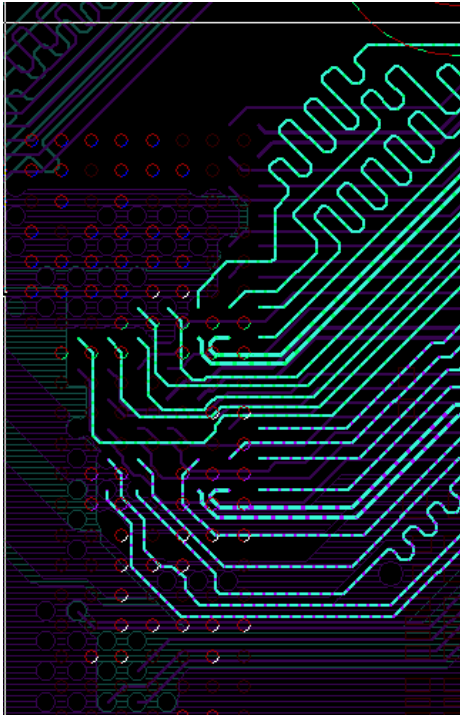


图 2-1-14: DQ/DQS 扇出图 (1)

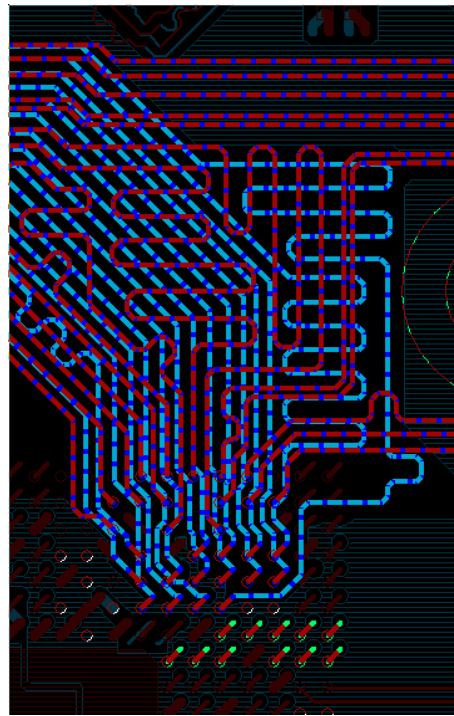


图 2-1-15: DQ/DQS 扇出图 (2)

3、内存信号每一组 DQ/DQS 要求在同层走线，且路径相同（就是聚合到一起走线，中间不掺杂其它信号，避免分离距离太大（如下图，高亮为同一组信号，即使安装孔（红色圈）另一侧有较大空间，也尽量不要孔另一侧走线，保持所有同组信号在同一侧最佳）。

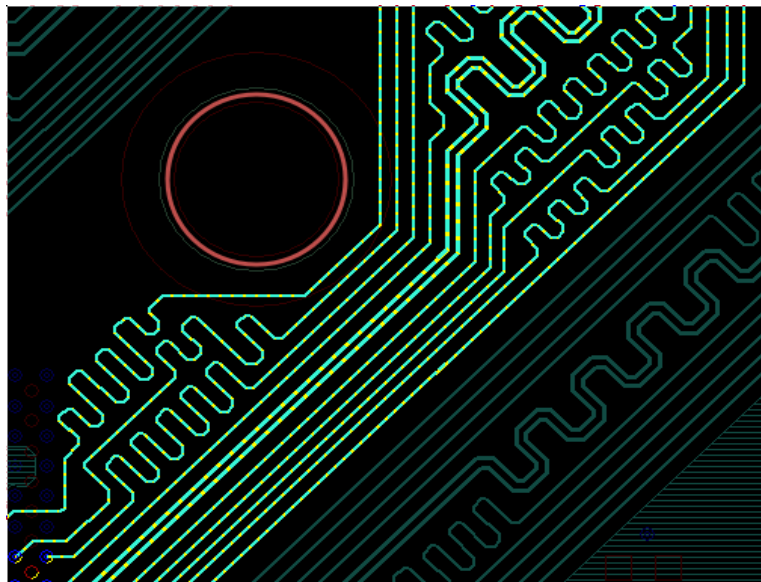


图 2-1-16: DQ/DQS 信号走线

3.5、A/C 信号 FlyBy 走线方案

1、DDR3, C/A/C 信号要求走 FlyBy 模式，如图，信号模型以驱动源开始

(CPU)，顺序连接每一个接收端（内存颗粒），最后连接终结电阻（阻抗匹配电阻），整个信号组长度匹配要求每一个信号驱动到相同颗粒长度做匹配要求；信号到颗粒可以出现分支，要求控制分支长度，要求分支长度小于 300mil，内存 C/A/C 可以做支持 mirror 方案。

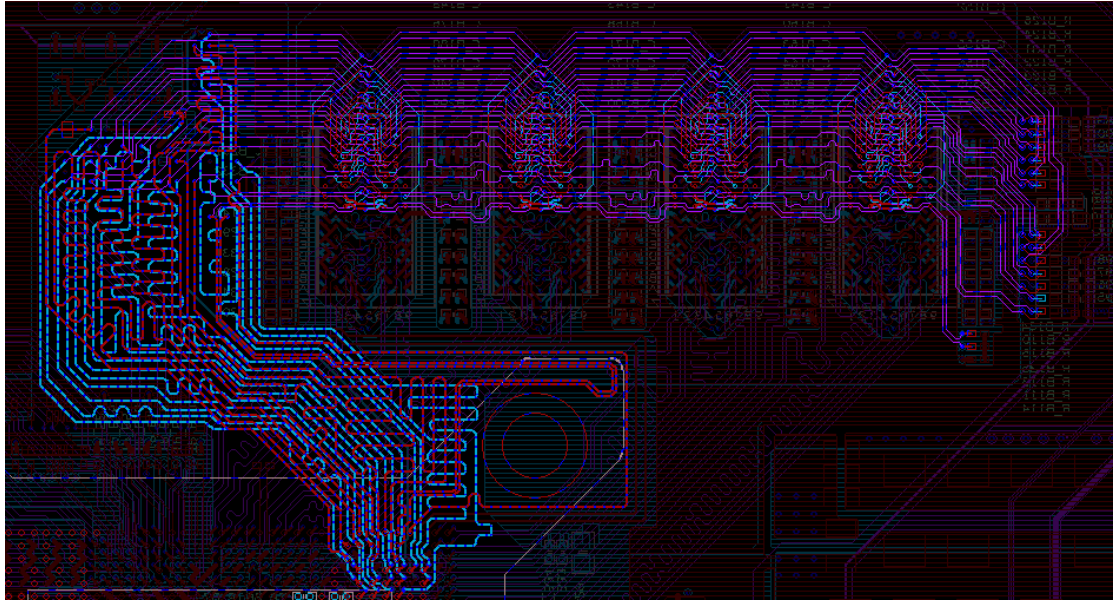


图 2-1-17: A/C 信号 FlyBy 走线方案

2、终结电阻摆放建议，信号末端不要求特别短，终结电阻摆放均匀，并且平均两个电阻后面要有一个滤波电容，滤波电容连接 VTT 和参考层，要求电容两端避免较长连线。

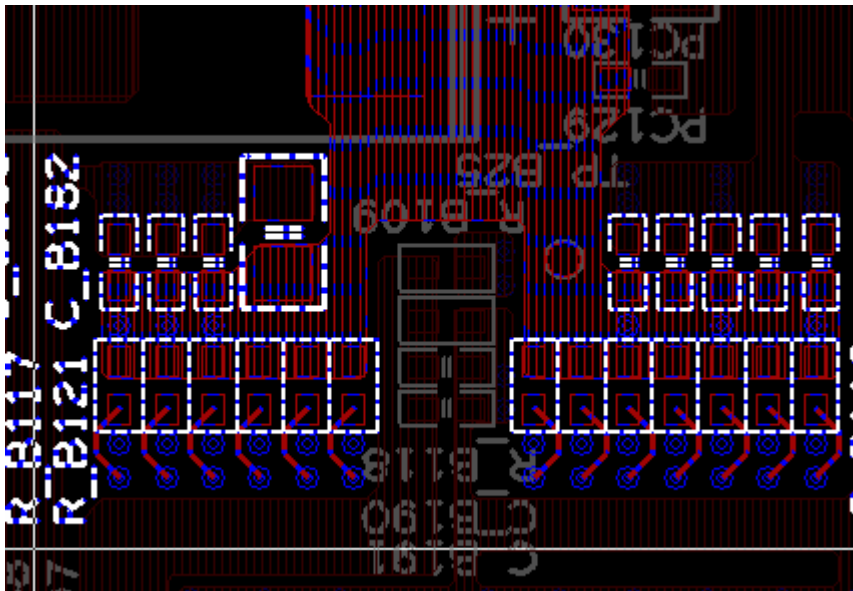


图 2-1-18: 终结电阻摆放

3.6、DQ/DQS 信号走线方案

1、DQ/DQS 信号要求驱动端（CPU）到接收端（颗粒）做组内长度匹配，

组内 DQ 信号可以做 swap 以保证绕线达到最佳，不同于模组，由于末端没有较长分支，去掉匹配电阻，可以减少内存信号换层次数，最大限度保证信号质量，每一组信号在可能限度内，保持长度最小可以获得更好的信号质量。

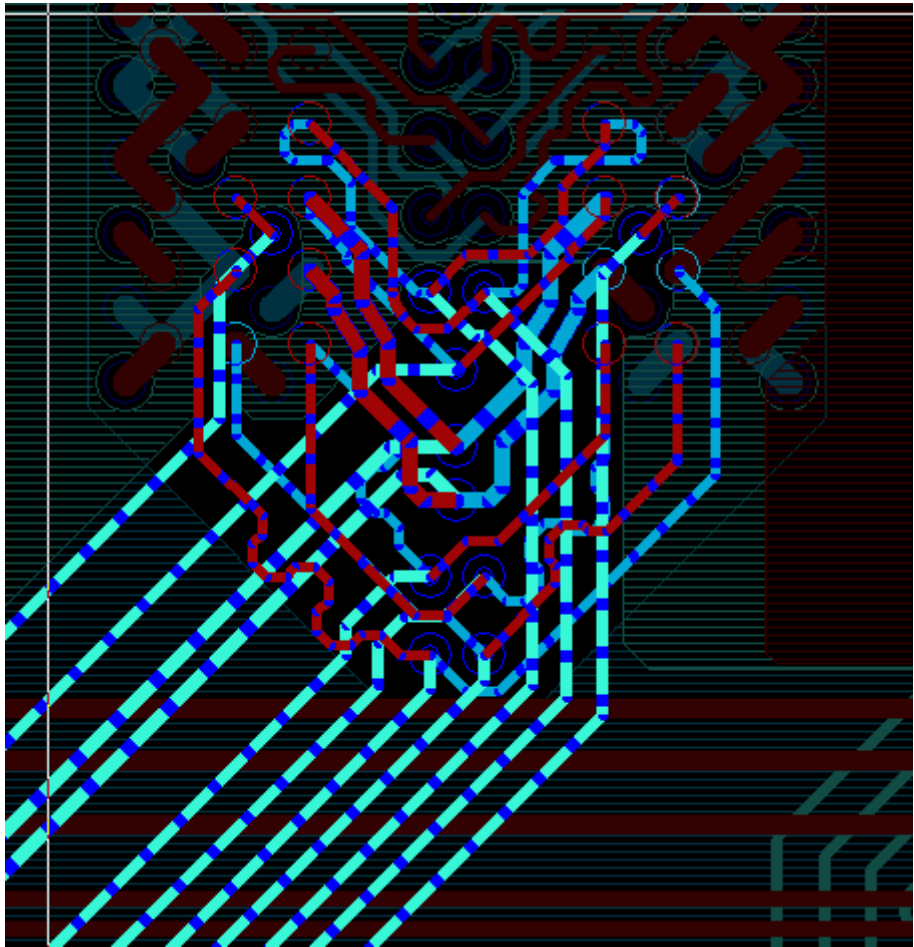


图 2-1-19：内存走线

四、常用总结及接口布局布线

4.1、PCIE

1. 信号分组、阻抗控制，线长约束等。

表 2-4-1：PCIE 信号分组、阻抗控制，线长约束

Signal	阻抗	trace length	Differential mismatch	Trace spacing
PCIE_TXP[0..3] PCIE_TXN[0..3]	100 Ω \pm 15% differential 1	<7"	差分信号长度相差 <5mil	ASIC 引线（0.5" 以内）= 1:1 在时钟信号对两侧，到

PCIE_RXP[0..3] PCIE_RXN[0..3]	100Ω ± 15% differentia 1	<7"	差分信号长度相差 <5mil	所有其它信号的间距包括地平面分割边缘至少为 4:1
PCIE_CLKP[0..3] PCIE_CLKN[0..3]	100Ω ± 15% differentia 1	<7"	差分信号长度相差 <5mil	

2、以 PCIE_TXP0/PCIE_TXN0 为例，串接电容两边要分别等长，误差各在 5mil 以内，PCIE 其它差分信号对类似处理。

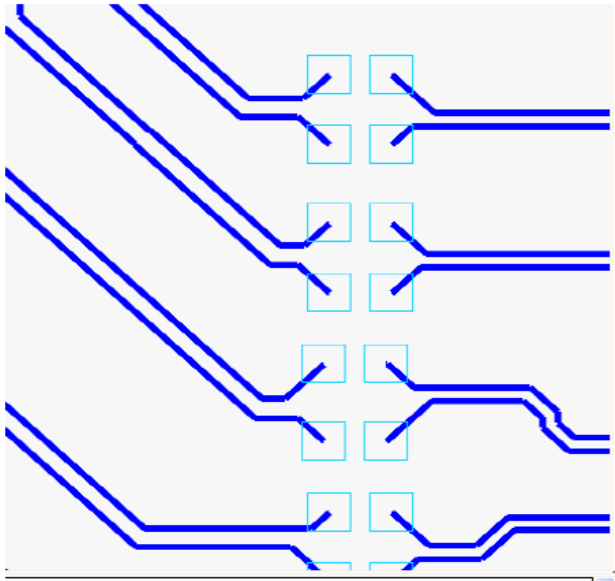


图 2-1-20: PCIe 差分走线

3、Differential 信号要 reference GND, 且不能跨切割，避免跨层。当走线到参考地层边沿时，保持线与 reference GND 层边沿的距离至少 20mil 以上。

4、若必须跨层时，每两个 PCIE 差分信号对设置一个 GND 平面穿引孔，在距离信号过孔 150 mil 的范围内设置 GND 过孔。

4.2、GMAC

1、以下为龙芯芯片的 RGMII 接口信号分组、阻抗控制，线长约束等。

Group	Net Name	阻抗	Single Mismatch	备注
发送组	GMAC[1:0]_TXD [3..0] GMAC[1:0]_TX_CTL GMAC[1:0]_TX_CLK	50 Ω ± 10%	< 100mils	(1) 信号间距: ≥12mil (2) RGMII 接口信号长度越短越好，小于

接收组	GMAC[1:0]_RX [3..0] GMAC[1:0]_RX_CTL GMAC[1:0]_RX_CLK	50 Ω $\pm 10\%$	< 100mils	2inch; (3) 组间 Mismatch < 1inch
控制组	GMAC[1:0]_MDCK GMAC[1:0]_MDIO	50 Ω $\pm 10\%$	< 100mils	(5) 参考地平面或电源平面，地平面为最佳，要求参考平面完整，不允许信号跨分割。

2、网络差分接口 1、信号分组、阻抗控制，线长约束等。

Signal	阻抗	Differential mismatch	trace length	Trace spacing
PHY[1:0]_MDI [3..0]P PHY[1:0]_MDI [3..0]N LAN[1:0]_MDI [3..0]P LAN[1:0]_MDI [3..0]N	100 $\Omega \pm 15\%$ differential	差分信号对内误差 <5mil 同一个芯片出来的 8 根信号线长度误差 <100mil 不同芯片间不需要匹配	< 2inch	对间距至少 >30mil

3、Differential 信号要 reference GND, 且不能跨切割，避免跨层。当走线到参考地层边沿时，保持线与 reference GND 层边沿的距离至少 20mil 以上。

4、所有信号最多 2 个 VIA。

5、为取得最优的时序裕量，同组信号必须在相同的布线层完成走线。这个方法可以最小化信号线换层时给时序裕量带来的影响。

4.3、AUDIO（以 HDA 音频为例）

1、信号分为 Digital signal 和 Analog signal，所有 digital component 需 route 在 digital ground，所有 analog component 需 route 在 analog ground。

2、信号分为四组，分类请参考下表。

以下信号经过串联电阻电容，net 名称或许有改变，但也请依照 Rule 来 Layout。

表 2-4-2: CODEC 信号分组 (以 ALC888 为例)

	模拟信号	Detect 信号 (属于模拟信号)	数字信号	高速信号 (属于数字信号)
管脚序号	14~46	13	1~5 7~12 47、48	6

模拟信号 layout rule: 10/10/10

数字信号 layout rule: 4.5/8 (阻抗 65Ω , 与其它信号线间距 $>8\text{mil}$)

高速信号 layout rule: 4.5/12 (阻抗 65Ω , 与其它信号线间距 $>8\text{mil}$)

Detect 信号 layout rule: 10/10

3、音频接口部分串联电阻各页靠近各页的主芯片, 且距离小于 500mil 。

4、AZ_SDOUT、AZ_BITCLK、AZ_SYNC、AZ_RST/、AZ_SDIN 走线长度小于 $10''$ 。

5、AGND 需铺到插座。

6、电源拉最小 30mil 宽。

7、ASIC 引线 ($0.5''$ 以内) = 1:1, 数字信号线到所有其它信号的间距至少为 3:2。

8、模拟信号线到所有其它信号的间距至少为 2:1。

4.4、USB

1、信号分组、阻抗控制, 线长约束等。

表 2-4-3: USB 信号分组、阻抗控制, 线长约束

Signal	阻抗	trace length	Differential mismatch	Group skew	Trace spacing
USBN[0..5] USBP[0..5]	$90\Omega \pm 10\%$ differential 1	小于 $5''$	差分信号 长度相差 $<5\text{mil}$		(1) ASIC 引线 ($0.5''$ 以内) = 1:1; (2) 在信号对两侧, 到所有 其它信号的间距至少为 4:1; (3) 蛇形布线间距至少 = 4:1; (4) 与其它信号线间 距 $>20\text{mil}$ 。

2、Differential 信号参考到 GND。

3、ESD 器件距离 connector 不超过 500mil 。

4、共模扼流圈距离 connector 不超过 1000mil 。

5、USBN[0..5]、USBP[0..5] 及其相关网络与 clock、power 等信号至少距

500 mil。

6、USB 信号尽量少打 via，最多 2 个，绝对不能转直角，且不要有 stub。

7、USB trace 不可走在晶振, clock synthesizers 和 IC(它使用 clock) 下面。

8、跨层时，每两个信号对设置一个 GND 平面穿引孔，在距离信号过孔 300mil 的范围内设置 GND 过孔。

4.5、SATA

1、信号分组、阻抗控制，线长约束等。

表 2-4-4: SATA 信号分组、阻抗控制，线长约束

Signal	阻抗	trace length	Group skew	Trace spacing
SATA[1:0]TX P	100 Ω \pm 10% differential	小于 4"	差分信号长 度相差<5mil	ASIC 引线 (0.5" 以 内) = 1:1 在信号对两侧，到所有 其它信号的间距至少为 5:1
SATA[1:0]TX N				
SATA[1:0]RX P			差分信号长 度相差<5mil	
SATA[1:0]RX N				

2、SATA 信号必须参考 Ground，不允许跨切割，除测点外尽量不要有 via，且不可有 stub，SATA trace 远离晶振与 clock 信号。

3、Differential pair 信号上的耦合电容需放置到 SATA conector 端且对称放置。

4、SATA signals 与 GND anti-etch 的距离要 >20mils。

5、LS7A_SATA_REFRES 走线宽度不小于 12mils。

6、SATA_XTAL1、SATA_XTAL2 按照 60 Ω \pm 15%走线。

4.6、LAN

1、 以下为龙芯 7A1000 的 RGMII 接口信号分组、阻抗控制，线长约束等。

表 2-4-5: 网络部分信号分组、阻抗控制，线长约束

Group	Net Name	阻抗	Single Mismatch	备注
-------	----------	----	-----------------	----

发 送 组	GMAC[1:0]_TXD [3..0] GMAC[1:0]_TX_CTL GMAC[1:0]_TX_CLK	50 Ω \pm 10%	< 100mils	(1) 信号间距: $\geq 12\text{mil}$ (2) RGMII 接口信号长度越短越好, 小于 2inch; (3) 组间 Mismatch < 1inch (5) 参考地平面或电源平面, 地平面为最佳, 要求参考平面完整, 不允许信号跨分割。
接 收 组	GMAC[1:0]_RX [3..0] GMAC[1:0]_RX_CTL GMAC[1:0]_RX_CLK	50 Ω \pm 10%	< 100mils	
控 制 组	GMAC[1:0]_MDCK GMAC[1:0]_MDIO	50 Ω \pm 10%	< 100mils	

2、网络差分接口 1、信号分组、阻抗控制, 线长约束等。

表 2-4-6: MDI 信号分组、阻抗控制, 线长约束

Signal	阻抗	Differential mismatch	trace length	Trace spacing
PHY[1:0]_MDI [3..0]P PHY[1:0]_MDI [3..0]N LAN[1:0]_MDI [3..0]P LAN[1:0]_MDI [3..0]N	100 Ω \pm 15% differential	差分信号对内误差 <5mil 同一个芯片出来的 8 根 信号线长度误差 <100mil 不同芯片间不需要匹 配	< 2inch	对间距至 少>30mil

3、Differential 信号要 reference GND, 且不能跨切割, 避免跨层。当走线到参考地层边沿时, 保持线与 reference GND 层边沿的距离至少 20mil 以上。

4、所有信号最多 2 个 VIA。

5、为取得最优的时序裕量, 同组信号必须在相同的布线层完成走线。这个方法可以最小化信号线换层时给时序裕量带来的影响。

4.7、VIDEO

1、DVO 接口芯片靠近 2K1000 放置, 走线应尽量短。

2、信号阻抗 50 欧。

3、等长约束: 小于 500mil。

4、禁止蛇形走线。

4.8、NAND Flash

1、按照单端阻抗 50 走线。

2、信号分组：板上信号可以按如下规则分成几组：

(1) 数据信号：

SB_NAND_D[0:7]

(2) 命令信号：

SB_NAND_CE、SB_NAND_RD、SB_NAND_RDY、SB_NAND_WR、
SB_NAND_ALE、SB_NAND_CLE。SB_NAND_RDY1、SB_NAND_CE1。

3、NAND Flash 各组信号线并排走线，信号线长度尽量相等，等长误差控制在 100mil 之内，总线长度尽量短。

4.9、LPC BUS

如方案中使用龙芯 7A1000 的 LPC 总线，需注意 LPC 控制器的时钟输入与 LPC 设备的时钟输入要同源同相。

4.10、CLOCK

1、时钟走线尽可能短。

2、时钟信号与其他信号需要满足 3W 原则。

3、时钟信号必须 reference GND, 并且不能跨切割。

4、时钟信号尽量少打孔，尽量避免和其它信号线并行走线，且远离一般信号线，避免对信号线的干扰。同时应避开板上的电源部分，以防止电源和时钟相互干扰；

5、当一块电路板上用到多个不同频率的时钟时，两根不同频率的时钟线不可并行走线；

6、时钟线还应尽量避免靠近输出接口，防止高频时钟耦合到输出的 CABLE 线上并沿线发射出去

7、时钟芯片和晶振下方也不应走线，应在其下方覆铜；同时可将晶振外壳接地。

8、时钟信号尽量走在内层，走线长度尽量短。同时要求有完整地平面回流，未跨分割或跨分割位置做桥接处理；

9、时钟信号线周围避免有其它信号线（推荐满足 3W）

10、尽量不打孔走在同一层上，紧邻平面层；如果一定要换层，需要参考同一个平面层；

11、当时钟信号换层且回流参考平面也改变时，可以考虑在时钟线换层过孔旁放置一接地过孔；

12、时钟布线与 IO 接口、拉手条的间距大于 1000mil；

4.11、HT 总线（Hyper Transport）

1、信号分组、阻抗控制、线长约束。

Group	Net Name	阻抗	同一 Group 内成对线	同一 Group 内 非成对线		Group 与 Group mismatch	总线长
			Mismatch	Space	Mismatch		
Group1	CPU0_HT1_RX_CADp[7..0]	100 Ω \pm 15% differential	< 5 mils	20mils	<50 mils	<1500 mils	1"~8"
	CPU0_HT1_RX_CADn[7..0]						
	CPU0_HT1_RX_CLKp0						
	CPU0_HT1_RX_CLKn0						
	CPU0_HT1_RX_CTLp0						
	CPU0_HT1_RX_CTLn0						
Group2	CPU0_HT1_RX_CADp[15..8]	100 Ω \pm 15% differential	< 5 mils	20mils	<50 mils	<1500 mils	1"~8"
	CPU0_HT1_RX_CADn[15..8]						
	CPU0_HT1_RX_CLKp1						
	CPU0_HT1_RX_CLKn1						
	CPU0_HT1_RX_CTLp1						
	CPU0_HT1_RX_CTLn1						

Group3	CPU0_HT1_TX_CADp[7..0]	100 Ω \pm 15% differential	< 5 mils	20mils	<50 mils		
	CPU0_HT1_TX_CADn[7..0]						
	CPU0_HT1_TX_CLKp0						
	CPU0_HT1_TX_CLKn0						
	CPU0_HT1_TX_CTLp0						
	CPU0_HT1_TX_CTLn0						
Group4	CPU0_HT1_TX_CADp[15..8]	100 Ω \pm 15% differential	<5 mils	20mils	<50 mils		
	CPU0_HT1_TX_CADn[15..8]						
	CPU0_HT1_TX_CLKp1						
	CPU0_HT1_TX_CLKn1						
	CPU0_HT1_TX_CTLp1						
	CPU0_HT1_TX_CTLn1						
Group5	LDT_STP/	50 Ω \pm 10%		20mils			<12"
	LDT_PG						
	LDT_RST/						

2、同一个 Group 的信号必需走在同一 layer。

3、所有的信号都 reference 到 Ground，且不能跨分割。

4、HT differential signal 最多只能有 2 个 via，且差分对过孔中心距小于 50mil。

5、3A 处理器 A7、B7 管脚上的串联电容靠处理器放，space 小于 25mils。

6、3A 处理器 HT1CLKP/HT1CLKN 的时钟尽量短，其上串接的匹配阻容到 3A 处理器的走线长度不超过 500mil。

7、HTCLKN、HTCLKP 的线长（指从桥片到 3A） $\leq 5\text{inch}$ ，越短越好。

第三部分、龙芯硬件设计注意事项

一、设计中的芯片选型问题

以下为我部门验证过或是我部门客户验证过的关键集成电路，在做新设计时可参考使用。

(1) 网络相关芯片

表 3-1-1：网络芯片汇总

芯片类型	芯片型号	参数说明	厂家	工作温度 (°C)	验证平台	是否国产兼容替 换
网络 PHY	KSZ9021/KSZ9031	10/100/1000 RGMII PHY: IO Voltage: 3.3V/2.5V	MICREL	-40 to +85	1A SoC; 2K1000	否
网络 PHY	88E1111	10/100/1000 Gigabit Ethernet Transceiver: 10/100/1000Base-T; GMII/TBI/RGMII/RTBI/SGMII; 自适应; 低功耗; IO Voltage: 2.5V	MARVELL	-40 to +85	2J+CS5536;2J+1A;	是
网卡芯片	WG82574IT	1. PCIE x1; 2. 1 copper port: 10/100/1000Mbps; 3. 9mm*9mm	Intel	-40 to +85	龙芯 2H;龙芯 3A+780	否
网卡芯片	I210	Ethernet Controller: 1. PCIEV2.1 x1;	Intel	-40 to +85	龙芯 3A3000	否

		2. 1 port SerDes/Copper/Copper IT; 3. 9mm*9mm				
网卡芯片	I350	Ethernet Controller: 1. PCIE v2.1 x4/x2/x1; 2. 4 ports: Copper for 1000/100/10BASE-T; SERDES to support 1000BASE-SX/LX(optical fiber); SERDES to support 1000BASE-KX/BX ; SGMII for SFP; 3. 17mm*17mm	Intel	-10~55/85(with heat sink, airflow required)	龙芯 3A, 龙芯 2H	否

(2) 内存相关

表 3-1-2: 内存芯片汇总

芯片类型	芯片型号	参数说明	厂家	工作温度	验证平台	是否国产兼容替换
DDR3	HXI15H4G160AF-13K	4Gbit DDR3 SDRAM	Unisemicon	-40 to +95	龙芯 3A、龙芯 2H	
DDR3	K4B4G1646B-HCK0	1.5V 4Gbit DDR3 SDRAM;256Mx16;	SAMSUNG	0 to +70 (K4B4G1646B-HIK0: -40 to +85)	龙芯 3A、	
DDR3	MT41K256M16HA-125IT	1.35V(兼容 1.5V) 4Gbit DDR3L SDRAM; 256Mx16	Micron	-40 to +85	龙芯 2H;	
DDR2	MT47H128M16RT-25E IT:C	1.8V 2Gbit DDR2 SDRAM; 128Mx16	Micron	-40 to +85	龙芯 2J 3U;	HXI18T2G160AF-25D

DDR2	K4T1G164QG-BCF7	1.8V 1Gbit DDR2 SDRAM; 64Mx16	SAMSUNG	0 to +95	RS780 显存	
DDR2	MT47H64M16HR-25IT:H	1.8V 1Gbit DDR2 SDRAM; 64Mx16	Micron	-40 to +85	2F; 2J	HXI18T1G160AF-2 5D
DDR2	MT47H128M8CF-3IT:H	1.8V 1Gbit DDR2 SDRAM; 128Mx8	Micron	-40 to +85	龙芯 3A; 龙芯 1A;	
DDR2	MT47H128M8HQ-25IT	1.8V 1Gbit DDR2 SDRAM; 128Mx8	Micron	-40 to +85	龙芯 1B	
DDR2	HXI18T2G160AF-25D	1.8V 2Gbit DDR2 SDRAM; 128Mx16	Unisemicon	-40 to +95	龙芯 2J	

(3) 接口芯片相关

表 3-1-3: 接口芯片汇总

芯片类型	芯片型号	参数说明	厂家	工作温度	验证平台	是否国产兼容替换
RS-232	MAX3232EUE	Low-Power up to 1Mbps True RS-232 Transceivers; 3.0V to 5.5V ; 支持 2 路 2 线串口: 2 recivers and 2 drivers	Maxim	-40 to +85	龙芯 2J; 龙芯 3A	SM3232
RS-232	MAX3243EAI/EE AI	RS-232 收发器; 3.0V to 5.5V; 0.25Mbps; 支持全功能串口: 3 driver/5 receiver	Maxim	-40 to +85	龙芯 1A	否
RS-232	SP3243EEA	RS-232 收发器;3.0V to 5.5V;	EXAR	-40 to +85	2J+3U	否

		支持全功能串口： 3 Driver/5 Receiver ;				
RS-422/485	MAX490ESA	RS-422/485 收发器; 5.0V; 2.5Mbps; Half/Full Duplex	Maxim	-40 to +85	2J+1A	SM490
RS-422/485	MAX3490 ESA	RS-422/485 收发器; 3.3V; up to 12Mbps; Half/Full Duplex	Maxim	-40 to +85	龙芯 2J	SM3490
CAN 收发器	TJA1050	5V CAN TRANSCEIVERS			龙芯 1A	SM1050
CAN 收发器	SN65HVD232	3.3V CAN TRANSCEIVERS	TI	-40 to +85	龙芯 1B	否
CAN 收发器	PCA82C250	5V CAN TRANSCEIVERS	NXP	-40 to +125	龙芯 1E+1F	SM82C250
USB 转 TD/SD 卡	USB2244I	Ultra fast USB 2.0 Multi-format, SD/MMC, and MS Flash Media Controllers	SMSC	-40 to +85	龙芯 1A、龙芯 2H	否

(4) 桥片相关芯片

表 3-1-4: 桥片芯片汇总

芯片类型	芯片型号	参数说明	厂家	工作温度	验证平台	是否国产兼容替换
PCI-PCI 桥	PI7C8154B	PCI-to-PCI 透明桥: 64-bit 主/从 PCI 总线端口, 可达到 66MHz; 支持同步/异步操作;	Pericom	-40 to +85	龙芯 3A+RS780 龙芯 2J	否

		3.3V/5V tolerant I/Os;				
PCI-PCI 桥	PCI2050BIZHK	PCI-to-PCI 透明桥: Two 32-bit, 66MHz PCI buses; 3.3V/5V tolerant I/Os;	TI	-40 to +85	龙芯 2J	SM2050B
PCIe-PCI 桥	PEX8112-AA66BIF	PCIE to PCI Bridge: PCIE 1.0 x1; PCI V3.0 32bit 66MHz; PCI IO tolerant 3.3V/5V	PLX	-40 to +85	龙芯 2H	否
PCIe switch	PEX8619BA	16Lane、16PortPCIe Gen 2 switch; 19mm*19mm	PLX	-40 to +85	龙芯 3A+龙芯 2H	否
PCIe switch	PEX8606	6 Lane,6 port PCI Express Gen 2 Switch; 15mm*15mm	PLX	-40 to +85	龙芯 2H	否

(5) BIOS 芯片及板载存储相关

表 3-1-5: BIOS 芯片及板载存储相关

芯片类型	芯片型号	参数说明	厂家	工作温度	验证平台	是否国产兼容替换
SPI Flash	GD25Q80CSIG	8Mb GD SPI FLASH; SOIC8	GigaDevice	-40 to +85	龙芯 3A2000 及以上	国产
LPC Flash	SST49LF008A-33-4C	8 Mbit Firmware Hub; PLCC32	SST	0 to +85	龙芯 2J;龙芯 3A	否
NANDrive	GLS85LS1008P-S-I-FZJE	SATA NANDrive 8GB;	GreenLiant	-40 to +85	龙芯 3A	否

		BGA-145;				
NAND flash	MT29F128G08	128G SLC	Micron	-40 to +85	不使用	否
SPI Nandflash	GD5F4GQ4UAYIG	4G-BIT SPI NAND FLASH MEMORY	GigaDevice	-40 to +85	龙芯 2J	国产
SPI Nandflash	MT29F2G01AAAEDH4 IT:E	2G-BIT SPI NAND FLASH MEMORY	Micron	-40 to +85	龙芯 2J	否
Local BusFlash	SST39VF040-70-41-NHE	4M-BIT Multi-Purpose Flash PLCC32	SST	-40 to +85	龙芯 2F	否

(6) 显示相关芯片

表 3-1-6: 显示相关芯片

芯片类型	芯片型号	参数说明	厂家	工作温度	验证平台	是否国产兼容替换
DVO 转 VGA	ADV7125	Triple 8bit Hi-speed Video DAC	Analog Devices	-40~85℃	龙芯 2K1000	否
DVO 转 HDMI	ADV7513BSWZ	High Performance HDMI Transmitter	Analog Devices	-25 to +85	龙芯 2K1000	否
DVO 转 LVDS	DS90C363BMT	18bit DVO to LVDS	TI	-40 to +85	龙芯 2H	否
DVO 转 LVDS	DS90C387	Dual pixel 24bit DVO to LVDS	TI	-10 to +70	龙芯 2F	否
DVO 转 LVDS	GM8285C	28 位 LVDS 发送器	成都国腾电子	-40 to +85	未验证过	国产
DVO 转 LVDS	DS90C385AMTX	24/18bit DVO to LVDS	National Semiconductor	-10 to +70	龙芯 3A+2H 笔记本	否
DVO 转 MIPI	SSD2828QN4	MIPI	SOLOMON SYSTECH	-30 to +85	龙芯 2K1000	否

(7) 音频输入输出相关芯片

表 3-1-7: 音频输入输出相关芯片

芯片类型	芯片型号	参数说明	厂家	工作温度	验证平台	是否国产兼容替换
HDA CODEC	ALC888S-GR	7.1+2 CHANNEL HIGH DEFINITION AUDIO CODEC	Realtek	0 to +70	龙芯 3A+RS780	否
HDA CODEC	ALC269Q-VC3-GR	HD Audio codec	Realtek	0 to +70	龙芯 2K1000	否
I2S CODEC	ALC5651-CG	Dual I2S audio codec	Realtek	-25 to +85	龙芯 2K1000	否
AC97 CODEC	LM4550B	AC '97 Rev 2.1 Multi-Channel Audio Codec	TI	-40 to +85	龙芯 1A	否

(8) 时钟芯片方案

表 3-1-8: 时钟芯片方案

芯片类型	芯片型号	参数说明	厂家	工作温度	验证平台	是否国产兼容替换
Clock buffer	85108AGILF	1-to-8,differential-to-0.7V HCSL Clock distribution	IDT	-40 to +85	龙芯 3A+780E	否
Clock buffer	CY2305SXC-1	3.3V 零延迟时钟 buffer; 10MHz-100/133MHz; 1 输入 5 输出	Cypress	0 to +70 (CY2305SXI-1: -40 to +85)	龙芯 3A、龙芯 2J、 龙芯 2H	SM2305
Clock buffer	SM2309	3.3V 零延迟时钟 buffer;10MHz-100/133MHz; 1 输入 9 输出	深圳国微	-55 to 125	龙芯 2J+FPGA;2J3U	国产

可编程时钟 发生器	5P49V5908A_0	固化如下逻辑命名为 6P41505BNDGI, 输出: 1 路 25MHz 单端; 2 路 14.31818MHz 单端; 2 路 48MHz 单端; 1 路 200MHz 差分; 8 路 100MHz 差分	IDT	-40 to +85	龙芯 3A+780E/ 龙芯 3A3000+7A	否
		固化如下逻辑命名为 6P41505NDGI, 输出: 1 路 25MHz 单端; 2 路 33MHz 单端; 2 路 100MHz 单端; 1 路 200MHz 差分; 8 路 100MHz 差分			龙芯 2H 龙芯 3A+7A	
4-port LVDS Repeater	SN65LVDS104PW	1-to-4 PORT LVDS Repeater	TI	-40 to +85	双 3A+2H	否

二、新特性，新改动

2.1、待机唤醒的内存供电设计

龙芯 3A1500/3A3000 处理器的内存控制器对系统的待机（STR）和唤醒进行了特别的支持，以简化外围电路的设计。

在用户手册中内存控制器部分可以看到，硬件上只需要在 DDR_RESETn 引脚上增加反相器即可实现硬件支持，主要改动如下所示：

- （1）处理器的 CKE 引脚直接与内存颗粒相连，不做特殊处理。
- （2）复位信号用三极管做以下反向，软件也需要对应改动。

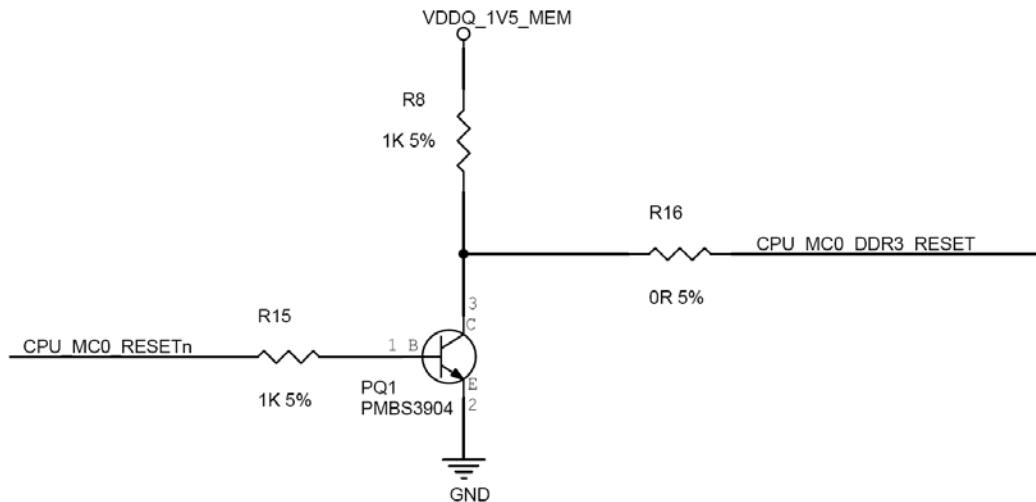


图 3-2-1: DDR3 内存复位信号处理

（3）其他地方没有变化，电源和以前的一样，内存用 S3 电，处理器用 S0 信号切开。

实际测试中发现，为了保证 DDR 相关引脚的功能正确性，还需要对芯片各电压域（MEM_VDDE 与 VDD）的掉电次序进行控制。如果只关 VDD，而不关 MEM_VDDE，会造成 DDR 引脚输出浮空而无法正确保持低电平。MEM_VDDE 与 VDD 的掉电时序之间有重叠就会导致 DDR 引脚输出有短暂的浮空而产生毛刺。

问题现象：

待机功能不正常，待机后无法正常唤醒。测量 DDR_CKE、DDR_RESETn 引脚，会看到在掉电时产生了毛刺。

解决办法：

在 MEM_VDDE 完全关断之后再关断 VDD。

2.2、四路互联时需要将所有的 HT0_x_LDT_RSTn 连接在一起

龙芯 3A2000/3A3000 处理器的 HT 接口，为了实现更灵活的总线频率设置，实现了软件的 PLL 配置方法，通过对 HT_L0 控制器中的寄存器操作来实现 PLL 频率切换。

而在四路互联时，使用 HT0 接口拆分为高低 8 位互联。此时，在对 HT_L0 进行频率切换时，也会导致 HT_Hi 的频率同步切换，因此要求 HT_L0 和 HT_HI 同时进行频率或 HT1.0/HT3.0 的切换。为了达到这一要求，需要将四个处理器的 HT0_x_LDT_RSTn 连接在一起。

所解决问题现象：

四路互联，进行频率切换时，重连之后无法正常访问相邻处理器。

三、EJTAG/JTAG

龙芯各系列芯片的 EJTAG 与 JTAG 信号都是复用关系，相关信号通过设置 EJTAG_SEL 信号来在 JTAG 与 EJTAG 之间切换。在做硬件设计时注意通过上下拉此信号将接口配置为所需的 EJTAG 或是 JTAG。

设计时注意 EJTAG_TRST 需下拉。

龙芯芯片支持 EJTAG 调试接口，通过该接口可实现龙芯各个方案板的在线调试，在设计时应该保留该接口。具体调试方法请参考《EJTAG 说明文档》。

建议在设计时尽量将板上 EJTAG 接口与龙芯官方 EJTAG 调试下载器接口保持一致，以方便以后的调试工作。

板上 EJTAG 接口封装形式为双排 2.54 间距 2X7 插针座，如下图：其中 12 脚不焊接。

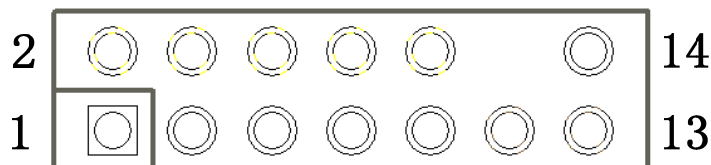


图 3-2-2: EJTAG 封装示意图

上图中方形焊盘为 1 脚，上下两行焊盘为偶数脚焊盘与奇数脚焊盘。

龙芯 EJTAG 调试接口定义如下：

表 3-3-1：EJTAG 信号列表

管脚编号	信号定义	管脚编号	信号定义
1	TRST	2	GND
3	TDI	4	GND
5	TDO	6	GND
7	TMS	8	GND
9	TCK	10	GND
11	NC		
13	JTAG_SEL	14	VCC (3.3V)

★注意：在线调试时注意 EJTAG 调试工具与接口要正确连接，切勿反插，EJTAG 调试工具不推荐热插拔避免烧坏 EJTAG 调试器。

如不使用 EJTAG 接口，EJTAG_TRST、EJTAG_TDI 需下拉，其它信号可悬空。
(强烈建议预留此接口)

四、龙芯其他芯片

其他龙芯工业级芯片推荐使用参数：

表 3-4-1：其他龙芯工业级芯片基本参数

参数	龙芯 2H	龙芯 1A	龙芯 1B
核电压	1.15V	1.2V	1.2V
主频	600MHz	266MHz	266MHz
DDR3 频率	266MHz	100MHz	133MHz
最大功耗	8W	1.1W	0.5W

备注：上表所标功耗均为芯片在最大负载时的峰值功耗

五、国产器件选择

表 3-5-1：国产器件厂家列举

器件类型	器件厂家	备注
电阻	振华云科、718 友益（未使用）、火炬	
电容	元六鸿远、成都宏科、振华新云（钽电容）、718 友益（钽电容）、火炬	
电感	顺络迅达	
磁珠	振华富、顺络迅达	
晶体、晶振	北京晶宇兴科技、航天 203 所、北京晨晶、武汉海创电子	

电源芯片	北京伽略电子、	
二极管	长春半导体、	
三极管	873 厂、济半所	
MOS 管	济半所	
网络变压器	顺络迅达（未使用过）	
接口芯片	深圳国微	
DDR 器件	紫光国芯	
保护器件	873 厂	
接插件	中航光电（158 厂）、深圳通茂、贵州航天电器	

六、龙芯处理器的 ACPI 方案

关于龙芯处理器的 ACPI 功能，以下以龙芯 2H 为例来做一些说明，龙芯 2K1000 以及龙芯 7A 的 ACPI 与之相差不大。

龙芯 2H 的 ACPI 的使能由 ACPI_CLKSEL3 配置：

0：不使用 ACPI 控制 1：使用 ACPI 控制

当不使用 ACPI 功能时：

ACPI_CLKSEL3 下拉，ACPI_SYSRSTn 作系统复位，ACPI_D0TESTn 上拉，其它信号输出可悬空，输入需拉低，此时 RTC 模块将无法使用。

整板电源管理 ACPI 设计：

龙芯 2H 支持 ACPI 协议 4.0a，提供功耗管理，支持 S3、S4、S5 低功耗状态，支持的唤醒方式有：USB、GMAC 和电源开关。目前开发板上只验证了 S3 低功耗状态和电源开关唤醒方式。

下面主要介绍 S3 状态（STR）的一些设计要求：

A：S3 状态下 CPU 控制关闭板上除 DDR 之外的所有电源，所以板上 DDR 电源应可控；

B：在 S3 状态下 DDR 颗粒进入自刷新模式，所以在 CPU 控制板上电源关闭之前应设置好 DDR 进入自刷新，注意 DDR 的 CKE 和 RESETN 信号的控制（在自刷新时 CKE 应保持低电平，RESETN 应保持高电平），方案请参考 2H 开发板 V2.2，需要注意的是 CKE 和 RESETN 信号都需要用 ACPI_SUSSTATN 控制（当 2H 进入 S3 休眠状态时，DDR_RESETN 输出低电平），否则无法由 S3 返回 S0，开发板 V2.2 上；RESETN 信号由 ACPI_S3 控制，需要修正。

C: 软件方面, 由于 CPU 集成各种接口控制器, 在 CPU 从 S3 状态恢复为 S0 状态后, 各种功能接口都需要重新初始化才能继续使用这些功能;

如方案中需要 ACPI 功能, 除相关引脚正确配置外, 注意 DDR 的电源在状态切换时不能有掉电现象, 否则该功能可能会有问题

如下面一种情况:



当有 S0 状态切换到 S3 状态或是由 S3 状态退回到 S0 状态时, 当电源有下掉现象时, 内存中在自刷新的数据可能会发生变化, 导致不能正常从待机中恢复。

正常情况下 DDR 的电源在这个过程应保持不变。

ACPI_VID[5:0]是调压控制引脚, 用于处理器动态调频时核电的电压调节, 这组信号复位后输出高阻, 需通过板级上下拉配置初始值。

如果不用动态调频, ACPI_VID[5:0]可悬空。

ACPI_CKE[3:0]是 RSM 域时钟使能信号输出, 用于在 DDR 自刷新时使其 CKE 保持低电平, 目前 2H 的这组引脚有 BUG, 不能使用。

七、龙芯硬件设计 FAQ 及相关硬件调试思路

(1) 龙芯 3A 是否支持 SPI 启动?

3A1000 不支持 SPI 启动; 3A1500/2000/3000 支持 SPI 启动。

(2) 龙芯 3A 的 BIOS 访问空间有多大?

BIOS 访问空间为 1MByte。

(3) 龙芯 3A 的 PCI 总线是否可以使用?

可以使用, 但如果方案使用 HT 总线, 则建议不使用 3A 的 PCI 总线。

(4) 龙芯 3A 内存控制器是否支持 ECC? ECC 芯片如何选型?

龙芯 3A 内存控制器支持 ECC。

ECC 选用的颗粒, 最好与其他内存颗粒相同; 若不同, 至少要保证该芯片实际所用的行列地址数与数据宽度和其它颗粒相同。如不能选择内存颗粒为 x16 数据宽度, 而 ECC 颗粒选用 x8 宽度。

(5) 龙芯 3A 内存控制器是否支持 16 位宽或 32 位宽?

支持 32 位宽, 但不支持 16 位宽。

(6) 龙芯 3A3000 频率配置？

龙芯 3A3000 支持软件配置 CPU 主频和内存频率，频率的设置须与硬件 CPU 核电压的配置相匹配，CPU 主频不同对核电压的要求也不同，若主频配置过高，而核电压没有与之匹配，则会导致 PMON 无法启动或系统不稳定。

(7) RS780E 的 DVI 和 LVDS 如何配置？

硬件上无需配置，直接连接 LVDS 或 DVI 设备，由软件配置实现与硬件设计一致。

(8) 龙芯 3 号的哪个系列支持多处理器互联？

龙芯 3A1000/1500/3B3000 是支持多处理器互联的；而龙芯 3A2000/3A3000 商业级不支持多处理器互联，所有 3A 工业级芯片均支持多片互联。

(9) 如果 HT 总线不用时，信号如何处理？

数据信号可悬空。控制信号如果 host_mode 下拉，则其他控制信号也要下拉；如果 host_mode 上拉处理（芯片内部集成上拉），则其他控制信号可悬空。

(10) 北桥 RS780E 的 GFX 上输出 DVI 如何连接？

北桥 RS780E 的 GFX 可以用于输出 DVI，对应连接关系如下：

GFX_TX0p/n --> TX2P(1st Link Red+/-)

GFX_TX1p/n --> TX1P(1st Link Green+/-)

GFX_TX2p/n --> TX0P(1st Link Blue+/-)。

(11) 北桥 RS780E 的显示无输出？

北桥 RS780E 支持两路 DVI 显示，一路是 LVTM 接口上的，另一路是 GFX 接口上的，如果板卡调试初期无显示，可先检查硬件中的 i2c 与 PMON 中配置是否一致。

(12) RS780E 显示出现花屏现象？

检查北桥散热是否满足条件，如果北桥过热有可能导致花屏现象。

(13) RS780E 的连接 PCIE 接口的可信模块，南桥输出的 A_RST#信号可

否直接连至可信模块？

不能，因为上电时南桥的 A_RST#会复位一次，而在 CPU 运行后 1.2-1.5s 左右，软件会驱动南桥再次复位了 PCIE_RST 信号，这样可信模块会再次被复位，设计时需特别注意。

（14）SB710 平台 SATA 偶尔不能识别？

检查南桥的 PCICLK3 是否已经下拉，该信号上拉是必须的，无论 PCI 总线是否使用。

（15）LPC 总线上挂接 Super IO 上的设备如 IO 设备工作不稳定，有时能检测到，有时无法检测到？

检查 Super IO 的 LPC 时钟是否与 LPC 控制器的 LPC 时钟同源，如果不同源易出现后端设备经常无法识别的现象。

（16）南桥 SB710 发出的 A_RST#信号是否可以用作 CPU 的全局复位 SysRst#输入？

不能。因为使用南桥的 A_RST#复位 CPU，则会导致 CPU 的 HT 复位时序无法满足，从而 HT 互联会出问题。目前的复位设计通常是 CPU 的 SYS_RST#与南桥的 PWR_GOOD 同步。

（17）在 LS3A 内存控制器部分中，MC0_COMP_REP_GND 和 MC0_COMP_REF_RES 两个引脚的作用是什么？有没有需要注意的地方？

内部补偿，将两个脚通过 121k 1%电阻连接，走线尽量短。

（18）龙芯 3A 的 pci_clk 做什么用？是否可以不供时钟？

龙芯 3A 的 pci_clk 必须要供，这个时钟用于 UART、LPC、SPI 等低速接口。如果使用 LPC 启动，pci_clk 要和 LPC flash 的 clk 同源。

（19）龙芯 2J 网络问题，批量板卡中部分板卡使用某些 ATX 电源测试，若在 PMON 的环境变量中设置了 IP 地址，则会在开关机测试中出现死机现象？

GMAC 的 125MHz 时钟晶振的供电电源没有加滤波电容，导致不稳定，噪声偏大，从而时钟 jitter 偏大，故障现象表现为自协商成千兆不稳定，协商为百兆时则是稳定的，因为该时钟不稳定导致内部的很多逻辑工作不正常，从而频繁

出现死机。

(20) 网络问题, GMAC 控制器搭配 Marvell 的 88E1111, 10M 模式可以 link 上, 可以 ping 通; 百兆和千兆模式, 网线图标显示为断网, 即无法 link 上?

Marvell 的 88E1111, 该 PHY 芯片端差分信号 MDI0~3 上没有并联端接 49.9 欧电阻及 0.01uF 电容至 GND, 导致信号幅值不对, 且不稳定, 从而影响信号识别, 在速度较高时出现无法 link 的问题。

注: 有些 PHY 要求有并联端接, 有些是不要求的, 需要仔细查看 datasheet。

(21) 龙芯 2J 不用 GMAC 功能, 125M 时钟是否需要供?

需要, 不供 125MHz 的 GMAC 时钟的话, 龙芯 2J 的取址会有问题。

(22) 龙芯 2H 在什么情况下才会产生 LS2H_LPC_RESETN 复位信号?

ACPI_RSTN 信号有输入时会产生 LS2H_LPC_RESETN, 内部工作异常也会导致该信号拉低, 还可以通过软件配置寄存器实现拉低。

(23) 2H 开发板为何以太网口部分要单独用一个复位按钮进行复位而不是跟随整板一起复位?

以太网单独复位是考虑网络唤醒功能, S3 状态下 PHY 需要正常工作, 所以要用 RSM 电压域的复位信号, 如果不用网络唤醒功能, 可以随整板一起复位。

(24) 不用 LS2H 的 ACPI 功能, 原理图相对开发板怎么改?

ACPI 功能配置为关闭; ACPI_SYSRSTN 仍作为 2H 的复位输入; ACPI_PWRBTNN 上拉到 RSM3V3; 上电完后给 LS2H_POWEROK 信号; 其它输出信号悬空, 输入信号根据情况做弱上拉到 RSM3V3 或下拉。

(25) 龙芯 2H 的上电时序图中要求 RTCRSTn 早于 VDD_RSM 2S 上电, 那么去掉电池会影响 2H 正常上电吗?

去掉电池不会影响 2H 正常上电。

(26) 龙芯 2H 方案中, RSMRSTn 在不使用 ACPI 功能的时候, 是否仍然需要在 CORE 部分之前变高才能满足上电时序? 电路设计上是否弱上拉即可?

弱上拉到 RSM3V3 即可。

(27) 上电后 BIOS 的 frame 信号一直有波形，且波形正常。调试串口没有打印信息。

该问题可能的原因有：

- 1、BIOS 座焊接不良；
- 2、BIOS 芯片与 BIOS 座接触不良；
3. BIOS 型号配置不正确（CPU 的 LPC_ROMINTEL 和 LPC_ROM8MBITS 用于配置 BIOS 芯片的类型及大小，应与 BIOS 的型号一致）；
4. BIOS 软件内容不正确。

(28) 龙芯 3A3000 6U CPCI PCI 网络 PMON 下 ping 延时正常，系统下 ping 延时很大。

网络在 PMON 下没有不使用中断信号，系统下使用中断信号。PCI 中断信号异常导致系统下网络 ping 延时很大。

(29) 龙芯 3A1000+780E，VGA 加 DVI 模式，pmon 下，DVI 不显示，VGA 显示。内核下，双路都显示正常。

VGA 加 DVI 模式，PMON 下要检测 DVI 的热插拔检测信号 TMDS_HPD1，该信号为高时 DVI 显示正常，该信号为低时 DVI 无显示。内核下不检测这个信号。

(30) CM6130 V3.0 的板卡插着串口线上电 PMON 无法正常启动，有时停在 HT 处或在 HT 处重启者，有时停在南桥看门狗使能或者其它地方。

CM6130 V3.0 的串口是全功能串口，串口芯片电源是 3.3V。对于全功能串口，应将 TXD 和 RXD 交叉，DTR 和 DSR 交叉，RTS 和 CTS 交叉。但我们买的串口线一般只有 TXD 和 RXD 做了交叉，DTR 和 DSR、RTS 和 CTS 没有交叉，导致串口线的输出接口连接了输入信号，在断电的时候，3.3V 掉不干净，掉到约 1.35V（拔掉串口线，3.3V 能掉干净，再插上串口线，不会漏电到 3.3V）。若在 3.3V 掉不干净时再启动板卡，则会影响南桥的启动状态，导致问题。把 DTR 和 DSR 交叉，RTS 和 CTS 交叉后板卡启动正常。

PS：只有全功能串口，且串口芯片电压是 3.3V 的板卡才会有这个问题。CM6130 V2.0 的板卡串口芯片电压是 5V，断电时 5V 也掉不干净，但 3.3V 是能

掉干净的，所以不影响启动。

(31) ALC888 音频没有输出？

检查 ALC888 的电源和时钟是否正常。AZ_SDOU、AZ_SDIN 信号是否正常（频率应是 12M），AZ_RST/是否正常（正常应该会在系统启动过程中变高），AZ_SYNC 是否正常（频率应是 48M）。

(32) W83627 功能异常

检查 LPC 总线是否正常；检查 W83627 的电源和时钟是否正常；检查 W83627 的配置引脚电平及时序是否正常。

(33) 关于 2H 的电源问题

龙芯 2H 的各路电源电压及时序要求参阅手册，见下图：

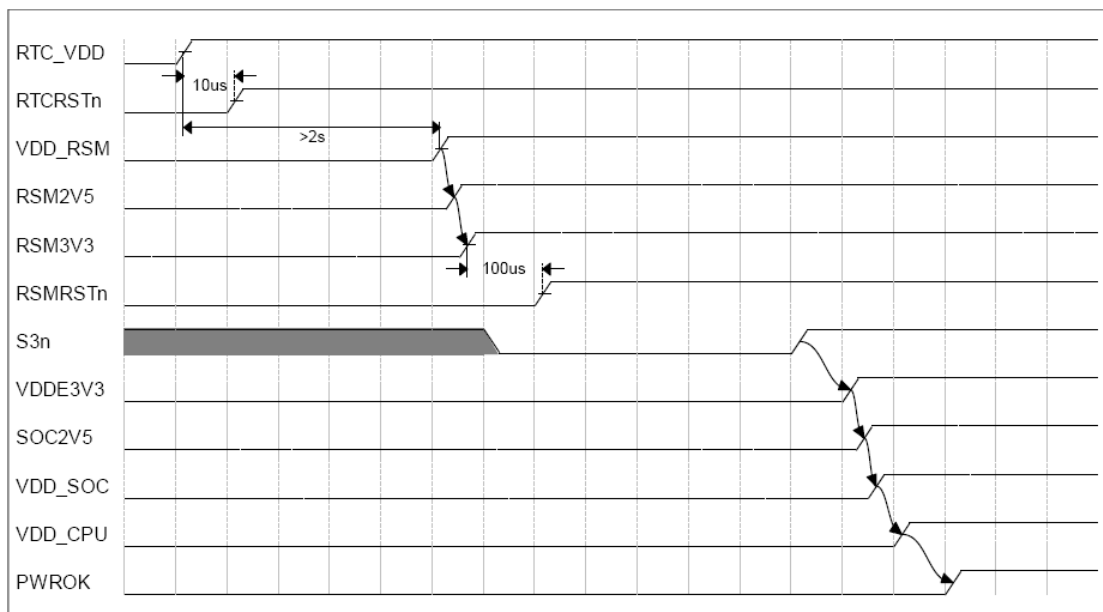


图 3-7-1：龙芯 2H 上电时序图

A：DDR_VDDQ 在图中没有标出，可以在 VDDE3V3 和 VDD_CPU，没有严格要求。

B：各电源时序之间的间隔时间没有严格要求。

C：即使不用 ACPI 功能，也要根据以上电源时序供电，RSM 域电源不可和 CORE 域电源合并。

(34) 龙芯 3A+2H 的方案中，龙芯 2H 的 DDR 做什么用？
做显存，支持 64bit/32bit。

(35) 3A+2H 的方案中，2H 的 BIOS 是否需要放置，做什么用？
龙芯 2H 的 BIOS 需要放，用于放一些 2H 的初始化内容。

(36) LS3A_HT_VDD 开发板设为 1.1V，手册 1.15V，设置哪个合理？
龙芯 3A 要求的是 1.2V，2H 要求的是 1.1V，所以就按 1.1V 设计了。

(37) SUPER IO 在 3A+780 的原理图里，做了两个选择，LPC 可以接 3A 也可以接南桥，可否删除其中一个。
可以，建议 SUPER IO 接在南桥上。

(38) 北桥 DDR3 显存选型？
三星的 K4B1G1646G-BCK0。

(39) 紫光国芯内存颗粒注意
紫光国芯的内存注意若所选颗粒有多余地址线未使用，请不要悬空，下拉处理。紫光的工程师反馈在 2H 平台上出现过由于没有下拉导致低温下内存不稳。

(40) 龙芯 3A 系统在-40℃下，启动失败。
测试电源质量，(2) 检查板上的元器件是否工业级产品。我司在某个案例中发现使用了 Y5V 的电容器导致问题，该电容的容量变化为 Tolerance -20% to +80%，不适用于工业级板卡

工业级板卡建议禁用 Y5V 级别料件，目前主流料件种类，NPO，X7R，X5R，Y5V，建议最低选用 X7R 级别料件，可以保证在高低温测试过程中不会由于电容造成系统可靠性问题！

同时，电源经常使用大容值电容，目前主要是铝聚合物电解电容，钽电容等，建议工业级板卡不使用电解电容，电解电容寿命短，受温度影响严重，高温会严重降低使用寿命，一般为商用主板中寿命最差料件。

(41) 某设备 PCI 设备扫描不到？
检查 PCIRST#信号是否正常，若异常则 PCI 设备无法正常工作。

(42) 龙芯 1B 网络引脚复用造成的网络问题
某方案中与龙芯 1B 的 MAC 配合工作的 PHY 芯片为 DM9161AE，

DM9161AE 与 MAC 的通信接口可通过配置设定为 MII 或是 Reduced MII。PHY 芯片 DM9161AE 在复位瞬间会读取 PIN36 COL 信号的状态来作出该配置，如下图手册中描述

This pin is also used to select Normal MII or Reduced MII. (power up reset latch input) 0= Normal MII (default) 1= Reduced MII
--

当 DM9161AE 复位瞬间读取到得 COL 信号为低时将 PHY 对外的接口配置为 MII，否则配置为 Reduced MII。

龙芯 1B 的 COL 信号通过 PWM 信号复用得到，如下图龙芯 1B 的手册中描述

PAD	MAC 信号	配置位	复位值
PWM0	MAC_0_COL	GMA0_USE_PWM01	1' b0
PWM1	MAC_0_CRS	GMA0_USE_PWM01	1' b0
GMA0_TX_CLK_0	MAC_0_RX_ERR	GMA0_USE_TX_CLK	1' b1

图 3-7-2：龙芯 1B 配置管脚

该引脚内部有上拉电阻，如 PHY 芯片与龙芯 1B 同时复位，复位瞬间该引脚状态为高。

DM9161AE 读取该引脚状态后将数据接口配置为 Redeced MII

（而实际原理图中 MAC 与 PHY 的连接是通过 MII 接口），

从而造成 PHY 将自己的接口状态配置错误，造成网路功能不正常。

该方案中同理 CRS 信号也有此问题，会使 PHY 芯片读取设定的 PHY Address 错误。

解决方法：将 PHY 的复位信号通过其他 GPIO 信号单独控制

（43）PCI 控制器与 PCI 设备所用 PCI Clock 不同源造成的设备访问错误

PCI 控制器与 PCI 身边所用的 PCI Clock 要求同源，否则设备访问时会偶发性的出现读写数据出错。

（44）由于上电时序造成的 CAN 收发器上电即进入低功耗模式

某龙芯 1 号的方案中使用的 CAN 收发器为 TJA041T，板卡上电后在还未配置 CAN 总线发送数据时，测试 TX，RX 脚为高，CANH，CANL 为低，正常情况下应该 CANH 和 CANL 静状态下为高电平，继续测试收发器芯片其他功能管

脚状态,发现 INH 脚为低,手册上提到,如果 INH floating 时,芯片进入 sleep mode,而进入 sleep mode 有两个条件,一个是 STB# 为 0, EN 为 1; 或者是 VCC 或 Vio 进入 under-voltage 状态持续 12.5ms 以上。设计上 STB# 和 EN 都是通过外部电阻直接上拉处理的,不会有问题。查看 Vcc 和 Vio 电源, Vio 3.3V 是通过 ISL8105IBZ 电压芯片输入 Vcc 5V 来生成,怀疑可能是电源时序问题,示波器测试如下:



图 3-7-3: 上电时序图

可以看到 Vio 是在 Vcc 上电后 13.4ms 之后才上电的,所以应该就是因为这个原因导致芯片进入了 sleep mode,

验证减小 Vcc 和 Vio 时序偏移时, CAN 收发器能正常工作在 normal mode 下,问题就出在时序上。

结论: TJA041T 在设计时要注意该芯片的上电时序

(45) 龙芯 1A 配置错误造成的处理器不取指问题

某客户设计的龙芯 1A 板卡,设计时参考的龙芯 1A 开发板,考虑到项目不需要 ACPI 功能,所以方案中没有设计 ACPI 功能,并且将板上 Standby 电源与普通电源合并在了一起。上电顺序为龙芯 1A 的 CORE 电与 IO 电源同时上电。

板卡调试时发现电源时钟复位均正常情况下龙芯 1A 不取指令,并且龙芯 1A 输出的 PCI_RESET 信号指示灯不断闪烁。

排查很长时间发现龙芯 1A 的 ACPI 配置信号 ACPI_EN 配置错误,误以为不使用 ACPI 的话只需不处理 ACPI 的电源切换部分电路,

结论: 当方案中为做 ACPI 相关设计时,切忌将 ACPI_EN 设置成不使能状

态。

（46）变压器供电错误造成的网路问题

在做网络部分的设计时要先搞清 PHY 是电流驱动型还是电压驱动型，电压驱动型的 PHY 搭配的网络变压器需要供电，具体供电电压需参阅相应 PHY 手册。

（47）关于龙芯处理器/桥片不用功能的电源处理

目前来看，在应用龙芯处理器、SOC 或者桥片的时候，无论是否使用芯片自带的某个功能以及接口，相关的电源引脚以及地引脚都必须正确连接电源以及 GND，切勿悬空处理。

（48）龙芯 7A1000 芯片内部走线在设计 PCB 时做等长是否需要考虑

龙芯 7A1000 内部各管脚也有内部走线延迟，但是 7A1000 需要做等长的各个管脚在芯片内部的延迟相差不大，所以在做高速信号的等长时可以不考虑 7A1000 内部的延迟。

（49）使用龙芯 7A1000 的 DVO 接口转换显示接口时，如果显示接口有插入检测信号，该信号需要如何连接？

具体接法在龙芯 7A1000 桥片通用类板卡硬件设计规范章节有详细描述。

八、HT 总线专题

（1）时钟

龙芯 3A 的 HT 参考时钟：单端时钟和差分时钟任接一种。

（2）配置信号

表 8-1-1：龙芯 3A HT 时钟控制

信号	作用
CLKSEL[15]	1'b1 表示 HT 控制器频率采用硬件设置 1'b0 表示 HT 控制器频率采用软件设置
CLKSEL[14]	1'b1 表示 HT PLL 采用普通时钟输入 1'b0 表示 HT PLL 采用差分时钟输入
CLKSEL[13:12]	2'b00 表示 PHY 时钟为 1.6GHZ 2'b01 表示 PHY 时钟为 3.2GHZ 2'b10 表示 PHY 时钟为 1.2GHZ 2'b11 表示 PHY 时钟为 2.4GHZ
CLKSEL[11:10]	2'b00 表示 HT 控制器时钟为 PHY 时钟 8 分频 2'b01 表示 HT 控制器时钟为 PHY 时钟 4 分频

	2'b10 表示 HT 控制器时钟为 PHY 时钟 2 分频 2'b11 表示 HT 控制器时钟为 PHY 时钟
--	---

注：CLKSEL[13:10] == 4'b1111 时，HT 控制器时钟为 bypass 模式，直接使用外部输入 100MHz 参考时钟

表 8-1-2：龙芯 7A1000 HT 相关配置

信号名称	类型	描述	电源
CLKSEL [8:0]	I/O	CLKSEL[1:0]:桥片除 HT 外其他模块时钟配置，默认使用 2'b00; CLKSEL[3:2]: HT 控制器时钟配置，默认使用 2'b00; CLKSEL[5:4]: HT PHY 时钟配置，默认使用 2'b01; CLKSEL[6]: HT PHY 参考时钟选择 CLKSEL[7]: HT PHY 时钟配置模式选择，默认使用 2'b0; CLKSEL[8]: HT 冷启动模式选择，默认使用 1'b0;	IO_3V3

下表为 HT 相关配置信号推荐配置：

表 8-1-3：龙芯各方案 HT 相关信号配置

具体方案	龙芯 3A 配置引脚	桥片配置引脚
龙芯 3A3000+7A 方案	CLKSEL[15:10]=000001 或者 010001	7A1000: CLKSEL[8:0]=001010000
龙芯 3A1500+7A 方案	CLKSEL[15:10]=000001 或者 010001	7A1000: CLKSEL[8:0]=001010000
龙芯 3A3000+2H 方案	CLKSEL[15:10]=000001 或者 010001	
龙芯 3A1500+2H 方案	CLKSEL[15:10]=000001 或者 010001	

备注：龙芯 3A 的配置有两种，区别在于 3A 的 HT 时钟源为单端时钟输入还是差分时钟输入。

表 8-1-4：与桥片连接的 HT1 配置参数表

HT1 连接桥片方案	HT1 控制器频率（电阻配置）	HT1 软件配置 总线频率
------------	-----------------	------------------

龙芯 3A1000+龙芯 2H	8 位, 200MHz	HT1.0, 8 位, 800MHz
龙芯 3A1000+AMD RS780E	8 位, 200MHz	HT1.0, 8 位, 800MHz
龙芯 3A1000+AMD SR5690	16 位, 400MHz	HT1.0, 16 位, 800MHz
龙芯 3A1500+龙芯 2H	8 位, 400MHz	HT1.0, 8 位, 800MHz
龙芯 3A1500+AMD RS780E	8 位, 400MHz	HT3.0, 8 位, 1600MHz
龙芯 3A1500+AMD SR5690	16 位, 400MHz	HT3.0, 16 位, 1600MHz
龙芯 3A1500+龙芯 7A1000	16 位, 400MHz	HT3.0, 16 位, 1600MHz
龙芯 3A3000+龙芯 2H	8 位, 400MHz	HT1.0, 8 位, 800MHz
龙芯 3A3000+AMD RS780E	8 位, 400MHz	HT3.0, 8 位, 1600MHz
龙芯 3A3000+AMD SR5690	16 位, 400MHz	HT3.0, 16 位, 1600MHz
龙芯 3A3000+龙芯 7A1000	16 位, 400MHz	HT3.0, 16 位, 1600MHz

多路互联:

表 8-1-5: 多处理器互联 HT0 配置参数表

多处理器通过 HT0 互联	HT0 软件配置	备注
龙芯 3A1000I 双路互联	HT1.0, 16 位, 800MHz	
龙芯 3A1500 双路互联	HT3.0, 16 位, 1600MHz	龙芯 3A1500 不支持四路互联
龙芯 3A3000I 双路互联	HT3.0, 16 位, 1600MHz	

(3) HT 问题

HT 总线连不上可能原因;

总线 1.6GHz 不稳定可能原因;

HT 问题排查思路

(1) 焊接问题, CPU 以及桥片均属于比较复杂的 BGA 封装, 任何一方焊接有问题都有可能造成 HT 互联失败;

(2) CPU 或者桥片配置问题;

(3) CPU 或者桥片的 HT 相关电源异常, 电压偏低或者纹波过大;

(4) 双 CPU 互联的 HT 频率可能由于某种原因(走线、时钟质量、高低温环境等)达不到 1600MHz, 建议降为 1200MHz;

九、龙芯 7A1000 桥片通用类板卡硬件设计规范（要求）

为建立龙芯 7A1000 桥片平台通用类系统的软硬件技术规范，预防后期可能出现的不同软、硬件版本适配兼容性问题。特制定本文档，作为对龙芯 7A1000 桥片在通用类板卡硬件设计时的强制性约束规范。

9.1、集成 GPU 部分设计注意事项

（1）显示接口 DDC 通道使用方法

7A1000 对每个显示通路的 DDC 做了具体规定。以 DVO0 为例，如使用不需要配置的视频编解码转换器（以下简称 PHY 芯片），则 DVO0_SCL 和 DVO0_SDA 经过电平转换后连接显示接口 如图 1 所示；如使用需要配置的 PHY 芯片，则 DVO0_SCL 和 DVO0_SDA 同时作为 PHY 芯片的配置通道和 EDID 读取通道使用 如图 2 所示；

注：DVO1 通路的使用方法与 DVO0 相同。

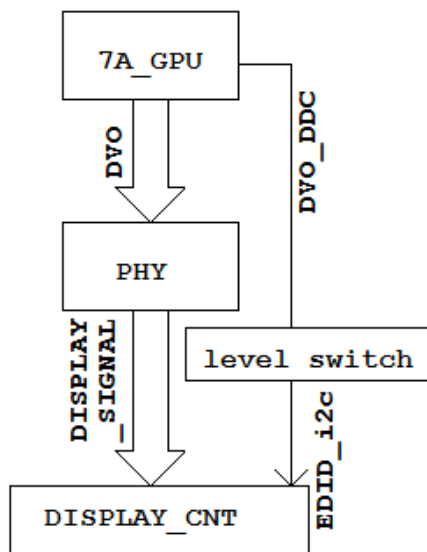


图 1

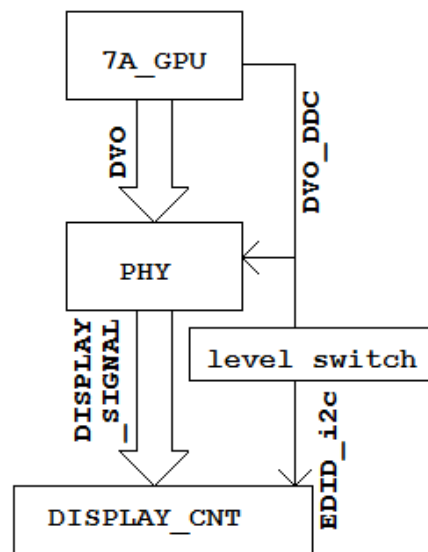


图 2

（2）LVDS 转换方案

对于 LVDS 等固定显示屏方案，EDID 信息支持选用如图 3 所示外部独立 rom 存放，也可以使用 BIOS 软件集成的方式如图 4。

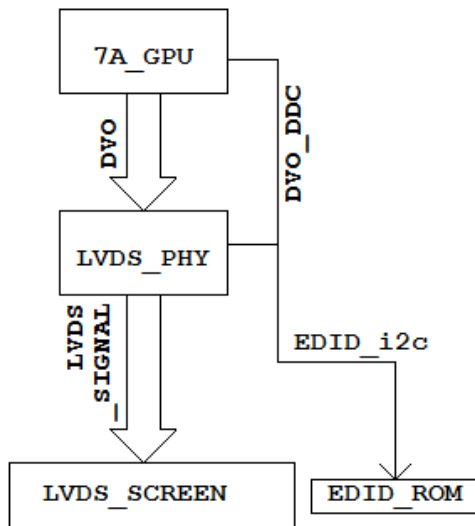


图 3

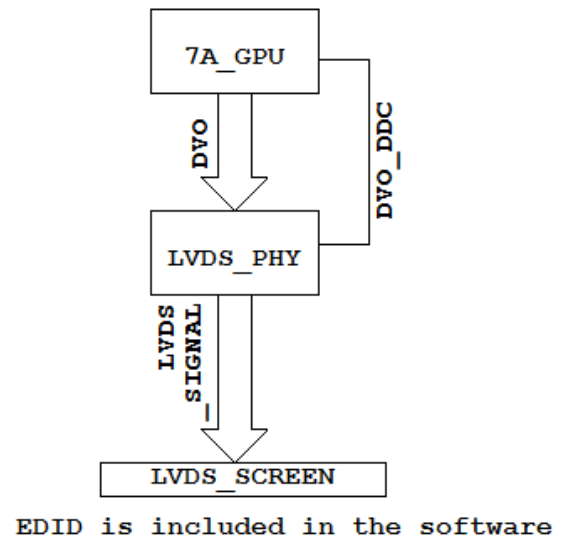


图 4

（3）多屏显示方案

如果可以实现独立的双屏显示，需要使用两路 DVO 通道来实现。可以实现扩展和镜像切换。

如果只需要镜像双屏显示，硬件上需选用一款多通道输出 PHY 芯片来实现，对于多通道输出的 PHY 显示方案，硬件板卡设计时对应 DVO 显示通道的 DDC 只能连接到其中一路显示输出作为主显示接口，可以获取主显示接口上显示器的 EDID 信息，即可以实现显示器的拔插检测，未连接 DDC 通道的显示接口不能获取显示器的 EDID 信息，只能作为主显示接口的镜像显示。两个显示屏幕不能作为扩展屏使用。

对于三屏方案的实现，需使用 7A1000 的两路 DVO 通道，其中一路采用上述镜像屏幕显示方案，即三屏方案中的两个屏幕只能作为镜像屏。

（4）PHY 芯片型号适配列表：

截至 2018 年 6 月在龙芯 7A1000 平台 GPU 驱动支持的显示 PHY 芯片方案如下：

型号	厂商	描述
SiI9022ACNU	Silicon Image	24bit RGB 转 单路 HDMI 1.3
IT66121FN	ITE	24bit RGB 转 单路 HDMI 1.4
ADV7511	Analog	24bit RGB 转 单路 HDMI 1.4/DVI
CH7034B-BF	Chrontel	24bit RGB 转 模拟 VGA/单通道 LVDS

ADV7125	Analog	24bit RGB 转 模拟 VGA
CH7055A	Chrontel	24bit RGB 转 模拟 VGA

如选用新型号需向龙芯中科申请以获取软件驱动的支持与认证。

（5）热插拔类

龙芯 7A1000 桥片将 GPIO14(PIN 脚 W28)和 GPIO15(PIN 脚 W27)分别定义为 DVO0 和 DVO1 显示通道的 Hotplug_Detect 功能，当显示通道配置为 DVI、HDMI 等需要热插拔检测的显示接口时，需将相应的显示接口上的 HPD 信号经过电平转换后连接到 7A1000 相应的 Hotplug_Detect 管脚，如图 5

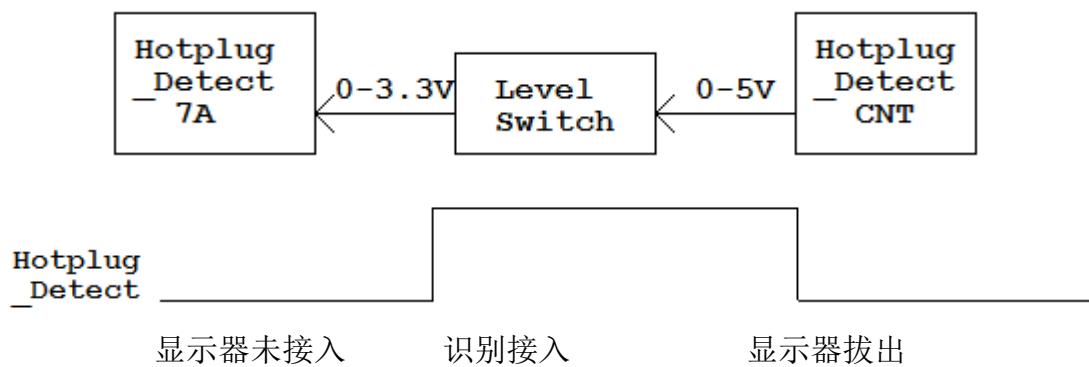


图 5

9.2、主板复位信号

7A1000 桥片平台主板的复位信号需留有看门狗或类似外部强制复位线路。如图 6

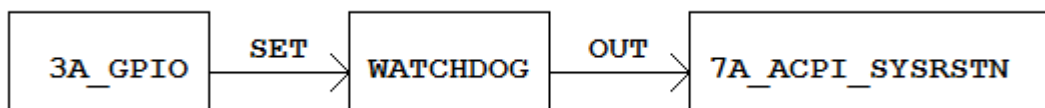


图 6

9.3、桥片 SPI 存储 rom

7A1000 平台主板硬件设计时，7A1000 桥片的 SPI 总线必须连接一个 SPI

flash, 片选固定为 CS0, 读写方式必须完全兼容 SST25VF010, 容量不低于 128KB。该 flash 用于存储桥片集成 GMAC 的 MAC 地址、集成 GPU 显示相关参数信息、主板串号等。

声明

本培训文档为龙芯中科技术有限公司安全应用事业部近些年来所积累的关于应用龙芯处理器的一些设计要点，希望通过此文件能帮助使用龙芯处理器的客户更快的设计开发出符合自己要求的方案、板卡及软件，本文中涉及到的各项注意点以及方法只在龙芯处理器的方案中有效，切勿联系到其他应用中。

以下所总结的针对龙芯处理器应用的设计要点有可能验证不充分或由于其他原因存在错误，如部分描述与龙芯中科发布的正式文件，如芯片使用手册等有冲突或是不一致的地方，最终以龙芯中科官方发布文档为准，如在使用龙芯处理器过程中发现有問題之处还请与我司联系，以便我们完善产品，谢谢！

本说明文件包含的内容并不代表本公司的承诺，本公司保留对此文档更改的权利，如做更改恕不另行通知。



龙芯中科技术有限公司

安全应用事业部

地址：北京市海淀区温泉镇中关村环保科技示范园龙芯产业园 2 号楼

邮编：100095

公司传真：010-62600826

联系电话：010-62546668 转 1801

联系邮箱：humingchang@loongson.cn

公司网址：<http://www.loongson.cn>

龙芯社区：<http://www.loongnix.org>

下载网址：<http://ftp.loongnix.org/>