

Resumen de los Artículos Sobre ARM

Facultad de Ingeniería, Universidad de Cuenca
ORGANIZACIÓN Y ARQUITECTURA DE COMPUTADORES
Christian Collaguazo Malla, Freddy Abad León, Bryan Aguilar Yaguana
Cuenca, Ecuador

[fchristian.collaguazo, freddy.abadl, bryan.aguilar}@ucuenca.edu.ec](mailto:{christian.collaguazo, freddy.abadl, bryan.aguilar}@ucuenca.edu.ec)

Abstract — *La invención del microprocesador suscitó un hito importante en la historia de la informática, las siguientes tres décadas avistaron un desarrollo exponencial, el cual se resumió el lema de la Ley de Moore. Sin embargo, en la actualidad llegamos a los límites físicos de los materiales, por lo cual se frena paulatinamente este desarrollo exponencial. Sin embargo, se están trabajando en alternativas que permitan aumentar la densidad de transistores, con eficiencia energética sin comprometer la velocidad de cómputo. El siguiente informe presenta un análisis de tres artículos que tratan este tema y las arquitecturas de microprocesadores desde su inicio, hasta la actualidad, haciendo énfasis en cómo se maneja en un futuro todos estos temas.*

Index Terms — ARM, MICROPROCESSOR, INTEL

I. INTRODUCCIÓN

La invención del microprocesador suscitó un hito importante en la historia de la informática, las siguientes tres décadas avistaron un desarrollo exponencial, el cual se resumió el lema de la Ley de Moore. Sin embargo, en la actualidad llegamos a los límites físicos de los materiales, por lo cual se frena paulatinamente este desarrollo exponencial. Sin embargo, se están trabajando en alternativas que permitan aumentar la densidad de transistores, con eficiencia energética sin comprometer la velocidad de cómputo. El siguiente informe presenta un análisis de tres artículos que tratan este tema y las arquitecturas de microprocesadores desde su inicio, hasta la actualidad, haciendo énfasis en cómo se maneja en un futuro todos estos temas.

II. ARM AND INTEL BATTLE OVER THE MOBILE CHIP'S FUTURE

Con el paso de los años, las diferencias entre las computadoras tradicionales y los dispositivos móviles han ido desapareciendo. Los usuarios usan los dispositivos móviles para acceder a la web y realizar diversas tareas, no solo hacer llamadas. Es decir, los dispositivos móviles están haciendo más tareas relacionadas a la computación que en el pasado. Lo que requiere procesadores móviles de alto rendimiento y que administren y conserven la energía ahorrando la batería de dichos dispositivos.

ARM ha dominado el mercado de los chips móviles por aproximadamente 20 años, esta empresa no fabrica procesadores, sino diseña núcleos, CPU y arquitecturas de microprocesadores. El resultado ha sido un núcleo ARM con chips que aceleran funciones como la representación de video o almacenamiento en memoria caché.

Intel, que gobierna el mundo de los chips de PC portátiles, planea desafiar a ARM, ya que los dispositivos móviles se han convertido en un mercado atractivo con gran éxito. A diferencia de ARM, Intel pone la mayoría de funciones en un solo chip, en lugar de usar piezas separadas de silicio. Es decir, Intel de tratar de dar a dispositivos móviles el poder de las PC pequeñas.

En pocas palabras, ARM está tratando de construir dispositivos de PC de mano más potentes, mientras que Intel trata de hacer una PC de mano basada en la arquitectura x86. Lo que ha dado lugar a una batalla entre dos líderes del mercado y su manera de ver el mundo de los móviles inteligentes.

A. UN CUENTO DE DOS ENFOQUES.

La clave para diseñar chips de móviles inteligentes es proporcionar alto rendimiento, multifuncionalidad y bajo consumo de energía.

B. MODELO DE ARM

De forma básica, la arquitectura ARM es un diseño de CPU de conjunto de instrucciones reducido de 32 bits. Dispositivos de teléfonos inteligentes utilizan el conjunto de instrucciones ARM versión 5 o 6 con velocidades de reloj de 400MHz a 1 GHz. Consumen poca energía en comparación con las PCs portátiles. En el año 2007, alrededor de 3 mil millones de chips se enviaron a todo el mundo.

A medida que los teléfonos inteligentes han agregado capacidades, los fabricantes de chips han tenido que incluir circuitos dedicados para proporcionar la funcionalidad necesaria con el rendimiento requerido. Además, el uso de múltiples chips también minimiza el consumo de energía porque no se ejecutan todo el tiempo.

Con las nuevas tendencias en dispositivos inteligentes, ARM está diseñando núcleos (Cortex A8 y A9), así como para UMPCs y MID, que tienen pantallas más grandes, más capacidades y navegadores de Internet. Los núcleos Cortex admiten un conjunto más rico de características con más capacidades, como velocidades de reloj altas y nuevas técnicas de administración de energía. Cada vez, la tecnología en estos chips es mejor y proporciona aceleradores gráficos, de audio y video con procesadores de imágenes para la cámara de los dispositivos.

C. EL MODELO DE INTEL

El mercado de la telefonía celular ha crecido rápidamente, por lo que, los dispositivos móviles representan un mercado cada vez más atractivo para los fabricantes de chips. Intel ha

apuntado a teléfonos inteligentes, desarrollando la plataforma de procesador XScale basada en ARM. Los chips XScale tuvieron un éxito moderado, pero Intel vendió la plataforma a Marvell en 2006.

En lugar de requerir chips separados para muchas tareas diferentes, Intel ha mantenido la mayoría de las funciones en un solo chip, que tiene un modo de ráfaga que le permite funcionar a velocidades de reloj superiores a las normales durante cortos períodos de tiempo.

Intel está acostumbrada a integrar tantas funciones como sea posible en sus chips. La compañía quiere hacer lo mismo con sus chips móviles, el problema es evitar el uso excesivo de energía en el proceso.

La idea principal de Intel es permitir a los dispositivos móviles utilizar el mismo software basado en x86 que ejecutan las PCs personales, brindando una experiencia de escritorio y permitiendo trabajar con las mismas aplicaciones a las que están acostumbrados desde sus PC.

Según Intel, los usuarios querrán experiencias similares a las PC de futuros dispositivos móviles.

D. LA BATALLA SE LLEVA A CABO

ARM e Intel están llegando al mercado de chips para dispositivos móviles desde diferentes perspectivas. La ventaja de ARM en dispositivos móviles es su núcleo de bajo consumo y flexibilidad de diseño. Sin embargo, Sin embargo, Intel tiene la ventaja de trabajar con muchos fabricantes de PCs que desean comenzar a vender dispositivos móviles.

Los analistas están de acuerdo en que Intel ha logrado avances significativos en la tecnología de chip móvil. Además, puede ofrecer utilidades a proveedores y desarrolladores. Sin embargo, el consumo de energía es un factor crítico.

ARM tiene la ventaja de la experiencia en el diseño de chips móviles, núcleos con bajo consumo de energía, así como una gran base instalada.

En general, tanto Intel como ARM producen tecnología con una amplia gama de controladores y periféricos integrados. Cada tipo, ARM o x86, encaja en su propio nicho. Ver la comparación en la Fig. 1.

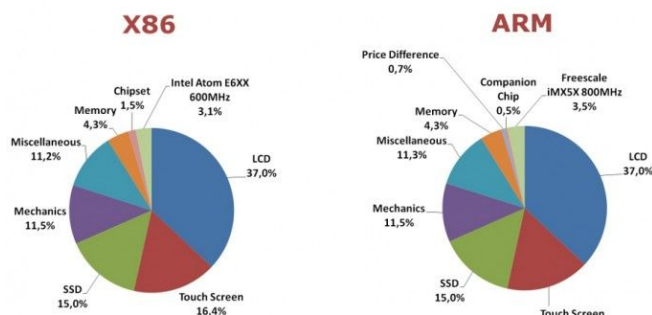


Fig. 1. Comparación entre Intel x86 y ARM

III. ARM ECOSYSTEM REDUCES SoC DESIGN COST AND TIME TO MARKET

A. VERIFICACIÓN DEL DISEÑO

Los SoC a menudo combinan núcleos con licencia y

diseñados internamente. A menudo el equipo de ingeniería pasa verificando el diseño lógico. Se debe centrar en los núcleos internos, que a menudo agregan el mayor valor y diferenciación al SoC.

El siguiente paso para el equipo de diseño de SoC es conectar estos núcleos y optimizar el rendimiento a nivel del sistema.

Los diseños de referencia son otra herramienta importante para los diseñadores de SoC, que proporcionan una RTL completa para un subsistema SoC o incluso un chip completo. Estos diseños demuestran cómo configurar y conectar un conjunto de núcleos. Sin un diseño de referencia, el proceso de desarrollo a menudo toma más tiempo.

Arm suministra diseños de referencia y plataformas completas para diversas aplicaciones finales. sus placas de desarrollo Juno incluyen un SoC que integra las CPU Cortex-A72 y Cortex-A53 junto con una GPU de Mali, la interconexión CoreLink y la interfaz IP. La plataforma es compatible con las tarjetas de complemento LogicTile Express FPGA, que permiten a los clientes ampliar el sistema de creación de prototipos.

Incluso después de que todo funcione en conjunto, el SoC puede tener cuellos de botella o desajustes que degradan el rendimiento del sistema. Estos se pueden abordar mediante agregar más ancho de banda, potencia de cálculo, memoria, etc. Ver figura 2.

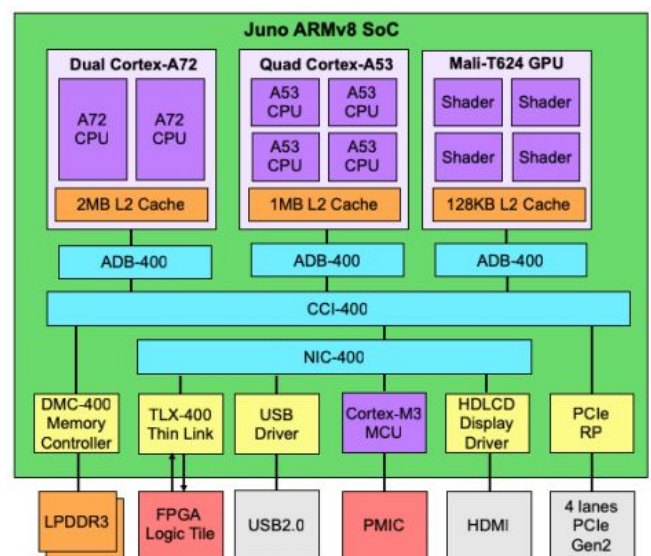


Fig. 2. SoC

B. SEGURIDAD Y PROTECCIÓN

La arquitectura de seguridad de la plataforma (PSA) de Arm establece un marco común de software de hardware seguro para dispositivos que utilizan núcleos de procesador basados en Arm, incluidos aquellos con capacidad TrustZone. Donde se incluye:

- Especificaciones de arquitectura de hardware y firmware.
- Una implementación de referencia de firmware de código abierto
- Análisis de seguridad y modelos de amenazas

Para cumplir con estos estándares de seguridad, los

diseñadores de chips deben identificar la procedencia (fuente) de cada bloque de IP en el chip y certificar según los estándares. Arm, proporciona paquetes de seguridad funcional que ayudan con el diseño crítico para la seguridad. Para cumplir con los requisitos de seguridad de ASIL D, los procesadores deben protegerse contra fallas transitorias y fallas permanentes. Los núcleos mejorados para automóviles de Arm, como el CortexA65AE y Cortex-A76AE, incluyen los mecanismos necesarios de detección de fallas y protección.

C. DISEÑO FÍSICO

Una vez que la RTL está completa y validada, el equipo de SoC debe desarrollar el diseño físico. Los núcleos de múltiples fuentes pueden requerir diferentes flujos de diseño para compilar adecuadamente y satisfacer las reglas de diseño de la fábrica.

El equipo debe recorrer el diseño hasta que cumpla con todas:

- Las reglas de diseño.
- Requisitos de tiempo.

Arm proporciona flujos de referencia, estos scripts ayudan a los diseñadores a generar diseños más rápidamente y cumplen todas las reglas de diseño.

Los equipos de diseño de SoC suelen tener tantos ingenieros de software como ingenieros de hardware, o más.

Cualquier ecosistema de software comienza con lo básico:

- Compiladores
- Depuradores
- Otras Herramientas De Desarrollo.

Arm es uno de los ISA más populares para desarrolladores, por lo que los proveedores de software (ISV) proporcionan una amplia gama de herramientas de desarrollo de código.

Las CPUs de Arm implementan un hardware de depuración llamado CoreSight que permite el acceso a los registros internos y otros estados del procesador.

Para los sistemas operativos, Arm cubre el alfabeto desde Android hasta Zephyr.

Los proveedores de microcontroladores como Microchip, NXP, Renesas, STMicroelectronics y Texas Instruments ofrecen placas de desarrollo que contienen sus procesadores basados en Arm. La construcción de un ecosistema floreciente requiere no solo tiempo, sino también compatibilidad con el conjunto de instrucciones.

Aunque la compañía ha evolucionado su arquitectura varias veces en las últimas décadas para agregar características modernas, los núcleos y chips de hoy en día siguen siendo compatibles con el software antiguo (a veces mucho más antiguo).

IV. THE FUTURE OF MICROPROCESSORS

La ley de Moore estimaba que aproximadamente “cada dos años se duplica el número de transistores en un microprocesador” [2]. El desarrollo de toda la tecnología que conlleva producir un microprocesador tuvo un masivo avance, multiplicándose por 1000 los últimos años. Esto ha sido impulsado por la velocidad del transistor y la escala de energía, así como por los avances de microarquitectura que

explotaron las ganancias de densidad de transistores (Ver Figura 3).

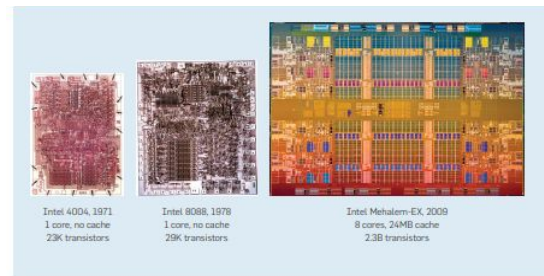


Figura 3: Evolución del microprocesador 1971-2009.

Ante tal masivo desarrollo, en la actualidad se presenta desafíos como la asociación entre software y hardware para lograr una eficiente orquestación de datos, convirtiéndose cada vez más crítica en el impulso hacia la computación proporcional a la energía.

El presente ensayo pretende reflejar y proyectar las tendencias macro que configuran el futuro de los microprocesadores y esbozar el rumbo del diseño del procesador.

Los microprocesadores se inventaron en 1971 y para sus creadores debió ser difícil concebir la magnitud de su creación. En la actualidad, los microprocesadores involucran micro-arquitecturas complejas y múltiples motores de ejecución (núcleos), incluyendo todo tipo de funciones adicionales: unidades de punto flotante, cachés, controladores de memoria y motores de procesamiento de medios. A pesar de estos avances, el microprocesador tiene las mismas características iniciales: un único chip semiconductor que incorpora el motor de cálculo primario en un sistema informático.

A pesar que la ley de Moore tiene en la actualidad un retroceso de desarrollo, se mantiene pero exigiendo cambios radicales en la arquitectura y el software.

Las arquitecturas se acercan a la heterogeneidad, y explota la generosidad de los transistores para incorporar hardware personalizado de la aplicación. Además el software debe aumentar el paralelismo y explotar el hardware personalizado de la aplicación para ofrecer un crecimiento del rendimiento. (Ver figura 4)

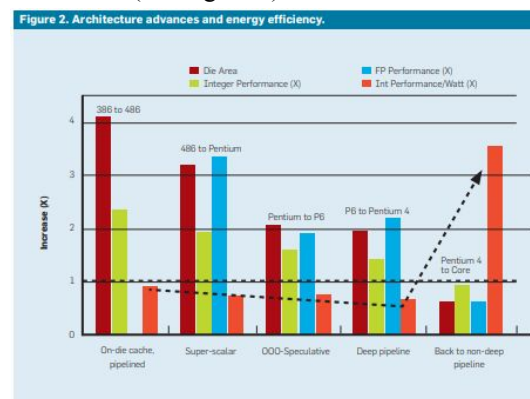


Figura 4- Avances en Arquitecturas y eficiencia energética.

Durante los últimos 20 años, el desarrollo en el rendimiento del microprocesador fue posible por tres controladores de tecnología clave: escala de velocidad de transistor, técnicas

de microarquitectura de núcleo y memorias caché, que se analizan a su vez en las siguientes secciones:

- Técnicas de microarquitectura del núcleo.
- Transistor de escala de velocidad.
- Arquitectura de la memoria caché.

A. TRANSISTOR DE ESCALA DE VELOCIDAD.

El transistor MOS ha sido utilizado masivamente, aumentando el rendimiento en casi cinco órdenes de magnitud y proporcionando la base para el rendimiento informático de hoy. Fue desarrollado por Robert N. Dennard de IBM 17 en 1970. El escalamiento requiere reducir las dimensiones del transistor en un 30% cada generación (dos años) y mantener constantes los campos eléctricos en todo el transistor para mantener la confiabilidad. Suena fácil, sin embargo, es complejo. El escalado de transistores clásico proporciona tres beneficios principales que hicieron posible un rápido crecimiento en el rendimiento de cómputo. Primero, las dimensiones del transistor se escalan en un 30%, su área se reduce en un 50%, duplicando la densidad del transistor en cada generación de tecnología. En segundo lugar, a medida que se escala el transistor, su rendimiento aumenta en aproximadamente un 40%, lo que proporciona un mayor rendimiento del sistema. Tercero, para mantener constante el campo eléctrico, la tensión de alimentación se reduce en un 30%, reduciendo la energía en un 65%, o la potencia en un 50%. Uniendo todo, en cada generación de tecnología, la integración de transistores se duplica, los circuitos son 40% más rápidos y el consumo de energía del sistema sigue siendo el mismo. Esta escalada fortuita permitió un aumento de tres órdenes de magnitud en el rendimiento del microprocesador en los últimos 20 años. Los arquitectos de chips explotaron la densidad de transistores para crear arquitecturas complejas y la velocidad de transistores para aumentar la frecuencia, logrando todo dentro de una potencia razonable y una envolvente de energía.

B. TÉCNICAS DE MICROARQUITECTURA DEL NÚCLEO.

Las micro arquitecturas avanzadas despliegan la abundancia de la capacidad de integración de transistores, empleando una serie de técnicas vertiginosas, que incluyen la canalización, la predicción de ramificaciones, la ejecución fuera de orden y la especulación, para ofrecer un rendimiento cada vez mayor.

La Figura 2 describe los avances en microarquitectura, mostrando aumentos en el área y el rendimiento y la eficiencia energética (rendimiento / vatio), todos normalizados en la misma tecnología de proceso. Estos datos muestran que las memorias caché y las arquitecturas de tuberías en la matriz utilizan bien los transistores, lo que proporciona un aumento significativo del rendimiento sin comprometer la eficiencia energética. En esta era, las arquitecturas superscalar y fuera de servicio proporcionan beneficios de rendimiento considerables a un costo en eficiencia energética. De estas arquitecturas, el diseño de tubería profunda brinda el aumento de rendimiento más bajo para la misma área y el aumento de potencia que el diseño

fuera de servicio y especulativo, incurriendo en el mayor costo en eficiencia energética. El término "arquitectura de canalización profunda" describe una canalización más profunda, así como otras técnicas de microarquitectura y circuitos (como el caché de rastreo y la lógica de dominó de reinicio automático) empleadas para lograr una frecuencia aún mayor. Los transistores más rápidos proporcionan un rendimiento adicional del 40% (frecuencia aumentada), casi duplicando el rendimiento general dentro de la misma envolvente de potencia (según la teoría de escala). Sin embargo, en la práctica, implementar una nueva microarquitectura cada generación es difícil, por lo que las ganancias de la microarquitectura son generalmente menores. En los microprocesadores recientes, el creciente impulso hacia la eficiencia energética ha llevado a los diseñadores a renunciar a muchas de estas técnicas de microarquitectura.

La Regla de Pollack captura ampliamente las compensaciones de área, potencia y rendimiento de varias generaciones de microarquitectura, se usa como regla general para estimar el rendimiento de un solo hilo en varios escenarios.

C. ARQUITECTURA DE LA MEMORIA CACHÉ.

La tecnología de memoria dinámica (DRAM) también avanzaron masivamente, pero con características diferentes. Por ejemplo, la densidad de la memoria se ha duplicado casi cada dos años, mientras que el rendimiento ha mejorado más lentamente (consulte la Figura 6a). Esta mejora más lenta en el tiempo del ciclo ha producido un cuello de botella en la memoria que podría reducir el rendimiento general de un sistema. La Figura 6b describe la creciente disparidad en la velocidad, aumentando de 10 a 100 ciclos de reloj del procesador por acceso a la memoria. El mercado de DRAM ha exigido una gran capacidad a un costo mínimo sobre la velocidad, dependiendo de los cachés pequeños y rápidos en el chip del microprocesador para emular la memoria de alto rendimiento al proporcionar el ancho de banda necesario y la baja latencia en función de la localidad de los datos. La aparición de jerarquías de memoria sofisticadas, pero eficaces, permitió a DRAM enfatizar la densidad y el costo sobre la velocidad. Al principio, los procesadores utilizaban un solo nivel de caché, pero a medida que la velocidad del procesador aumentaba, se introducían de dos a tres niveles de jerarquías de caché para cubrir la creciente brecha de velocidad entre el procesador y la memoria. En estas jerarquías, los cachés de nivel más bajo eran pequeños pero lo suficientemente rápidos para satisfacer las necesidades del procesador en términos de alto ancho de banda y baja latencia; Los niveles más altos de la jerarquía de caché fueron optimizados para el tamaño y la velocidad.

La Figura 5 describe la evolución de las memorias caché en la matriz en las últimas dos décadas, trazando la capacidad de la memoria caché (a) y el porcentaje del área de la matriz (b) para los microprocesadores Intel. Al principio, los tamaños de caché aumentaron lentamente, con una disminución del área del troquel dedicada al caché, y la mayor parte del presupuesto disponible para transistores se

dedicó a los avances de la microarquitectura principal.

La Figura 6 divide el aumento acumulativo del rendimiento del microprocesador Intel de 1.000 veces en las últimas dos décadas en rendimiento entregado por la velocidad del transistor (frecuencia) y debido a la microarquitectura. (Ver figura 5 y 6).

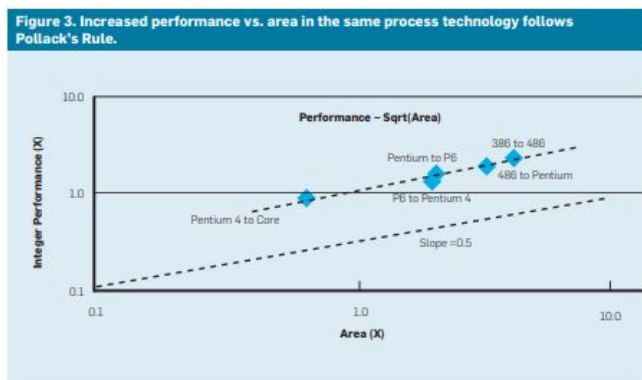


Figura 5 Comparativa en base a la Regla de Pollack

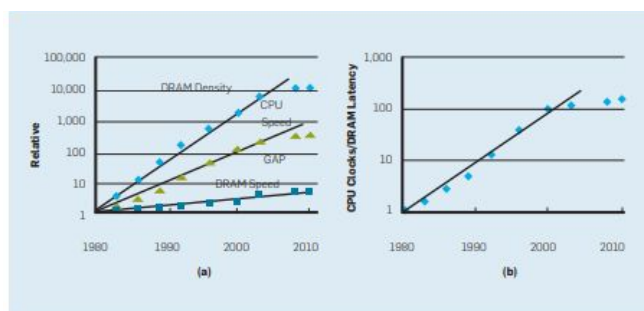


Figura 6- Comparativa DRAM

D. FUTURO DEL MICROPROCESADOR

La tecnología de microprocesadores ha brindado una mejora en el rendimiento de tres órdenes de magnitud en las últimas dos décadas, por lo que continuar esta trayectoria requeriría un aumento de rendimiento de al menos 30 veces para 2020. La escala del rendimiento del microprocesador enfrenta nuevos desafíos (ver Tabla 1) que excluyen el uso de energía. Innovaciones de microarquitectura ineficientes desarrolladas en las últimas dos décadas.

Además, los arquitectos de chips enfrentan estos desafíos con una expectativa constante de la industria de un aumento de rendimiento de 30x en la próxima década y un aumento de 1,000x para 2030.

A medida que el transistor se escala, el voltaje de suministro se reduce y el voltaje de umbral del transistor (cuando el transistor comienza a conducir) también se reduce. Pero el transistor no es un interruptor perfecto, pierde una pequeña cantidad de corriente cuando se apaga, aumentando exponencialmente con la reducción del voltaje de umbral. La escala de voltaje, la reducción de energía y potencia es limitada, lo que afecta negativamente a una mayor integración de los transistores. Por lo tanto, la capacidad de integración de transistores continuará con la escala, aunque con un rendimiento limitado y un beneficio de potencia. El desafío para los arquitectos de chips es utilizar esta capacidad de integración para continuar mejorando el rendimiento.

La potencia del paquete / el consumo total de energía limita el número de transistores lógicos.

Si los arquitectos de chips simplemente agregan más núcleos a medida que la capacidad de integración del transistor esté disponible y opere los chips a la frecuencia más alta que puedan lograr los transistores y los diseños, entonces el consumo de energía de los chips sería prohibitivo. Los arquitectos de chips deben limitar la frecuencia y la cantidad de núcleos para mantener la potencia dentro de los límites razonables, pero al hacerlo se limita severamente la mejora en el rendimiento del microprocesador. La Figura 8 describe un análisis simple para el nodo de tecnología de proceso de 45nm; el eje x es el número de transistores lógicos integrados en el dado, y los dos ejes y son la cantidad de caché que cabría y la potencia que consumiría el dado. A medida que aumenta el número de transistores lógicos en el troquel (eje x), el tamaño de la memoria caché disminuye y la disipación de potencia aumenta.

Decreased transistor scaling benefits:
Despite continuing miniaturization, little performance improvement and little reduction in switching energy (decreasing performance benefits of scaling) [ITRS].

Flat total energy budget: package power and mobile/embedded computing drives energy-efficiency requirements.

Tabla 1 - Escala del rendimiento del microprocesador

Nota que en los próximos 10 años esperamos un aumento en el recuento total de transistores, siguiendo la Ley de Moore, pero los transistores lógicos aumentan solo 3 veces y los transistores de caché aumentan más de 10 veces. Aplicando la Regla de Pollack, un núcleo de un solo procesador con 150 millones de transistores proporcionará sólo una mejora del rendimiento de la microarquitectura de aproximadamente 2.5x sobre el núcleo actual de 25 millones de transistores, muy por debajo de nuestra meta de 30x, mientras que 80 MB de caché es probablemente más que suficiente para los núcleos (ver tabla 3).

Year	Logic Transistors (Millions)	Cache MB
2008	50	6
2014	100	25
2018	150	80

Tabla 3 - Capacidad de integración extrapolar del transistor.

A. ORGANIZANDO LA LÓGICA

Múltiples núcleos y personalización. La medida histórica de la capacidad del microprocesador es el rendimiento de un solo hilo de un núcleo tradicional. Muchos investigadores han observado que el rendimiento de un solo hilo ya se ha estabilizado, y solo se esperan incrementos moderados en las próximas décadas. Los múltiples núcleos y la personalización serán los principales impulsores del futuro rendimiento del microprocesador (rendimiento total del chip).

B. ORQUESTACIÓN DEL MOVIMIENTO DE

DATOS

Jerarquías de memoria e interconexiones. En futuros microprocesadores, la energía gastada para el movimiento de datos tendrá un efecto crítico en el rendimiento alcanzable. Cada nano-julio de energía utilizada para mover datos hacia arriba y hacia abajo en la jerarquía de la memoria, así como para sincronizar los datos entre procesadores, elimina el presupuesto limitado, reduciendo la energía disponible para el cálculo real.

C. EMPUJANDO LA ENVOLTURA

Circuitos extremos, variabilidad, resiliencia.

En el escenario controlado por potencia, solo 150 millones de transistores lógicos para núcleos de procesador y 80 MB de caché serán asequibles debido a la energía para 2018. Tenga en cuenta que 80 MB de caché no son necesarios para este sistema y una gran parte del caché. El presupuesto del transistor se puede utilizar para integrar incluso más núcleos si se puede hacer con la densidad de consumo de energía de un caché, que es 10 veces menos que la lógica. Este enfoque se puede lograr a través de un escalamiento agresivo de la tensión de alimentación. La Figura 13 describe la efectividad de la escala de tensión de alimentación cuando el chip está diseñado para ello. A medida que se reduce la tensión de alimentación, la frecuencia también se reduce, pero la eficiencia energética aumenta. Cuando la tensión de alimentación se reduce hasta el umbral del transistor, la eficiencia energética aumenta en un orden de magnitud. El uso de esta técnica en núcleos grandes reduciría drásticamente el rendimiento de un solo hilo y, por lo tanto, no se recomienda. Sin embargo, los núcleos más pequeños utilizados para el rendimiento sin duda se beneficiarían de él. Además, el presupuesto de transistores del caché no utilizado podría utilizarse para integrar aún más núcleos con la densidad de potencia del caché.

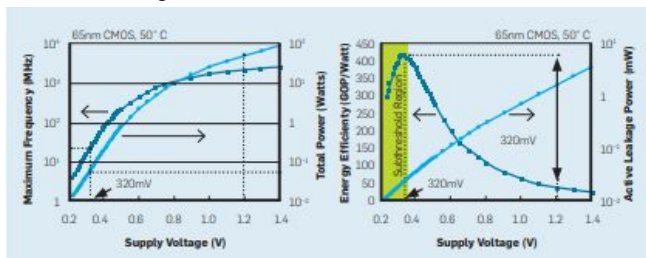


Figura 7- Mejora de eficiencia energética a través de la escala de voltaje.

D. RENOVACIÓN DE DESAFÍOS DE SOFTWARE

Programabilidad versus eficiencia.

El final de la escala del rendimiento de un solo hilo ya significa grandes desafíos de software; por ejemplo, el cambio al paralelismo simétrico ha creado quizás el mayor desafío de software en la historia de la computación, [12,15] y esperamos que la presión futura sobre la eficiencia energética lleve a un uso extenso de núcleos y aceleradores heterogéneos, lo que exacerba aún más el desafío del software. Afortunadamente, en la última década se ha incrementado la adopción de lenguajes de "productividad" de alto nivel basados en tecnologías avanzadas de

interpretación y compilación, así como en el uso creciente de técnicas de traducción dinámica. Se espera que estas tendencias continúen, con una programación de mayor nivel, una amplia personalización a través de bibliotecas y sofisticadas técnicas de búsqueda de rendimiento automatizadas (como el autoajuste) serán aún más importantes.

I. CONCLUSIONES

- Las últimas décadas el escalamiento en el desarrollo de los microprocesadores y su rendimiento ha sido masivo, cumpliéndose con el lema de la Ley de Moore.
- Las mejoras dramáticas en la densidad, velocidad y energía de los transistores, combinadas con las técnicas de microarquitectura y jerarquía de la memoria, brindaron una mejora del rendimiento del microprocesador 1.000 veces superior.
- El futuro del desarrollo del microprocesador a pesar de ser más paulatino, ya que la escala de la Ley de Moore producirá una mejora continua en la densidad del transistor, pero una mejora relativamente pequeña en la velocidad y la energía del transistor.
- La energía será el limitador clave del rendimiento, obligando a los diseños de procesadores a utilizar paralelismo a gran escala con núcleos heterogéneos, o unos pocos núcleos grandes y una gran cantidad de núcleos pequeños que funcionan a baja frecuencia y bajo voltaje, cerca del umbral.
- El uso agresivo de aceleradores personalizados producirá el mayor rendimiento y la mayor eficiencia energética en muchas aplicaciones.
- La orquestación eficiente de datos será cada vez más crítica, evolucionando a jerarquías de memoria más eficientes y nuevos tipos de interconexión adaptados a la localidad y que dependen de un software sofisticado para colocar la computación y los datos a fin de minimizar el movimiento de datos.
- El objetivo es la forma más pura de computación proporcional a la energía en los niveles de energía más bajos posibles.
- Los sistemas de programación deberán comprender estas restricciones y proporcionar herramientas y entornos para cosechar el rendimiento. La búsqueda de nuevas alternativas prescindirá del silicio y explorará nuevos tipos de interruptores y materiales (como semiconductores compuestos, nanotubos de carbono y grafeno) con diferentes características de rendimiento y escalado.

I. REFERENCIAS BIBLIOGRÁFICAS

- [1]"Ley de Moore", Es.wikipedia.org. [Online]. Available: https://es.wikipedia.org/wiki/Ley_de_Moore [Accessed: 24- Apr- 2019].
- [2]"The Future of Microprocessors", Shekhar Borkar and Andrew A. Chien, 2011. [Article].