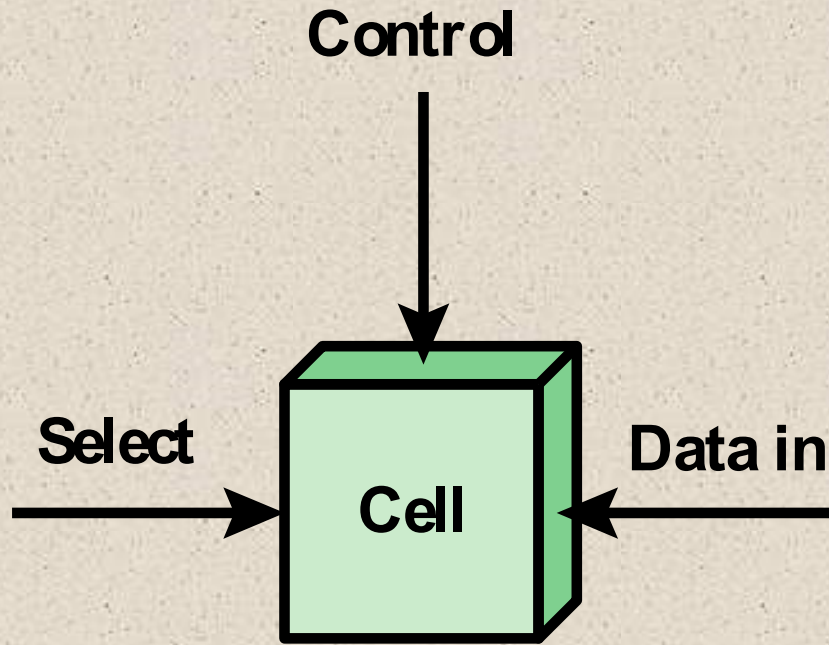


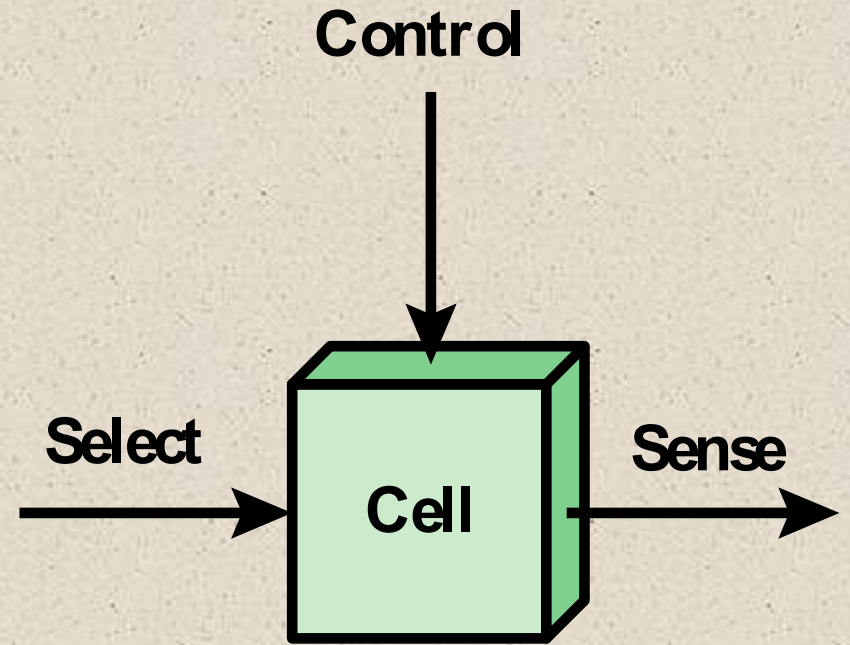


+ Capitulo 5

Memoria Interna



(a) Write



(b) Read

Figure 5.1 Memory Cell Operation



| Memory Type | Category | Erasure | Write Mechanism | Volatility |
|-------------------------------------|-------------------|---------------------------|-----------------|-------------|
| Random-access memory (RAM) | Read-write memory | Electrically, byte-level | Electrically | Volatile |
| Read-only memory (ROM) | Read-only memory | Not possible | Masks | Nonvolatile |
| Programmable ROM (PROM) | | | | |
| Erasable PROM (EPROM) | | UV light, chip-level | Electrically | |
| Electrically Erasable PROM (EEPROM) | | Electrically, byte-level | | |
| Flash memory | | Electrically, block-level | | |

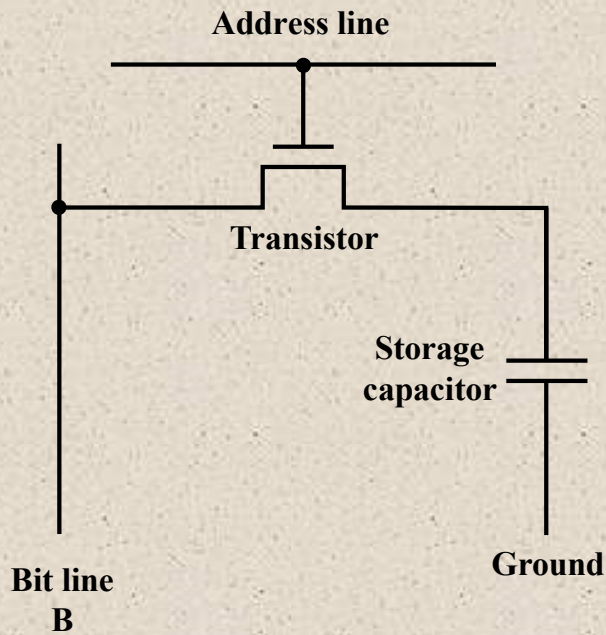
Table 5.1
Semiconductor Memory Types



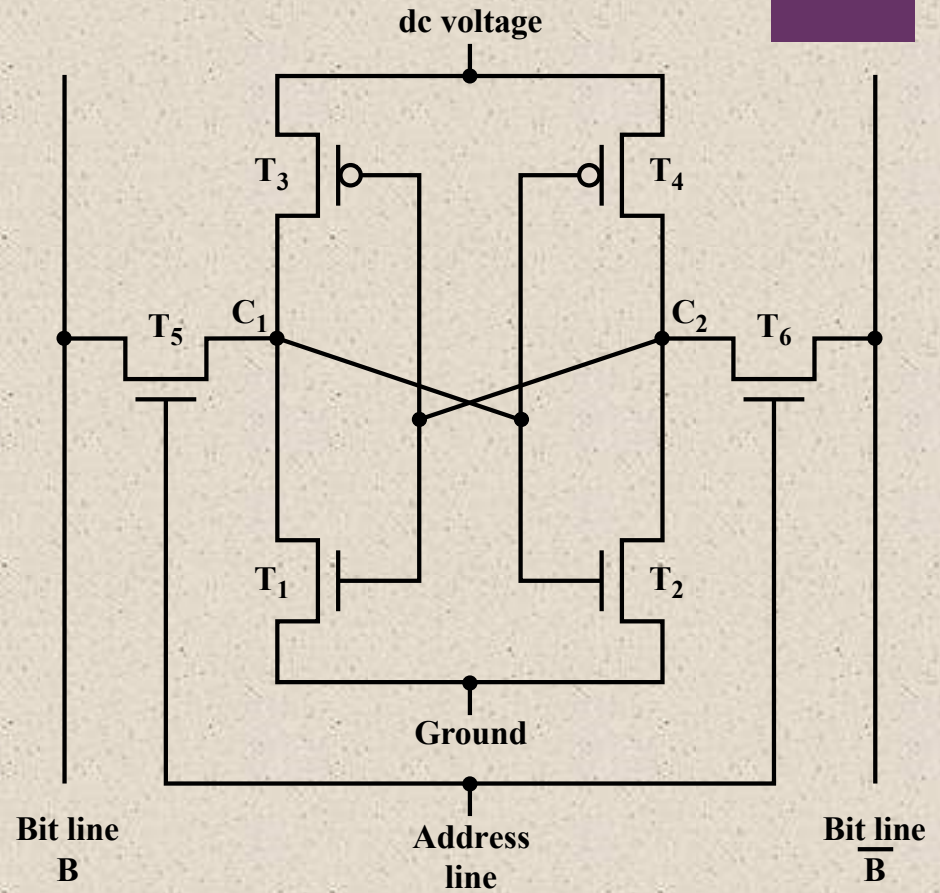
Dynamic RAM (DRAM)



- La tecnología RAM se divide en dos tecnologías:
 - RAM dinámica (DRAM)
 - RAM estática (SRAM)
- DRAM
 - Hecho con celdas que almacenan datos como carga en capacitores.
 - La presencia o ausencia de carga en un condensador se interpreta como un binario 1 o 0
 - Requiere actualización periódica de la carga para mantener el almacenamiento de datos
 - El término dinámico se refiere a la tendencia de la carga almacenada a filtrarse, incluso con potencia aplicada continuamente



(a) Dynamic RAM (DRAM) cell



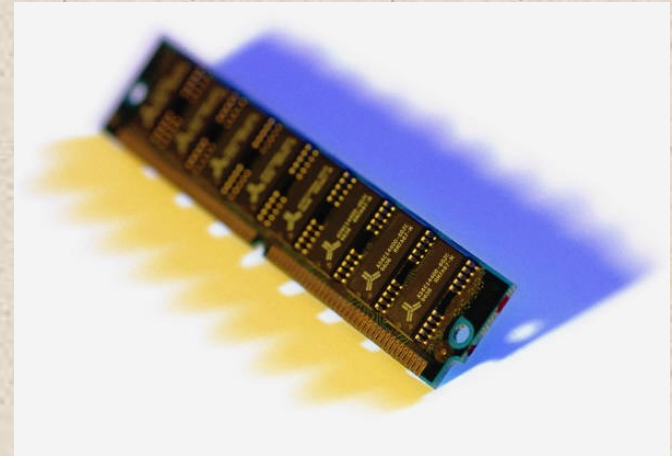
(b) Static RAM (SRAM) cell

Figure 5.2 Typical Memory Cell Structures



Static RAM (SRAM)

- Dispositivo digital que utiliza los mismos elementos lógicos utilizados en el procesador.
- Los valores binarios se almacenan utilizando las configuraciones tradicionales de compuerta lógica de flip-flop
- Mantendrá sus datos siempre que se le suministre energía.



SRAM versus DRAM

- Ambos volátiles
 - La alimentación debe suministrarse continuamente a la memoria para conservar los valores de bit
- Celda dinámica
 - Más fácil de construir, más pequeño
 - Más denso (células más pequeñas = más células por unidad de área)
 - Menos costosa
 - Requiere un circuito de actualización de soporte
 - Tienden a ser favorecidos por grandes requerimientos de memoria
 - Utilizada para la memoria principal
- Estático
 - Más rápida
 - Se utiliza para la memoria caché (tanto dentro como fuera del chip)

SRAM

DRAM



Read Only Memory (ROM)



- Contiene un patrón permanente de datos que no se puede cambiar o agregar a
- No se requiere una fuente de alimentación para mantener los valores de bits en la memoria
- Los datos o el programa están permanentemente en la memoria principal y nunca deben cargarse desde un dispositivo de almacenamiento secundario
- Los datos están conectados al chip como parte del proceso de fabricación.
 - Desventajas de esto:
 - No hay lugar para el error, si un bit es incorrecto, todo el lote de ROM debe ser descartado
 - El paso de inserción de datos incluye un costo fijo relativamente grande



Programmable ROM (PROM)



- Alternativa menos costosa
- No volátil y puede ser escrito en una sola vez
- El proceso de escritura se realiza eléctricamente y puede ser realizado por el proveedor o cliente en un momento posterior a la fabricación original del chip.
- Se requiere equipo especial para el proceso de escritura.
- Proporciona flexibilidad y conveniencia.
- Atractivo para series de producción de alto volumen.

Read-Mostly Memory

27-06-2019

Inc presentación de condiciones
de proyecto final

EPROM

**Erasable programmable
read-only memory**

**Erasure process can be
performed repeatedly**

**More expensive than
PROM but it has the
advantage of the multiple
update capability**

EEPROM

**Electrically erasable
programmable read-only
memory**

**Can be written into at any
time without erasing prior
contents**

**Combines the advantage of
non-volatility with the
flexibility of being
updatable in place**

**More expensive than
EPROM**

Flash Memory

**Intermediate between
EPROM and EEPROM in
both cost and functionality**

**Uses an electrical erasing
technology, does not
provide byte-level erasure**

**Microchip is organized so
that a section of memory
cells are erased in a single
action or “flash”**

row address select (RAS)
column address select (CAS)
Write Enabled (WE)
Output Enabled (OE)

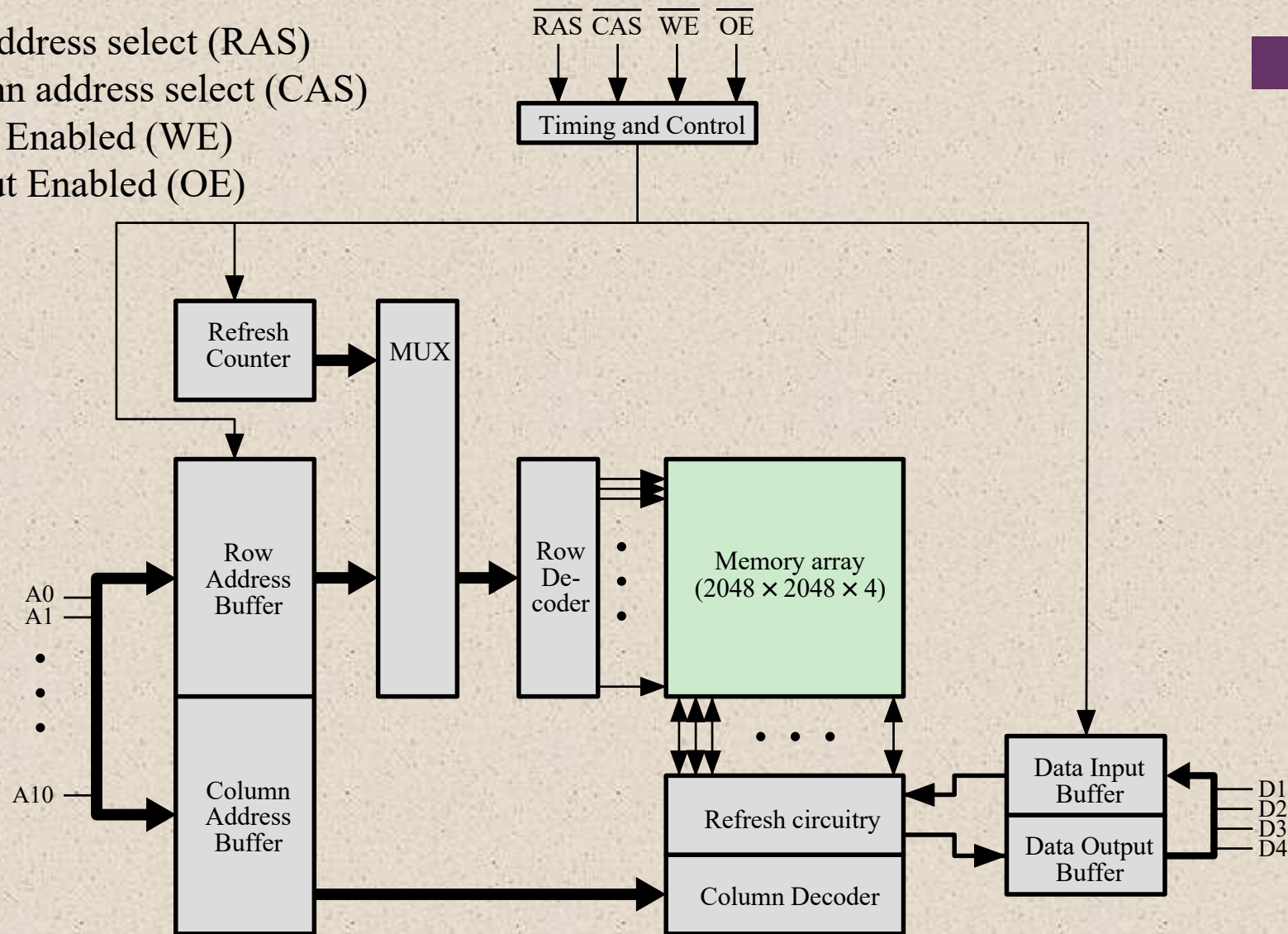
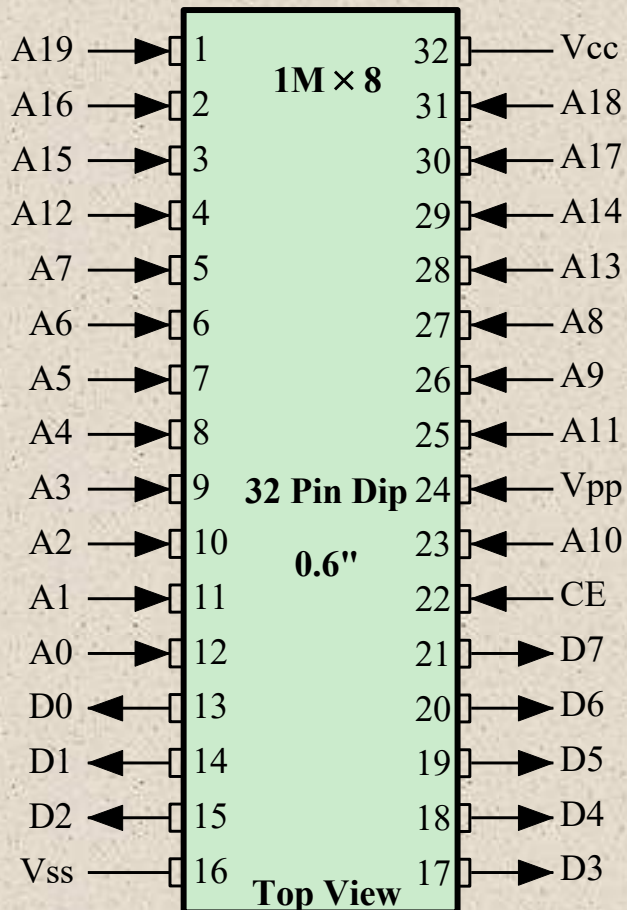
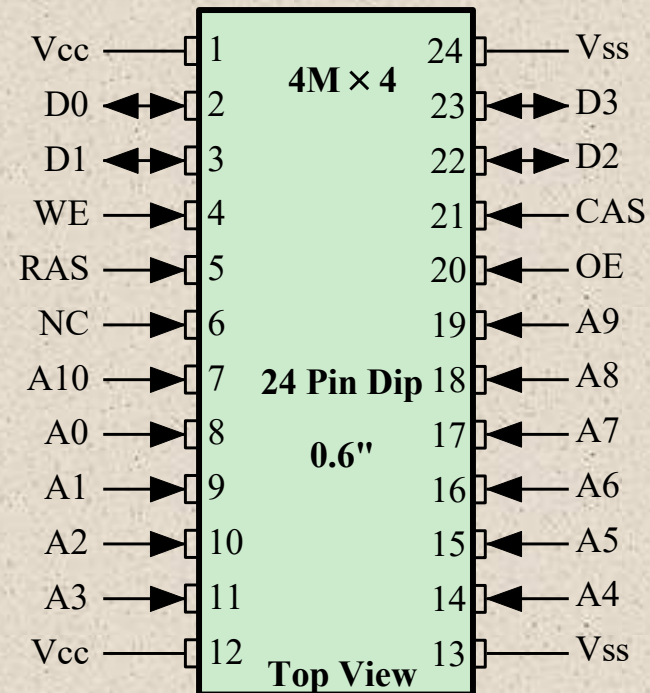


Figure 5.3 Typical 16 Megabit DRAM (4M x 4)



(a) 8 Mbit EPROM

Para 1M palabras, se requieren
20 pines (A0–A19)
($2^{20} = 1\text{M}$).



(b) 16 Mbit DRAM

Se accede a la DRAM por fila – columna
La dirección es multiplexada, solo se necesitan 11
pines de dirección para especificar las combinaciones
de fila / columna de 4M ($2^{11} * 2^{11} = 2^{22} = 4\text{M}$).

Figure 5.4 Typical Memory Package Pins and Signals

Si un chip de RAM contiene solo 1 bit por palabra, necesitaremos al menos un número de chips igual al número de bits por palabra.

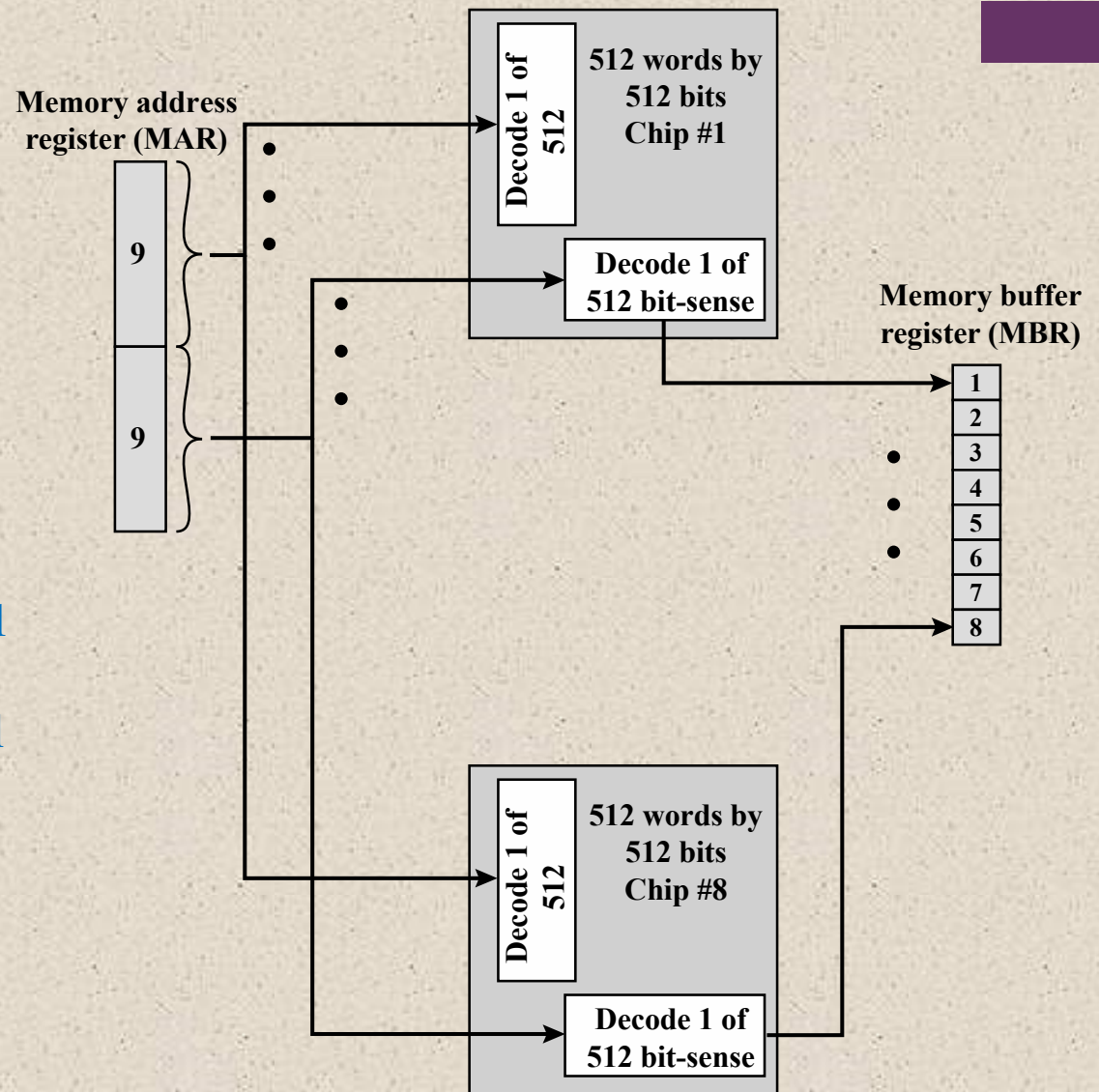


Figure 5.5 256-KByte Memory Organization

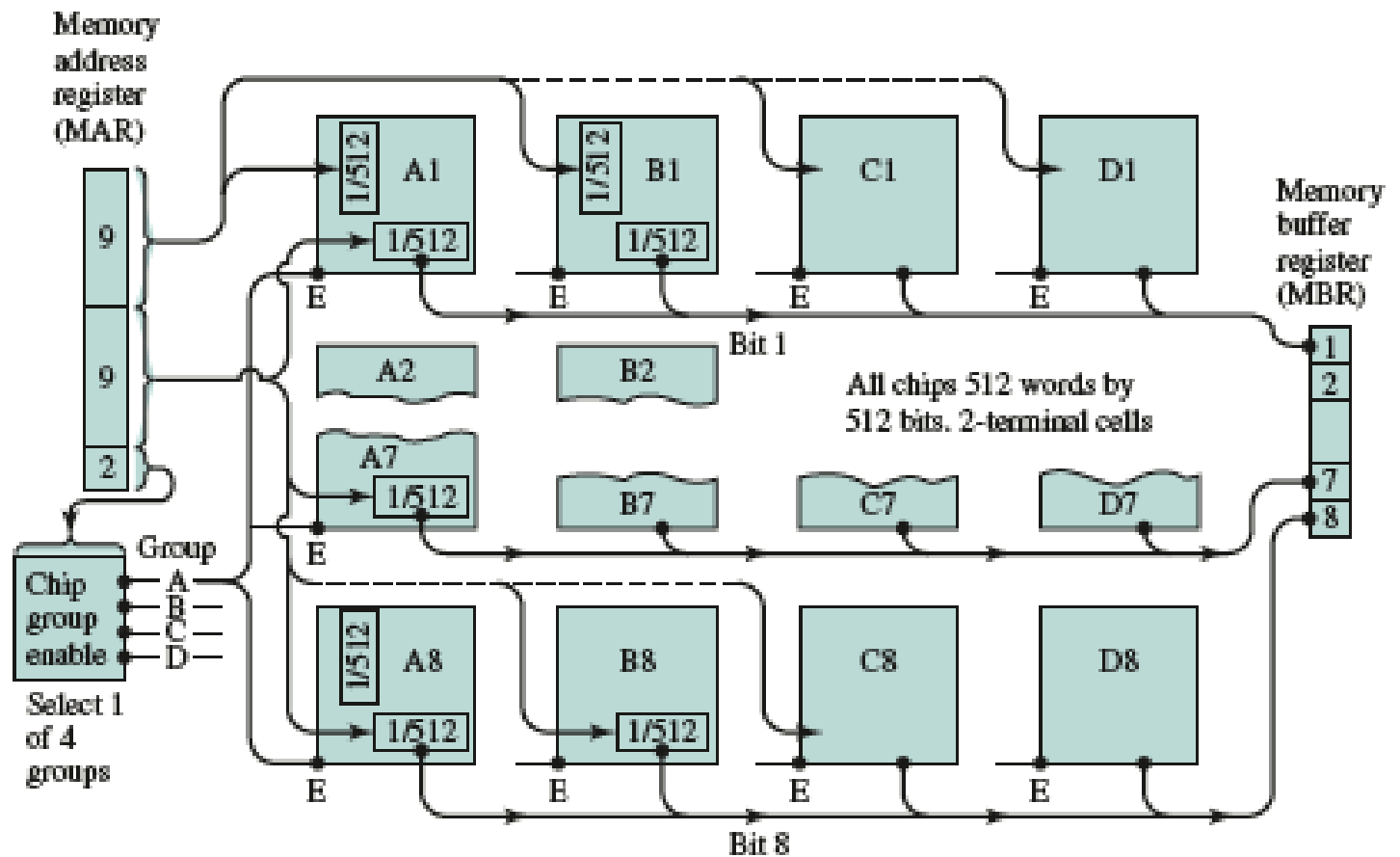
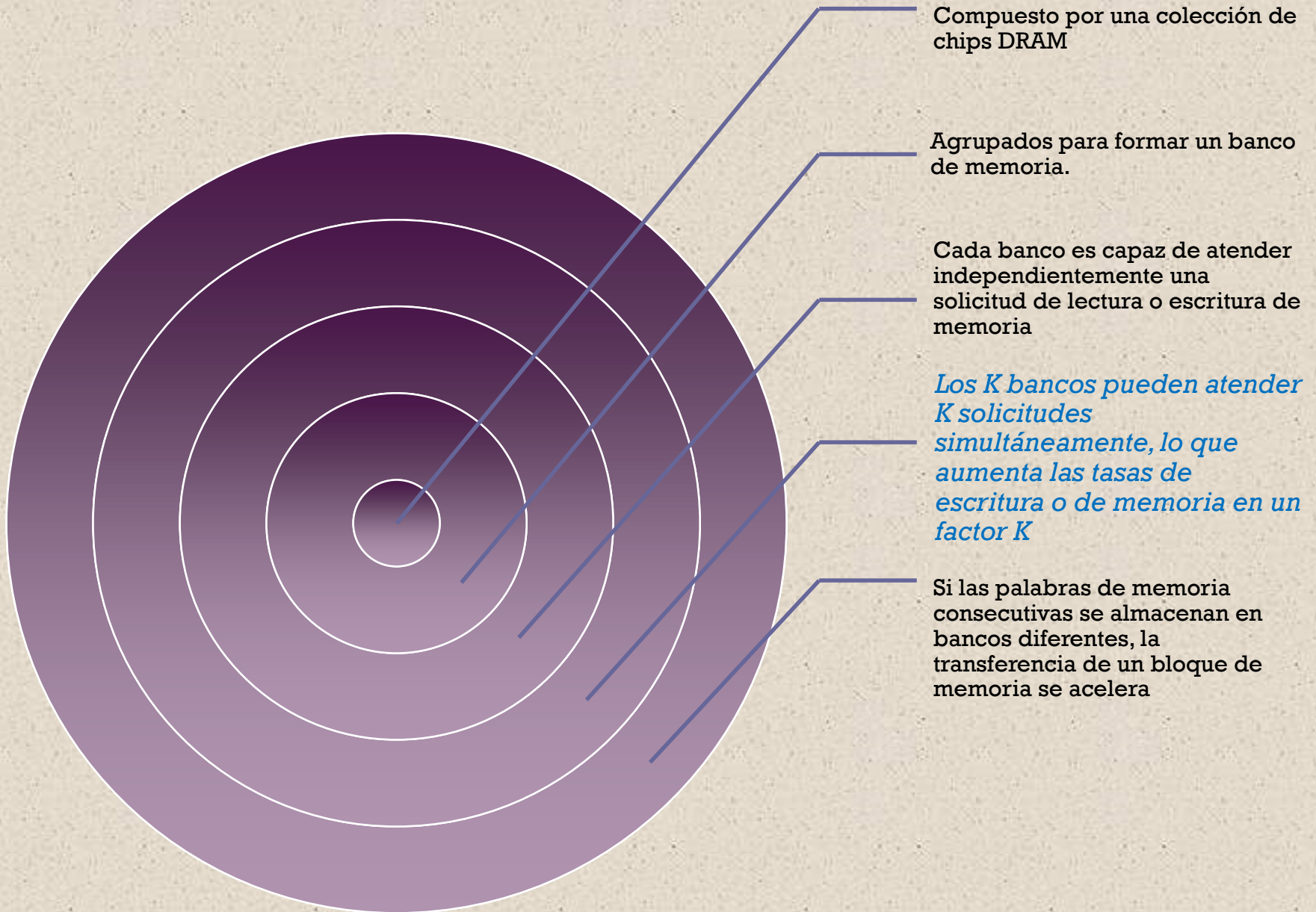


Figure 5.6 1-Mbyte Memory Organization

Memoria intercalada (Interleaved)





Corrección de errores



■ Hard Failure

- Defecto físico permanente
- La celda de la memoria o las celdas afectadas no pueden almacenar datos de manera confiable, pero se atascan en 0 o 1 o cambian erráticamente entre 0 y 1
- Puede ser causado por:
 - Abuso ambiental severo
 - Defectos de fabricación

■ Soft Error

- Evento aleatorio, no destructivo que altera el contenido de una o más celdas de memoria
- Ningún daño permanente a la memoria
- Puede ser causado por:
 - Problemas de alimentación
 - Partículas alfa

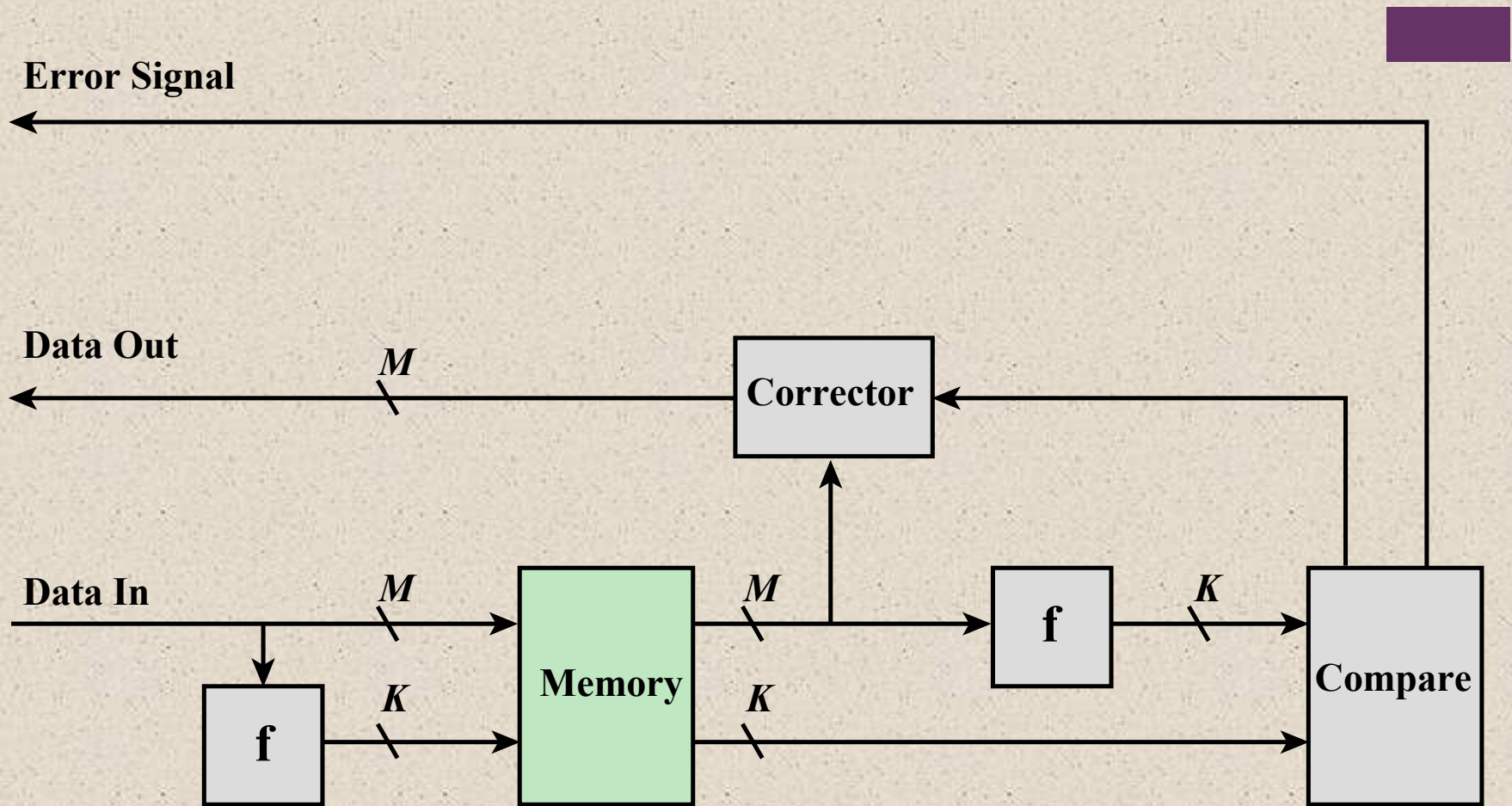


Figure 5.7 Error-Correcting Code Function

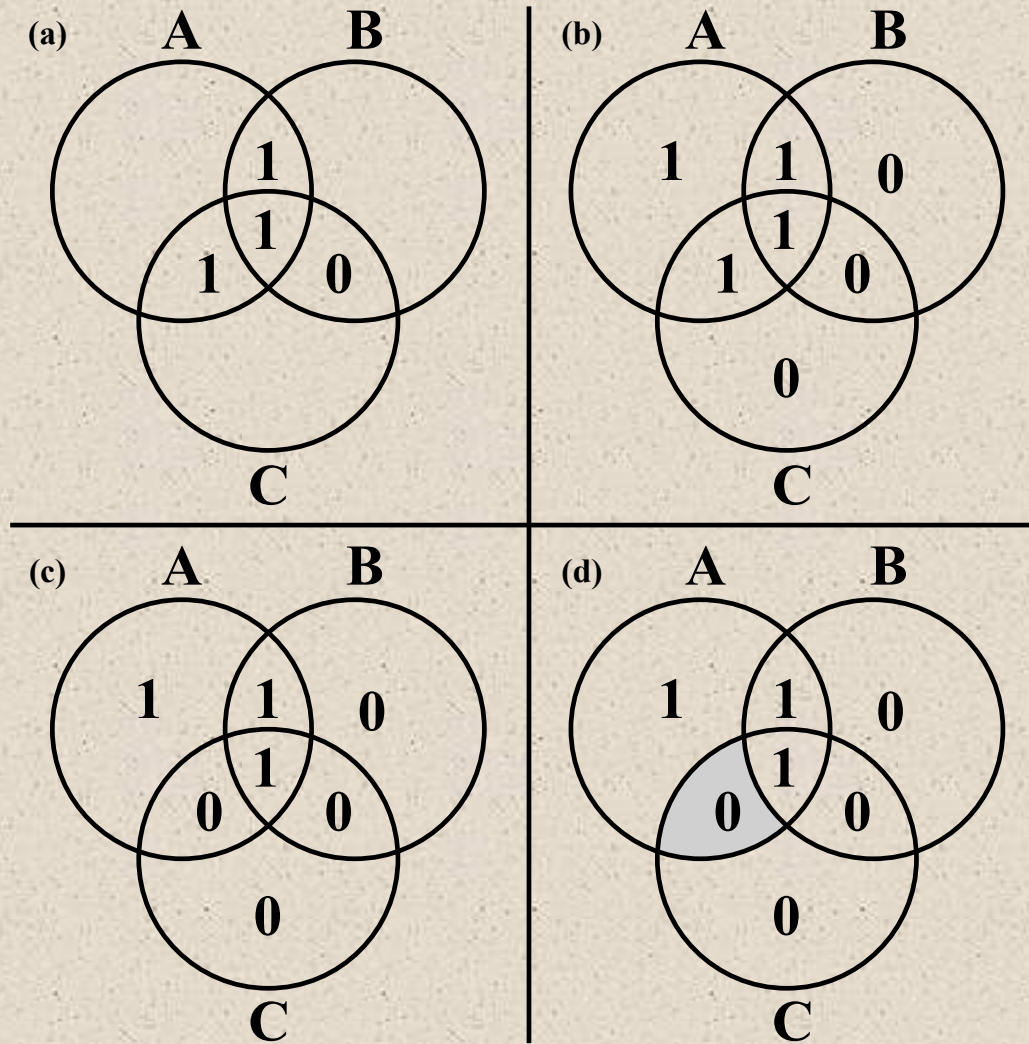


Figure 5.8 Hamming Error-Correcting Code

Aumento de la longitud de la palabra con corrección de errores



| Data Bits | Single-Error Correction | | Single-Error Correction/ Double-Error Detection | |
|-----------|-------------------------|------------|--|------------|
| | Check Bits | % Increase | Check Bits | % Increase |
| 8 | 4 | 50 | 5 | 62.5 |
| 16 | 5 | 31.25 | 6 | 37.5 |
| 32 | 6 | 18.75 | 7 | 21.875 |
| 64 | 7 | 10.94 | 8 | 12.5 |
| 128 | 8 | 6.25 | 9 | 7.03 |
| 256 | 9 | 3.52 | 10 | 3.91 |



| | | | | | | | | | | | | |
|------------------------|------|------|------|------|------|------|------|------|------|------|------|------|
| Bit Position | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 |
| Position Number | 1100 | 1011 | 1010 | 1001 | 1000 | 0111 | 0110 | 0101 | 0100 | 0011 | 0010 | 0001 |
| Data Bit | D8 | D7 | D6 | D5 | | D4 | D3 | D2 | | D1 | | |
| Check Bit | | | | | C8 | | | | C4 | | C2 | C1 |

Figure 5.9 Layout of Data Bits and Check Bits

| | | | | | | | | | | | | |
|------------------------|------|------|------|------|------|------|------|------|------|------|------|------|
| Bit position | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 |
| Position number | 1100 | 1011 | 1010 | 1001 | 1000 | 0111 | 0110 | 0101 | 0100 | 0011 | 0010 | 0001 |
| Data bit | D8 | D7 | D6 | D5 | | D4 | D3 | D2 | | D1 | | |
| Check bit | | | | | C8 | | | | C4 | | C2 | C1 |
| Word stored as | 0 | 0 | 1 | 1 | 0 | 1 | 0 | 0 | 1 | 1 | 1 | 1 |
| Word fetched as | 0 | 0 | 1 | 1 | 0 | 1 | 1 | 0 | 1 | 1 | 1 | 1 |
| Position Number | 1100 | 1011 | 1010 | 1001 | 1000 | 0111 | 0110 | 0101 | 0100 | 0011 | 0010 | 0001 |
| Check Bit | | | | | 0 | | | | 0 | | 0 | 1 |

Figure 5.10 Check Bit Calculation

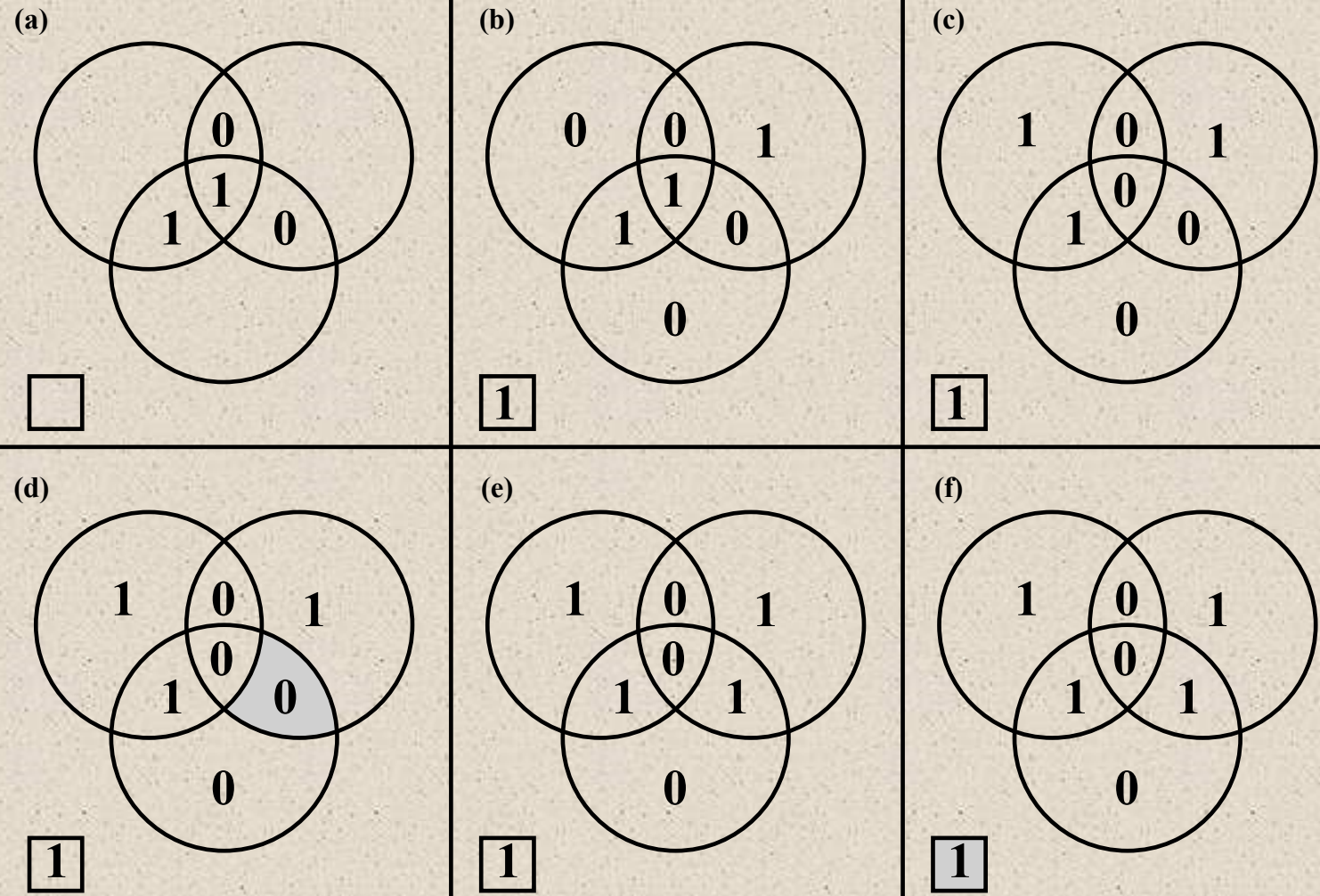


Figure 5.11 Hamming SEC-DED Code

Organización DRAM avanzada

- Uno de los cuellos de botella más críticos del sistema cuando se utilizan procesadores de alto rendimiento es la interfaz con la memoria interna principal
- El chip DRAM tradicional está limitado tanto por su arquitectura interna como por su interfaz con el bus de memoria del procesador

+

- Se han explorado varias mejoras a la arquitectura básica de DRAM
 - Los esquemas que actualmente dominan el mercado son SDRAM y DDR-DRAM.

SDRAM


DDR-DRAM

RDRAM

DRAM sincrónica(SDRAM)



Una de las formas más utilizadas de DRAM.



Intercambia datos con el procesador, sincronizado a una señal de reloj externa y ejecutándose a la velocidad máxima del bus de procesador/memoria sin imponer estados de espera



Con el acceso sincrónico, la DRAM mueve los datos dentro y fuera, bajo el control del reloj del sistema.

- El procesador u otro maestro emite la instrucción y la información de dirección que está bloqueada por la DRAM
- La DRAM responde luego de un número determinado de ciclos de reloj
- Mientras tanto, el maestro puede realizar otras tareas de forma segura mientras se procesa la SDRAM

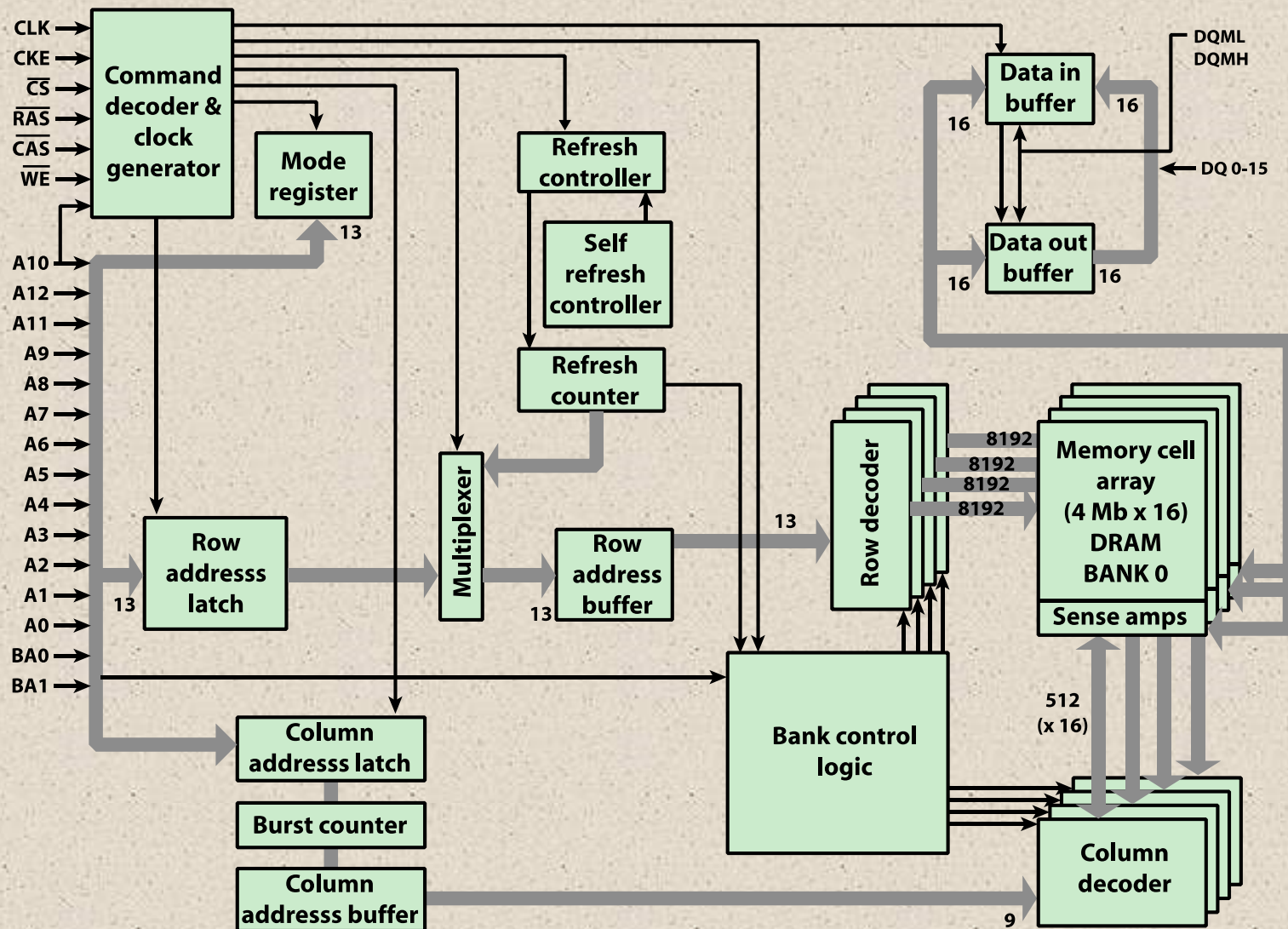



Figure 5.12 256-Mb Synchronous Dynamic RAM (SDRAM)



| | |
|-------------------------|-----------------------|
| A0 to A12 | Address inputs |
| BA0, BA1 | Bank address lines |
| CLK | Clock input |
| CKE | Clock enable |
| $\overline{\text{CS}}$ | Chip select |
| $\overline{\text{RAS}}$ | Row address strobe |
| $\overline{\text{CAS}}$ | Column address strobe |
| $\overline{\text{WE}}$ | Write enable |
| DQ0 to DQ15 | Data input/output |
| DQM | Data mask |

Tabla 5.3
Pines de la
SDRAM

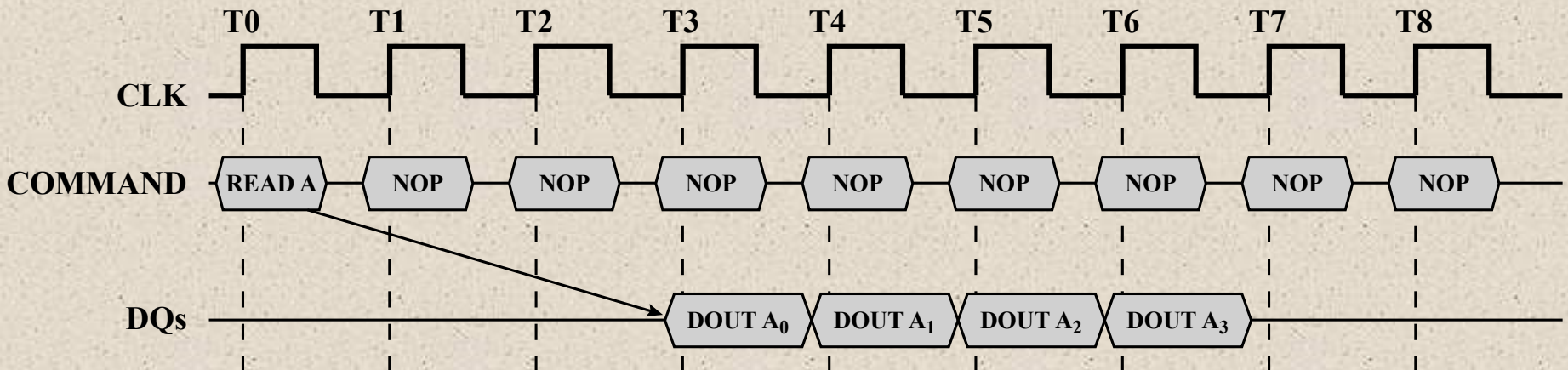


Figure 5.13 SDRAM Read Timing (Burst Length = 4, $\overline{\text{CAS}}$ latency = 2)



SDRAM de doble velocidad de datos (DDR SDRAM)



- DDR logra tasas de datos más altas de tres maneras:
 - Primero, la transferencia de datos se sincroniza con el flanco ascendente y descendente del reloj, en lugar de solo con el flanco ascendente
 - En segundo lugar, DDR utiliza una velocidad de reloj más alta en el bus para aumentar la velocidad de transferencia
 - En tercer lugar, se utiliza un esquema de almacenamiento en búfer



| | DDR1 | DDR2 | DDR3 | DDR4 |
|----------------------------------|---------|----------|----------|-----------|
| Prefetch buffer (bits) | 2 | 4 | 8 | 8 |
| Voltage level (V) | 2.5 | 1.8 | 1.5 | 1.2 |
| Front side bus data rates (Mbps) | 200—400 | 400—1066 | 800—2133 | 2133—4266 |

Tabla 5.4
Características de DDR

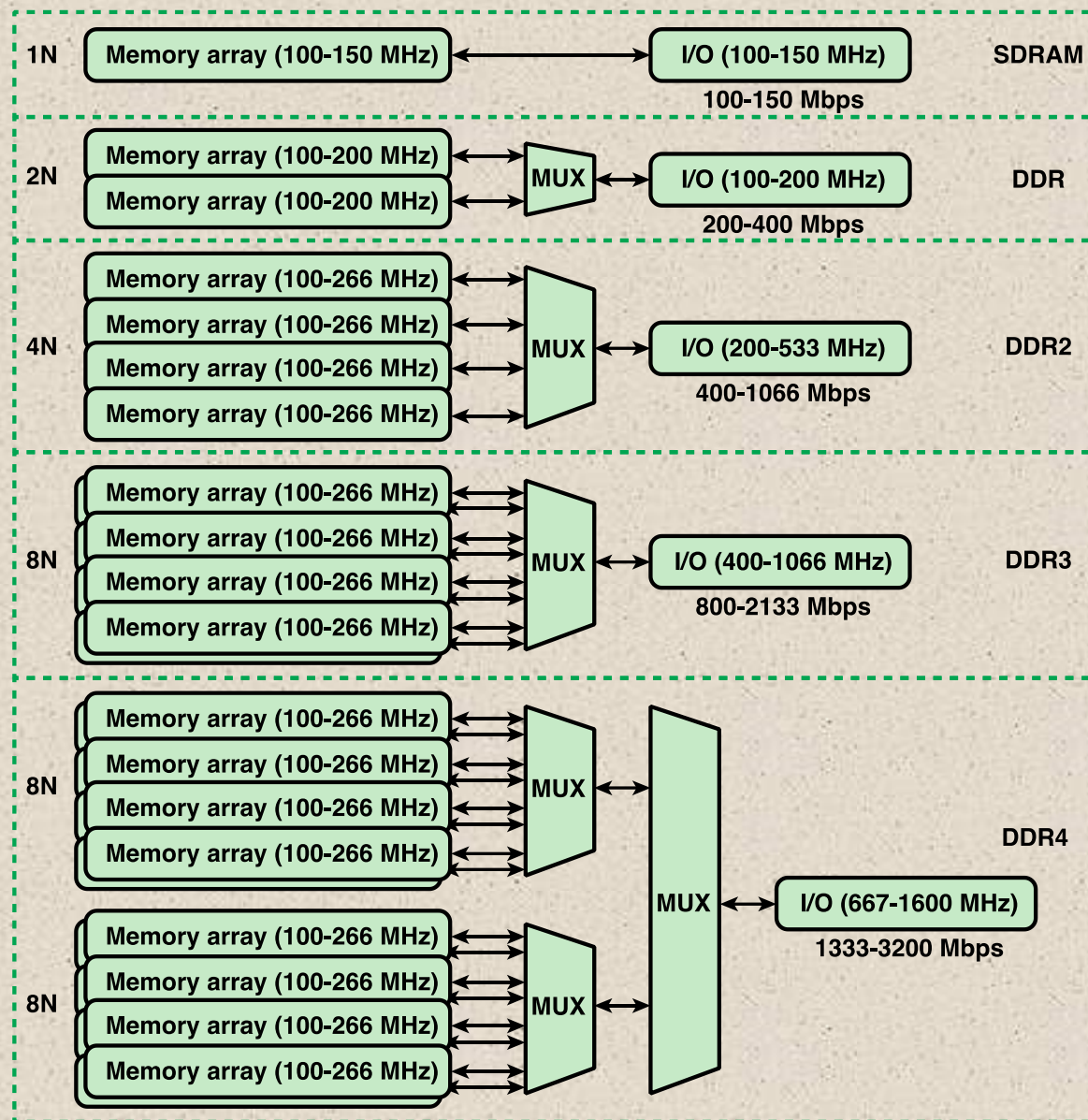


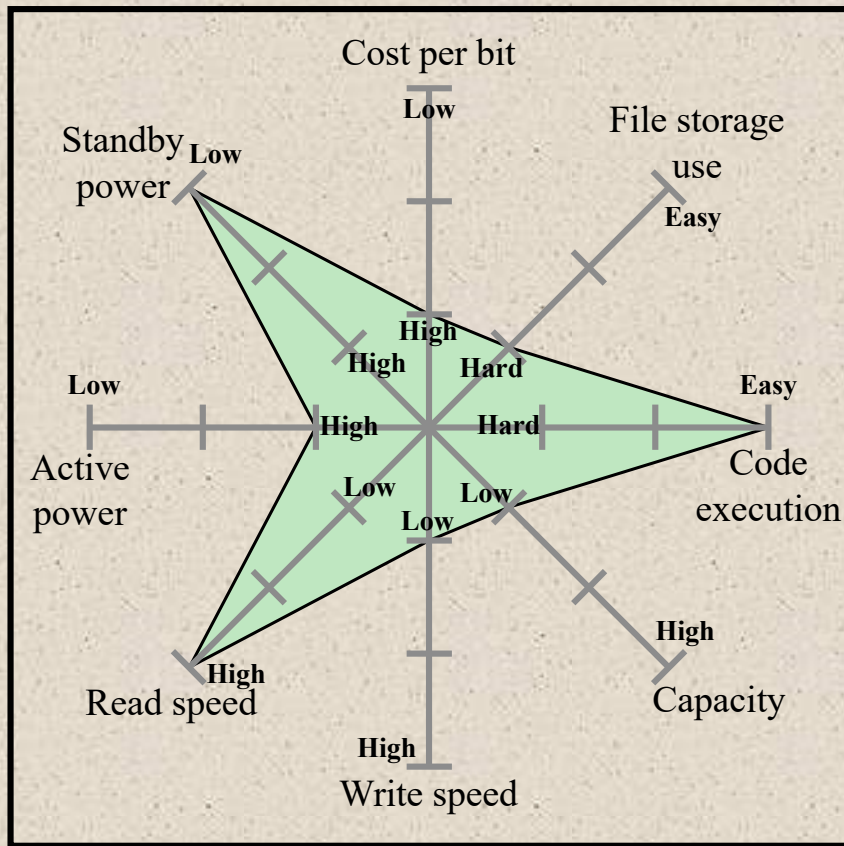
Figure 5.14 DDR Generations



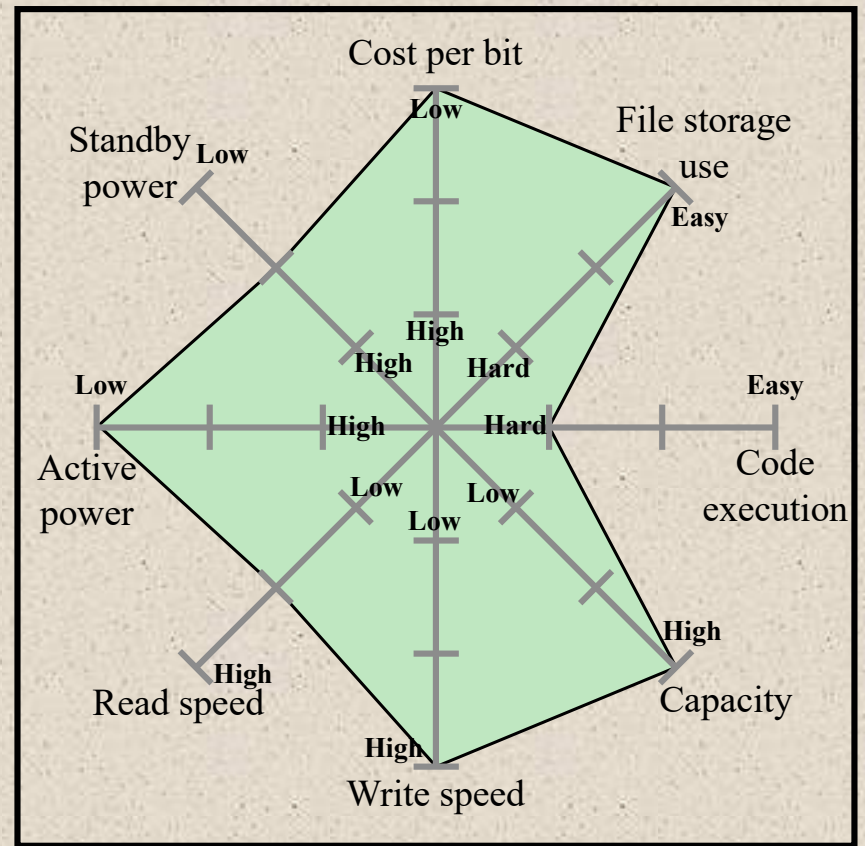
Memoria flash



- Se utiliza tanto para la memoria interna como para las aplicaciones de memoria externa.
- Presentado por primera vez a mediados de la década de 1980.
- Es un intermedio entre EPROM y EEPROM tanto en costo como en funcionalidad.
- Utiliza una tecnología de borrado eléctrico como EEPROM.
- Es posible borrar solo bloques de memoria en lugar de un chip completo
- Obtiene su nombre porque el microchip está organizado de manera que una sección de las celdas de memoria se borran en una sola acción
- No proporciona borrado de nivel de byte
- Utiliza solo un transistor por bit para lograr la alta densidad de EPROM



(a) NOR



(b) NAND

Figure 5.17 Kiviat Graphs for Flash Memory

Increasing performance
and endurance



Decreasing cost
per bit,
increasing capacity
or density

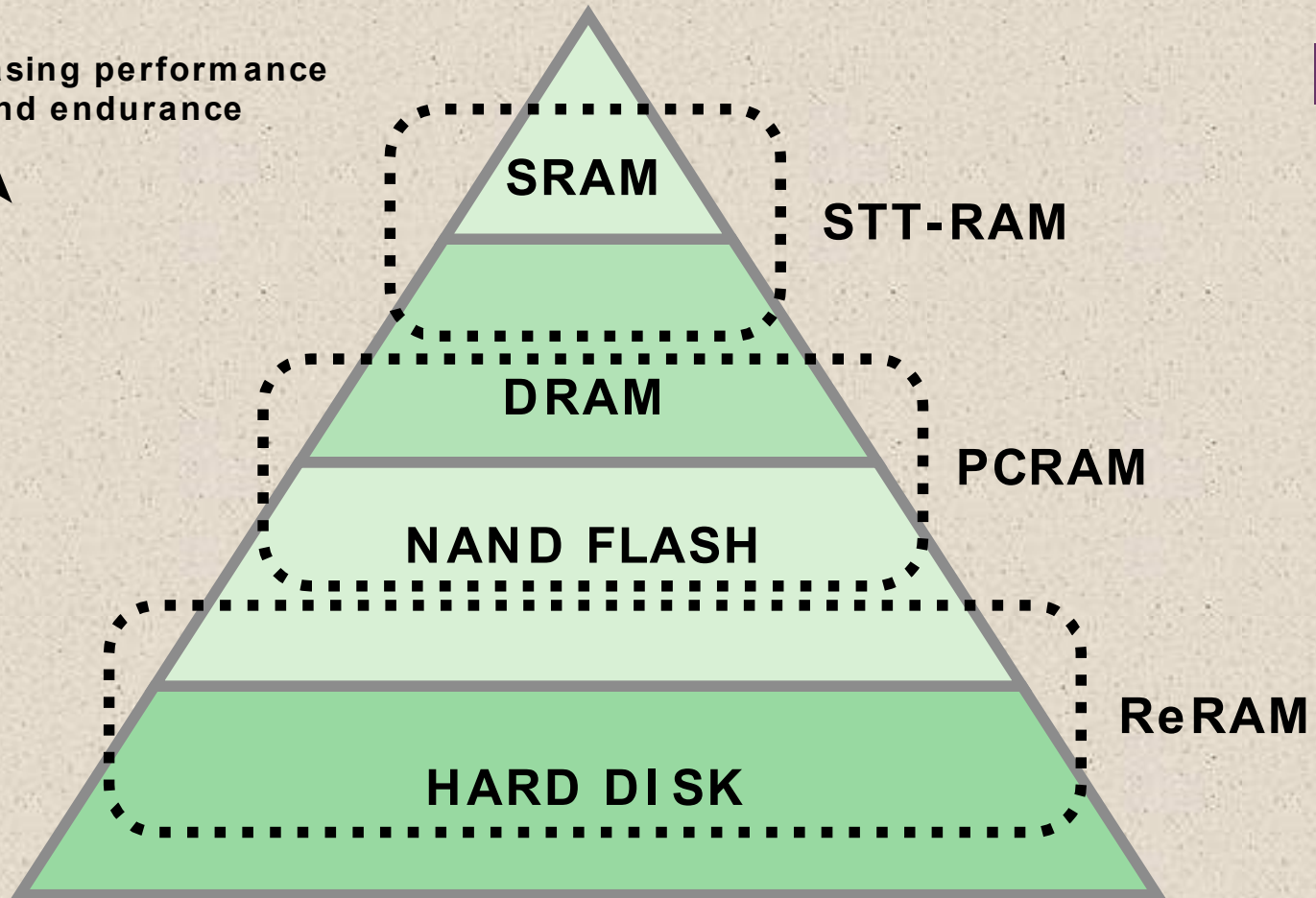


Figure 5.18 Nonvolatile RAM within the Memory Hierarchy

+ Resumen

Capítulo 5

Memoria Interna

- Memoria principal de semiconductores
 - Organización
 - DRAM y SRAM
 - Tipos de ROM
 - Lógica de chip
 - Embalaje de chips
 - Módulo de organización
 - Memoria intercalada
- Error de corrección
- DDR DRAM
 - RAM Sincrona
 - DDR SDRAM
- Memoria Flash
 - Operación
 - Memoria flash NOR y NAND
- **Nuevas tecnologías de memoria de estado sólido no volátil**