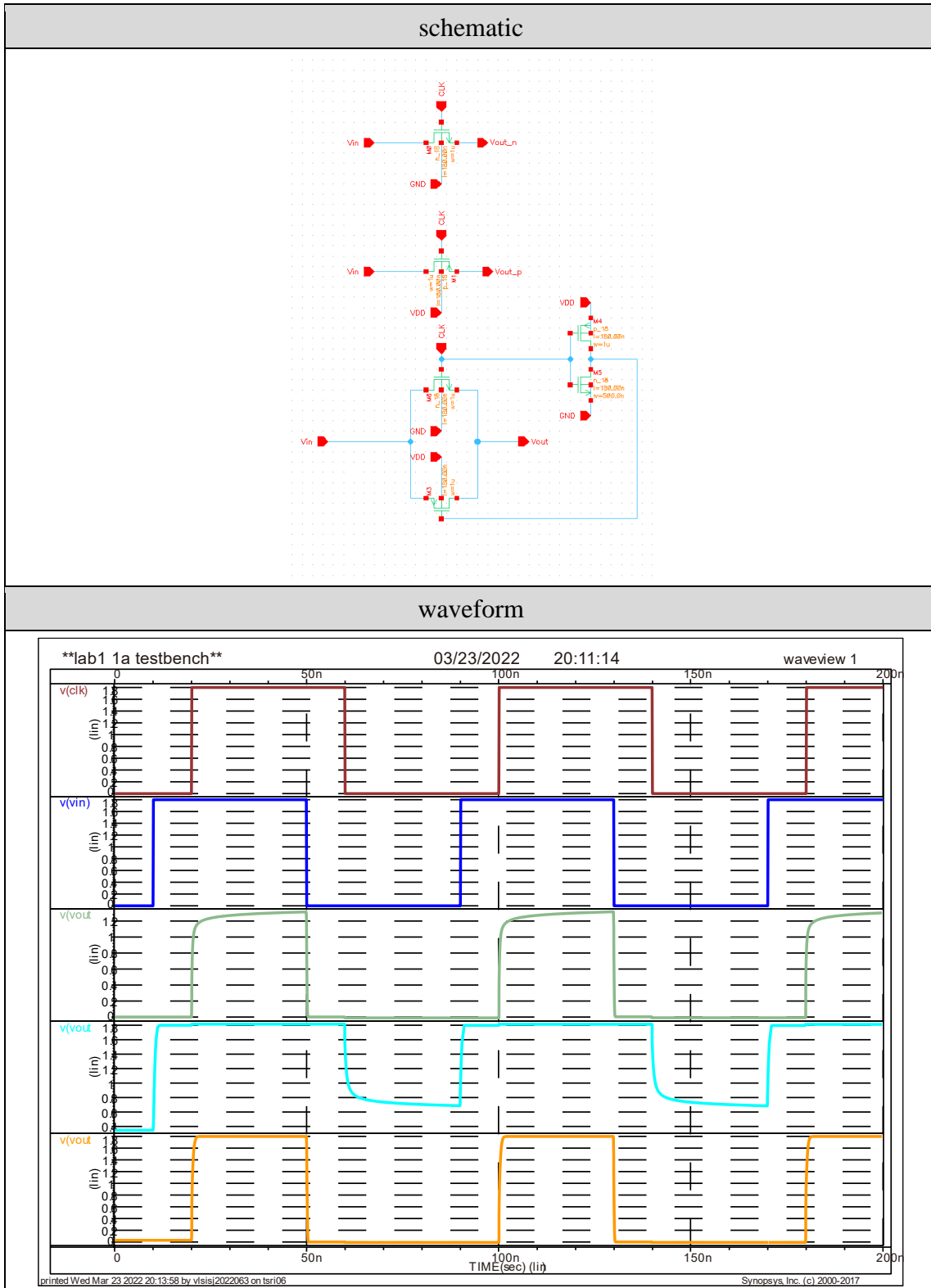


VLSI Circuits Design HW#1

Course	Name	Student ID
[3] 2-4	陳旭祺	E24099059

● 1A - Transmission Gates



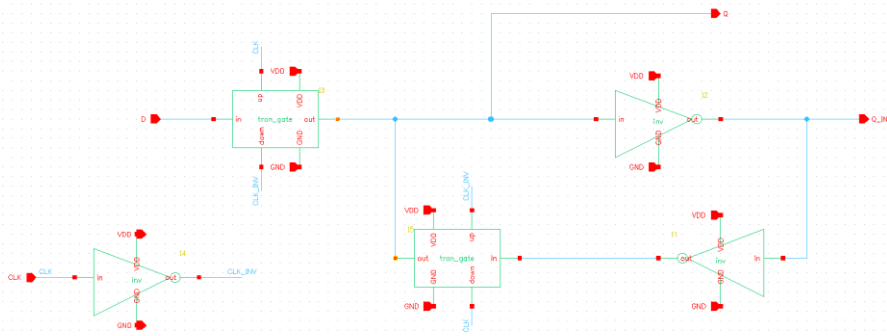
波型圖解釋

參照上課講義第4章第2頁，當NMOS的輸入(drain)端，控制(gate)端皆為 V_{DD} 時，輸出(source)端會從0開始增加，一直增加到 $V_{DD} - V_{tn}$ 以上時，由於NMOS導通條件為 $V_{GS} > V_{tn}$ ，因此NMOS會關掉，而維持在導通前的狀態 $V_{DD} - V_{tn}$ ，所以我們會說NMOS是可以通過strong "0"，但是會通過weak(degraded) "1"，PMOS則相反。上述pass transistor這個問題，可以將NMOS與PMOS並聯，結合兩者優點，導通時要傳0會走NMOS通道，要傳1會走PMOS通道，即為transmission gate。

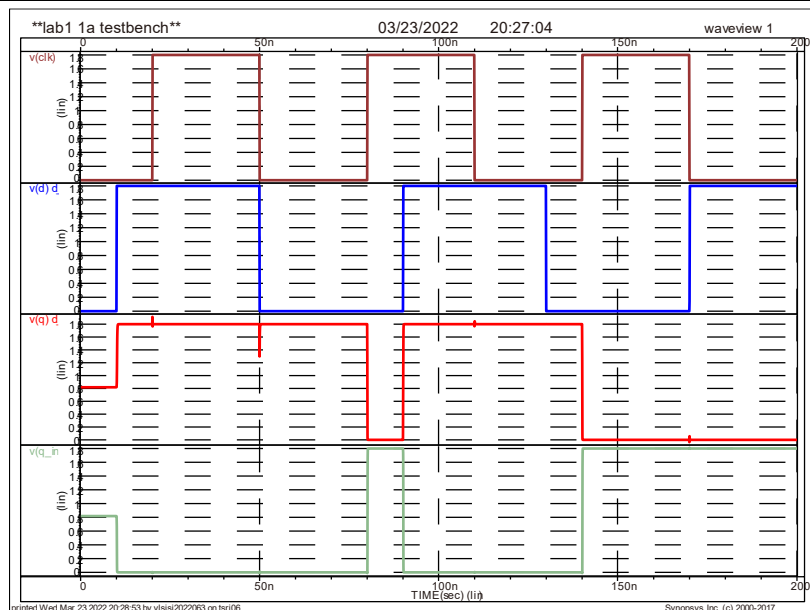
如波形圖第3排是NMOS輸出，導通時最低電壓是0V，是strong "0"，而導通時最高電壓是1.2V，而非輸入端 V_{in} 最高電壓1.8V，是weak(degraded) "1"；波形圖第4排的PMOS則相反最高電壓是1.8V，最低電壓0.4V；波形圖第5排的transmission gate結合兩者優點可以pass strong "0" and strong "1"。

● 1B1 – D latch

schematic



waveform

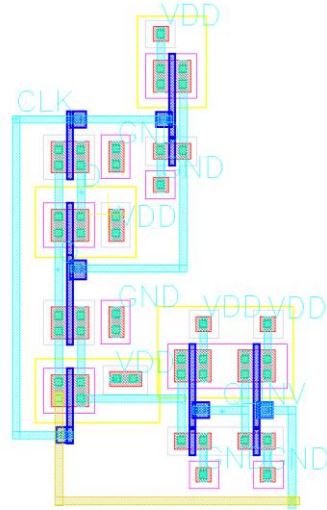


VLSI 作業一報告

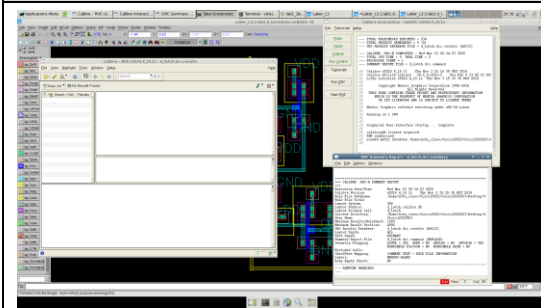
波型圖解釋

D latch真值表是CLK=0時，把上一個值latch(鎖)住，保持前一狀態，而CLK=1時，輸出follow輸入D值，使用兩個inverter串聯是作為buffer用，通過buffer即可將偏離最高(logic 1)和最低電壓(logic 0)值校正回來，提高電路的抗噪能力。

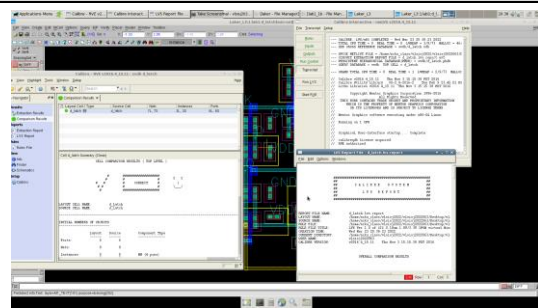
layout



DRC

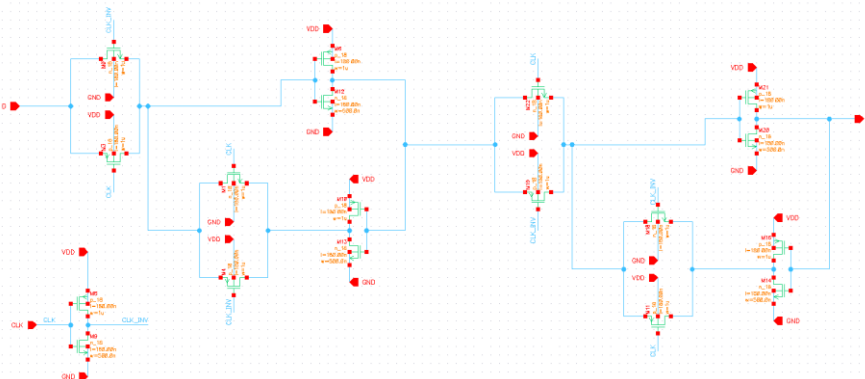


LVS



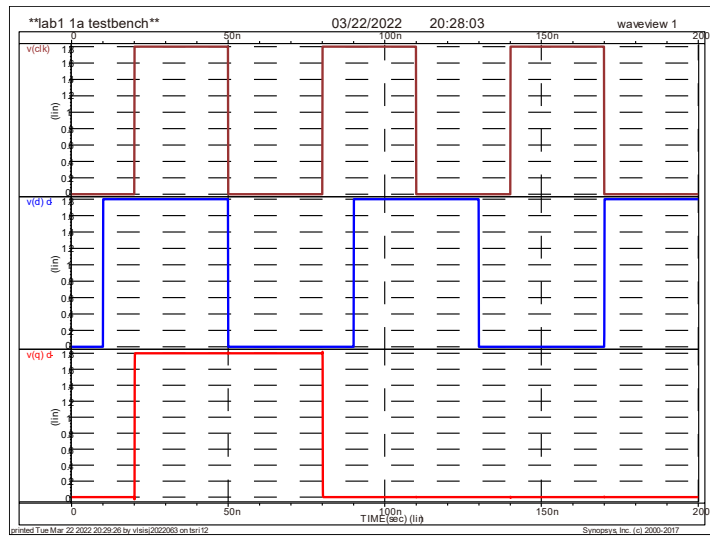
● 1B1 – D flip-flop

schematic



VLSI 作業一報告

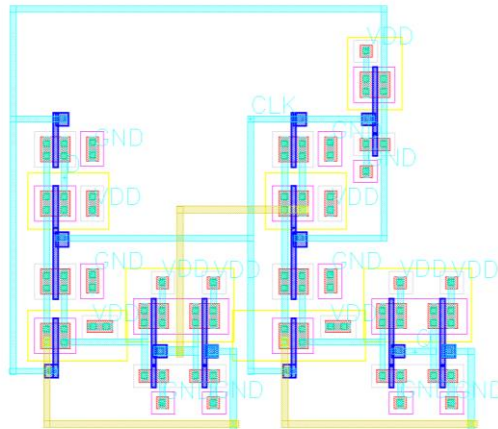
waveform



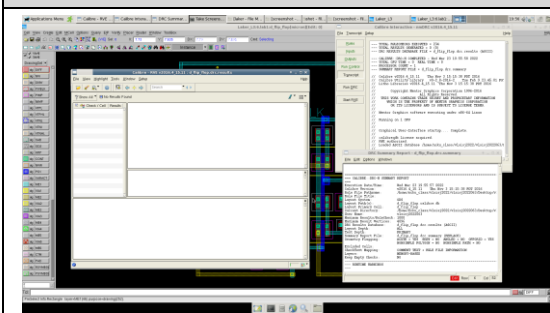
波型圖解釋

D flip-flop可用上述兩個D latch串聯之架構實現，稱為master slave D flip-flop，當CLK=0時，master ON、slave OFF，訊號卡在slave前面，當CLK=1時，master OFF、slave ON，訊號通過slave並輸出，由於master關掉，訊號會維持(hold)，也就是說當CLK從0變到1的這個瞬間才會讀取值，稱為positive-edge trigger，如上波形圖可以看出positive-edge時，輸出端(Q)會follow輸入值(D)，第一個positive-edge時，D值就是從0變到1。

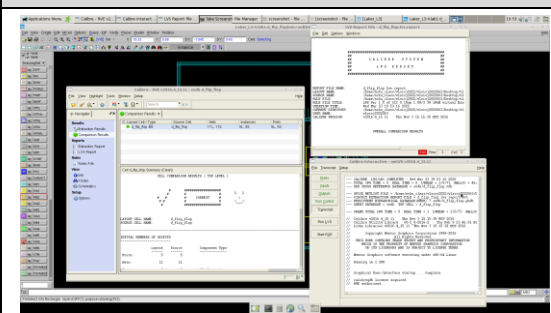
layout



DRC



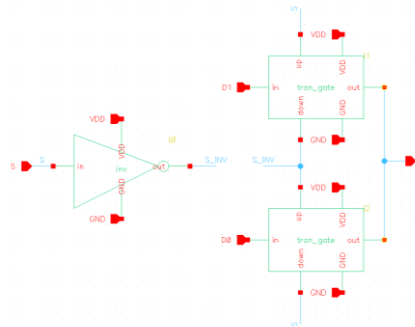
LVS



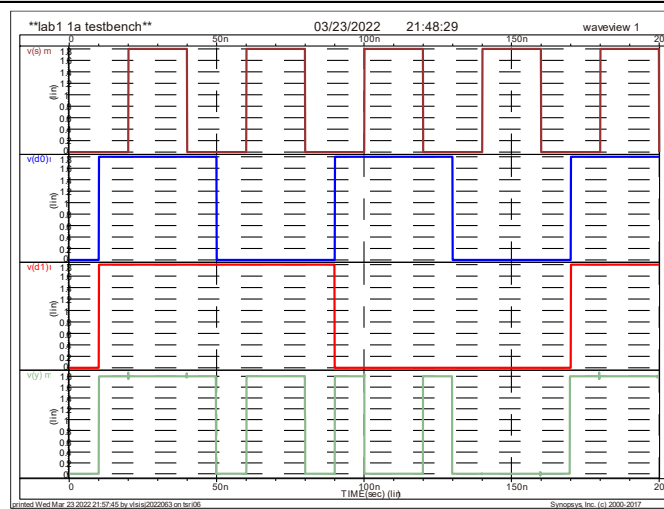
VLSI 作業一報告

● 2A – multiplexer

schematic



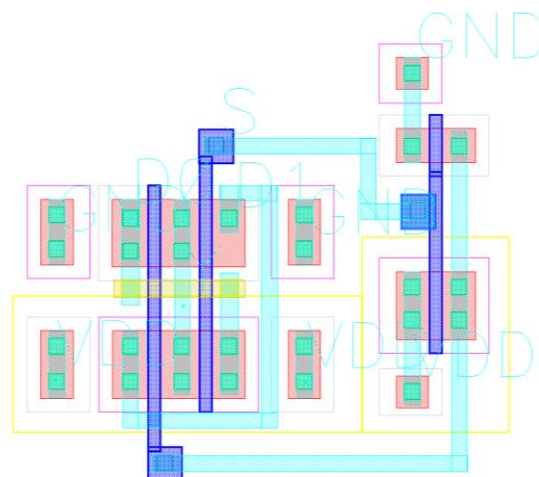
waveform



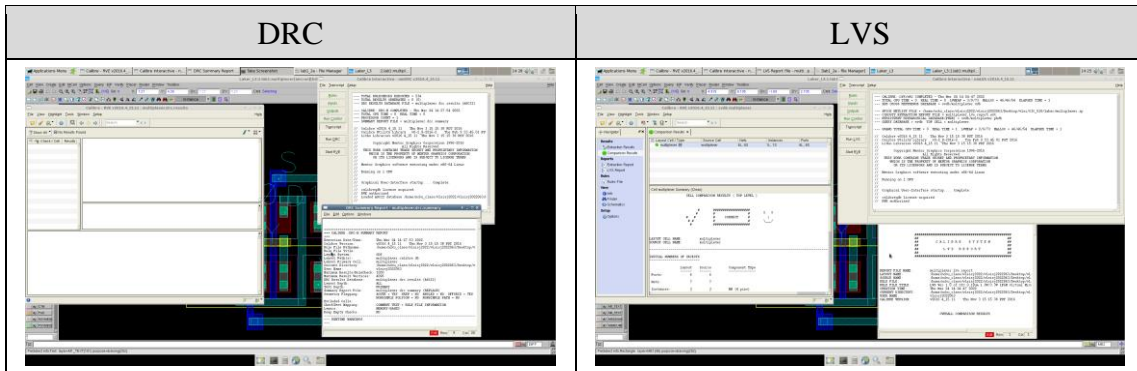
波型圖解釋

MUX的功能是從多個輸入訊號源中選擇一個訊號做為出入，這個選擇的機制是靠一個選擇訊號判別，當S=0時，輸出訊號follow輸入源D0；當S=1時，輸出訊號follow輸入源D1。

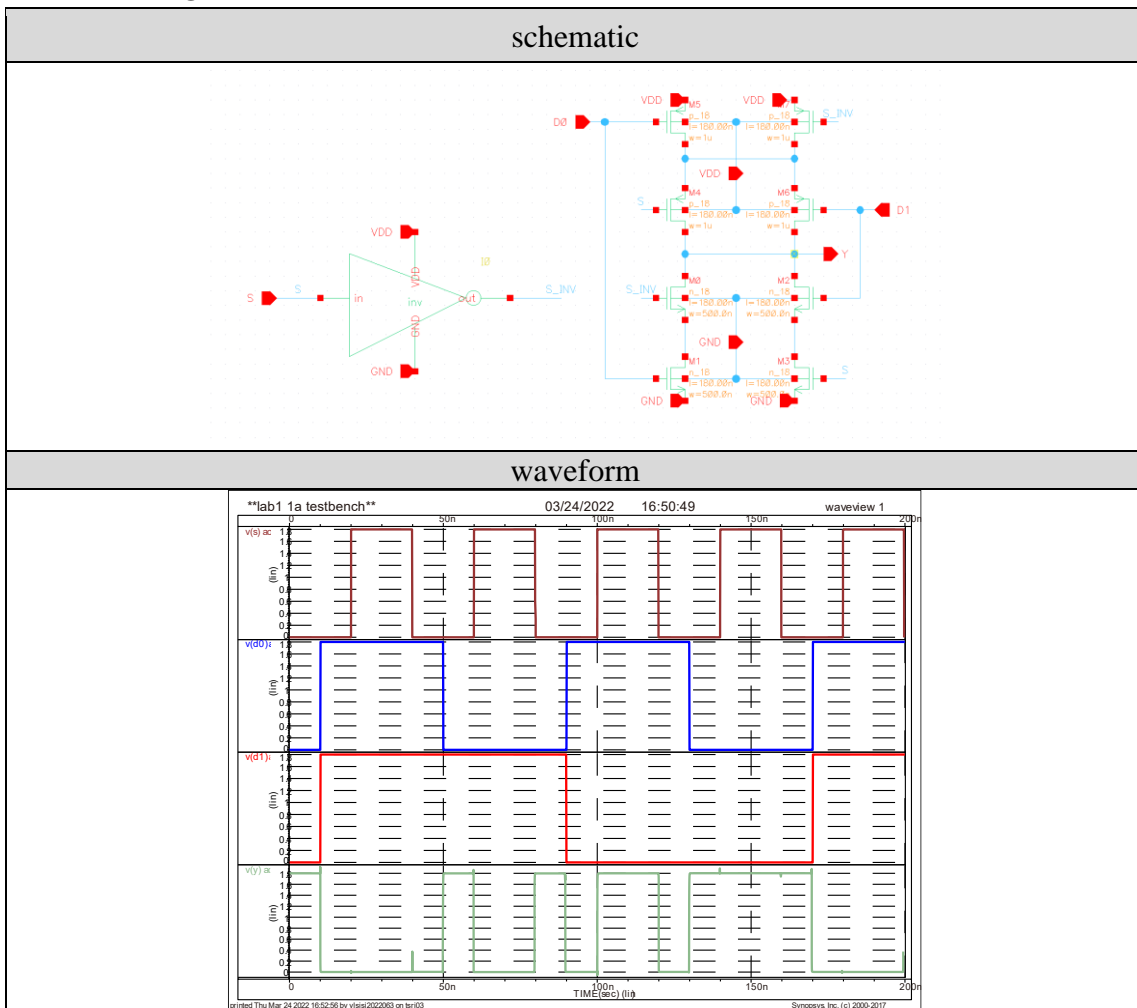
layout



VLSI 作業一報告



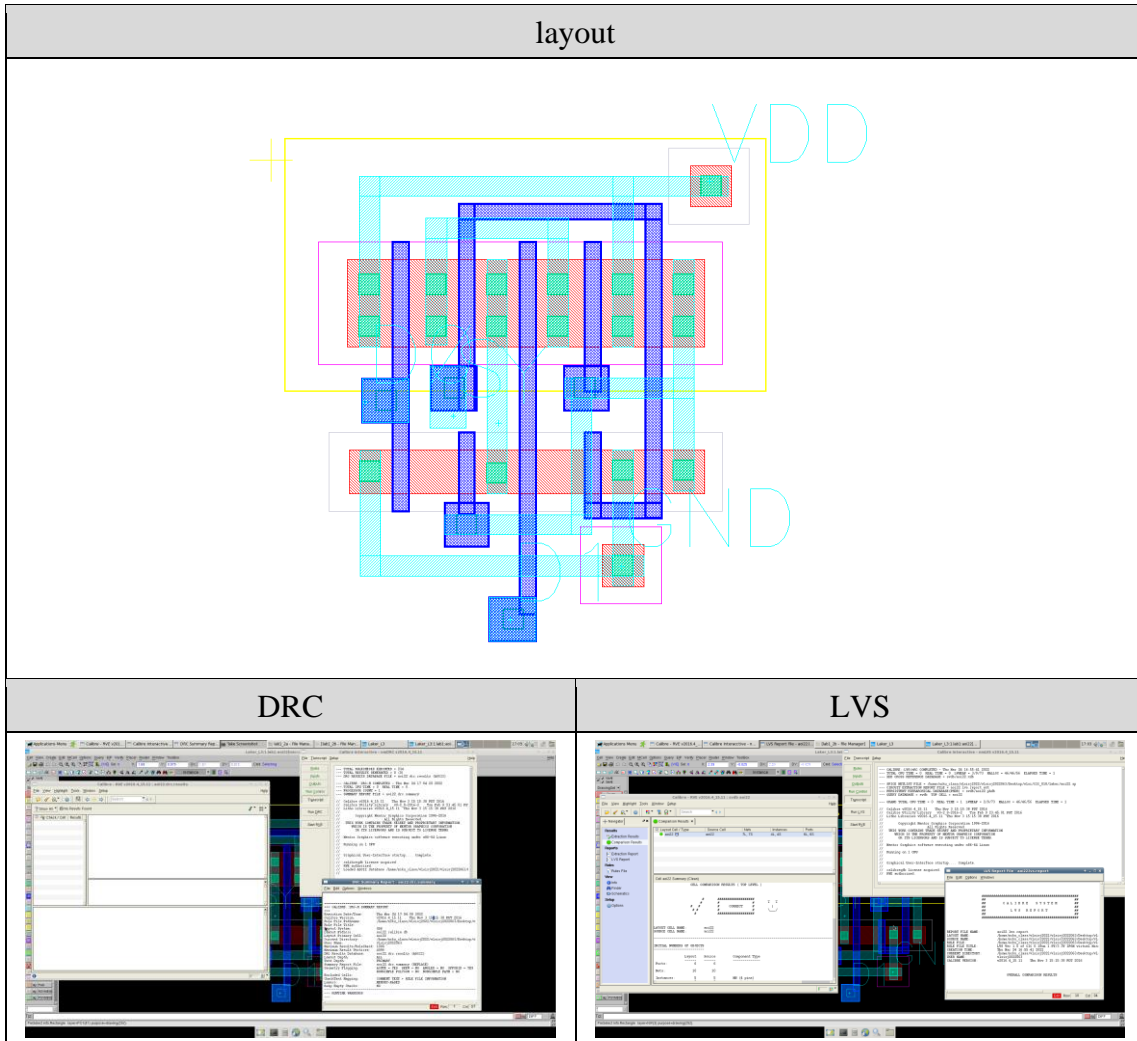
● 2B1 – AOI22



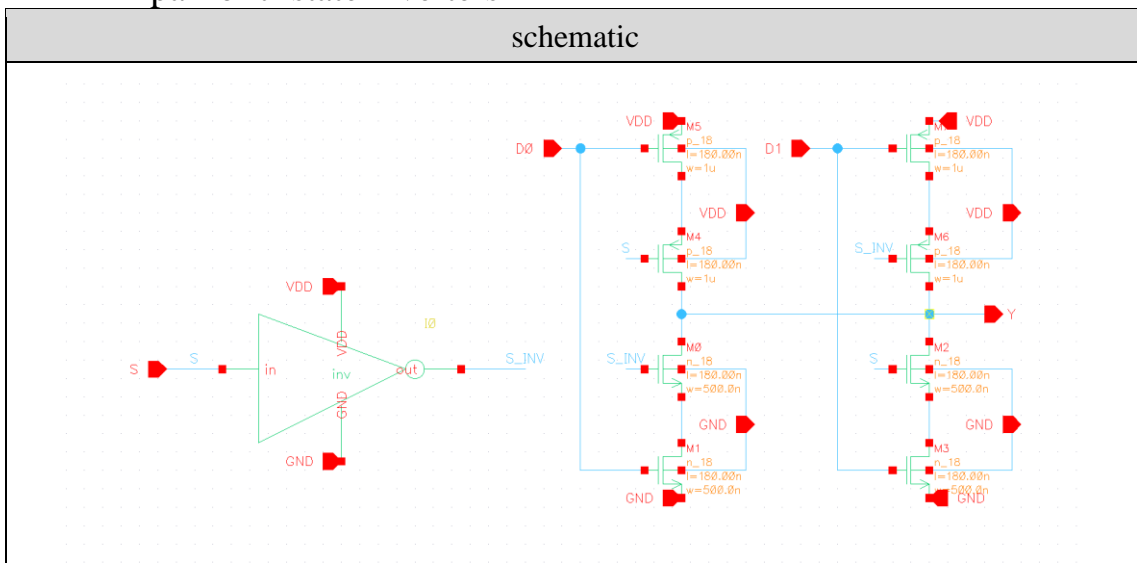
波型圖解釋

使用transmission gate實現的multiplexer，雖然只需要花4個電晶體，但是會有nonrestoring的問題，也就是說當輸入訊號受雜訊干擾時，由於輸出是follow輸入源，所以一樣會被干擾，尤其在經過多級的nonrestoring邏輯，訊號會失真到無法復原，因此我們改使用AOI22電路來實現，不過由於PMOS接pull-up network，NMOS接pull-down network，這個MUX所輸出訊號是反向的。

VLSI 作業一報告

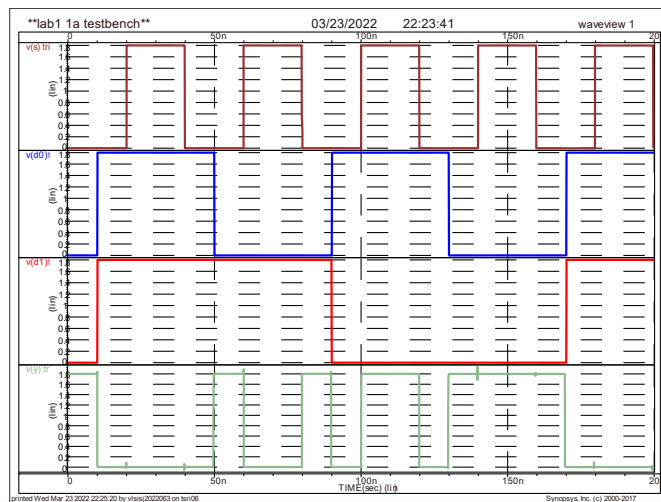


● 2B2 – pair of tristate inverters



VLSI 作業一報告

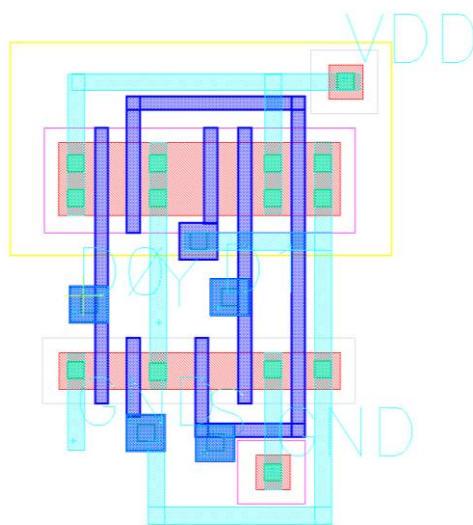
waveform



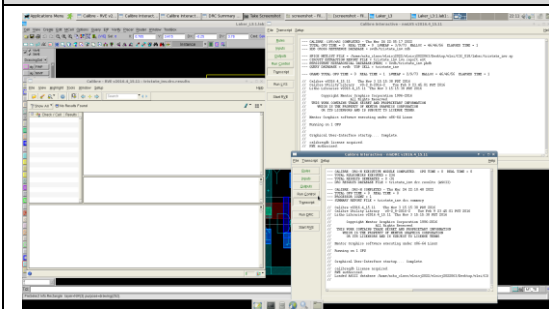
波型圖解釋

同前一題觀念，也可使用一對tristate inverter實現inverting multiplexer。

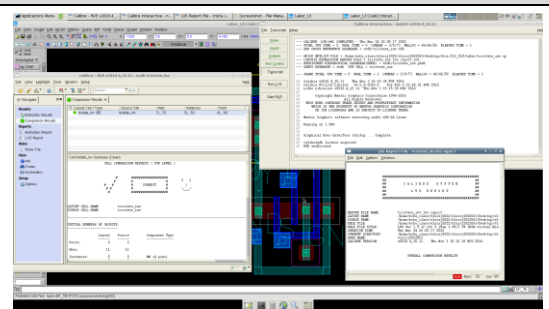
layout



DRC



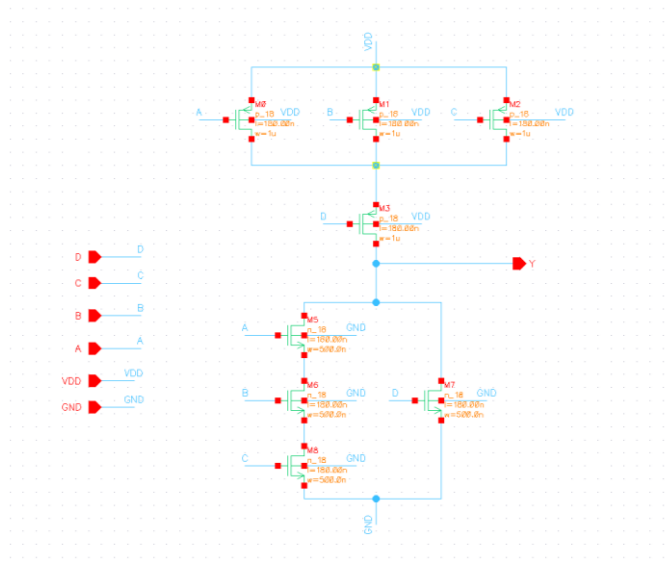
LVS



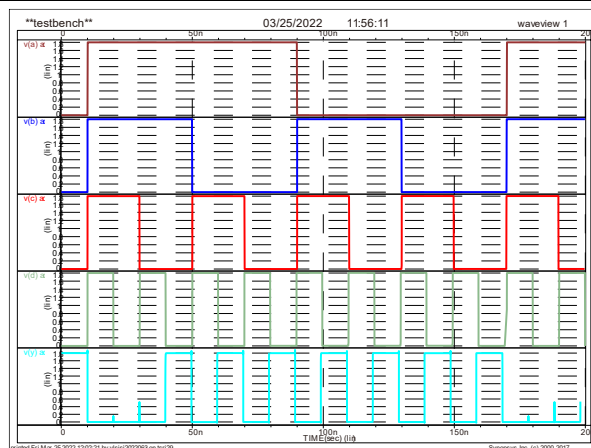
VLSI 作業一報告

● 3A1 – AOI31

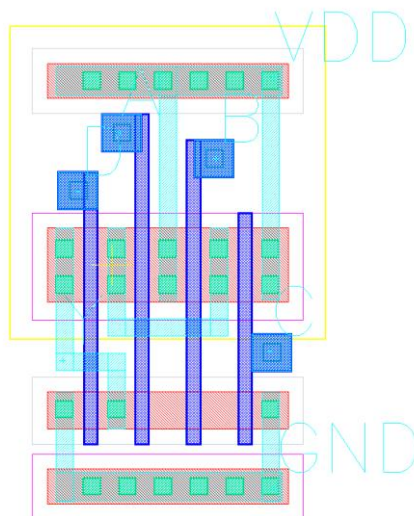
schematic



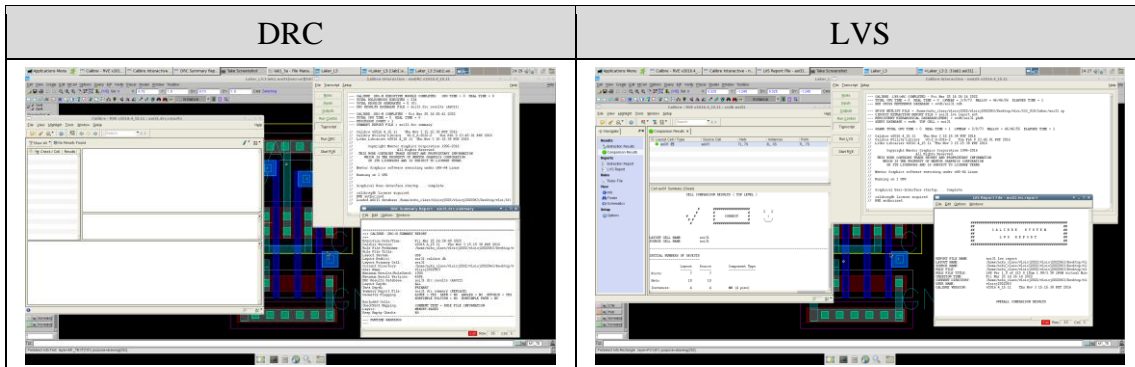
waveform



layout



VLSI 作業一報告

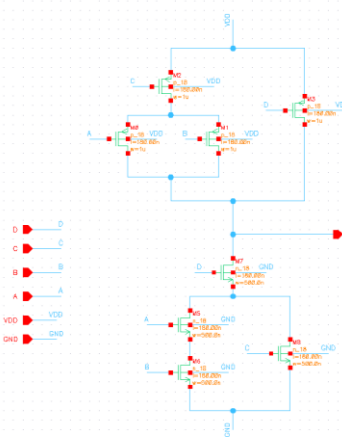


layout解釋

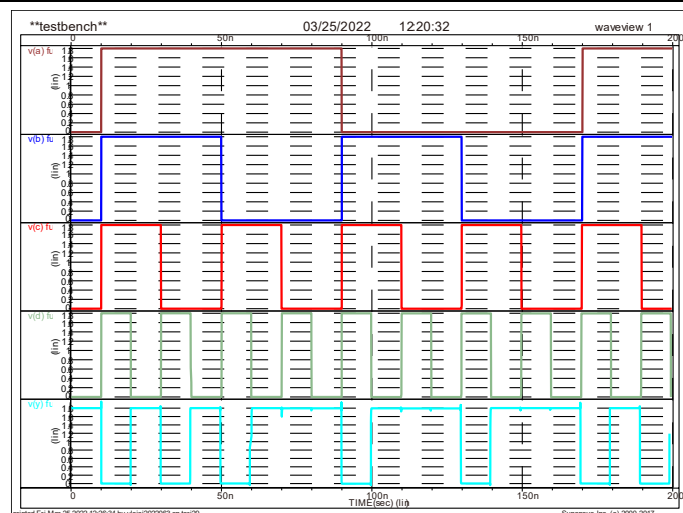
畫layout時會避免一條diffusion中斷，造成電路面積增加，因此需要找出一種 polysilicon gate的順序能讓diffusion不會中斷，這就是Euler path(一筆畫)問題，將PMOS化成edge、source/drain端的接線化為node，從輸出端出發找Euler path，也可將NMOS化成edge，兩者畫出來的圖形是對偶的(dual)。以此電路為例，Euler path為D-C-B-A。

$$\bullet \quad 3A2 - Y = \overline{(AB + C)} \cdot D$$

schematic

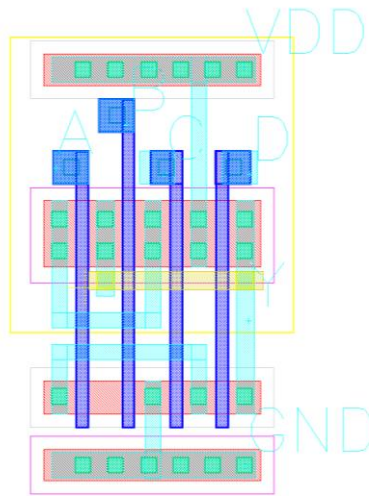


waveform

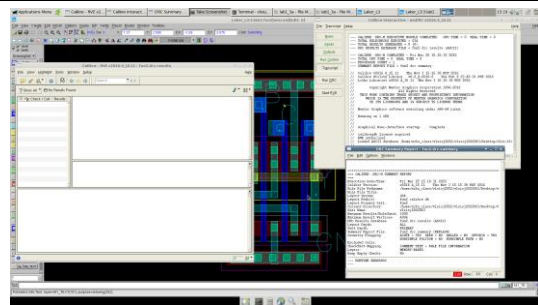


VLSI 作業一報告

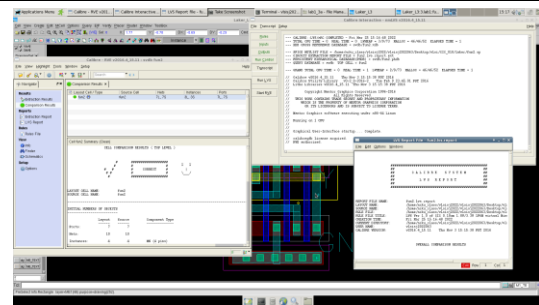
layout



DRC



LVS

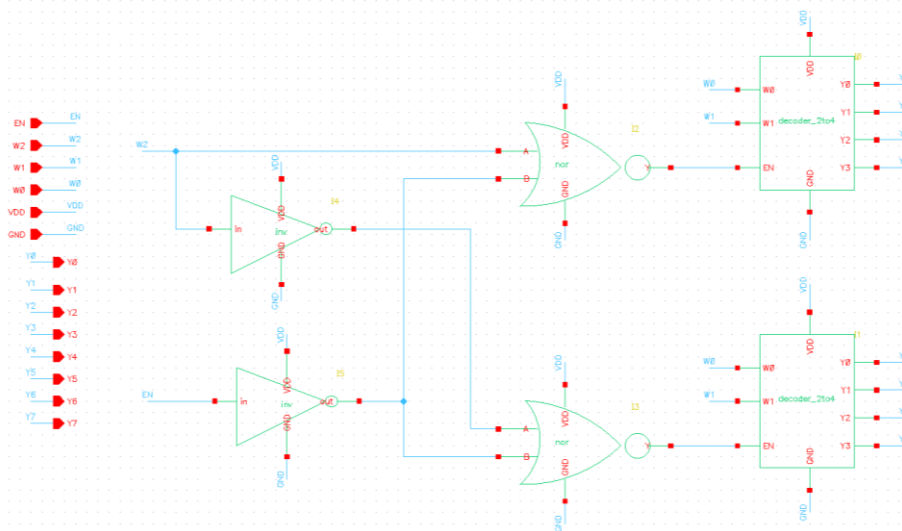


layout解釋

同前一題觀念，Euler path為A-B-D-C。

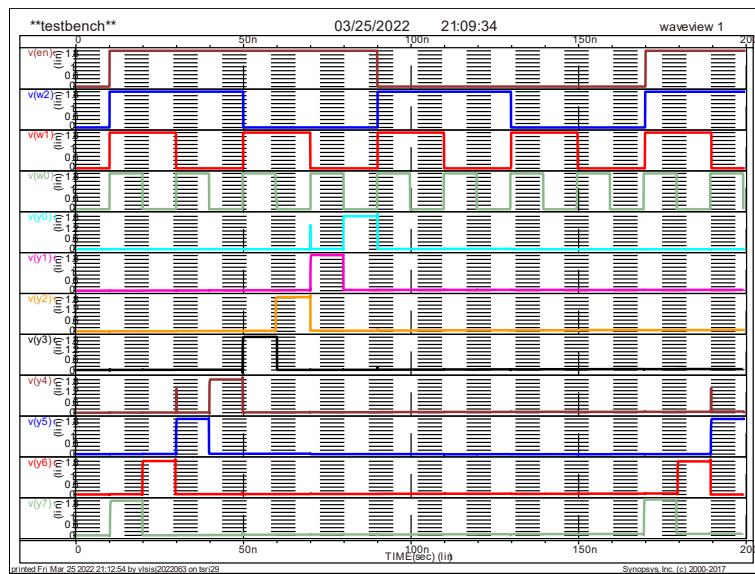
● 3B – 3 to 8 decoder

schematic



VLSI 作業一報告

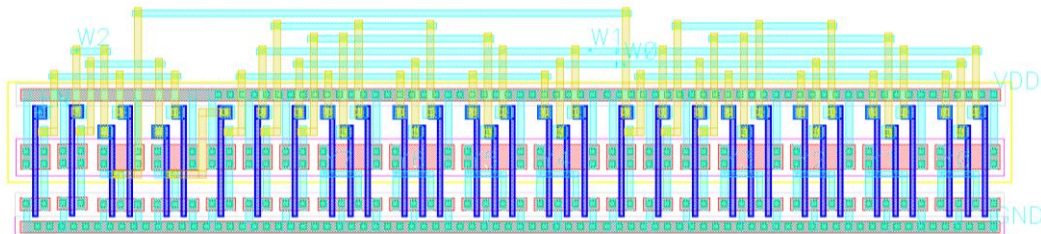
waveform



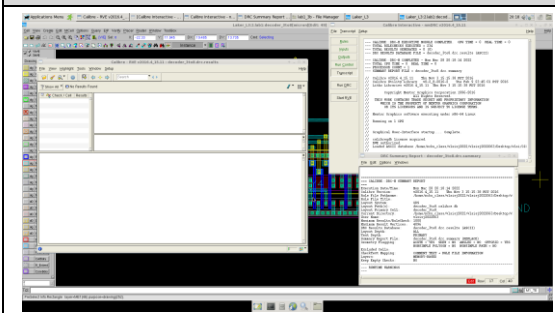
波型圖解釋

使用2個2 to 4 decoder來實現，如上schematic圖，W0和W1分別接上兩個decoder輸入，而W2則作為選擇要使用哪個decoder，W2=0時，使用上面的decoder，W1=0時使用下面的decoder，EN則決定是否啟動這個系統。

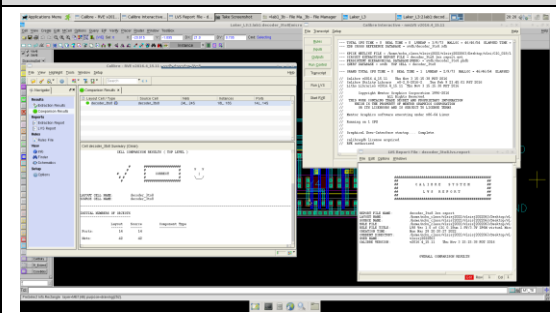
layout

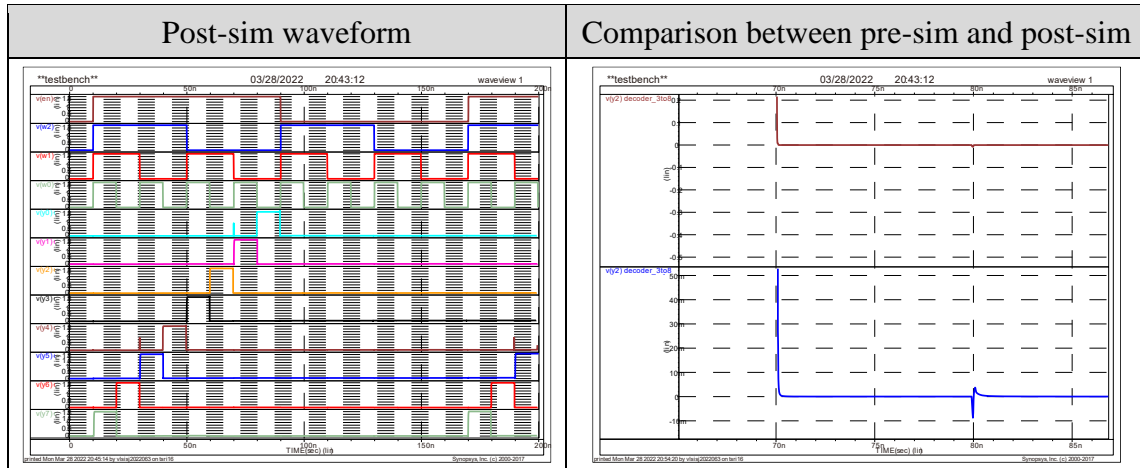


DRC



LVS





● 心得

雖然二下修習超大後半堂課有類比設計，但是由於新冠疫情緣故，所以只有完成一個inverter而已，這次修習VLSI電路設計可以算是我第一次真正接觸Virtuoso、HSPICE、laker一系列EDA tools的使用。

電路設計部分用的觀念是邏輯設計與教授第三章與第四章的授課內容，所有電路在教授講義或是網路上都能找到答案，所以不是什麼問題。layout部分花了我不少時間熟練，前面電路畫的太離散，加上有些基本layout的觀念不知道，在詢問助教與網友後，直到第三大題的layout才開始慢慢改善，比較符合一般的layout style，像是以下觀念。

雖然VDD(或GND)分開多個而不短路，打多個名字，DRC和LVS會過，但是還是建議連在一起。拉一大條body打VDD跟一大條body打GND，需要接VDD跟GND的導線就接上去。