VLSI Circuits Design HW#2

|  |  |  |
| --- | --- | --- |
| Course | Name | Student ID |
| [3] 2-4 | 陳旭祺 | E24099059 |

* 1A - NMOS characteristic curve

|  |  |
| --- | --- |
| with | with |
|  |  |
| 解釋 | 解釋 |
| 在HSPICE測試檔下.PROBE關鍵字，將指定的輸出變數儲存到 HSPICE 的介面圖形資料檔中。  1. 時，由於MOS結構是back-to back diode，正常情況下，即使施加多大，電流一樣是0。  2. 時，n-channel的電子通道形成，產生電流。  3. 從不同曲線看，當不斷加大，曲線會趨於緊密，代表電流會趨於飽和，再繼續增加對電流影響不大。 | 1. 代表MOS兩端無跨壓，自然不會產生電流。  2. 由於非常小，，則可將二次乘積項消除，因此可視MOSFET為一電阻，電阻值為。  3. 當不斷加大，靠近drain端的channel深度不斷減少，一直加到，此時drain端的channel被"捏到沒有"(等於0)，稱為pinch off，進入飽和(saturation)區。 |
| HSPICE語法 | |
| \*電源名稱V、電壓VGV跨在G和GND端  VG G GND VGV  VD D GND VDV  \*使用DC穩態分析，因此波型檔會輸出至\*.sw0，固定VGV電壓為0，掃描VDV電壓以0.1間隔從0至1.8，接下來VGV增加至0.2，繼續掃描VDV電壓以0.1間隔從0至1.8，因此最後畫出來的波型y-axis軸會是vgs。  .DC VGV 0 1.8 0.1 sweep VDV 0 1.8 0.1  \* .PROBE關鍵字將以下指定變數會輸出到波型檔  .probe i(MM0) vds(MM0) vgs(MM0) | |

* 1B - PMOS characteristic curve

|  |  |
| --- | --- |
| with | with |
|  |  |
| 解釋 | 解釋 |
| 同上，PMOS與NMOS的解釋一樣。 | 同上，PMOS與NMOS的解釋一樣。 |

* 1C – NMOS characteristic curve in 3D view

|  |  |  |
| --- | --- | --- |
|  | 從面看 | 從面看 |
|  |  |  |
| 解釋 | | |
| 調整3D圖的位置，分別另外做了從面與面看到的圖，代表意義是對3D圖投影至2D平面，與第一題繪製出的圖形一致，驗證這個答案是沒錯的。 | | |

* 1D – find the proper of PMOS

|  |  |
| --- | --- |
|  |  |
|  |  |
| 解釋 | |
| 在HSPICE測試檔下.meas DC Vth FIND V(out) WHEN V(out) = V(in)指令，量測DC穩態分析與下，”out”這個節點名字的電壓值並存入變數Vth。根據題目給的數據測出的臨界電壓值過小，未達一半，在固定NMOS的下，需要提高PMOS的，使PMOS電流值加大，更容易導通，這樣臨界電壓才會加大，這部分觀念可以參考U17-8。 | |

* 1E - Linear delay model of inverter

|  |
| --- |
| HSPICE語法 |
| \* 時間td過後才開始測量，在並且第二次下降與在並且第二次上升的時間差存入變數tdelay\_rise  .measure tran tdelay\_rise trig v(in) val=0.9 td=0 fall=2 targ v(out) val=0.9 rise=2  .measure tran tdelay\_fall trig v(in) val=0.9 td=0 rise=2 targ v(out) val=0.9 fall=2  \* propagation delay time為rising propagation delay time與falling propagation delay time的平均值  .measure tran tdelay\_avg param = '(tdelay\_rise + tdelay\_fall) / 2' |
| 實驗值分析 |
| 使用matlab內建函數polyfit(x,y,1)，將7筆實驗值做最小平方法找出擬合一階多項式的最佳方程式。 |
| 理論值計算 |
| 1D小題藉由調整PMOS和NMOS電晶體的W使logic gate switching threshold voltage在，也就是beta ratio ，此時電晶體的W為，透過RC delay model將PMOS阻值model為、將NMOS阻值model為。  根據講義U20-6使用linear delay model的normalization的準則 - **最小delay的值，也就是一個inverter沒有parasitic delay下delay值，此題為**，再根據講義U20-P6，在.18製程下，，所以，因此一個inverter使用linear delay model分析下的delay time為 |
| linear delay model of inverter () |
|  |
| 圖表解釋 |
| 由前面兩者分析繪圖如上，delay 與electrical effort/fanout 兩變數相關係數 ，呈現高度相關，且與理論值計算的linear delay model方程式差距非常小。 |

* 1F - Linear delay model of 3-input NOR gate

|  |
| --- |
| 理論值計算 |
| 同上題參數，而為了使3-input NOR gate上下迴路RC充放電一致，故決定NMOS的尺寸為1、PMOS的尺寸為9。  由左圖可知，3-input NOR gate的linear delay model即為，delay time即為 |
| linear delay model of 3-input NOR gate () |
|  |
| 圖表解釋 |
| 本題未指定3-input NOR gate輸入端的接法，而我是用worst case去接，電路上面PMOS中B、C端接地是always ON，而A端會隨著輸入訊號pulse\_in上下起伏，無論是在(output)rising和falling的階段都會有A端與B端寄生電容18C、B端與C端寄生電容18C影響，這些都是linear delay model所忽略的值，所以上面的圖測量值迴歸線的斜率才會比理論值計算高。 |

* 1G - Compare 1E and 1F

詳細分析過程如前面所述，整理表格如下

|  |  |  |
| --- | --- | --- |
|  | 理論delay time(s) | 實際delay time(s) |
| inverter |  |  |
| 3-input NOR gate |  |  |

* 2A - Path logical delay and total path effort

1. 7-input NAND gate and inverter
2. 3-input NAND gate and 2-input NOR gate
3. 2-input NAND gate and 3-input NOR gate
4. 3-input NAND gate, inverter A, 2-input NAND gate, and inverter B

* 2B - Electrical effort per stage

1. 7-input NAND gate and inverter
2. 3-input NAND gate and 2-input NOR gate
3. 2-input NAND gate and 3-input NOR gate
4. 3-input NAND gate, inverter A, 2-input NAND gate, and inverter B

* 2C - Size the gates

1. 7-input NAND gate and inverter
2. 7-input NAND gate

PMOS :

NMOS :

1. inverter

PMOS :

NMOS :

1. 3-input NAND gate and 2-input NOR gate
2. 3-input NAND gate

PMOS :

NMOS :

1. 2-input NOR gate

PMOS :

NMOS :

1. 2-input NAND gate and 3-input NOR gate
2. 2-input NAND gate

PMOS :

NMOS :

1. 3-input NOR gate

PMOS :

NMOS :

1. 3-input NAND gate, inverter A, 2-input NAND gate, and inverter B
2. 3-input NAND gate

PMOS :

NMOS :

1. Inverter A

PMOS :

NMOS :

1. 2-input NAND gate

PMOS :

NMOS :

由於LVS能判讀的最小精度只到小數點第二位，因此folding後的需要整除至小數點第二位。PMOS需要foding 3次，故取；NMOS需要foding 5次，故取。

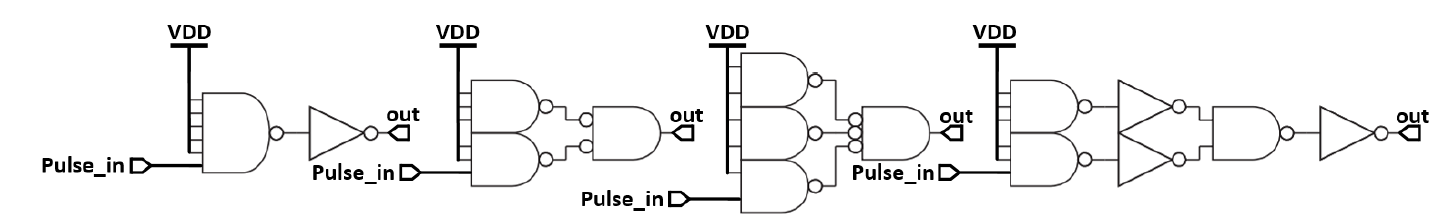
1. Inverter B

PMOS :

NMOS :

由於LVS能判讀的最小精度只到小數點第二位，因此folding後的需要整除至小數點第二位。PMOS需要foding 10次，故取；NMOS需要foding 10次，故取。

* 2D - Delay time simulation



|  |  |  |  |
| --- | --- | --- | --- |
|  | tdelay\_rise | tdelay\_fall | tdelay\_fall |
| 7-input NAND gate and inverter | 4.387e-10 | 8.148e-10 | 6.268e-10 |
| 3-input NAND gate and 2-input NOR gate | 3.956e-10 | 6.361e-10 | 5.159e-10 |
| 2-input NAND gate and 3-input NOR gate | 4.434e-10 | 6.642e-10 | 5.538e-10 |
| 3-input NAND gate, inverter A, 2-input NAND gate, and inverter B | 2.839e-10 | 4.229e-10 | 3.534e-10 |

* 2E - Compare 2C and 2D

|  |
| --- |
| comparison of delay time in different circuit topology () |
|  |
| 圖表解釋 |
| 保持在同一種控制變因下去比較測量數據才有意義，因此4種電路接法都是worst case。由2A理論值計算可知第1種電路到第4種電路的delay依序為，呈上即可推出delay time，與測量值做比較，其中第4種電路無論是理論值還是計算值delay time都是最小，整體趨勢大致吻合。 |

* 2F - Layout of 3-input NAND gate, inverter A, 2-input NAND gate, and inverter B

|  |  |
| --- | --- |
| schematic | |
|  | |
| layout scratch | |
|  | |
| layout | |
|  | |
| DRC | LVS |
|  |  |

* 3A - Which one is the better layout

|  |
| --- |
| 電路圖 |
|  |
| 解釋 |
| 單從stick diagram看，左邊電路上面壞(輸出沒有共用contact)、下面好(輸出看到NMOS一顆)；右邊電路上面好(輸出有共用contact)、下面壞(輸出看到NMOS兩顆)，因此上下各有不同地方的好壞，無法判斷哪種layout好。(如圖一)  因此考慮上下迴路RC充放電一致，電晶體最佳sizing下，做量化評估分析layout好壞，左邊輸出電容值；右邊輸出電容值，因此右邊的layout較好。(如圖二) |

* 3B - Draw a much better one

|  |  |
| --- | --- |
| layout | schematic |
|  |  |
| 解釋 | |
| 更好的layout方式就是各取所長 - 取左邊電路的下面與右邊電路的上面。  計算各個節點的寄生電容，結果如圖二所示，根據講義U14-5與助教公告的說明，需要注意兩項觀念。  1. **diffusion的面積大小決定電容值大小，兩者成正比**，經過自己實際測試後，數值計算如左圖，兩個contact是、共用contact是、不打contact是，因此大致呈現的比例，所以我們才會得到結論 - 當兩個MOS共用contact時，電容取兩個MOS的depletion capacitance的平均 ，若沒打contact時，depletion capacitance再砍半。    2. 關於不同size的電晶體共用contact的計算方式，如左圖所示，右邊layout的diffusion面積全由右邊電晶體的size所決定，而左邊layout的diffusion面積為左邊與右邊電晶體的size取平均，因此也可知道左邊的layout會比較好，layout很重要的目的就是要**極小化diffusion的面積，因為diffusion的面積與電容值成正比**。 | |

* 3C - estimate the rising or falling delay for 3B circuit

|  |
| --- |
|  |
|  |
|  |
|  |
|  |
|  |

* 3D - layout of 3B circuit

|  |  |
| --- | --- |
| schematic | |
|  | |
| layout | |
|  | |
| DRC | LVS |
|  |  |

|  |  |  |
| --- | --- | --- |
|  | Estimation delay time or | HSPICE postsim simulation |
| Pattern 1 |  |  |
| Pattern 2 |  |  |
| Pattern 3 |  |  |
| Pattern 4 |  |  |
| Pattern 5 |  |  |
| Pattern 6 |  |  |

|  |
| --- |
| comparison of delay time in different input pattern () |
|  |
| 圖表解釋 |
| 理論值計算根據講義U20-P6，在.18製程下，，所以，個別帶入3C小題計算每一種pattern的delay值。 |

* 3E - in CIC process

|  |
| --- |
| in CIC process |
|  |
| 圖表解釋 |
| 理論值計算同上，根據講義U20-P6，在.18製程下，所以。估測值就是把postsim模擬的delay time除以3C小題計算delay值的係數，舉例來說pattern 5的postsim模擬結果是8.972e-11(s)，而計算delay time是23RC，因此可估算。 |

* Conclusion

本次實驗我學到以下5大重點。

1. 熟悉HSPICE語法

尤其是第一大題，1A小題使用.DC關鍵字做穩態分析、sweep關鍵字掃描電壓、.PROBE關鍵字將以下指定變數會輸出到波型檔；1D小題、1E小題使用.MEA關鍵字在特定情況下指定節點與時間資訊輸出數據到文字檔。

1. 建立邏輯閘的linear delay model

1E小題、1F小題藉由計算值匯出至matlab做圖，建立linear delay model並與講義U20-6的理論值做比較。

1. 評估不同電路架構的path delay time與最佳化一條path的delay time

第2大題最佳化4種電路架構的delay time並判斷哪種電路架構對於情況下較佳，最佳化一條path的delay time的流程如下

1. 計算path effort ，其中、、。

2. 決定要用幾級(stage)電路實現，delay time最佳值是每一級要推等效4個自己(fanout)，。

3. 計算此path最小delay time是 ，其中。

4. 計算各級邏輯閘的effort均為。

5. 從後往前推，計算每一級的輸入電容值 $。

6. 得到各級邏輯閘的去決定電晶體的size，假設一個2-input NAND gate計算得，而計算NMOS和PMOS取size的ratio為，因此NMOS的size取12、PMOS的size取3，輸入源看進去的電容才會是。

1. transistor foding的layout技巧

2F小題練習部分。參照這篇[文獻](https://hal.archives-ouvertes.fr/hal-02446833/document)裡面的做圖與描述，transistor folding就是並聯2顆砍半的電晶體，如此等效上還是看到1顆的電晶體，以降低diffusion面積，使寄生電容降低，從線性區電流公式也可以看出流經迴路的電流還是維持一致。

1. 分析邏輯閘的delay time

第3大題決定電晶體的size、計算layout優化後的寄生電容、計算六種不同輸入pattern下的delay time，分析電路的delay time的步驟如下

1. 為了使上下迴路RC充放電一致，要先決定每一個電晶體的尺寸，確保每一條通路的電阻值都相同。

2. 使用RC delay model計算C值，快速方法是從一節點看有個size是的MOS，電容值即是，至於GND和VDD不需要計算電容值，因為電容兩端電壓固定，所以電容不會充放電。

3. (如果考慮layout優化的問題時)當兩個MOS共用contact時，電容取兩個MOS的depletion capacitance的平均 ，若沒打contact時，depletion capacitance再砍半。

4. 決定出RC充放電值最大時的worst case。

5. 分別計算當**輸出上升**時的rising propagation delay time 與當**輸出下降**時的falling propagation delay time 。

6. 使用Elmore delay model，一次只看一個電容充放電行為並相加，計算propagation delay time ，代表用一階RC充放電去近似高階RC充放電I-V曲線，注意照理說取時間常數應該是，而為求計算方便一般取的已隱含成分。