

Simulation Assignment 1

מגשים:

208128611	ליאם קושרובסקי
207289349	יאיר ברמן

2.1 – בורר 1 → 2

טבלת אמת לתיאור הבורר, לפי כניסות d_0, d_1, sel , ויציאה z :

d_0	d_1	sel	z
0	0	0	0
0	0	1	0
0	1	0	0
0	1	1	1
1	0	0	1
1	0	1	0
1	1	0	1
1	1	1	1

כדי לכתוב ביטוי מינימלי ל- z כפונקציה של הכניסות, נציג ראשית מפת קרנו של הפונקציה:

d_0, d_1 sel	00	01	11	10
0			1	1
1		1	1	

לכן נסיק שהביטוי המינימלי של z כפונקציה של הכניסות הוא:

$$z = d_0 \overline{sel} + d_1 sel$$

כעת נפתח את הביטוי לטובת מימוש בעזרת שערי הספרייה הנתונים:

נוכל לממש שער not באופן הבא:

$$a \text{ NAND } a = \bar{a}$$

מתקיים, לפי דה מורגן:

$$d_0 \text{ NAND } \overline{sel} = \overline{d_0 \cdot \overline{sel}} = \overline{d_0} + sel$$

$$(\overline{d_0} + sel) \text{ NAND } (\overline{d_0} + sel) = \overline{\overline{d_0} + sel} = d_0 \cdot \overline{sel}$$

ובאופן דומה:

$$d_1 \text{ NAND } sel = \overline{d_1 \cdot sel} = \overline{d_1} + \overline{sel}$$

$$(\overline{d_1} + \overline{sel}) \text{ NAND } (\overline{d_1} + \overline{sel}) = \overline{\overline{d_1} + \overline{sel}} = d_1 \cdot sel$$

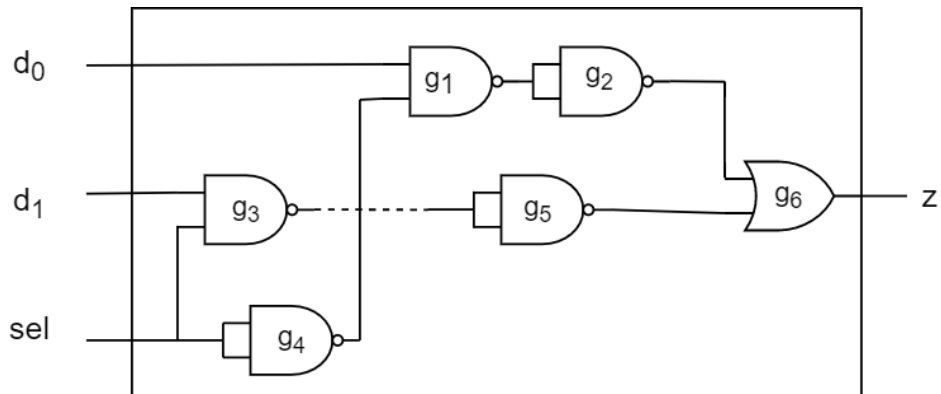
לכן את הביטוי ל-z נוכל להציג באופן הבא:

$$z = ((sel \text{ NAND } sel) \text{ NAND } d_0) \text{ NAND } ((sel \text{ NAND } sel) \text{ NAND } d_0)$$

OR

$$((d_1 \text{ NAND } sel) \text{ NAND } (d_1 \text{ NAND } sel))$$

כעת נציג שרטוט התכן הלוגי לפי הביטוי שקיבלנו:



לצורך חישוב ההשהיות, השלמנו את טבלת ההשהיות הנתונה בתרגיל:

	T_{pdLH}	T_{pdHL}
NAND	10	8
OR	1	2
XNOR	8	6

וטבלת ההשהיות המתאימה למימוש הבורר:

Path	d_0	d_1	sel	T_{pd}
$d_0 \rightarrow g_1 \rightarrow g_2 \rightarrow g_6 \rightarrow z$	$0 \rightarrow 1$	0	0	19
$d_0 \rightarrow g_1 \rightarrow g_2 \rightarrow g_6 \rightarrow z$	$1 \rightarrow 0$	0	0	20
$d_0 \rightarrow g_1 \rightarrow g_2 \rightarrow g_6 \rightarrow z$	$0 \rightarrow 1$	1	0	19
$d_0 \rightarrow g_1 \rightarrow g_2 \rightarrow g_6 \rightarrow z$	$1 \rightarrow 0$	1	0	20
$d_1 \rightarrow g_3 \rightarrow g_5 \rightarrow g_6 \rightarrow z$	0	$0 \rightarrow 1$	1	19
$d_1 \rightarrow g_3 \rightarrow g_5 \rightarrow g_6 \rightarrow z$	0	$1 \rightarrow 0$	1	20
$d_1 \rightarrow g_3 \rightarrow g_5 \rightarrow g_6 \rightarrow z$	1	$0 \rightarrow 1$	1	19
$d_1 \rightarrow g_3 \rightarrow g_5 \rightarrow g_6 \rightarrow z$	1	$1 \rightarrow 0$	1	20
$sel \rightarrow g_3 \rightarrow g_5 \rightarrow g_6 \rightarrow z$	0	1	$0 \rightarrow 1$	19
$sel \rightarrow g_3 \rightarrow g_5 \rightarrow g_6 \rightarrow z$	0	1	$1 \rightarrow 0$	20
$sel \rightarrow g_4 \rightarrow g_1 \rightarrow g_2 \rightarrow g_6 \rightarrow z$	1	0	$0 \rightarrow 1$	28
$sel \rightarrow g_4 \rightarrow g_1 \rightarrow g_2 \rightarrow g_6 \rightarrow z$	1	0	$1 \rightarrow 0$	29

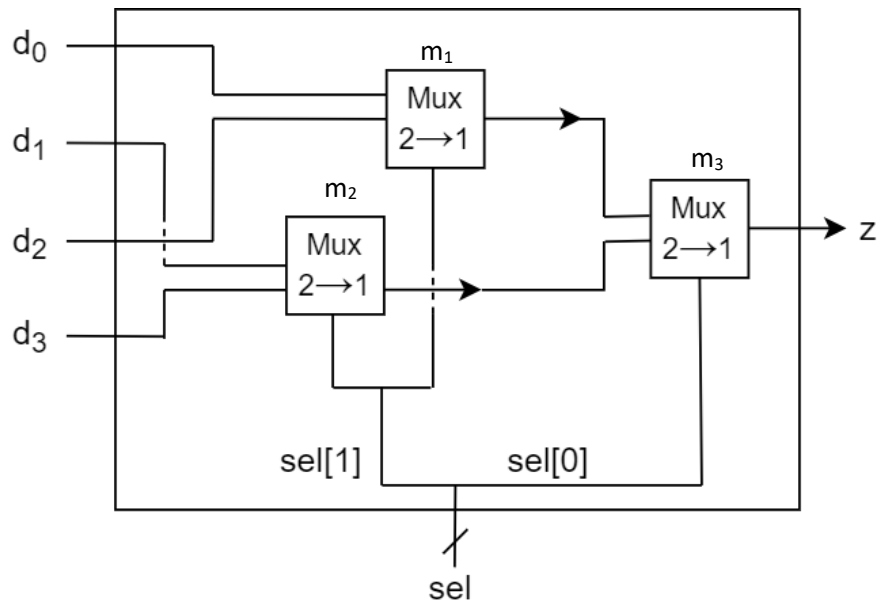
השורות שלא מצוינות בטבלה לא גורמות לשינוי קבוע ביציאה z ולכן הושמטו מהחישוב.

2.2 – בורר 4 → 1

החל מסעיף זה, נשתמש בטבלת ההשהיות הבאה:

	T_{pdLH}	T_{pdHL}
NAND	10	10
OR	2	2
XNOR	8	8

נציג מימוש לבורר 4 → 1 באמצעות בורר 2 → 1 שמימשנו:



טבלת ההשהיות המתאימה לבורר:

נבחר את כל הכניסות ב-0, ונשנה את ערכו של d_0 .

d_0	d_1	d_2	d_3	sel	T_{pd}
0 → 1	0	0	0	00	44
1 → 0	0	0	0	00	44

פירוט: בשורה הראשונה, בוצע שינוי בכניסה d_0 שגרר מעבר של הבוררים m_1 ו- m_3 מיציאת 0 ליציאת 1. לפי טבלת ההשהיות לרכיב $Mux\ 2>1$, כל שינוי כזה הוא ב- T_{pd} של 22. לכן ההשהיה הכוללת היא $T_{pd}=44$.

בשורה השנייה, השינוי בכניסה d_0 גרר לשינוי של הבוררים m_1 ו- m_3 מיציאת 1 ליציאת 0. גם שינויים אלה לוקחים כל אחד T_{pd} של 22. לכן ההשהיה הכוללת היא $T_{pd}=44$.

Full Added/Subtractor – 2.3

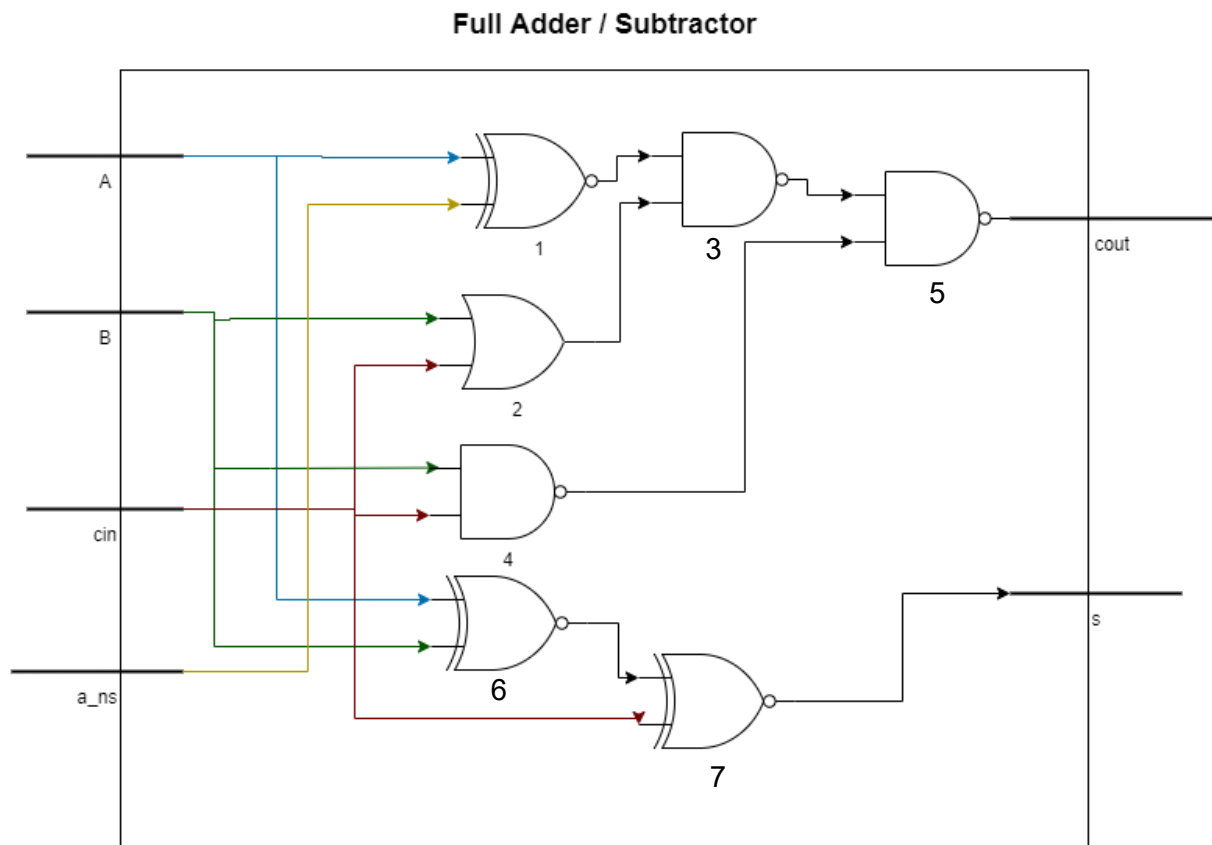
הביטוי שפיתחנו עבור S:

$$S = a \text{ xnor } b \text{ xnor } cin$$

הביטוי עבור cout:

$$cout = \overline{b \cdot cin \cdot (b + cin)(a \text{ xnor } a_ns)}$$

לפי ביטויים אלו פיתחנו את הרכיב, באמצעות 7 שערים לוגיים:



טבלת ההשהיות המתאימה לרכיב FAS:

נחשב את ההשהיות המקסימליות מהכניסות A, B, Cin, a_ns ליציאות s ו-Cout:

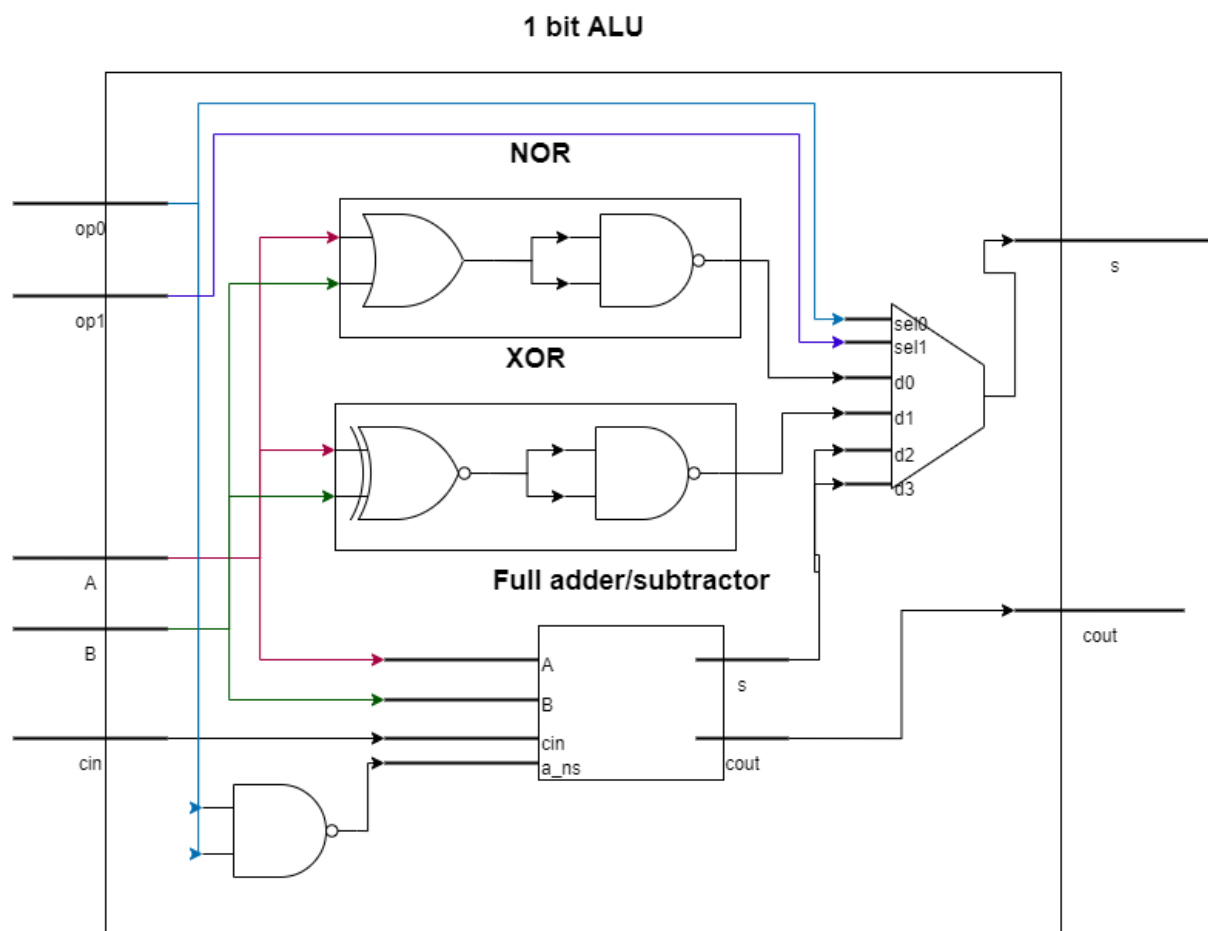
A	B	Cin	a_ns	s	Cout	T _{pd}
0 → 1	0	0	1	0 → 1	X	16
0 → 1	1	0	1	X	0 → 1	28
0	0 → 1	0	0	0 → 1	X	16
0	0 → 1	0	0	X	0 → 1	22
0	0	0 → 1	0	0 → 1	X	8
0	0	0 → 1	0	X	0 → 1	22
X	X	X	0 ↔ 1	אין שינוי	X	0
1	1	0	0 → 1	X	0 → 1	28

נשים לב שההשהיה המקסימלית האפשרית מתקבלת במעבר מהכניסה A ליציאה Cout או משינוי a_ns ליציאה Cout. לדוגמה, עבור הכניסות A=1, B=1, Cin=0, שינוי הכניסה a_ns מ-0 ל-1 גורר השהייה בשער XNOR 1 ובשערי NAND 3 ו-5. לכן השהיה הכוללת היא $8+10+10=28$.

בנוסף, שינוי הכניסה a_ns לא משפיע כלל על היציאה s, מכיוון שבשרטוט התכן הלוגי אין מסלול בין הכניסה a_ns ליציאה s. כמו כן, בביטוי שפיתחנו ל-s לא מופיעה הכניסה a_ns.

ALU 1bit – 2.4

מימוש רכיב ALU עם כניסות data ברוחב סיבית בודדת:



טבלת ההשהיות המתאימה לרכיב ALU-1bit:

נחשב את ההשהיות המקסימליות מהכניסות A, B, Cin, Op0, Op1 ליציאות s ו-Cout:

A	B	Cin	Op[1]	Op[0]	s	Cout	T _{pd}
1 → 0	1	0	0	1	0 → 1	X	62
0 → 1	1	0	0	1	X	0 → 1	28
1	1 → 0	0	0	1	0 → 1	X	62
0	1 → 0	0	0	1	X	1 → 0	22
1	1	0 → 1	1	1	0 → 1	X	52
0	0	0 → 1	1	1	X	0 → 1	22
1	0	0	0 → 1	0	0 → 1	X	44
X	X	X	0 ↔ 1	X	X	אין שינוי	0
1	0	0	0	0 → 1	0 → 1	X	22
1	1	0	0	0 → 1	X	1 → 0	38

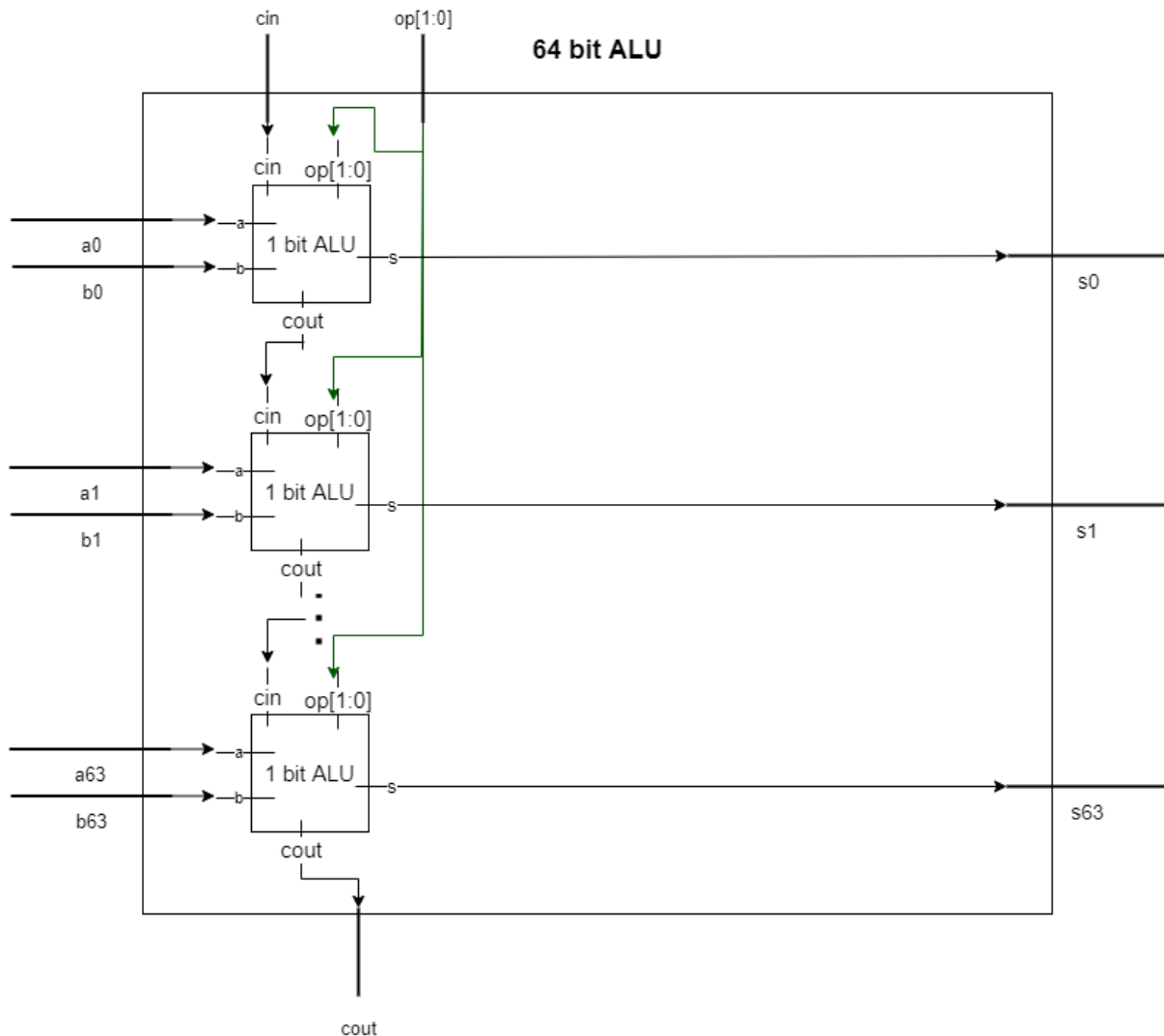
נשים לב שההשהיה המירבית מתקבלת, לדוגמה, בשורה הראשונה בטבלה: B=1, Cin=0, Op=01. השינוי הנגרם מהורדת הכניסה A מ-1 ל-0 גורם לעליית היציאה s ל-1 בהשהיה של 62ps.

השהיה זו מתקבלת מהמסלול הארוך ביותר בין A ל-s: שער XNOR עם השהיה של 8ps, שער NAND עם השהיה של 10ps, ולאחר מכן השהיה של הבורר 1->4 של 44ps כפי שחושבה בסעיפים הקודמים. לכן: 8+10+44=62ps.

בנוסף, נשים לב כי ל-MSB של Op, כלומר Op[1] אין השפעה על היציאה Cout. ניתן לראות בשרטוט התכן שאכן אין חיבור בין הכניסה Op[1] ליציאה Cout.

ALU 64bit – 2.5

מימוש רכיב ALU עם כניסות ברוחב 64 סיביות:



חישוב ההשהיה המקסימלית:

ההשהיה המקסימלית ברכיב תתקבל משינוי הכניסה $op[0]$ מ-1 ל-0, ועד ליציאה s_{63} .

נבחר את המצב הקבוע לשאר הכניסות: $Cin=0$, $op[1]=1$, $a_0=\dots=a_{63}=1$, $b_0=\dots=b_{63}=1$.

ברכיב ALU-1bit הראשון תתרחש השהייה של שינוי $op[0]$ ליציאה $cout$, שנמשכת 38ps כפי שחושבה בסעיפים הקודמים.

ב-62 רכיבי ה-ALU-1bit הבאים תתרחש השהייה של שינוי cin ליציאה $cout$, שנמשכת 22ps בכל רכיב.

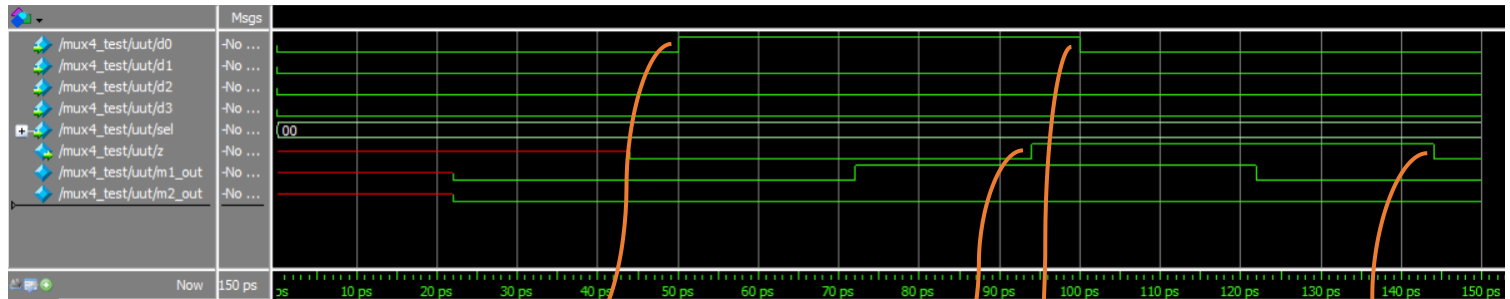
ברכיב ALU-1bit האחרון תתרחש השהייה של שינוי cin ליציאה s_{63} , שנמשכת 52ps.

ובסך הכל, ההשהיה תמשך 1454ps.

3.3 – חלק רטוב mux4 test

בדומה לחישוב התיאורטי, נבחר את הכניסות $d_1=0$, $d_2=0$, $d_3=0$, $sel=00$, ונשנה את ערך הכניסה d_0 מ-0 ל-1, ולאחר מכן מ-1 ל-0, ונביט בשינוי המתרחש ביציאה z . נצפה להשהיה של 44ps.

דיאגרמת הגלים שקיבלנו:



50 עולה ל-1 בזמן

94 כתוצאה, z עולה ל-1 בזמן

100 d_0 יורד ל-0 בזמן

כתוצאה, z יורד ל-0 בזמן 144

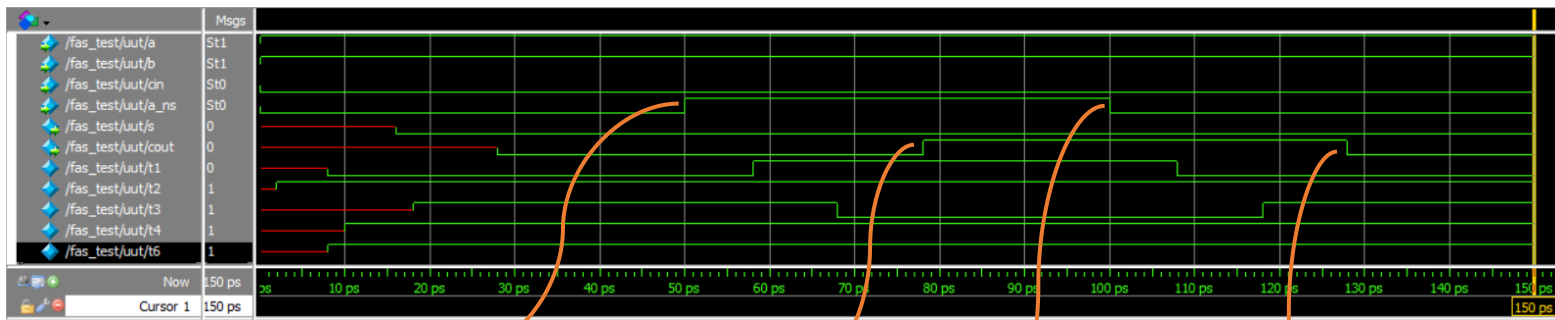
הסבר: בכתיבת ה-testbench את הכניסות כנדרש ואפשרנו לסימולציה לרוץ כ-50ps עד להתייצבות היציאות. לאחר מכן, העלנו את הכניסה d_0 ל-1. ניתן לראות שכעבור 44ps היציאה z עלתה ל-1 (בזמן 94ps מתחילת ההרצה). בזמן 100ps הורדנו את d_0 ל-0, וניתן שוב לראות שהיציאה z ירדה ל-0 כעבור 44ps (בזמן 144ps מתחילת ההרצה).

תוצאות אלו תואמות את החישובים התיאורטיים שביצענו.

3.5 – חלק רטוב fas_test

לקבלת ההשהיה המקסימלית, נבחר את הכניסות $A=1$, $B=1$, $C_{in}=0$. נשנה את ערך הכניסה a_{ns} מ-0 ל-1, ולאחר מכן מ-1 ל-0, ונביט בשינוי המתרחש ביציאה C_{out} . לפי החישובים התיאורטיים, נצפה להשהיה של 28ps.

דיאגרמת הגלים שקיבלנו:



בכתיבת ה-testbench, אתחלנו את הכניסות כנדרש ואפשרנו לסימולציה לפעול כ-50ps עד להתייצבות היציאות. לאחר מכן העלנו את הכניסה a_{ns} , ואכן כעבור 28ps (מתחילת ההרצה) היציאה C_{out} עלתה ל-1.

בזמן 100ps מתחילת ההרצה, הורדנו את a_{ns} ל-0, וכעבור 28ps נוספות היציאה C_{out} ירדה ל-0 (מתחילת ההרצה).

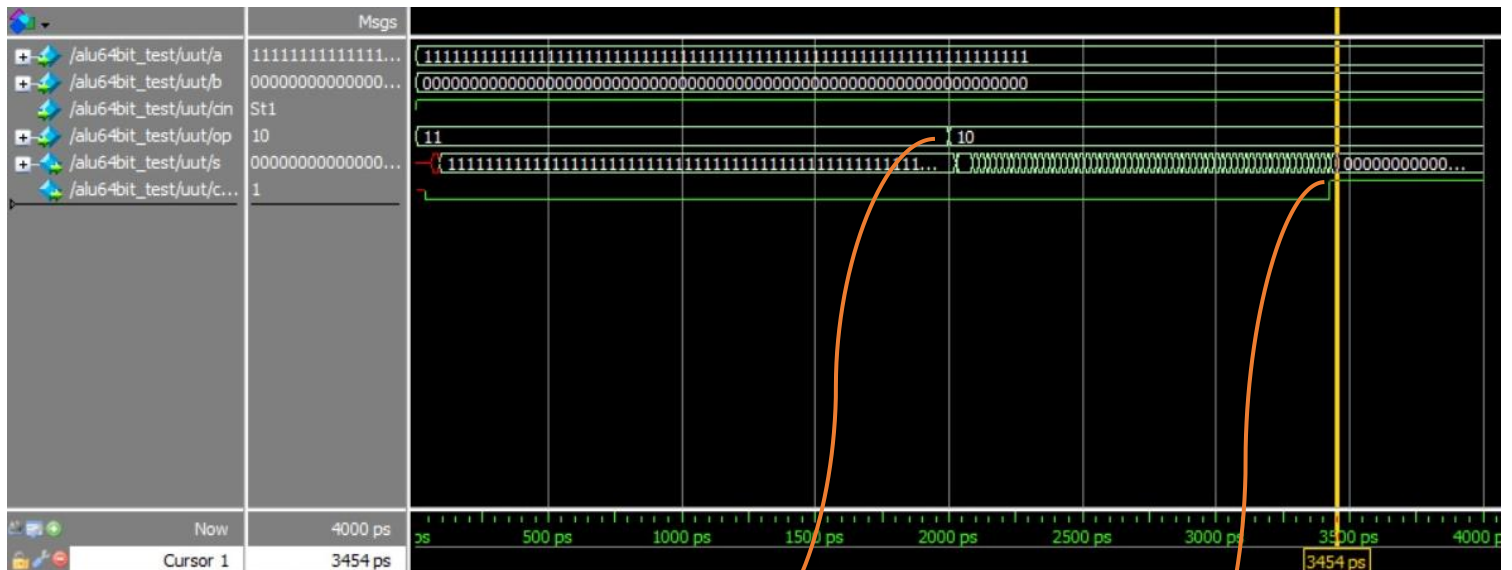
תוצאות אלו תואמות את החישובים התיאורטיים שביצענו.

3.8 – חלק רטוב alu64bit test

לקבלת ההשהיה המקסימלית, נציב את הערכים הבאים:

$a[0..63]=1$, $b[0..63]=0$, $cin=1$, $op[1]=1$, $op[0]=1$

אפשרנו למערכת להתייצב במשך 2000ps, ולאחר זמן זה הורדנו את $op[0]$ ל-0. ניתן לראות בדיאגרמת הגלים שהביט האחרון ביציאה s השתנה בזמן 3454ps, כלומר בהשהיה של 1454ps משינוי הכניסה, בהתאם לחישובים התיאורטיים שביצענו.



הורדנו את $op[0]$ ל-0 בזמן 2000ps

כתוצאה, $s[63]$ יורד ל-0 בזמן 3454ps