



Universidade Federal de São Carlos - UFSCar

Joao Vitor Azevedo Marciano 743554

Lorhan Sohaky de Oliveira Duda Kondo 740951

Experimento 03 - Circuito combinacional em protoboard

São Carlos - SP

2017

Universidade Federal de São Carlos - UFSCar

Joao Vitor Azevedo Marciano 743554

Lorhan Sohaky de Oliveira Duda Kondo 740951

Experimento 03 - Circuito combinacional em protoboard

Orientador: Fredy João Valente

Universidade Federal de São Carlos - UFSCar

Departamento de Computação

Ciência da Computação

Laboratório de Circuitos Digitais

São Carlos - SP

2017

Lista de ilustrações

Figura 1 – Desenho do circuito.	7
Figura 2 – Desenho do circuito utilizando portas NAND.	12

Lista de tabelas

Tabela 1	– Tabela verdade do circuito combinacional.	7
Tabela 2	– Tensões obtidas para as entradas “x1x2=00”.	9
Tabela 3	– Tensões obtidas para as entradas “x1x2=01”.	9
Tabela 4	– Tensões obtidas para as entradas “x1x2=10”.	10
Tabela 5	– Tensões obtidas para as entradas “x1x2=11”.	10
Tabela 6	– Tensões obtidas para as entradas “x1x2=00” no circuito com NAND. .	12
Tabela 7	– Tensões obtidas para as entradas “x1x2=01” no circuito com NAND. .	13
Tabela 8	– Tensões obtidas para as entradas “x1x2=10” no circuito com NAND. .	13
Tabela 9	– Tensões obtidas para as entradas “x1x2=11” no circuito com NAND. .	14

Lista de abreviaturas e siglas

CI Circuito Integrado

FPGA *Field Programmable Gate Array* - Arranjo de Portas Programáveis em Campo

Sumário

1	RESUMO	6
2	DESCRIÇÃO DA EXECUÇÃO DO EXPERIMENTO	7
3	AVALIAÇÃO DOS RESULTADOS DO EXPERIMENTO	9
4	ANÁLISE CRÍTICA E DISCUSSÃO	11
5	OUTRAS INFORMAÇÕES	12

1 Resumo

O experimento tem como objetivo implementar um circuito combinacional em uma *protoboard*, para então avaliar as vantagens e desvantagens de implementar o circuito na *protoboard* ao invés de utilizar uma *Field Programmable Gate Array* - Arranjo de Portas Programáveis em Campo (FPGA).

2 Descrição da execução do experimento

Montou-se o circuito combinacional conforme a [Figura 1](#) em uma *protoboard*, que possui a [Tabela 1](#) como resultado do circuito.

Figura 1 – Desenho do circuito.

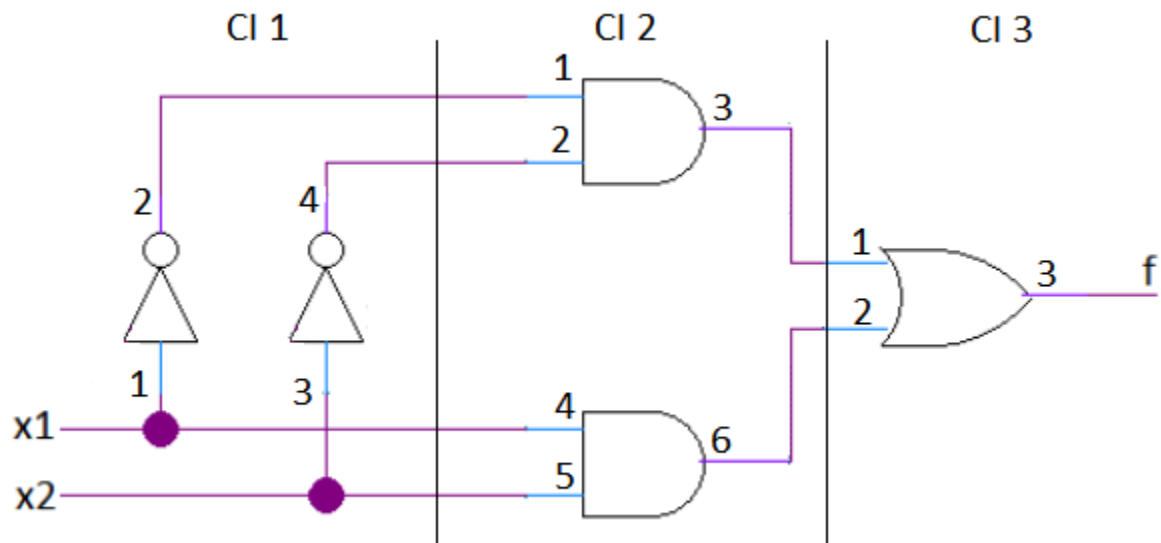


Tabela 1 – Tabela verdade do circuito combinacional.

X1	X2	F
0	0	1
0	1	0
1	0	0
1	1	1

Foram necessários os seguintes equipamentos para o desenvolvimento do experimento:

- Multímetro Digital;
- Circuito Integrado (CI) de portas lógicas *AND* (*datasheet* 7400);
- CI de portas lógicas *OR*;
- CI de porta lógica inversora / *NOT*(*datasheet* 7404);
- *Protoboard*;
- Fios para conectar as portas;

- Fonte de Alimentação DC 5V;
- Alicates.

Foram realizadas medições das tensões em cada um dos pinos, com multímetro e com osciloscópio, do circuito com as entradas x1x2=00, x1x2=01, x1x2=10 e x1x2=11. Observação: Mediu-se as tensões usando a faixa de 1000 V para ter-se um resultado inteiro.

Obsevação: Teve-se dificuldade para fotografar as medições, visto que não tinha-se o equipamento necessário e não conseguiu-se outra data para a reexecução do experimento.

3 Avaliação dos resultados do experimento

Com as medições montou-se as seguintes tabelas verdadeiras [Tabela 2](#), [Tabela 3](#), [Tabela 4](#) e [Tabela 5](#), que expõem o resultado das medições das tensões do circuito com as entradas $x_1x_2=00$, $x_1x_2=01$, $x_1x_2=10$ e $x_1x_2=11$, respectivamente.

Tabela 2 – Tensões obtidas para as entradas “ $x_1x_2=00$ ”.

Pino	Multímetro (V)	Osciloscópio (V)
Cl-1:V1	0	0
Cl-1:V2	4	5
Cl-1:V3	0	0
Cl-1:V4	4	5
Cl-2:V1	4	5
Cl-2:V2	4	5
Cl-2:V3	4	4
Cl-2:V4	0	0
Cl-2:V5	0	0
Cl-2:V6	0	0
Cl-3:V1	4	4
Cl-3:V2	0	0
Cl-3:V3	4	5

Tabela 3 – Tensões obtidas para as entradas “ $x_1x_2=01$ ”.

Pino	Multímetro (V)	Osciloscópio (V)
Cl-1:V1	0	0
Cl-1:V2	4	5
Cl-1:V3	5	5
Cl-1:V4	0	0
Cl-2:V1	5	5
Cl-2:V2	0	0
Cl-2:V3	0	0
Cl-2:V4	0	0
Cl-2:V5	5	5
Cl-2:V6	0	0
Cl-3:V1	0	0
Cl-3:V2	0	0
Cl-3:V3	0	0

Tabela 4 – Tensões obtidas para as entradas “x1x2=10”.

Pino	Multímetro (V)	Osciloscópio (V)
Cl-1:V1	5	5
Cl-1:V2	0	0
Cl-1:V3	0	0
Cl-1:V4	4	5
Cl-2:V1	0	0
Cl-2:V2	4	5
Cl-2:V3	0	0
Cl-2:V4	5	5
Cl-2:V5	0	0
Cl-2:V6	0	0
Cl-3:V1	0	0
Cl-3:V2	0	0
Cl-3:V3	0	0

Tabela 5 – Tensões obtidas para as entradas “x1x2=11”.

Pino	Multímetro (V)	Osciloscópio (V)
Cl-1:V1	5	5
Cl-1:V2	0	0
Cl-1:V3	5	5
Cl-1:V4	0	0
Cl-2:V1	0	0
Cl-2:V2	0	0
Cl-2:V3	0	0
Cl-2:V4	5	5
Cl-2:V5	5	5
Cl-2:V6	4	4
Cl-3:V1	0	0
Cl-3:V2	4	4
Cl-3:V3	4	5

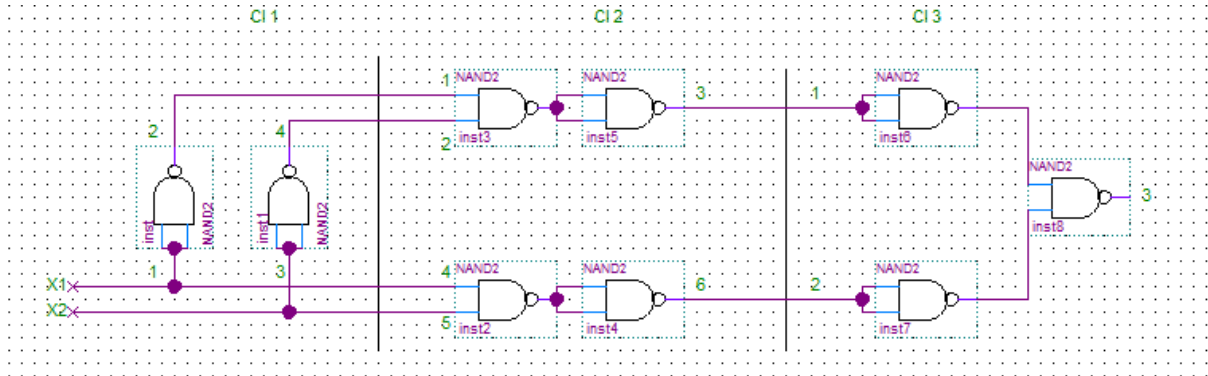
4 Análise crítica e discussão

Observou-se que embora uma *protoboard* seja útil para criar diversos circuitos, pode tornar-se complicada a montagem e manutenção do circuito, visto que pode-se ter mal contato em alguns equipamentos, má organização dos fios (o que atrapalha a visualização do circuito) e é mais demorado para implementar o circuito. Deste modo, constatou-se que mesmo que seja interessante implementar o circuito fisicamente (em uma *protoboard*), é necessário um tempo considerável para a montagem, diferentemente da realização do circuito em uma FPGA.

5 Outras informações

Montou-se um circuito similar ao da [Figura 1](#), só que utilizando somente portas NAND, conforme [Figura 2](#).

Figura 2 – Desenho do circuito utilizando portas NAND.



Fazendo-se as mesmas medições do circuito anterior, obteve-se as seguintes tabelas verdades.

Tabela 6 – Tensões obtidas para as entradas “x1x2=00” no circuito com NAND.

Pino	Multímetro (V)	Osciloscópio (V)
CI-1:V1	0	0
CI-1:V2	4	4
CI-1:V3	0	0
CI-1:V4	4	4
CI-2:V1	4	4
CI-2:V2	4	4
CI-2:V3	4	4
CI-2:V4	0	0
CI-2:V4	0	0
CI-2:V6	0	0
CI-3:V1	4	4
CI-3:V2	0	0
CI-3:V3	4	4

Tabela 7 – Tensões obtidas para as entradas “x1x2=01” no circuito com NAND.

Pino	Multímetro (V)	Osciloscópio (V)
Cl-1:V1	0	0
Cl-1:V2	4	4
Cl-1:V3	4	4
Cl-1:V4	0	0
Cl-2:V1	4	4
Cl-2:V2	0	0
Cl-2:V3	0	0
Cl-2:V4	0	0
Cl-2:V4	4	4
Cl-2:V6	0	0
Cl-3:V1	0	0
Cl-3:V2	0	0
Cl-3:V3	0	0

Tabela 8 – Tensões obtidas para as entradas “x1x2=10” no circuito com NAND.

Pino	Multímetro (V)	Osciloscópio (V)
Cl-1:V1	4	4
Cl-1:V2	0	0
Cl-1:V3	0	0
Cl-1:V4	4	4
Cl-2:V1	0	0
Cl-2:V2	4	4
Cl-2:V3	0	0
Cl-2:V4	4	4
Cl-2:V4	0	0
Cl-2:V6	0	0
Cl-3:V1	0	0
Cl-3:V2	0	0
Cl-3:V3	0	0

Tabela 9 – Tensões obtidas para as entradas “x1x2=11” no circuito com NAND.

Pino	Multímetro (V)	Osciloscópio (V)
Cl-1:V1	4	4
Cl-1:V2	0	0
Cl-1:V3	4	4
Cl-1:V4	0	0
Cl-2:V1	0	0
Cl-2:V2	0	0
Cl-2:V3	0	0
Cl-2:V4	4	4
Cl-2:V4	4	4
Cl-2:V6	4	4
Cl-3:V1	0	0
Cl-3:V2	4	4
Cl-3:V3	4	4

Com isso, constatou-se que pode-se utilizar combinações de portas NAND para representar uma outra porta lógica. Assim, porta NAND pode ser considerada uma porta de universalização.