

# Projet de Conception en Microélectronique Analogique

## Réalisation d'un CAN FLASH 6 bits

Ferdinand Goumis  
Mohamed Hage Hassan

### Encadrants

Fatah Ellah Rarbi  
Daniel Dzahini  
Florent Cilici  
Laurent Aubard

24 Avril 2017

### Abstrait(Prémabule)

Quisque hendrerit finibus lacus pulvinar semper. Donec rutrum lacinia tempus. Aenean ligula sapien, euismod vel arcu sit amet, molestie sollicitudin nisl. Pellentesque habitant morbi tristique senectus et netus et malesuada fames ac turpis egestas. Nullam ac ornare ante, efficitur rhoncus justo. Sed tristique lobortis nisl a gravida. Etiam id purus ut enim sagittis auctor id ac quam. Fusce vulputate nisi rutrum, aliquam neque et, auctor risus. Quisque commodo molestie felis, sed egestas sem. Sed euismod, turpis id dignissim malesuada, elit nulla auctor elit, nec hendrerit ipsum odio quis ex. Sed sollicitudin fringilla purus, et dignissim risus auctor eget. Etiam bibendum, nisi at posuere mattis, dui risus hendrerit sapien, vitae feugiat libero magna sollicitudin leo.

**Élimine le lorem Ipsum après.**

# Table des matières

<b>1</b>	<b>Introduction</b>	<b>3</b>
<b>2</b>	<b>Cahier des charges</b>	<b>3</b>
<b>3</b>	<b>Méthodologie de travail</b>	<b>3</b>
<b>4</b>	<b>Mise en place de l'échantillonneur-bloqueur</b>	<b>4</b>
4.1	Principe de fonctionnement . . . . .	4
4.2	Simulation avec des éléments idéaux . . . . .	5
4.3	Réalisation des switches réels et simulations . . . . .	6
4.4	Simulation finale . . . . .	7
<b>5</b>	<b>Réalisation d'un Amplificateur OTA à deux étages</b>	<b>8</b>
5.1	Cahier des charges . . . . .	8
5.2	Calcul théorique et dimensionnements . . . . .	8
5.3	Simulation et optimisation . . . . .	9
<b>6</b>	<b>Mise en oeuvre des comparateurs synchronisés par horloge</b>	<b>10</b>
6.1	Principe de fonctionnement . . . . .	10
6.2	Partie Théorique . . . . .	10
6.2.1	Phase de comparaison (niveau d'horloge bas) . . . . .	10
6.2.2	Phase de mémorisation (niveau d'horloge haut) . . . . .	12
6.3	Simulations/Optimisations . . . . .	13
<b>7</b>	<b>Réalisation du décodeur en Verilog</b>	<b>15</b>
7.1	Programmation et synthèse automatique du circuit . . . . .	15
7.1.1	Fonctionnement . . . . .	15
7.1.2	Synthèse . . . . .	16
7.2	Simulations . . . . .	17
<b>8</b>	<b>Schéma Global</b>	<b>18</b>
8.1	Mise en place des éléments du montage final . . . . .	18
8.2	Simulations . . . . .	19
8.3	Etage de décodage . . . . .	19
<b>9</b>	<b>Layout</b>	<b>20</b>
9.1	Mise en oeuvre . . . . .	20
<b>10</b>	<b>Améliorations possibles</b>	<b>21</b>
<b>11</b>	<b>Conclusion</b>	<b>21</b>
<b>12</b>	<b>Fiche descriptive des caractéristiques</b>	<b>22</b>
<b>13</b>	<b>Annexes</b>	<b>23</b>
	<b>Références</b>	<b>24</b>

# 1 Introduction

Lorem ipsum dolor sit amet, consectetur adipiscing elit. Morbi tincidunt ut risus eget feugiat. Etiam eget viverra purus, sed iaculis dui. Duis vel urna tempus, placerat dolor ut, molestie erat. Praesent non dapibus tortor. Vestibulum facilisis mollis urna a fringilla. Nulla consequat lacus in dolor mattis varius. Praesent pharetra, mauris quis pretium tincidunt, tortor risus lobortis leo, sit amet mattis metus leo a dolor. Curabitur mi risus, lacinia a lacus ut, porta hendrerit quam. Ut dignissim fermentum bibendum. Mauris auctor tincidunt enim, nec auctor mi faucibus quis. Sed volutpat augue non ligula iaculis, pharetra elementum dolor accumsan. Duis semper semper erat id accumsan. Cras consectetur varius varius. Sed porta semper tellus, quis auctor lacus euismod cursus.

*Note* : Certaines illustrations sont extraites des projets.

## 2 Cahier des charges

Le projet nécessite d'avoir :

- Une résolution du CAN-FLASH de 6 bits, ce qui implique l'utilisation de  $2^6 - 1 = 63$  comparateurs.
- Dynamique du signal en entrée  $V_e \in [0.5V, 2.5V]$
- Fréquence d'échantillonnage :  $f_h = 20MHz$
- **Plus..**

## 3 Méthodologie de travail

Notre méthode de travail tout au long du projet consiste à :

- Découpage du CAN-FLASH en éléments fonctionnels.
- Compréhension du fonctionnement du bloc.
- Mise en place d'un schéma en éléments idéaux et vérification du fonctionnement attendu par simulations.
- Étude théorique pour le bloc réel, dimensionnement des transistors et mise en validation par reproduction d'un schéma et simulations.
- Mise en place d'un schéma global pour sa validation en simulation (Echantillonneur-Bloqueur par exemple).

## 4 Mise en place de l'échantillonneur-bloqueur

Pour qu'on puisse convertir le signal, on doit implémenter une étape d'échantillonnage, avec un fonctionnement à haute fréquence, avant la réalisation de l'étape de comparaison, qui consiste à comparer les différents niveaux obtenus par échantillonnage avec l'amplitude du signal initial, modifiée par le pont de diviseurs de tensions.

On utilise alors une topologie d'un échantillonneur-bloqueur à capacités commutées:

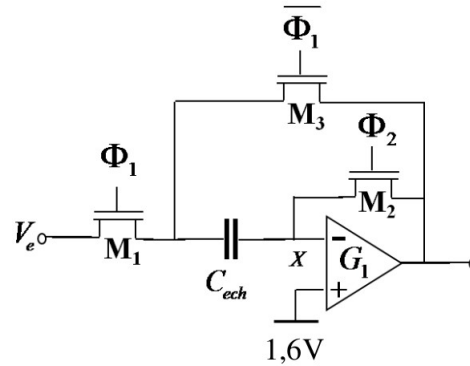


Figure 1: Schéma d'un échantillonneur-bloqueur à capacités commutées

### 4.1 Principe de fonctionnement

Explication des différents phases de fonctionnement + démonstrations théoriques

## 4.2 Simulation avec des éléments idéaux

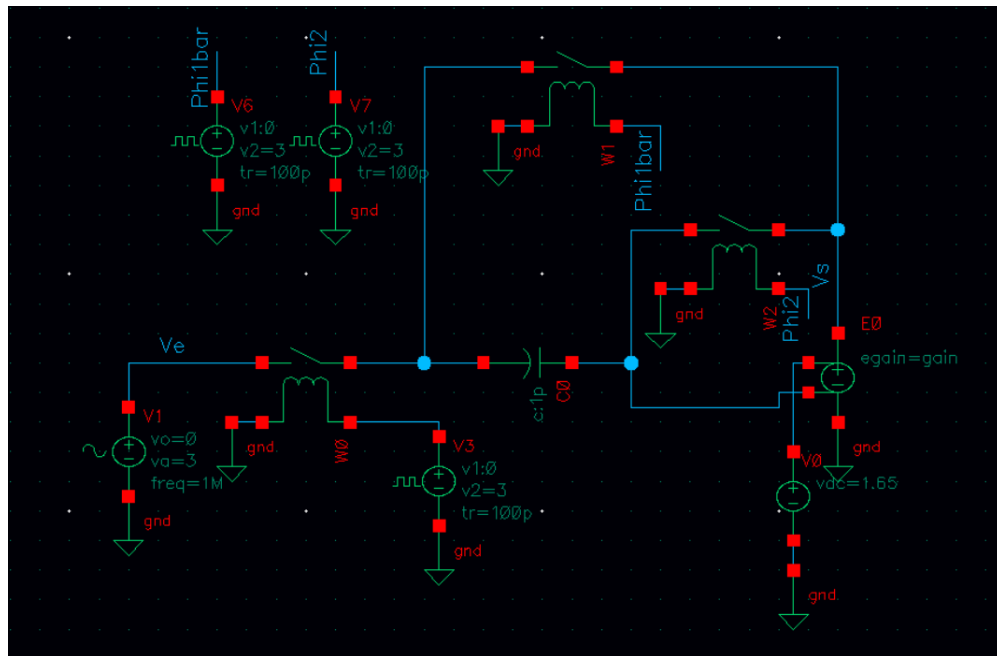


Figure 2: Schéma de l'échantillonneur-bloqueur en éléments idéaux

### 4.3 Réalisation des switchs réels et simulations

#### Vue théorique et Dimmensionnements

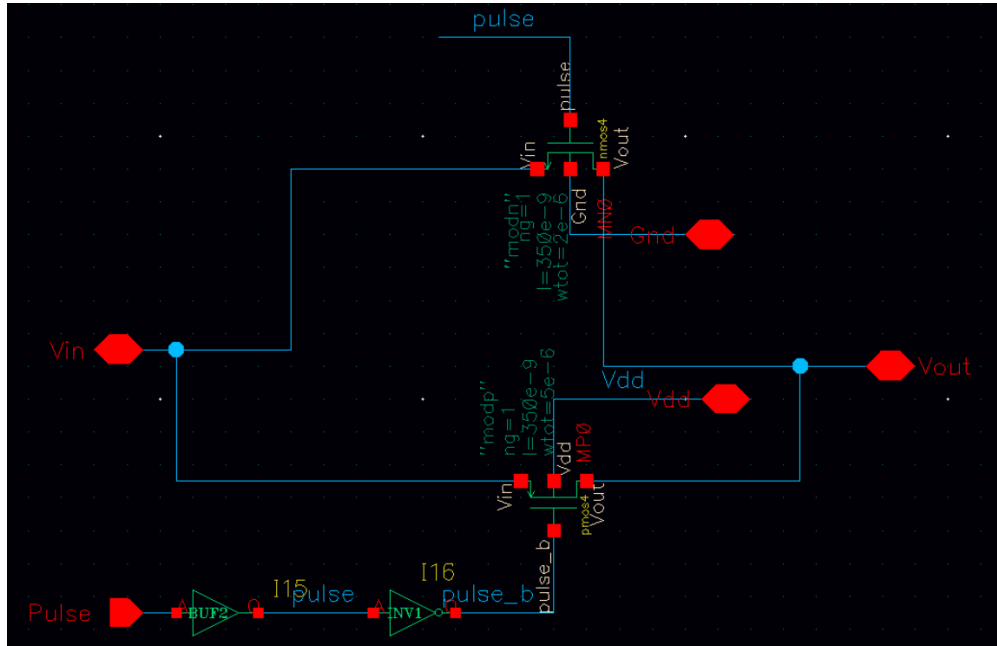


Figure 3: Schéma électrique des switch en CMOS

#### Vérification des performances par simulations

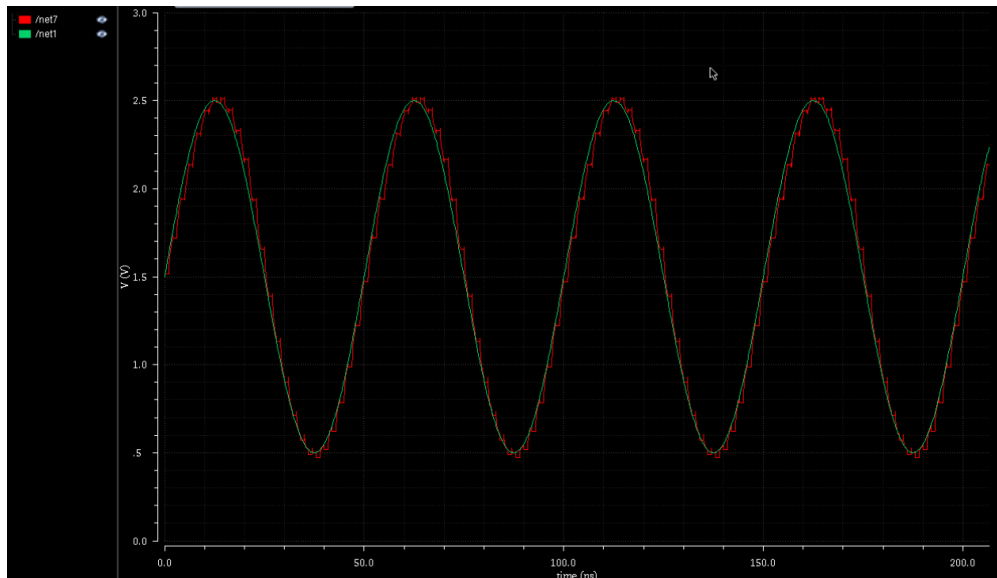


Figure 4: Schéma électrique des switch en CMOS

#### 4.4 Simulation finale

En rassemblant tous les éléments, on aboutit au schéma suivant :

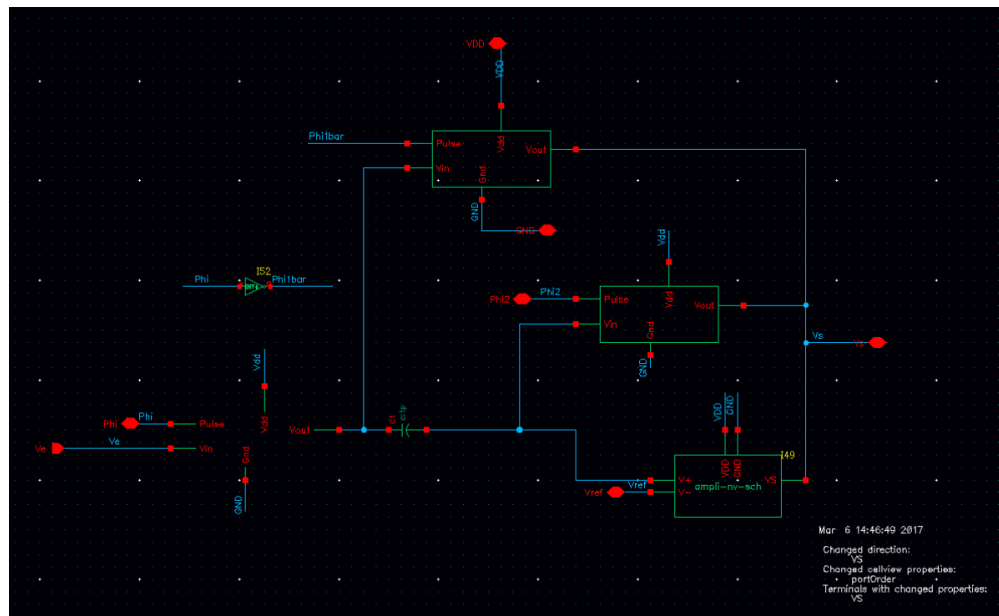


Figure 5: Schéma de l'échantillonneur-bloqueur réel

Effectuant la simulation :

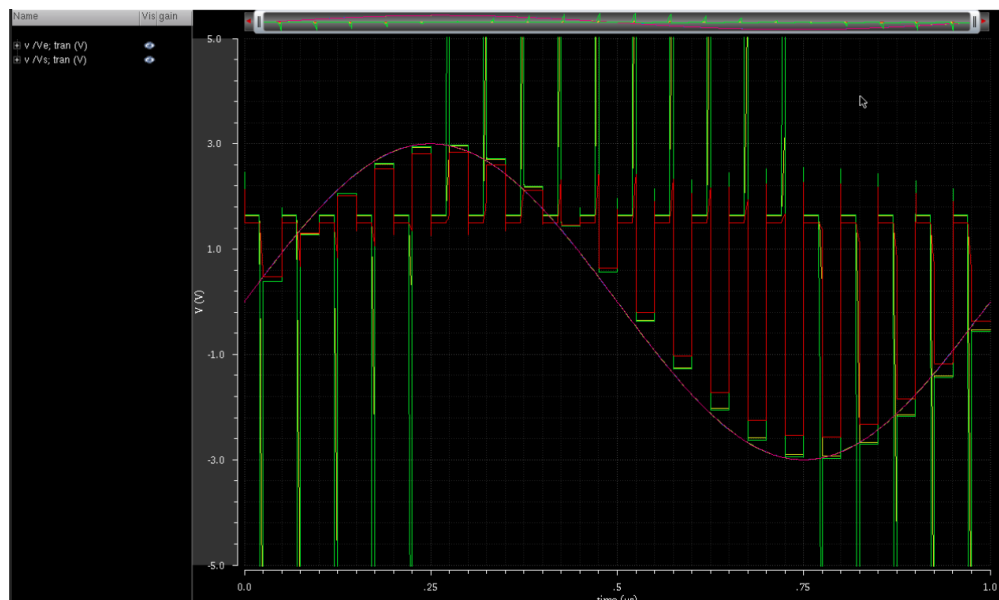


Figure 6: Schéma de l'échantillonneur-bloqueur réel

## 5 Réalisation d'un Amplificateur OTA à deux étages

### 5.1 Cahier des charges

Le cahier de charges nécessite :

- 
- 

### 5.2 Calcul théorique et dimensionnements

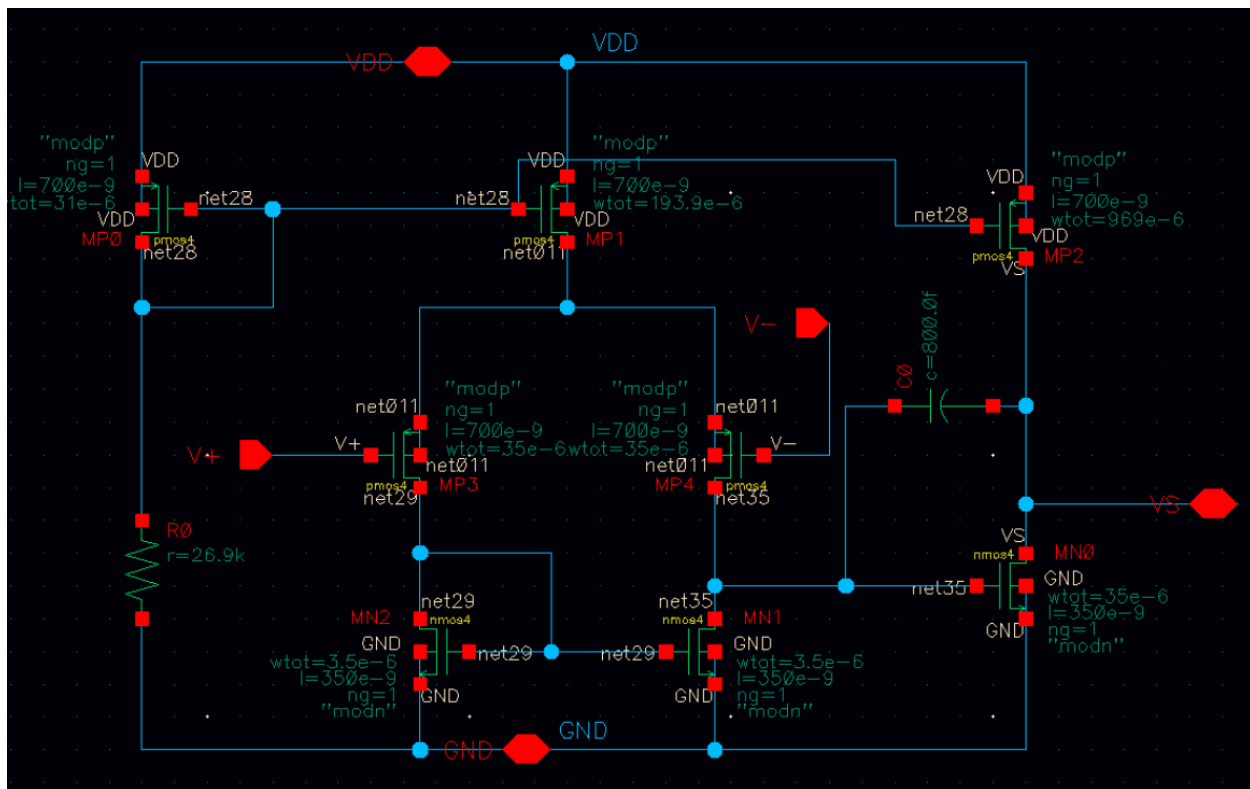


Figure 7: Architecture de l'amplificateur à deux étages après dimensionnements



### 5.3 Simulation et optimisation

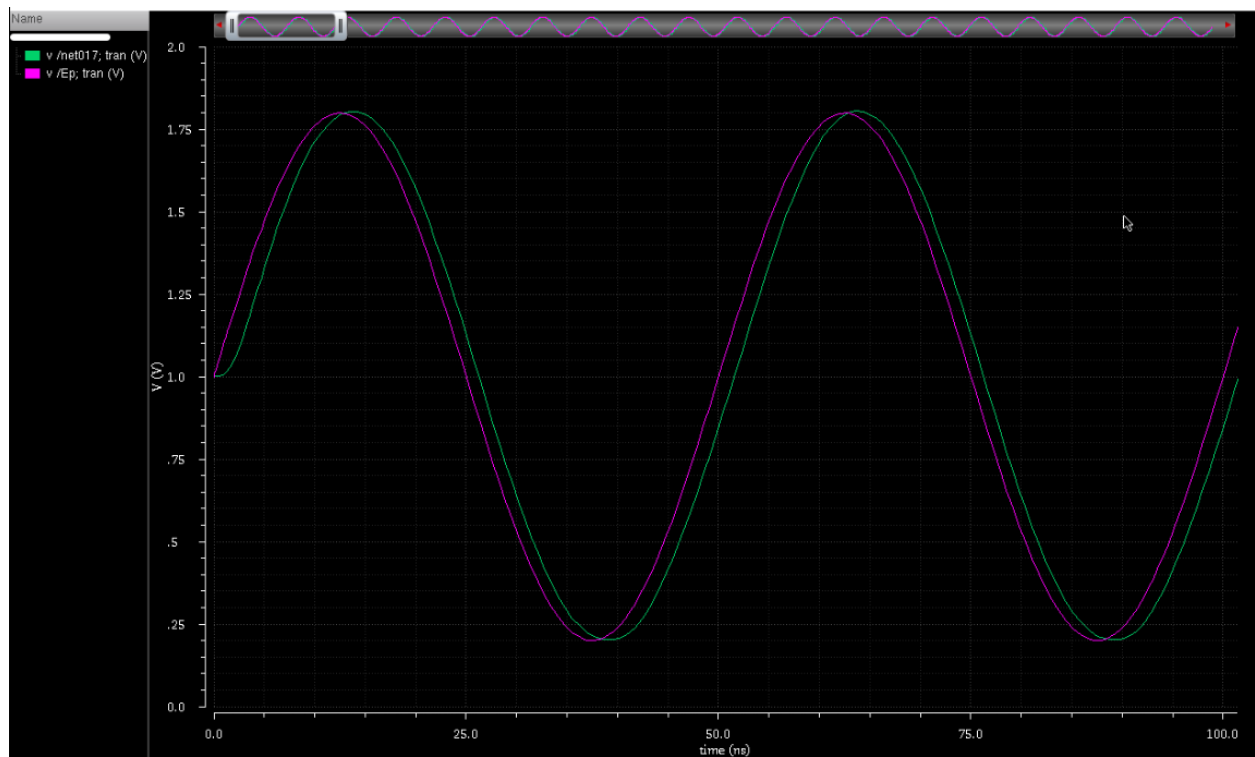


Figure 8: Architecture de l'amplificateur à deux étages après dimensionnements

## 6 Mise en oeuvre des comparateurs synchronisés par horloge

### 6.1 Principe de fonctionnement

L'étape suivante est la création de 63 comparateurs et seuils afin d'au mieux évaluer le niveau de notre signal à chaque front sur un cycle d'horloge commune à tous les blocs.

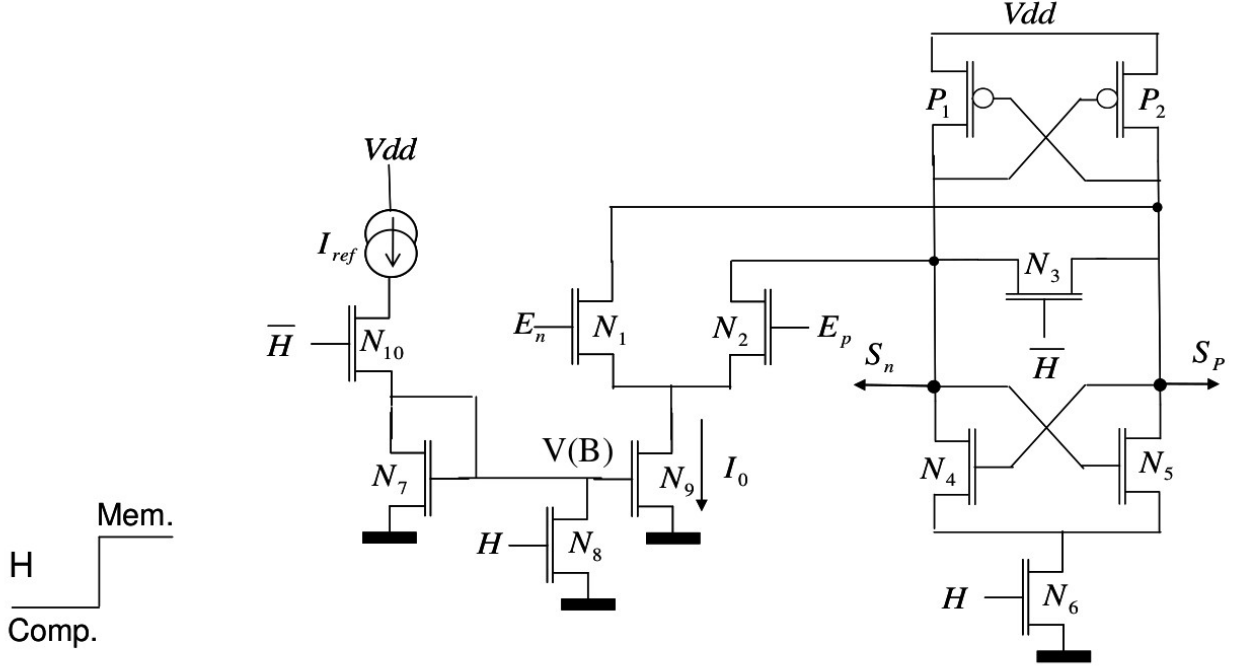


Figure 9: Architecture des comparateurs synchronisés par horloge avec une paire croisée

La structure utilisée pour ce comparateur et brièvement décrite dans le sujet, et illustrée par la figure X, utilise un courant provenant d'un miroir de courant (partie gauche de la structure). La propriété comparatrice est effectuée par la paire différentielle  $N_1/N_2$ . Ensuite, la partie de droite ( $P_1, P_2$  et  $N_3, N_4, N_5, N_6$ ) fait basculer le comparateur soit en saturé (sortie de 3.3 V) ou à la masse à travers le transistor  $N_6$  qui est alors passant.

### 6.2 Partie Théorique

Afin d'au mieux dimensionner ce comparateur, nous avons effectué les hypothèses et calculs suivants, par rapport au courant et aux dimensions des transistors:

#### 6.2.1 Phase de comparaison (niveau d'horloge bas)

Pour  $V_{EP} - V_{EN}$  très différent de 0 (cas d'une entrée représentant le signal et l'autre un seuil), le courant  $I_0$  capable de charger ou décharger la capacité aux nuds  $S_N$  ou  $S_P$  en  $\frac{1}{4}$  de période d'horloge sur une variation de  $V_{DD}$  vaut:

$$I_0 = C \frac{V_{DD}}{t} = 26 \mu A$$

si l'on considère un temps de 12.5 ns =  $\frac{1}{4} \times T_{horloge}$  à 20 MHz.

A l'équilibre ( $V_{EN} = V_{EP}$ ), pour avoir une tension de mode commun en sortie  $V_{SN} = V_{SP} = \frac{V_{DD}}{2}$ , le rapport  $\frac{W}{L}$  de  $P_{1,2}$  vaut:

$$\left(\frac{W}{L}\right)_{P_{1,2}} = \frac{I_D}{K_P(V_{dd}/2 - |V_{TP}|)^2} = 1.229$$

Afin que les transistors  $N_{1,2}$  présentent une capacité  $C_{GS}$  en entrée compatible ou inférieure à celle prise en compte pour fixer  $C_s$  dans le calcul de l'échantillonneur bloqueur, la relation :

$$C_{GS} = \frac{2}{3} C_{ox} W_{N_{1,2}} L \leq C_{comp}$$

Ce qui implique que  $W_{N_{1,2}} \leq 68 \mu m$  puisque :

$$C_S = C_{ech} + 63 \times C_{comp}$$

et que :

$$C_{comp} = \frac{5}{63} pF = 79 fF$$

Déterminons maintenant les tailles des transistors servant à polariser la paire N1/N2:

Si l'on remplace  $N_9$  par un générateur de courant de valeur  $I_0$ , une simulation DC sous Cadence donne une valeur de tension au noeud A :  $V_A = 0.75V$ .

Afin que la grille du transistor  $N_9$  soit polarisé avec la condition  $V_{GS} - V_{tn} = V_{DS} - 0,2V$  (0,2V au-dessus de la limite de zone active), nous en déduisons la tension au noeud B :  $V_B = 1.12V$

Puis, le calcul de  $\frac{W}{L}$  de  $N_9$  vient avec :

$$I_d = K_n \frac{W}{L} (V_{gs} - V_{tn})^2 \left(1 + \frac{K_{en}}{L} V_{ds}\right)$$

Le transistor est au-dessus de la LZA :

$$\left(\frac{W}{L}\right)_{N_9} = \frac{26A}{55A \cdot (V_B - V_T)^2 (1 + (0.03/0.35)V_A)}$$

$$\left(\frac{W}{L}\right)_{N_9} = 1.46$$

Nous faisons de même afin de calculer les dimensions du transistor  $N_7$  avec la condition  $I_{ref} = \frac{I_0}{2}$

Pour calculer celui de N7, même formule sauf que :

$$\left(\frac{W}{L}\right)_{N_7} = \frac{\frac{26}{2}A}{55A.(V_B - V_T)^2(1 + (0.03/0.35)V_B)}$$

$$\left(\frac{W}{L}\right)_{N_7} = 0.72$$

On prendra pour  $N_{10}$  un  $W = 5\mu m$ .

Le calcul des dimensions du transistor  $N_8$  s'effectue en considérant qu'il peut charger ou décharger la capacité estimée par simulation au noeud B en  $\frac{1}{4}$  de période d'horloge.

$$I_{N_8} = \frac{V_B C_B}{\frac{1}{4}T_H} = 2A$$

### 6.2.2 Phase de mémorisation (niveau d'horloge haut)

Afin que la chute de tension dans le transistor  $N_6$  à l'état ON soit de l'ordre de  $0,5V$  lorsque  $H = 1$  pour un courant  $I_{N_6} = I_0$ , il vient :

$$\left(\frac{W}{L}\right)_{N_6} = 0.19$$

car la chute de tension à travers la résistance ON du transistor vaut  $R_{ON} \times I_0 = 0.5V$

Pour une tension de mode commun en sortie  $V_{SP} = V_{SN} = \frac{V_{dd}}{2}$ ,

$$\frac{I_0}{2} = K_n \frac{W}{L} (1.65 - 0.5 - V_{tn})^2$$

$$\left(\frac{W}{L}\right)_{N_{4,5}} = 0.70$$

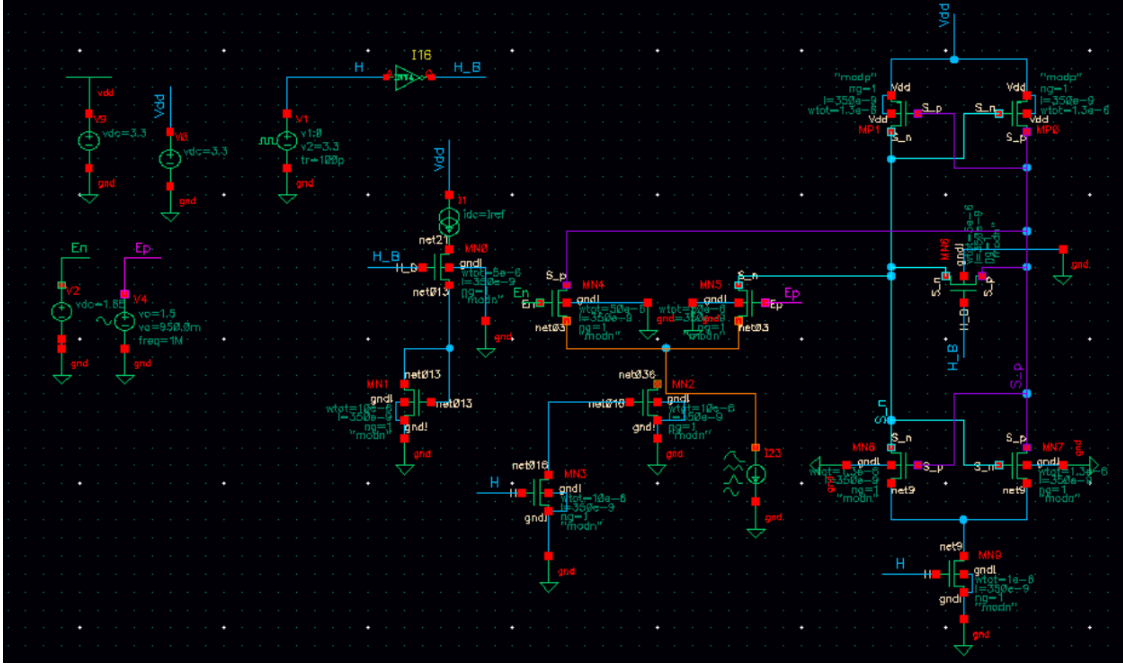


Figure 10: Schéma électrique

### 6.3 Simulations/Optimisations

Finalement, les simulations présentent un comparateur qui est approximatif : la sortie en mode commun n'est jamais réellement soit à 0 ou à 3.3 V. En effet, le zéro logique se situe autour de 1.65 V et le 1 logique varie entre 2.5 et 3 V. **Schéma ne correspond pas à la description, simulation à refaire avec le bon dimensionnement du comparateur (dernier comp)**

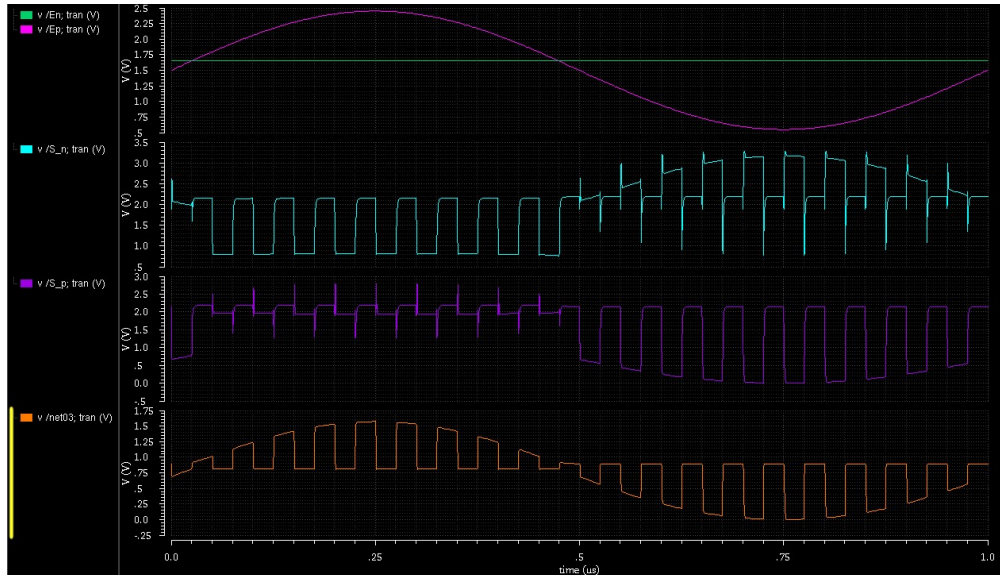


Figure 11: Simulation avant l'ajout des buffers + bascules

Nous avons donc rajouté des inverseurs et une Bascule SR (en 2 Nandes interconnectées) en sortie afin de mémoriser un 0 ou un 1 logique.

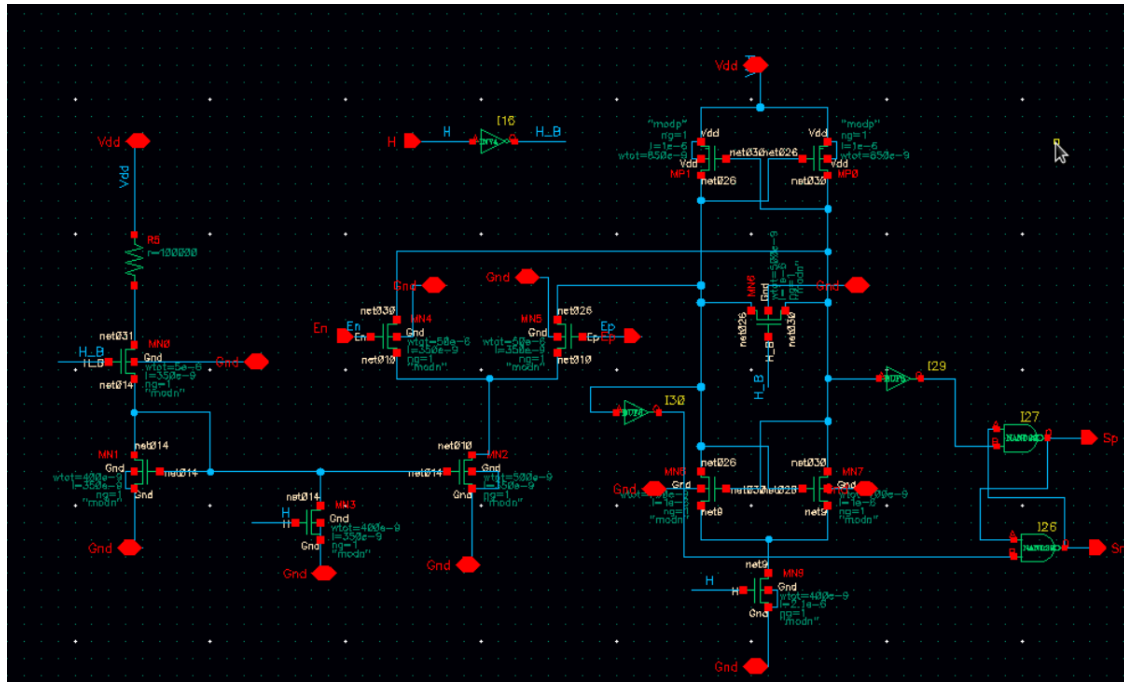


Figure 12: Schéma électrique

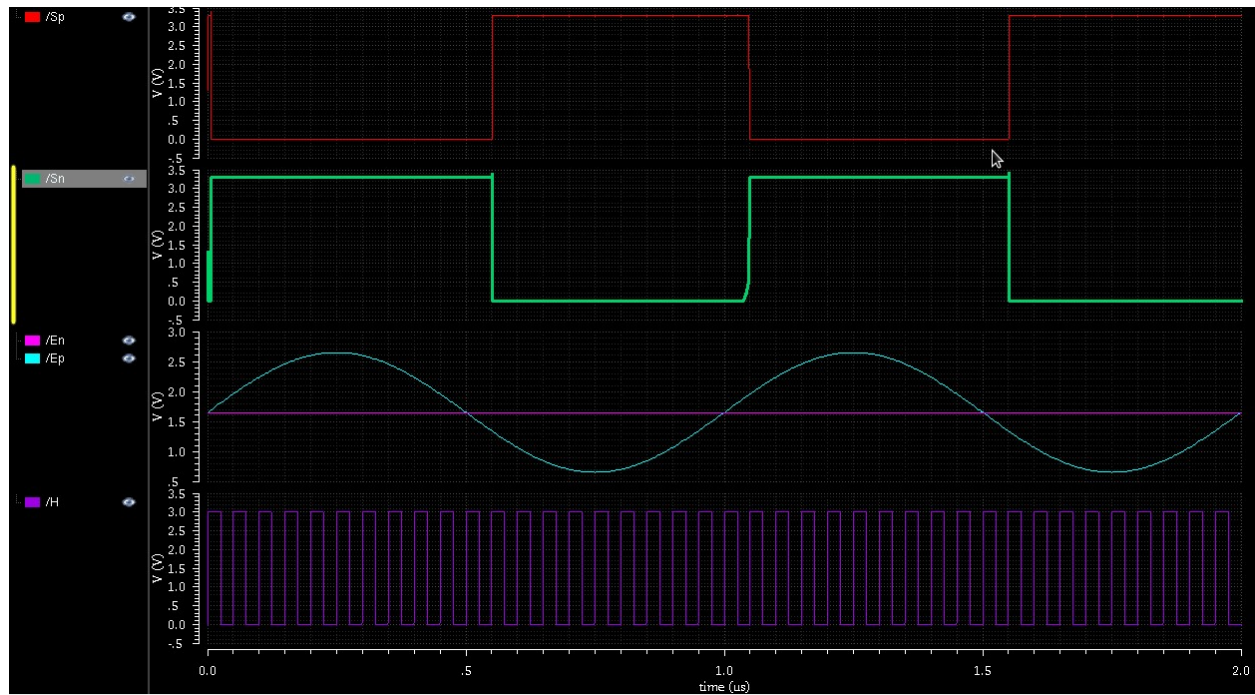


Figure 13: Simulation après l'insertion de ces éléments

## 7 Réalisation du décodeur en Verilog

### 7.1 Programmation et synthèse automatique du circuit

On utilise un code existant en Verilog[3] Ce code permet de convertir les données en code thermométrique en sortie des comparateurs vers un code binaire sur 6 bits (avec un pouvoir de bulles).

```
1 module thermo2bin (thermob, bin)
  input [62:0] thermob;
3  output [5:0] bin;

5  reg [62:0] thermo;
  reg [5:0] bin, bin1, bin2;
7  integer i, j, k;

9  always @(thermob)
  begin
11    for (k = 0; k <= 60; k=k+1)
        thermo[k] <= thermob[k] || thermob[k+1] || thermob[k+2];
13
        thermo[61] <= thermob[61] || thermob[62];
15    thermo[62] <= thermob[62];
  end
17

  always @(thermo)
19  begin
        bin1 = 0;
21    for (i=1; i <= 32; i=i+1)
        if (thermo[i-1] == 1'b1) bin1 = i;
23  end

25  always @(thermo)
  begin
27    bin2 = 0;
        for (j=1; j <= 31; j=j+1)
29      if (thermo[k+31] == 1'b1) bin2 = j;
  end
31

  always @(bin1 or bin2)
33  if (thermo[31] == 1'b1)
        bin = bin2 + 32;
35  else
        bin = bin1;
37

endmodule
```

#### 7.1.1 Fonctionnement

Ce module fonctionne du même principe de la lecture humaine : On essaye de lire le plus haut '1'. Ce bout de code était optimisé pour qu'il fonctionne en 2 parties

**+explications..[3]**

### 7.1.2 Synthèse



## 7.2 Simulations

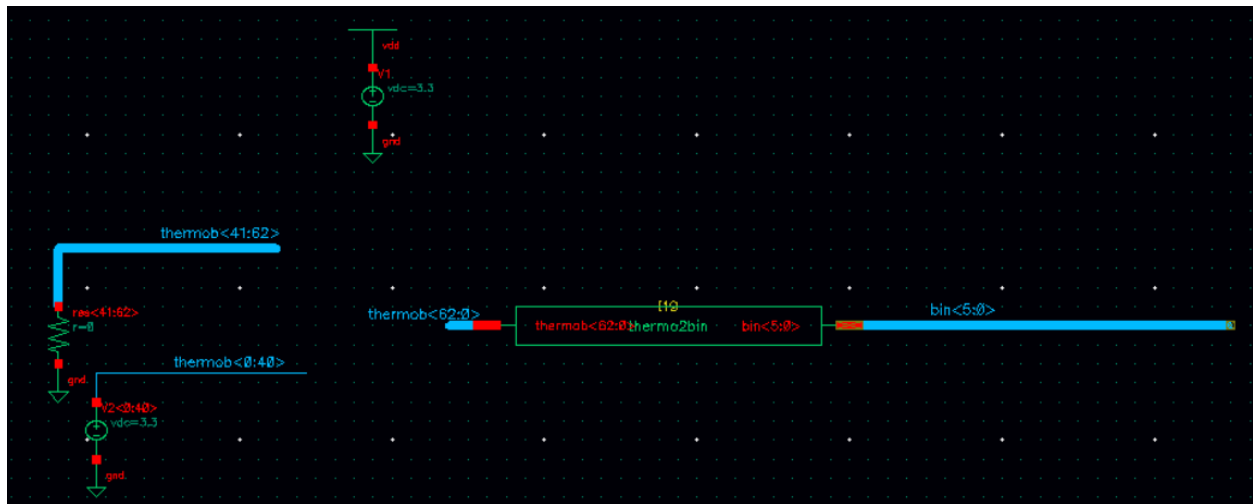


Figure 14: Placement d'un band de test pour le code Verilog après synthèse.



## 8.2 Simulations

La simulation globale de cet étage est très intéressante. En effet, les courbes présentent des valeurs de seuils très différentes de celles **pressenties** par le calcul (niveaux nets crés par des résistances en série). En fait, les entrées des comparateurs sont des gros transistors NMOS. Par conséquent, leurs capacités d'entrée sont très importantes; une fois reliées à des résistances (pont de résistances), des effets de filtrages apparaissent et dégradent les niveaux de seuils.

Les filtres ont en moyenne une fréquence de coupure de  $\frac{1}{2\pi RC}$  avec  $C = 90 \text{ fF}$ . Pour pallier ce phénomène, nous avons placé un suiveur parfait (vcvs) dans la boîte de comparaison pour “purifier” les niveaux de seuils.

## 8.3 Etage de décodage

Mettre une bascule à la fin du comparateur pour bien synchro avec le décodeur.

## 9 Layout

### 9.1 Mise en oeuvre

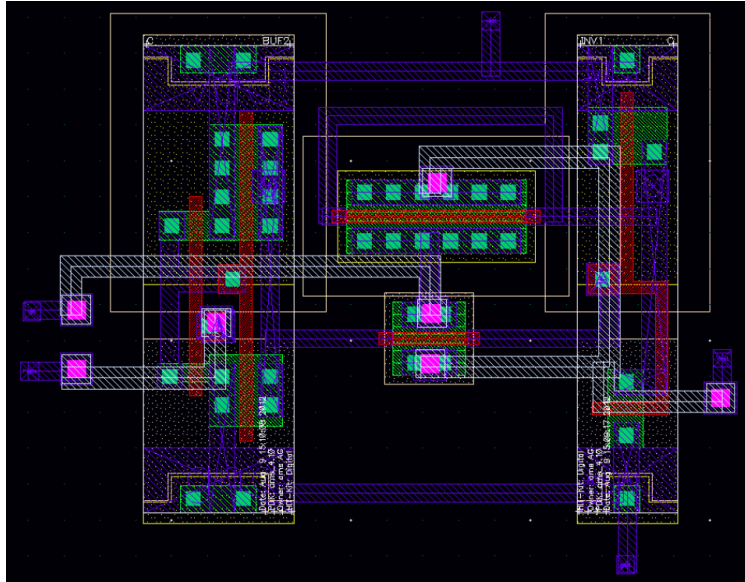


Figure 16: Mise en place du layout d'un switch

**10 Améliorations possibles**

**11 Conclusion**

## 12 Fiche descriptive des caractéristiques

## 13 Annexes

## Références

- [1] *Design of Analog CMOS Integrated Circuits*  
Behzad Razavi, McGraw-Hill Higher Education.
- [2] *AnalogtoDigital Converter Architectures in Principles of Data Conversion System Design*  
Behzad Razavi, Wiley-IEEE Press, 1995, pp.96-152.  
**doi: 10.1109/9780470545638.ch6**
- [3] *Verilog HDL model based thermometer-to-binary encoder with bubble error correction*  
Zbigniew Jaworski, Warsaw University of Technology  
*Conference: 2016 MIXDES - 23rd International Conference "Mixed Design of Integrated Circuits and Systems"*  
**doi: 10.1109/MIXDES.2016.7529741**