

Projet de Conception en Microélectronique Analogique

Réalisation d'un CAN FLASH 6 bits

Ferdinand Goumis
Mohamed Hage Hassan

Encadrants

Fatah Ellah Rarbi
Daniel Dzahini
Florent Cilici
Laurent Aubard

1 Mai 2017

Prémabule

L'analyse et la conception des circuits intégrés constituent une étape primordiale pour notre spécialité en microélectronique. Le document présente l'étude et la simulation détaillée d'un convertisseur analogique/numérique CAN-FLASH en technologie CMOS à $0.35\mu m$, de 6-bits de résolution totale. Tout au long du rapport, on explique les différentes étapes suivies, en partant de la théorie purement dite et en arrivant à la simulation du circuit entier.

Table des matières

1	Introduction	3
2	Cahier des charges	3
3	Méthodologie de travail	3
4	Mise en place de l'échantillonneur-bloqueur	4
4.1	Principe de fonctionnement	4
4.2	Simulation avec des éléments idéaux	5
4.3	Réalisation des switches réels et simulations	7
4.4	Simulation finale	9
5	Réalisation d'un Amplificateur OTA à deux étages	10
5.1	Cahier des charges	10
5.2	Calcul théorique et dimensionnements	10
5.3	Simulation et optimisation	11
6	Mise en oeuvre des comparateurs synchronisés par horloge	12
6.1	Principe de fonctionnement	12
6.2	Partie Théorique	12
6.2.1	Phase de comparaison (niveau d'horloge bas)	12
6.2.2	Phase de mémorisation (niveau d'horloge haut)	14
6.3	Simulations/Optimisations	15
7	Réalisation du décodeur en Verilog	17
7.1	Programmation et synthèse automatique du circuit	17
7.1.1	Fonctionnement	17
7.1.2	Synthèse	18
7.2	Simulations	19
8	Schéma Global	20
8.1	Mise en place des éléments du montage final	20
8.2	Simulations	21
9	Layout	22
9.1	Mise en oeuvre	22
10	Améliorations possibles	23
11	Conclusion	23
12	Fiche descriptive des caractéristiques	24
13	Annexes	25
13.1	Calcul théorique complet de l'amplificateur	25
	Références	29

1 Introduction

Le marché des circuits intégrés ne cesse pas de s'élargir : On se trouve devant une demande de plus en plus importante aux ingénieurs analogues, où même analogues/mixtes. Notre formation nous porte donc à se familiariser dès à présent aux outils de conception analogiques.

Le projet que nous allons traiter comporte plusieurs éléments : La conception des circuits intégrés analogiques, la conversion analogique/numérique, ainsi qu'une partie entière en digital qui sera consacrée à la conversion thermométrique-binaire.

On débuta par une analyse du cahier des charges requis par ce projet, une élaboration de la méthodologie suivie pour le travail. Chaque partie comporte une analyse théorique du fonctionnement souhaité des blocs du FLASH, et sa simulation au final, ainsi qu'une étape de simulation de pré-dimensionnements si nécessaire.

Note : Certaines illustrations sont extraites des projets.

2 Cahier des charges

Le projet nécessite d'avoir :

- Une résolution du CAN-FLASH de 6 bits, ce qui implique l'utilisation de $2^6 - 1 = 63$ comparateurs.
- Dynamique du signal en entrée $V_e \in [0.5V, 2.5V]$
- Fréquence d'échantillonnage : $f_h = 20MHz$
- **Plus..**

3 Méthodologie de travail

Notre méthode de travail tout au long du projet consiste à :

- Découpage du CAN-FLASH en éléments fonctionnels.
- Compréhension du fonctionnement de chaque bloc.
- Mise en place d'un schéma en éléments idéaux et vérification du fonctionnement attendu par simulations.
- Étude théorique pour le bloc réel, dimensionnement des transistors et mise en validation par reproduction d'un schéma et simulations.
- Mise en place d'un schéma global pour sa validation en simulation (Echantillonneur-Bloqueur par exemple).

4 Mise en place de l'échantillonneur-bloqueur

Pour qu'on puisse convertir le signal, on doit implémenter une étape d'échantillonnage, avec un fonctionnement à haute fréquence, avant la réalisation de l'étape de comparaison, qui consiste à comparer les différents niveaux obtenus par échantillonnage avec l'amplitude du signal initial, modifiée par le pont de diviseurs de tensions.

On utilise alors une topologie d'un échantillonneur-bloqueur à capacité commutée:

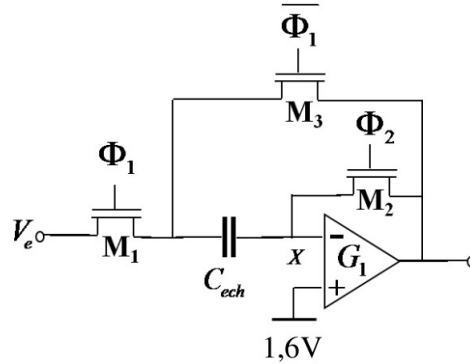


Figure 1: Schéma d'un échantillonneur-bloqueur à capacité commutée

4.1 Principe de fonctionnement

On rappelle qu'on a introduit un décalage entre les 2 horloges (Φ_1 et Φ_2) de 5 ns, sachant que la fréquence d'échantillonnage est de $20MHz$.

L'échantillonneur bloqueur fonctionne en 2 régimes différents:

- **Phase mémoire** : C'est l'étape où l'échantillonneur bloqueur reste sur la même valeur de tension en sortie pendant une durée T.
- **Phase suiveur** : L'échantillonneur suit la variation d'entrée.

Grâce à la phase mémoire, l'échantillonneur permet de garder un niveau de tension fixe pour la conversion qui suit.

Les schéma électriques correspondant aux phases sont représentés par la figure X.

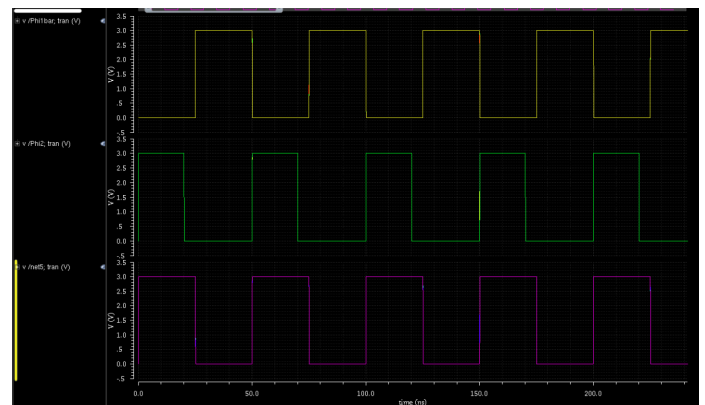


Figure 2: Horloges de cadencement

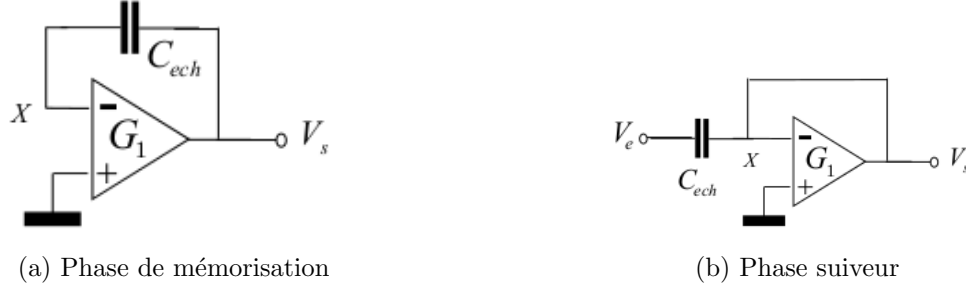


Figure 3: Différentes phases de fonctionnement de l'EB

- **Phase mémoire** : On a $\overline{\Phi_1}$ et $\overline{\Phi_2}$, $\Phi_2 = 0$.
 C_{ech} renvoie sa valeur de la charge en sortie.
- **Phase suiveur** : On est à Φ_1 et Φ_2 .
 Sachant que l'amplificateur OTA, placé en suiveur, a une très grande impédance d'entrée, on a $V_{e+} = V_{e-}$.
 C_{ech} prend la charge correspondante à $V_e - 1.5V = V_e - \frac{V_{dd}}{2}$.

Le décalage entre Φ_1 et Φ_2 entraîne certainement le passage du transistor M_1 à l'état "Off" avant le transistor M_2 . Par rapport à l'injection des charges, la haute impédance d'entrée de l'amplificateur élimine cet effet au niveau de la capacité C_{ech} , pendant le passage du MOS M_1 à l'état "Off".

Pendant la phase intermédiaire où on a Φ_1 et $\overline{\Phi_2}$, le passage du MOS M_2 à l'état "Off" entraîne l'injection des charges dans C_{ech} , mais celle-ci est constante du fait que $V_{e-} = cte$.

Le gain du minimal était supérieur à 300, pour une adaptation avec la résolution de 6bits. Ce gain sera vérifié dans la section 5.

4.2 Simulation avec des éléments idéaux

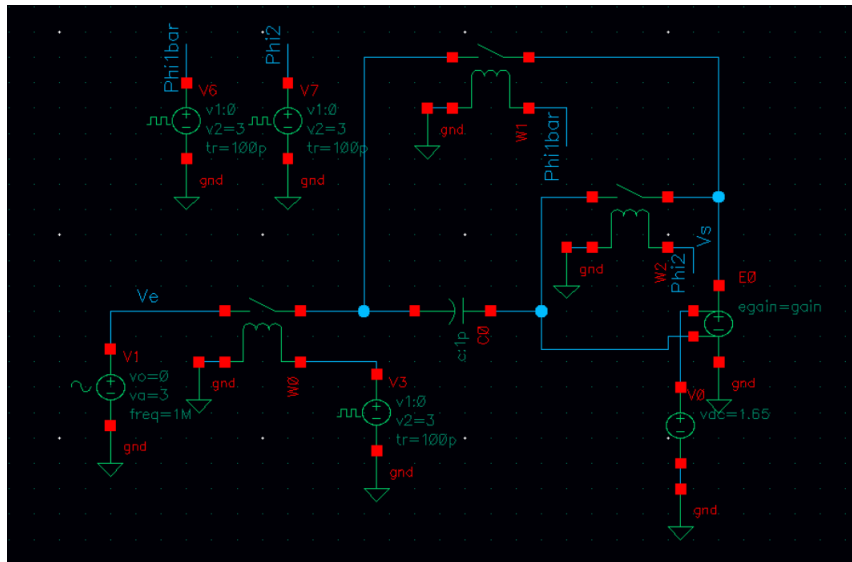


Figure 4: Schéma de l'échantillonneur-bloqueur en éléments idéaux

On configure les horloges avec le décalage prévu, et on choisi d'effectuer une analyse transitoire pour un signal d'entrée sinusoïdal de fréquence $f = 1\text{MHz}$ et de variation $V_e \in [-3, 3\text{ V}]$, la plage de variation de 0.5 à 2.5 V n'est pas prise en considération pour le moment.

En général, toute les simulations effectuées pendant le project sont en analyse transitoire, avec une durée de $1\mu\text{s}$

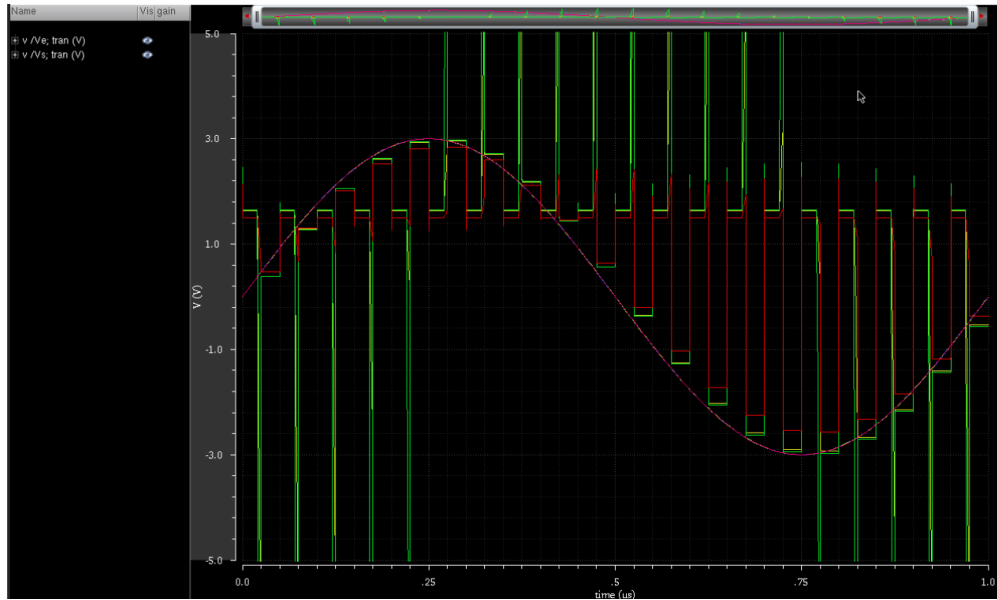


Figure 5: Simulation transitoire l'échantillonneur-bloqueur idéal

Cette simulation prend en charge une variation d'un paramètre "gain" de l'amplificateur pour observer le chagement de niveau de tension en sortie du signal echantillonné en comparaison avec celui d'entrée. On trouve qu'on a une meilleur approximation pour une valeur de gain assez élevée.



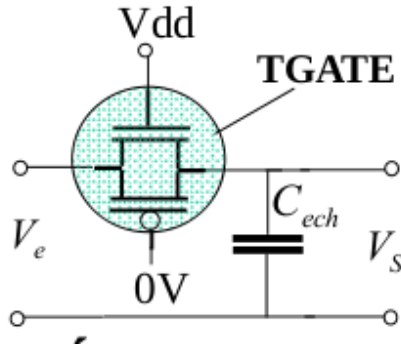
Figure 6: Rapport gain-bloquage au niveau de l'échantillonneur-bloqueur idéal

4.3 Réalisation des switchs réels et simulations

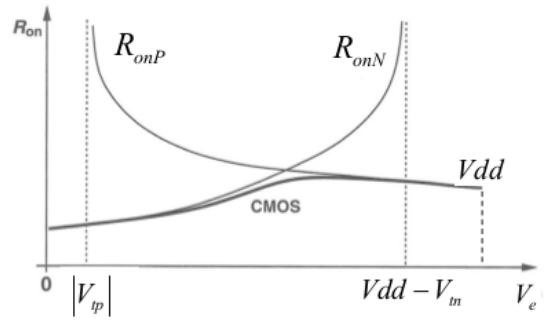
Vue théorique et Dimensionnements

La mise en place d'un échantillonneur bloqueur nécessite la réalisation des switch en CMOS.

Du point de vue théorique, un switch est une mise en parallèle de 2 transistors de type PMOS et NMOS (TGATE).



(a) Structure du TGATE



(b) Variation des R_{ON} des MOS en fonction de V_e

Figure 7

Ces switch seront dimensionnés pour respecté le temps de charge de C correspondante à la fréquence d'échantillonnage de $20MHz$.

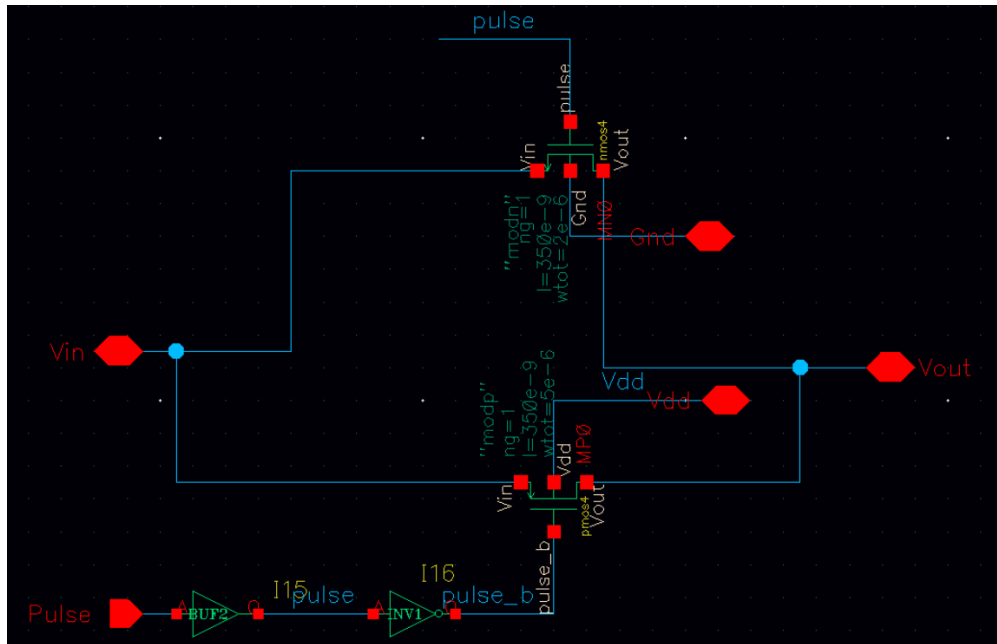


Figure 8: Schéma électrique des switch en CMOS

Si les transistors MOS se comportent comme des résistances en parallèle, il est possible de calculer $R_{ON} = R_{ON(P)} // R_{ON(N)}$. Les transistors ont été dimensionnés pour une $C_{ech} = 7pF$

$$\tau = R_{ON}C \implies R_{ON} = \frac{\tau}{C} = \frac{1}{200 \times 10^6 \times 7 \times 10^{-12}} = 714.28\Omega$$

Sachant que $\tau < \frac{1}{F_e} = \frac{1}{20 \times 10^6} s$, on prend $\tau = \frac{1}{200 \times 10^6} s$.

$$R_{ON} = R_{ON(P)} // R_{ON(N)} \implies \frac{1}{R_{ON}} = \frac{1}{R_{ON(P)}} + \frac{1}{R_{ON(N)}}$$

On prend $R_{ON(P)} = R_{ON(N)} \implies R_{ON(P)} = 2R_{ON} = 1428\Omega$

Pour les 2 transistors :

$$R_{ON(N)} = \frac{1}{2k_n \frac{W}{L} (V_{GS} - V_{tn})} \text{ et } R_{ON(P)} = \frac{1}{2k_p \frac{W}{L} (V_{SG} - V_{tp})}$$

D'où : (Pour V_e d'entrée = $\frac{V_{dd}}{2}$)

$$\left(\frac{W}{L}\right)_N = \frac{1}{2k_n R_{ON(N)} (V_{GS} - V_{tn})} = \frac{1}{2k_n R_{ON(N)} (\frac{V_{DD}}{2} - V_{tn})} = 5.71 \implies (W)_N = 2\mu m.$$

$$\left(\frac{W}{L}\right)_P = \frac{1}{2k_p R_{ON(P)} (V_{SG} - V_{tp})} = \frac{1}{2k_p R_{ON(P)} (\frac{V_{DD}}{2} - V_{tp})} = 14.48 \implies (W)_P = 5\mu m, L_P = 0.35\mu m.$$

Vérification des performances par simulations

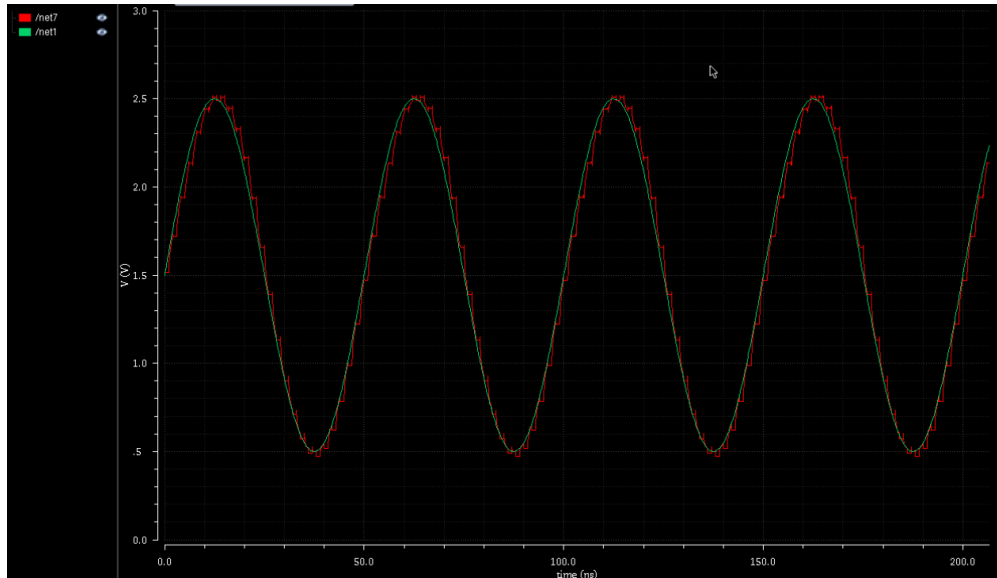


Figure 9: Schéma électrique des switch en CMOS

En rassemblant tous les éléments, on aboutit au schéma suivant :



On rappelle que la mise en place de tous les éléments nécessite la présence d'un amplificateur réel, fonctionnant comme suiveur. Cet élément est expliqué dans la section suivante (sect. 5). On voit alors un comportement très similaire au celui de l'échantillonneur-bloqueur pré-dimensionné.

5 Réalisation d'un Amplificateur OTA à deux étages

5.1 Cahier des charges

Le cahier de charges nécessite :

- Un gain minimal pour une résolution de 6 bits : $G(0) = 300$
- Dynamique en entrée de $V_e \in [0.5, 2.5V]$
- Puissance : $P = 2mW$
- Dynamique en sortie : $V_S \in [0.5, 3.5V]$
- Fréquence maximale d'opération $180MHz$

5.2 Calcul théorique et dimensionnements

Le calcul théorique et la prise en compte du dimensionnement nous amène au schéma suivant :

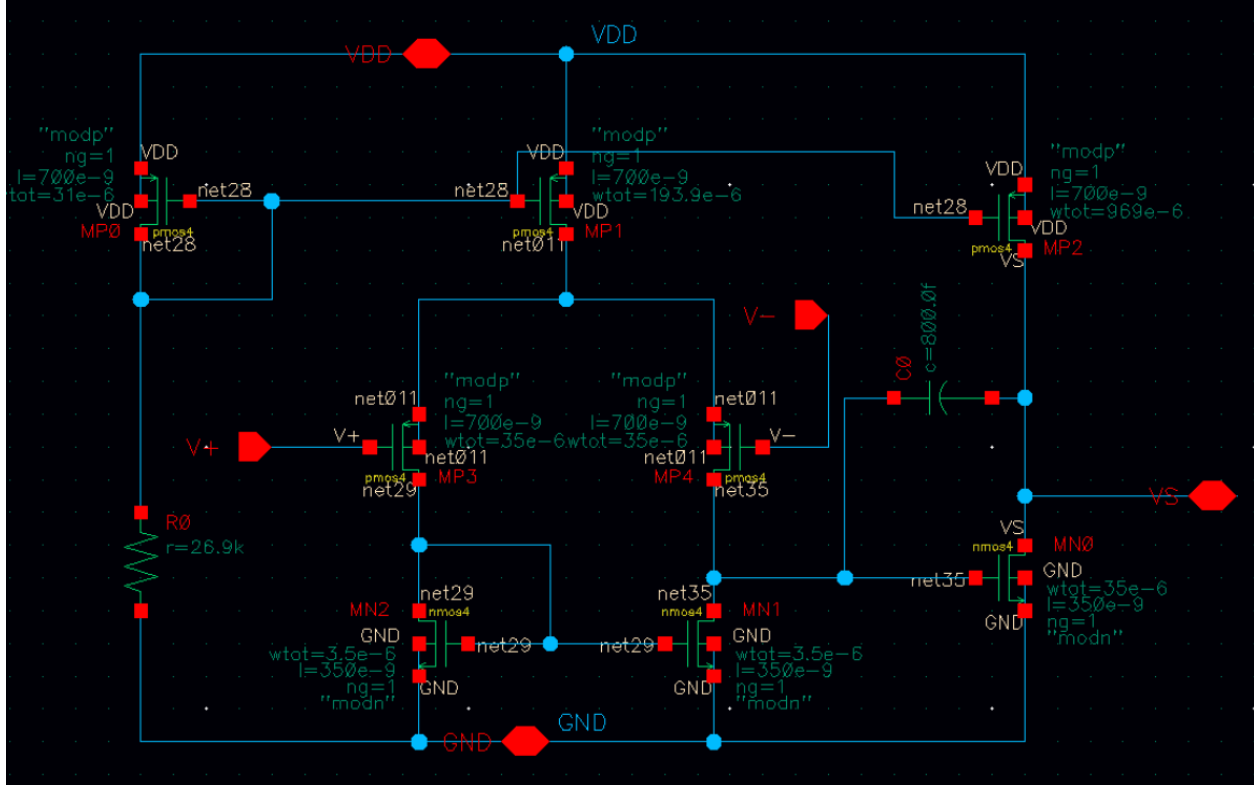


Figure 12: Architecture de l'amplificateur à deux étages après dimensionnements

Les calculs sont détaillés dans l'annexe 1 (sect. 13.1).

5.3 Simulation et optimisation

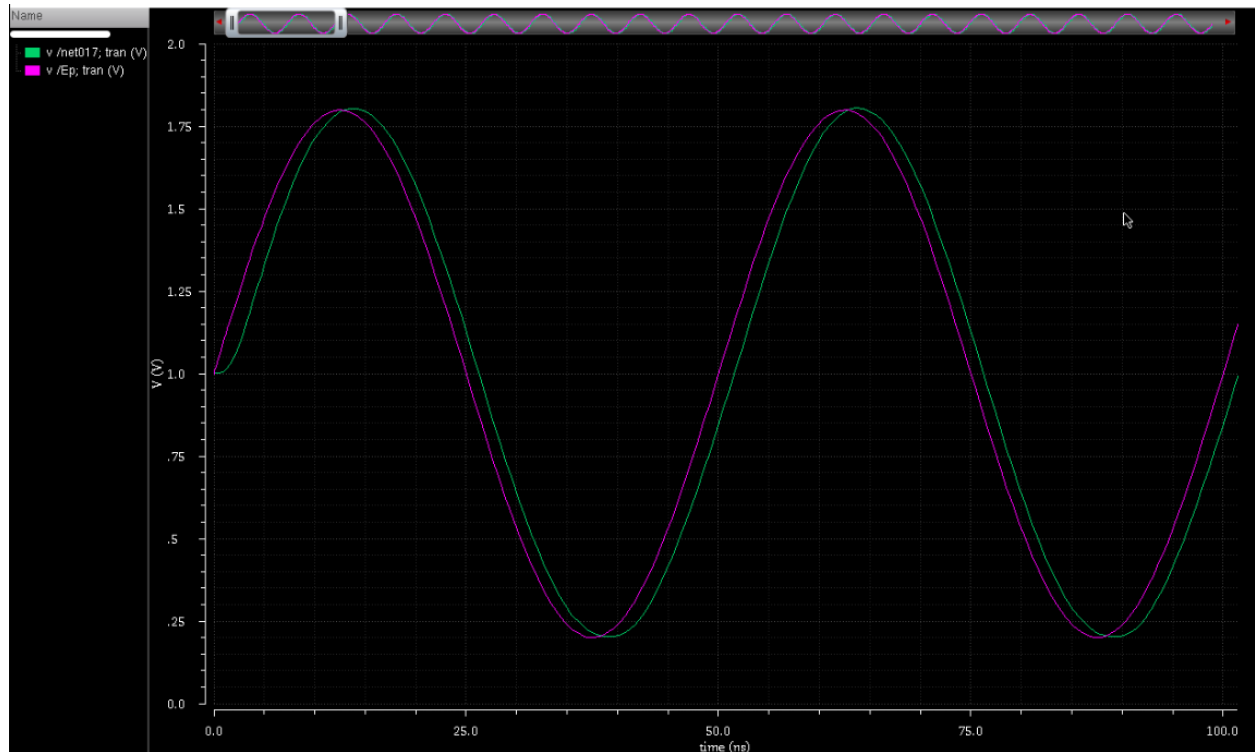


Figure 13: Architecture de l'amplificateur à deux étages après dimensionnements

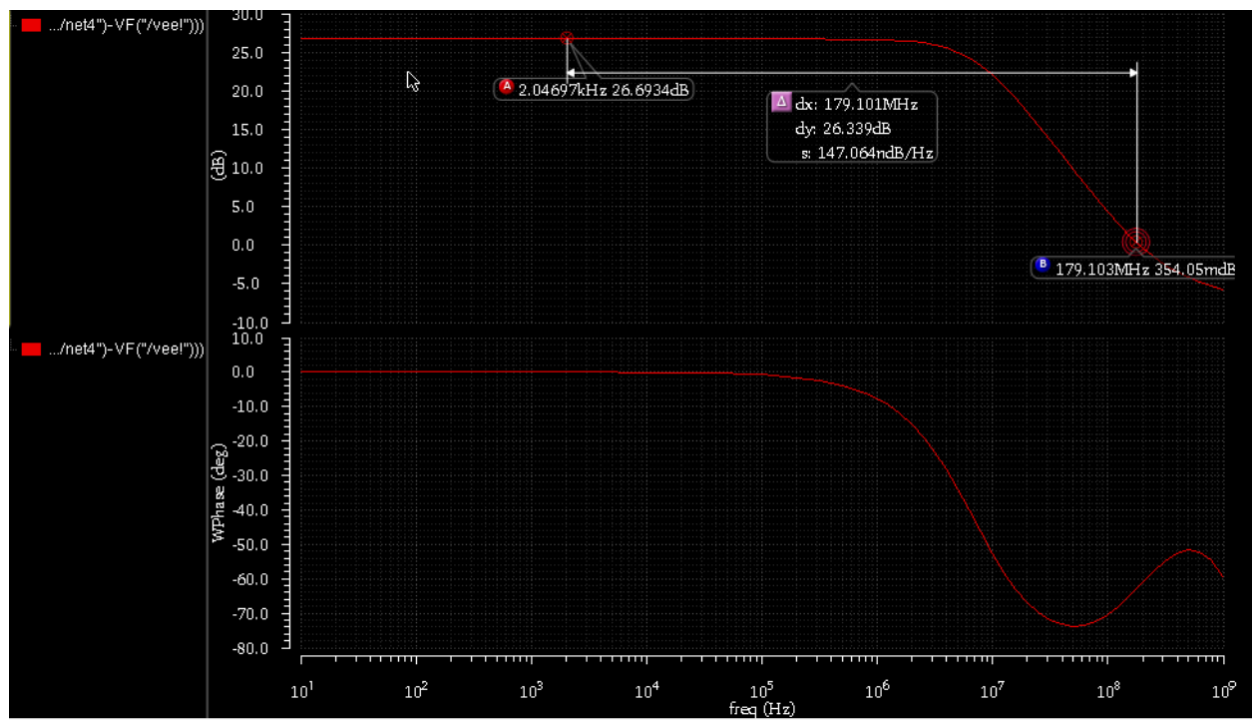


Figure 14: Simulation en étude AC de l'amplificateur (comportement fréquentiel)

6 Mise en oeuvre des comparateurs synchronisés par horloge

6.1 Principe de fonctionnement

L'étape suivante est la création de 63 comparateurs et seuils afin d'au mieux évaluer le niveau de notre signal à chaque front sur un cycle d'horloge commune à tous les blocs.

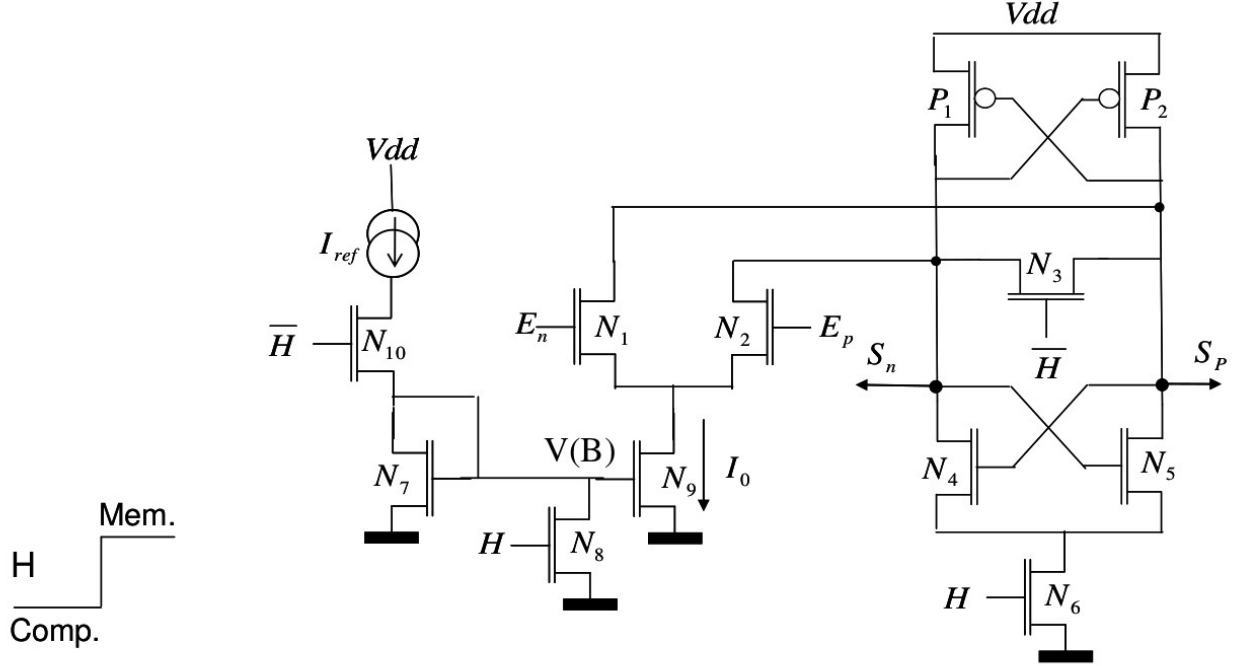


Figure 15: Architecture des comparateurs synchronisés par horloge avec une paire croisée

La structure utilisée pour ce comparateur et brièvement décrite dans le sujet, et illustrée par la figure X, utilise un courant provenant d'un miroir de courant (partie gauche de la structure). La propriété comparatrice est effectuée par la paire différentielle N_1/N_2 . Ensuite, la partie de droite (P_1, P_2 et N_3, N_4, N_5, N_6) fait basculer le comparateur soit en saturé (sortie de 3.3 V) ou à la masse à travers le transistor N_6 qui est alors passant.

6.2 Partie Théorique

Afin d'au mieux dimensionner ce comparateur, nous avons effectué les hypothèses et calculs suivants, par rapport au courant et aux dimensions des transistors:

6.2.1 Phase de comparaison (niveau d'horloge bas)

Pour $V_{EP} - V_{EN}$ très différent de 0 (cas d'une entrée représentant le signal et l'autre un seuil), le courant I_0 capable de charger ou décharger la capacité aux nuds S_N ou S_P en $\frac{1}{4}$ de période d'horloge sur une variation de V_{DD} vaut:

$$I_0 = C \frac{V_{DD}}{t} = 26 \mu A$$

si l'on considère un temps de $12.5 \text{ ns} = \frac{1}{4} \times T_{horloge}$ à 20 MHz .

A l'équilibre ($V_{EN} = V_{EP}$), pour avoir une tension de mode commun en sortie $V_{SN} = V_{SP} = \frac{V_{DD}}{2}$, le rapport $\frac{W}{L}$ de $P_{1,2}$ vaut:

$$\left(\frac{W}{L}\right)_{P_{1,2}} = \frac{I_D}{K_P(V_{dd}/2 - |V_{TP}|)^2} = 1.229$$

Afin que les transistors $N_{1,2}$ présentent une capacité C_{GS} en entrée compatible ou inférieure à celle prise en compte pour fixer C_s dans le calcul de l'échantillonneur bloqueur, la relation :

$$C_{GS} = \frac{2}{3} C_{ox} W_{N_{1,2}} L \leq C_{comp}$$

Ce qui implique que $W_{N_{1,2}} \leq 68 \mu m$ puisque :

$$C_S = C_{ech} + 63 \times C_{comp}$$

et que :

$$C_{comp} = \frac{5}{63} \text{ pF} = 79 \text{ fF}$$

Déterminons maintenant les tailles des transistors servant à polariser la paire N1/N2:

Si l'on remplace N_9 par un générateur de courant de valeur I_0 , une simulation DC sous Cadence donne une valeur de tension au noeud A : $V_A = 0.75V$.

Afin que la grille du transistor N_9 soit polarisé avec la condition $V_{GS} - V_{tn} = V_{DS} - 0,2V$ ($0,2V$ au-dessus de la limite de zone active), nous en déduisons la tension au noeud B : $V_B = 1.12V$

Puis, le calcul de $\frac{W}{L}$ de N_9 vient avec :

$$I_d = K_n \frac{W}{L} (V_{gs} - V_{tn})^2 \left(1 + \frac{K_{en}}{L} V_{ds}\right)$$

Le transistor est au-dessus de la LZA :

$$\left(\frac{W}{L}\right)_{N_9} = \frac{26A}{55A \cdot (V_B - V_T)^2 (1 + (0.03/0.35)V_A)}$$

$$\left(\frac{W}{L}\right)_{N_9} = 1.46$$

Nous faisons de même afin de calculer les dimensions du transistor N_7 avec la condition $I_{ref} = \frac{I_0}{2}$

Pour calculer celui de N7, même formule sauf que :

$$\left(\frac{W}{L}\right)_{N_7} = \frac{\frac{26}{2}A}{55A \cdot (V_B - V_T)^2 (1 + (0.03/0.35)V_B)}$$

$$\left(\frac{W}{L}\right)_{N_7} = 0.72$$

On prendra pour N_{10} un $W = 5\mu m$.

Le calcul des dimensions du transistor N_8 s'effectue en considérant qu'il peut charger ou décharger la capacité estimée par simulation au noeud B en $\frac{1}{4}$ de période d'horloge.

$$I_{N_8} = \frac{V_B C_B}{\frac{1}{4}T_H} = 2A$$

6.2.2 Phase de mémorisation (niveau d'horloge haut)

Afin que la chute de tension dans le transistor N_6 à l'état ON soit de l'ordre de $0,5V$ lorsque $H = 1$ pour un courant $I_{N_6} = I_0$, il vient :

$$\left(\frac{W}{L}\right)_{N_6} = 0.19$$

car la chute de tension à travers la résistance ON du transistor vaut $R_{ON} \times I_0 = 0.5V$

Pour une tension de mode commun en sortie $V_{SP} = V_{SN} = \frac{V_{dd}}{2}$,

$$\frac{I_0}{2} = K_n \frac{W}{L} (1.65 - 0.5 - V_{tn})^2$$

$$\left(\frac{W}{L}\right)_{N_{4,5}} = 0.70$$

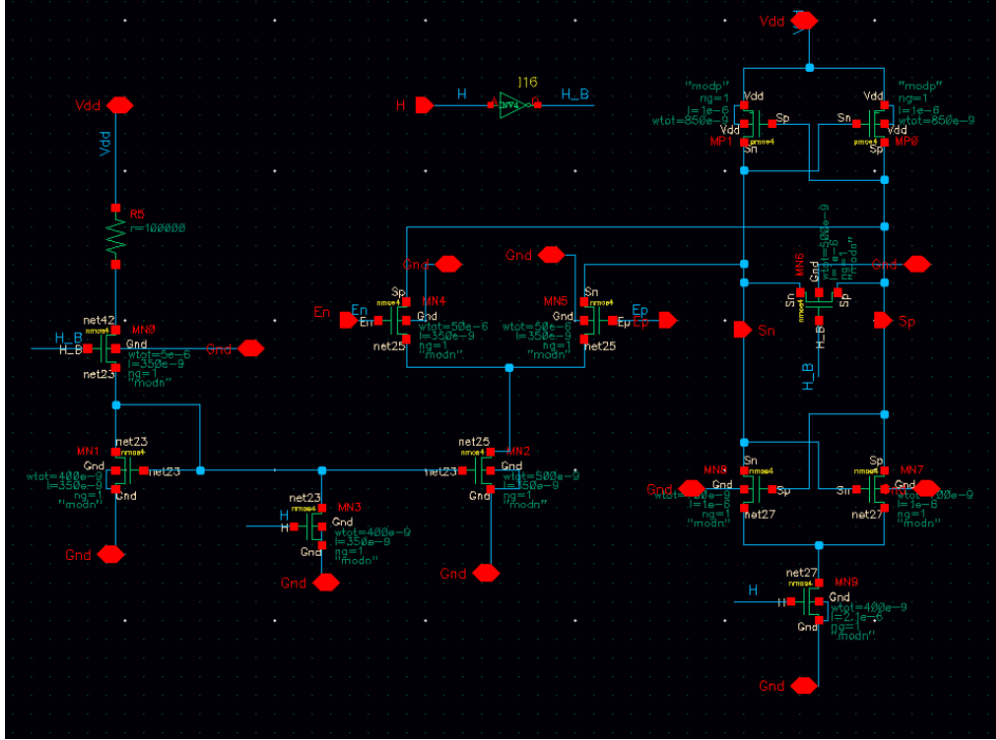


Figure 16: Schéma électrique

6.3 Simulations/Optimisations

Finalement, les simulations présentent un comparateur qui est approximatif : la sortie en mode commun n'est jamais réellement soit à 0 ou à 3.3 V. En effet, le zéro logique se situe autour de 1.65 V et le 1 logique varie entre 2.5 et 3 V.

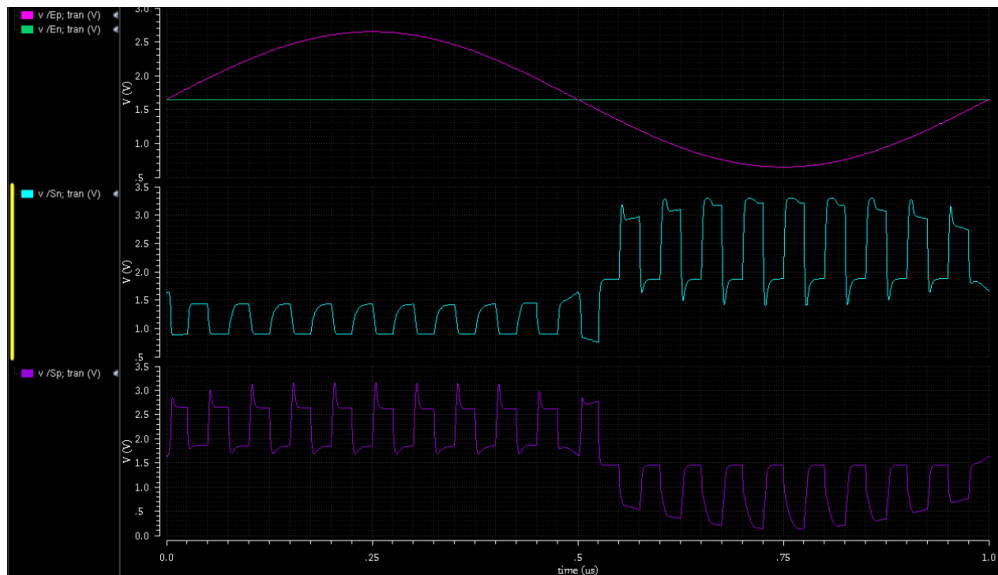


Figure 17: Simulation avant l'ajout des buffers + bascules

Nous avons donc rajouté des inverseurs et une Bascule SR (en 2 Nandes interconnectées) en sortie afin de mémoriser un 0 ou un 1 logique.

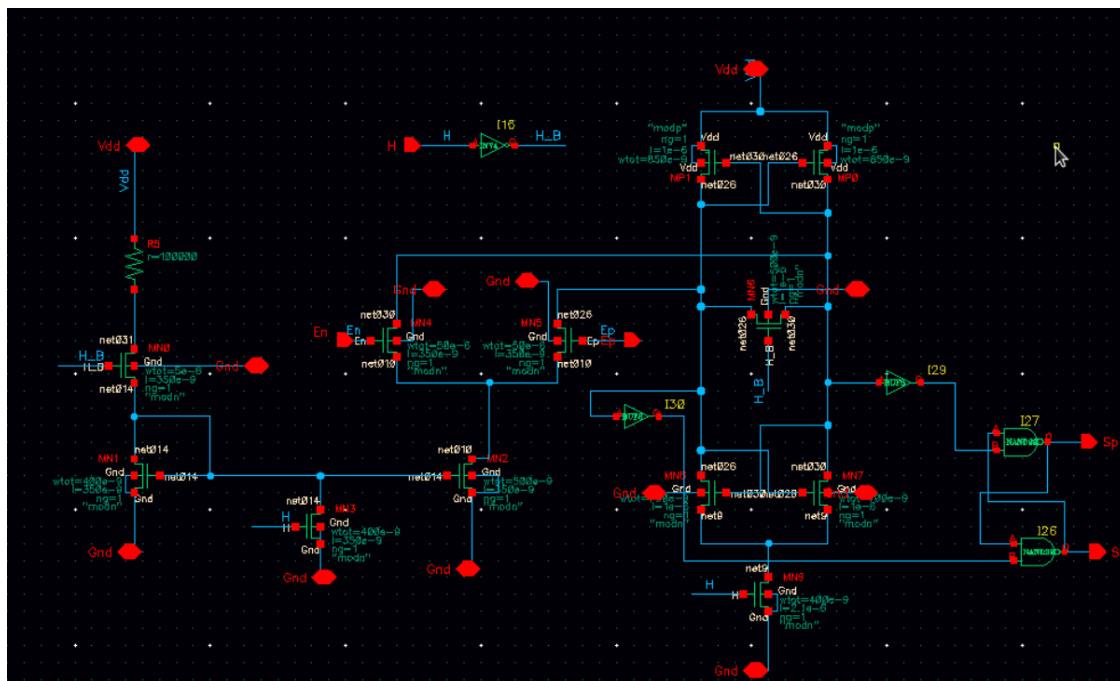


Figure 18: Schéma électrique

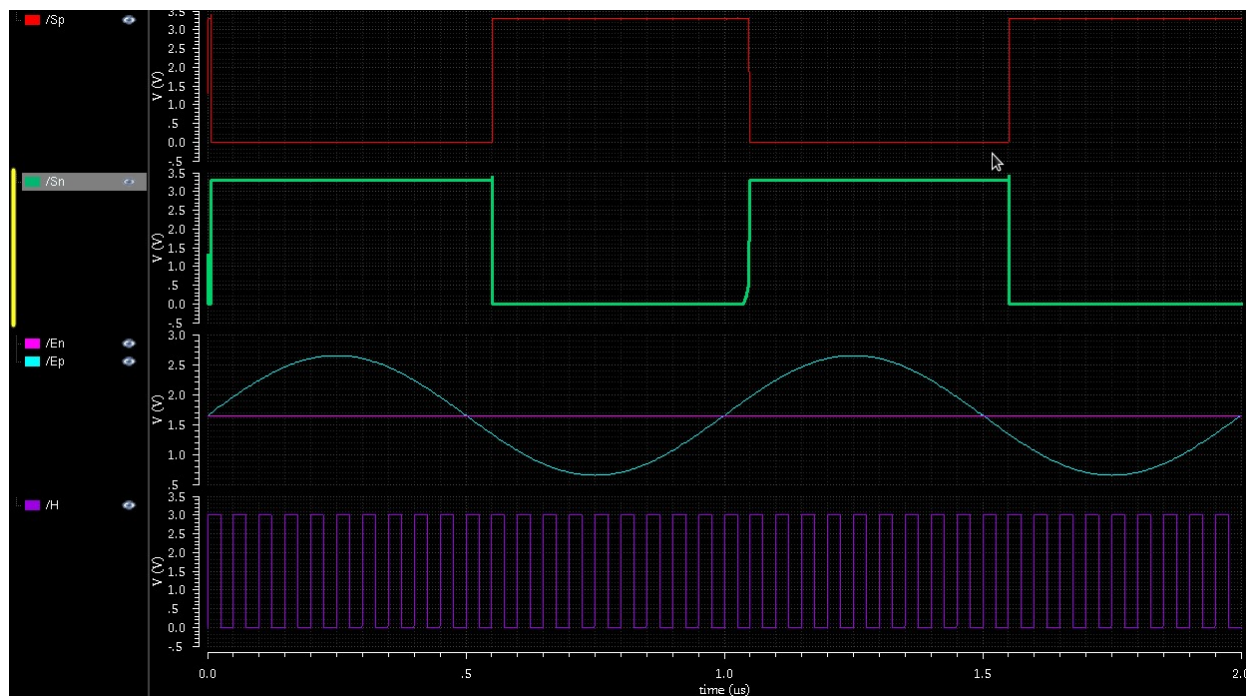


Figure 19: Simulation après l'insertion de ces éléments

7 Réalisation du décodeur en Verilog

7.1 Programmation et synthèse automatique du circuit

On utilise un code existant en Verilog[3] Ce code permet de convertir les données en code thermométrique en sortie des comparateurs vers un code binaire sur 6 bits (avec un pouvoir de prévention de bulles).

```
1 module thermo2bin (thermob, bin)
2 input [62:0] thermob;
3 output [5:0] bin;

4
5 reg [62:0] thermo;
6 reg [5:0] bin, bin1, bin2;
7 integer i, j, k;

8
9 always @(thermob)
10 begin
11     for (k = 0; k <= 60; k=k+1)
12         thermo[k] <= thermob[k] || thermob[k+1] || thermob[k+2];
13
14     thermo[61] <= thermob[61] || thermob[62];
15     thermo[62] <= thermob[62];
16 end

17
18 always @(thermo)
19 begin
20     bin1 = 0;
21     for(i=1; i <= 32; i=i+1)
22         if (thermo[i-1] == 1'b1) bin1 = i;
23 end

24
25 always @(thermo)
26 begin
27     bin2 = 0;
28     for(j=1; j <= 31; j=j+1)
29         if(thermo[k+31] == 1'b1) bin2 = j;
30 end

31
32 always @(bin1 or bin2)
33 if (thermo[31] == 1'b1)
34     bin = bin2 + 32;
35 else
36     bin = bin1;
37
38 endmodule
```

7.1.1 Fonctionnement

Ce module fonctionne du même principe de la lecture humaine : On essaye de lire le plus haut '1'.
Ce bout de code était optimisé pour qu'il fonctionne en 2 parties

+explications..[3]

7.1.2 Synthèse

7.2 Simulations

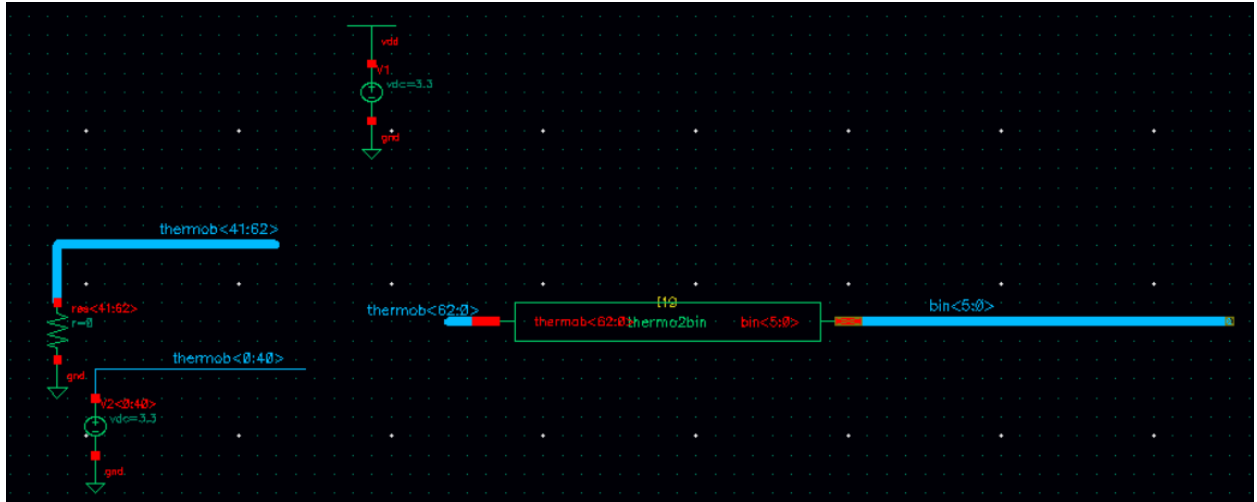


Figure 20: Placement d'un band de test pour le code Verilog après synthèse.

8.2 Simulations

La simulation globale de cet étage est très intéressante. En effet, les courbes présentent des valeurs de seuils très différentes de celles **pressenties** par le calcul (niveaux nets crés par des résistances en série). En fait, les entrées des comparateurs sont des gros transistors NMOS. Par conséquent, leurs capacités d'entrée sont très importantes; une fois reliées à des résistances (pont de résistances), des effets de filtrages apparaissent et dégradent les niveaux de seuils.

Les filtres ont en moyenne une fréquence de coupure de $\frac{1}{2\pi RC}$ avec $C = 90 \text{ fF}$. Pour pallier ce phénomène, nous avons placé un suiveur parfait (vcvs) dans la boîte de comparaison pour “purifier” les niveaux de seuils.

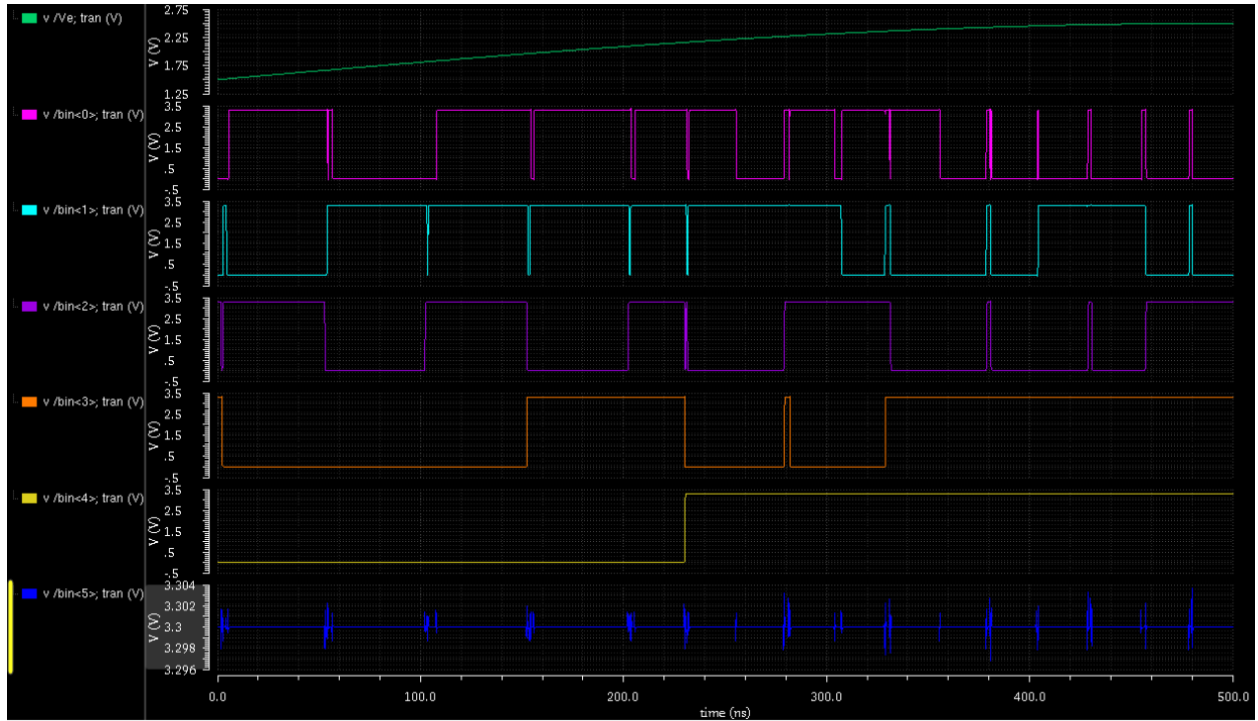


Figure 22: Simulation générale du CAN-FLASH pour un quart de signal sinusoïdal

9 Layout

9.1 Mise en oeuvre

Le layout constitue l'une des étapes nécessaire dans la conception : elle permet de positionner les différents éléments du circuits pour la réalisation des masques. Vue de la complexité de la réalisation d'un layout complet d'un tel projet, ainsi que les contraintes du temps imposées, on ne se contente qu'à la réalisation d'un simple switch en Layout.

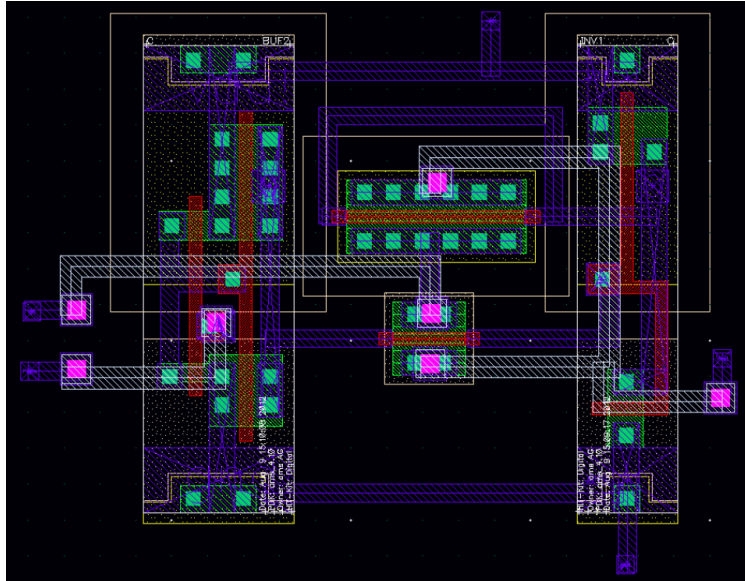


Figure 23: Mise en place du layout d'un switch

On peut retrouver les éléments du switch : un Buffer et un inverseur, ainsi que les deux MOS. On utilise alors deux niveaux de métallisation pour réaliser le schéma électrique total, ainsi que des Vias de connection.

10 Améliorations possibles

Finalement, notre convertisseur fonctionne presque parfaitement : l'étage d'échantillonneur bloqueur remplit tout à fait son rôle. En revanche, certains étages de comparaison n'affichent pas toujours la bonne valeur. Théoriquement, si l'étage de comparaison n sort la valeur 1 en code thermométrique, les étages $> n$ doivent également afficher 1 et $< n$, 0. Dans nos simulations, il arrive que des étages supérieurs soient à 0.

Nous soupçonnons les inverseurs et portes NAND de mal interpréter la tension en sortie d'un comparateur et de mal traduire l'information. Pour contrer ces problèmes mineurs (moins d'une comparaison fausse sur 10), il faudrait revoir la partie droite de l'étage de comparaison concernant le latch et la polarisation de sortie. On pourrait par exemple optimiser la puissances des portes logiques ou calculer avec de plus fins modèles les caractéristiques des transistors concerné sur le comparateur.

L'étage décodeur de code thermométrique vers binaire fonctionne parfaitement mais est impacté par le problème susmentionné de fausse comparaison. Il en résulte une erreur d'environ trois valeurs sur 64 ce qui fausse le code binaire final.

11 Conclusion

La réalisation d'un CAN Flash 6 bits présentée dans ce projet fut une bonne expérience dans la mesure où nous sommes désormais conscients de la complexité à réaliser un convertisseur efficace et sûr. Le début du projet fut délicat car nous étions confrontés à de lourds schémas électriques à réaliser. Leur optimisation prit du temps et passa par de nombreux calculs théoriques vus en cours de convertisseurs ou d'électronique analogique. Ce projet fut également l'occasion de véritablement prendre en main le logiciel Virtuoso de Cadence à travers les outils de simulation, de variables ajustées, de sources de courant ou tension parfaites. Nous maîtrisons désormais ce logiciel et sommes aptes à l'utiliser à des fins de recherche ou dans l'industrie.

Nous sommes ravis d'avoir pu réfléchir par nous-même et mobiliser nos connaissances acquises dans plusieurs cours cette année au service de ce projet. Il a eu un réel impact sur notre maîtrise de Cadence et sur le déroulement de la phase de conception d'un circuit électronique, en l'occurrence d'un comparateur Flash.

Nous remercions les professeurs encadrants de nous avoir transmis leurs connaissances et astuces dans le domaine, nous les utiliserons à bon escient à l'avenir.

12 Fiche descriptive des caractéristiques

13 Annexes

13.1 Calcul théorique complet de l'amplificateur

Cahier des charges :

- $V_{EMC} \in [0.5; 2.5V]$ en entrée.
- gain en basse fréquence $G(0) \in [300; 400]$
- $C_S = 6pf$
- Dyanmique en sortie : $V_S \in [0.5; 3.5V]$

La figure **X** représente l'amplificateur OTA à deux étages pris en considération, qui était étudié en cours de conception des circuits intégrés analogique[5]. On reprend ce circuit en l'adoptant à nos besoins, selon le cahier de charge bien défini.

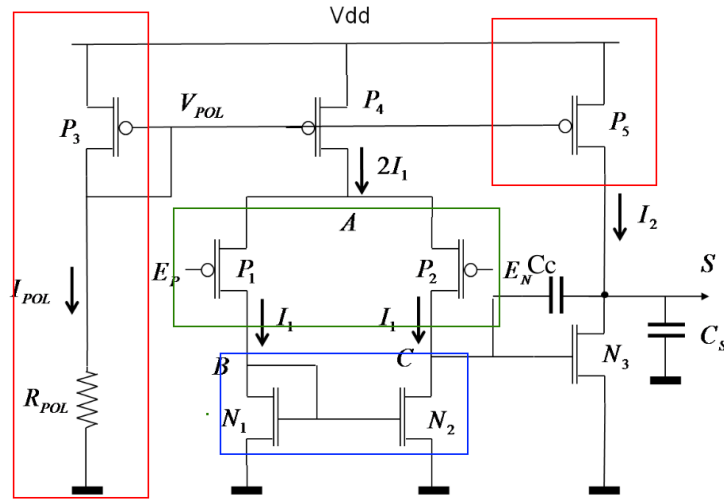


Figure 24: Schéma théorique de l'amplificateur avec les différentes fonctionnalités des étages

Fonctionnalité des étages :

- Bloc Vert : Transistors $P_{1,2}$ constitue la paire différentielle.
- Bloc Bleu : Couple NMOS $N_{1,2}$ fonctionnant en miroir de courant (charge active).
- Bloc Rouge : Couple PMOS $P_{3,5}$ ainsi qu'une résistance, fonctionnant comme miroir de courant pour injecter un courant I_{POL} dans N_3

Calcul Théorique

On commence par calculer les valeurs de V_{pol} , I_{pol} (tension et courant de polarisation) ainsi que les valeurs aux noeuds A, B, C de façon qu'on se limite aux cahier de charge ainsi défini.

On fixe la polarisation des PMOS $P_{1,2}$ à 0.2V

On cherche alors V_{pol} de sorte qu'elle vérifie le maximum de la dynamique en entrée et respecte bien celle en sortie :

Au point A : $V_{A_{max}}$ qui correspond à $V_{E_{max}}$ (on considère aussi l'effet substrat sur P_1 et P_2)

$$\left(V_{sg} - |V_{tp}| \right)_{P_{1,2}} = V_{A_{max}} - V_{E_{max}} - |V_{tp}| = V_{A_{max}} - V_{E_{max}} - \left(|V_{tp0}| + 0.2(V_{dd} - V_{A_{max}}) \right)$$

$$1.2V_{A_{max}} - V_{E_{max}} - |V_{tp0}| - 0.2V_{dd} = 0.2$$

$$V_{A_{max}} = \frac{1.6 + V_{E_{max}}}{1.2}$$

Pour $V_{E_{max}} = 2.5$, on obtient $V_{A_{max}} = 3.41V$

Sachant que la tension $V_{A_{max}}$ doit satisfaire la limite de la zone active du PMOS P_4 pour qu'il fonctionne, on :

$$\left(V_{sd} \right)_{P_4} = \left(V_{sg} - |V_{tp0}| \right)_{P_4}$$

ce qui implique que :

$$V_{dd} - V_{A_{max}} = V_{dd} - V_{pol} - |V_{tp0}|$$

$$V_{A_{max}} = V_{pol} + |V_{tp0}|$$

$$V_{pol} = 3.41 - 0.73 = 2.68V$$

Cette valeur satisfait la condition sur $V_{E_{max}}$.

Pour la dynamique en sortie, on a trouve que la dynamique de V_S est fixée par la LZA de P_5 :

$$V_{dd} - V_{S_{max}} = V_{dd} - V_{pol} - |V_{tp0}|$$

On retrouve que :

$$V_{S_{max}} = V_{pol} + 0.73 = 2.68 + 0.73 = 3.41V \leq 3.5V$$

V_{pol} respecte la dynamique de sortie sur $V_{S_{max}}$. Par rapport à la condition minimale de la dynamique en sortie, on doit retrouver $V_C = V_B$ au points B et C.

On doit avoir $V_{S_{min}} = V_C - V_{tn0}$ pour que le NMOS N_3 reste en LZA. Soit :

$$V_C = V_{S_{min}} + 0.57 = 1.07V = V_B$$

Il nous reste de vérifier que la limite inférieure de la dynamique en V_e est toujours respectée, ceci dépendante de la tension $V_{A_{min}}$:

$$\left(V_{sg} - |V_{tp}| \right)_{P_{1,2}} = V_{A_{min}} - V_{E_{min}} - |V_{tp}| = V_{A_{min}} - V_{E_{min}} - \left(|V_{tp0}| + 0.2(V_{dd} - V_{A_{min}}) \right) = 0.2V$$

$$V_{A_{min}} = \frac{1.6 + V_{E_{min}}}{1.2} = 1.75V$$

$$\left(V_{sg} - |V_{tp}| \right)_{P_{1,2}} = 0.2V \leq V_{A_{min}} - V_C = 1.75 - 1.07 = 0.68V$$

On trouve bien qu'elle respecte la valeur minimale.

Avec la valeur des tensions V_A, V_B, V_C, V_{pol} , on peut remonter aux valeurs des courants dans les différentes étages de l'amplificateur.

Calcul de I_1, I_2, I_{pol} :

Pour $I_1 = \frac{I_{pol}}{2} = \frac{I_2}{10}$ et $P = 2mW$, on retrouve :

$$2I_1 + I_2 = 0.6mA$$

I_{pol} n'est pas pris en considération sachant qu'il peut être commun aux autres cellules.

On retrouve : $I_2 = 500\mu A, I_1 = 50\mu A, I_{pol} = 100\mu A$.

La résistance de polarisation peut-être facilement retrouver : $R_{pol} = \frac{V_{pol}}{I_{pol}}$ avec $V_{pol} = 2.68V$, $R_{pol} = 26.9k\Omega$.

Dimensionnements des transistors :

Avec la détermination des courants et tensions de polarisation, on peut retrouver les rapport $\left(\frac{W}{L}\right)$ des différents transistors :

Rappelons que :

$$\left(\frac{W}{L}\right)_P = \frac{I_{sd}}{K_p(V_{sg} - |V_{tp}|)^2} \text{ et } \left(\frac{W}{L}\right)_N = \frac{I_{ds}}{K_N(V_{gs} - |V_{tn}|)^2}$$

$$\left(\frac{W}{L}\right)_{P_{1,2}} = 50 ; \left(\frac{W}{L}\right)_{P_4} = 277 ; \left(\frac{W}{L}\right)_{N_{1,2}} = 10$$

Par rapport à N_3 et N_2 (sachant que $V_B = V_C$) :

$$\left(\frac{W}{L}\right)_{N_3} = \frac{I_2}{I_1} \left(\frac{W}{L}\right)_{N_2} = 100$$

Pour P_5 , la condition sur le miroir de courant ne ramène à :

$$\left(\frac{W}{L}\right)_{P_5} = \frac{I_2}{2I_1} \left(\frac{W}{L}\right)_{P_4} = 220$$

Si on fixe $L_N = 0.35\mu m$ et $L_P = 0.7\mu m$ pour les PMOS respectivement, on peut calculer les valeurs de W de chaque TMOS :

$$W_{N_{1,2}} = 3.5\mu m, W_{N_3} = 35\mu m, W_{P_{1,2}} = 35\mu m, W_{P_4} = 193.9\mu m, W_{P_5} = 969\mu m$$

On peut toujours vérifier que le gain qu'on cherche respecte bien $G(0)$ défini en cahier de charge pour une résolution de 6-bits.

Le montage est formé de 2 étages:

$$G_1 = -g_m(P_2) \cdot r_{ds}(P_2) // r_{ds}(N_2) = -g_m(P_2) \cdot \frac{r_{ds}(N_2)}{2}$$

gain du premier,

$$G_2 = -g_m(N_3) \cdot r_{ds}(N_3) // r_{ds}(P_5) = -g_m(N_3) \cdot \frac{r_{ds}(N_3)}{2}$$

pour le deuxième.

Sachant que :

$$g_m(P_2) = \frac{2I_1}{V_{sg} - |V_{tp}|} = 0.5mA/V ; \quad g_m(N_3) = \frac{2I_2}{V_{gs} - V_{tn}} = 0.598mA/V ;$$

$$\frac{r_{ds}(N_3)}{2} = \frac{L_{N_3}}{2.k_{en}.I_2} = 11.7K\Omega ; \quad \frac{r_{ds}P_2}{2} = \frac{L_{P_2}}{2.k_{ep}.I_1} = 117k\Omega$$

On retrouve $G_0 = G_1 \times G_2 = 400$, $(G_0)_{db} = 52db > 49.5db$, ce qui correspond bien à la au cahier des charges.

NE CORRESPOND PAS à la simulation (26 db ???)

Références

- [1] *Design of Analog CMOS Integrated Circuits*
Behzad Razavi, McGraw-Hill Higher Education.
- [2] *AnalogtoDigital Converter Architectures in Principles of Data Conversion System Design*
Behzad Razavi, Wiley-IEEE Press, 1995, pp.96-152.
doi: 10.1109/9780470545638.ch6
- [3] *Verilog HDL model based thermometer-to-binary encoder with bubble error correction*
Zbigniew Jaworski, Warsaw University of Technology
Conference: 2016 MIXDES - 23rd International Conference "Mixed Design of Integrated Circuits and Systems"
doi: 10.1109/MIXDES.2016.7529741
- [4] *La conversion analogique/numérique : Principe et architecture intégrés*
S.Bourdel, Institut Polytechnique de Grenoble - Phelma
- [5] *Etude d'un amplificateur CMOS à deux étages,*
Conception des circuits intégrés analogiques
Laurent Aubard, Institut Polytechnique de Grenoble - Phelma