

Projet de Conception en Microélectronique Analogique

Réalisation d'un CAN FLASH 6 bits

Mohamed Hage Hassan
Ferdinand Goumis

April 14, 2017

Abstract

Table des matières

1 Introduction

Lorem ipsum dolor sit amet, consectetur adipiscing elit. Morbi tincidunt ut risus eget feugiat. Etiam eget viverra purus, sed iaculis dui. Duis vel urna tempus, placerat dolor ut, molestie erat. Praesent non dapibus tortor. Vestibulum facilisis mollis urna a fringilla. Nulla consequat lacus in dolor mattis varius. Praesent pharetra, mauris quis pretium tincidunt, tortor risus lobortis leo, sit amet mattis metus leo a dolor. Curabitur mi risus, lacinia a lacus ut, porta hendrerit quam. Ut dignissim fermentum bibendum. Mauris auctor tincidunt enim, nec auctor mi faucibus quis. Sed volutpat augue non ligula iaculis, pharetra elementum dolor accumsan. Duis semper semper erat id accumsan. Cras consectetur varius varius. Sed porta semper tellus, quis auctor lacus euismod cursus.

Note : Certaines illustrations sont extraites des projets.

2 Cahier des charges

Le projet nécessite d'avoir :

- Une résolution du CAN-FLASH de 6 bits, ce qui implique l'utilisation de $2^6 - 1 = 63$ comparateurs.
- Dynamique du signal en entrée $V_e \in [0.5V, 2.5V]$
- Fréquence d'échantillonnage : $f_h = 20MHz$
- **Plus..**

3 Mise en place de l'échantillonneur-bloqueur

Pour qu'on puisse convertir le signal, on doit implémenter une étape d'échantillonnage, avec un fonctionnement à haute fréquence, avant la réalisation de l'étape de comparaison, qui consiste à comparer les différents niveaux obtenus par échantillonnage avec l'amplitude du signal initial, modifiée par le pont de diviseurs de tensions.

On utilise alors une topologie d'un échantillonneur-bloqueur à capacités commutées

3.1 Principe de fonctionnement

Explication des différents phases de fonctionnement + **démonstrations théoriques**

3.2 Simulation avec des éléments idéaux

4 Réalisation d'un Amplificateur OTA à deux étages

4.1 Cahier des charges et dimensionnements

4.2 Simulation et optimisation

5 Mise en oeuvre des comparateurs synchronisés par horloge

Le comparateur à implémenter est illustré par la figure X.

Figure 1: Comparateurs synchronisés par horloge avec une paire croisée

5.1 Principe de fonctionnement

5.2 Partie Théorique

5.2.1 Impédance différentielle négative et expression du Gain

5.2.2 Détermination du courant et dimensionnements

5.3 Simulations/Optimisations

6 Réalisation du décodeur en VHDL

6.1 Programmation et synthèse automatique du circuit

On utilise un code existant en Verilog, fait par “Zbigniew Jaworski”, université de Warsaw. Ce code permet de .. + **explication**

```
1 module thermo2bin (thermob, bin)
  input [62:0] thermob;
3 output [5:0] bin;

5 reg [62:0] thermo;
  reg [5:0] bin, bin1, bin2;
7 integer i, j, k;

9 always @(thermob)
  begin
11   for (k = 0; k <= 60; k=k+1)
       thermo[k] <= thermob[k] || thermob[k+1] || thermob[k+2];
13
       thermo[61] <= thermob[61] || thermob[62];
15   thermo[62] <= thermob[62];
  end
17

  always @(thermo)
19   begin
       bin1 = 0;
21   for (i=1; i <= 32; i=i+1)
       if (thermo[i-1] == 1'b1) bin1 = i;
23   end

25   always @(thermo)
  begin
27   bin2 = 0;
       for (j=1; j <= 31; j=j+1)
29   if (thermo[k+31] == 1'b1) bin2 = j;
  end
31

  always @(bin1 or bin2)
33   if (thermo[31] == 1'b1)
       bin = bin2 + 32;
35   else
       bin = bin1;
37

endmodule
```

6.1.1 Fonctionnement

6.1.2 Synthèse

7 Layout

7.1 Mise en place des éléments du montage final

7.2 Simulation

References

- [1] *Design of Analog CMOS Integrated Circuits*
Behzad Razavi, McGraw-Hill Higher Education