

Projet de Conception en Microélectronique Analogique

Réalisation d'un CAN FLASH 6 bits

Ferdinand Goumis
Mohamed Hage Hassan

Encadrants

Fatah Ellah Rarbi
Daniel Dzahini
Florent Cilici
Laurent Aubard

24 Avril 2017

Abstrait(Prémabule)

Quisque hendrerit finibus lacus pulvinar semper. Donec rutrum lacinia tempus. Aenean ligula sapien, euismod vel arcu sit amet, molestie sollicitudin nisl. Pellentesque habitant morbi tristique senectus et netus et malesuada fames ac turpis egestas. Nullam ac ornare ante, efficitur rhoncus justo. Sed tristique lobortis nisl a gravida. Etiam id purus ut enim sagittis auctor id ac quam. Fusce vulputate nisi rutrum, aliquam neque et, auctor risus. Quisque commodo molestie felis, sed egestas sem. Sed euismod, turpis id dignissim malesuada, elit nulla auctor elit, nec hendrerit ipsum odio quis ex. Sed sollicitudin fringilla purus, et dignissim risus auctor eget. Etiam bibendum, nisi at posuere mattis, dui risus hendrerit sapien, vitae feugiat libero magna sollicitudin leo.

Élimine le lorem Ipsum après.

Table des matières

1	Introduction	3
2	Cahier des charges	3
3	Méthodologie de travail	3
4	Mise en place de l'échantillonneur-bloqueur	4
4.1	Principe de fonctionnement	4
4.2	Simulation avec des éléments idéaux	5
4.3	Réalisation des switches réels et simulations	7
4.4	Simulation finale	9
5	Réalisation d'un Amplificateur OTA à deux étages	10
5.1	Cahier des charges	10
5.2	Calcul théorique et dimensionnements	10
5.3	Simulation et optimisation	11
6	Mise en oeuvre des comparateurs synchronisés par horloge	12
6.1	Principe de fonctionnement	12
6.2	Partie Théorique	12
6.2.1	Phase de comparaison (niveau d'horloge bas)	12
6.2.2	Phase de mémorisation (niveau d'horloge haut)	14
6.3	Simulations/Optimisations	15
7	Réalisation du décodeur en Verilog	17
7.1	Programmation et synthèse automatique du circuit	17
7.1.1	Fonctionnement	17
7.1.2	Synthèse	18
7.2	Simulations	19
8	Schéma Global	20
8.1	Mise en place des éléments du montage final	20
8.2	Simulations	21
9	Layout	22
9.1	Mise en oeuvre	22
10	Améliorations possibles	23
11	Conclusion	23
12	Fiche descriptive des caractéristiques	24
13	Annexes	25
	Références	26

1 Introduction

Lorem ipsum dolor sit amet, consectetur adipiscing elit. Morbi tincidunt ut risus eget feugiat. Etiam eget viverra purus, sed iaculis dui. Duis vel urna tempus, placerat dolor ut, molestie erat. Praesent non dapibus tortor. Vestibulum facilisis mollis urna a fringilla. Nulla consequat lacus in dolor mattis varius. Praesent pharetra, mauris quis pretium tincidunt, tortor risus lobortis leo, sit amet mattis metus leo a dolor. Curabitur mi risus, lacinia a lacus ut, porta hendrerit quam. Ut dignissim fermentum bibendum. Mauris auctor tincidunt enim, nec auctor mi faucibus quis. Sed volutpat augue non ligula iaculis, pharetra elementum dolor accumsan. Duis semper semper erat id accumsan. Cras consectetur varius varius. Sed porta semper tellus, quis auctor lacus euismod cursus.

Note : Certaines illustrations sont extraites des projets.

2 Cahier des charges

Le projet nécessite d'avoir :

- Une résolution du CAN-FLASH de 6 bits, ce qui implique l'utilisation de $2^6 - 1 = 63$ comparateurs.
- Dynamique du signal en entrée $V_e \in [0.5V, 2.5V]$
- Fréquence d'échantillonnage : $f_h = 20MHz$
- **Plus..**

3 Méthodologie de travail

Notre méthode de travail tout au long du projet consiste à :

- Découpage du CAN-FLASH en éléments fonctionnels.
- Compréhension du fonctionnement du bloc.
- Mise en place d'un schéma en éléments idéaux et vérification du fonctionnement attendu par simulations.
- Étude théorique pour le bloc réel, dimensionnement des transistors et mise en validation par reproduction d'un schéma et simulations.
- Mise en place d'un schéma global pour sa validation en simulation (Echantillonneur-Bloqueur par exemple).

4 Mise en place de l'échantillonneur-bloqueur

Pour qu'on puisse convertir le signal, on doit implémenter une étape d'échantillonnage, avec un fonctionnement à haute fréquence, avant la réalisation de l'étape de comparaison, qui consiste à comparer les différents niveaux obtenus par échantillonnage avec l'amplitude du signal initial, modifiée par le pont de diviseurs de tensions.

On utilise alors une topologie d'un échantillonneur-bloqueur à capacité commutée:

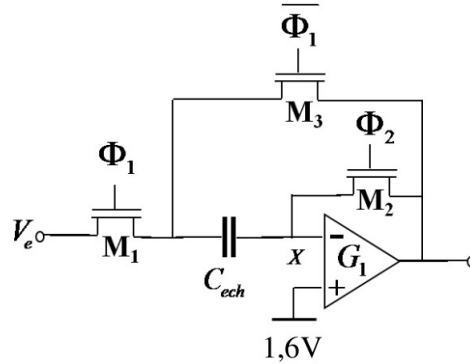


Figure 1: Schéma d'un échantillonneur-bloqueur à capacité commutée

4.1 Principe de fonctionnement

On rappelle qu'on a introduit un décalage entre les 2 horloges (Φ_1 et Φ_2) de 5 ns, sachant que la fréquence d'échantillonnage est de $20MHz$.

L'échantillonneur bloqueur fonctionne en 2 régimes différents:

- **Phase mémoire** : C'est l'étape où l'échantillonneur bloqueur reste sur la même valeur de tension en sortie pendant une durée T.
- **Phase suiveur** : L'échantillonneur suit la variation d'entrée.

Grâce à la phase mémoire, l'échantillonneur permet de garder un niveau de tension fixe pour la conversion qui suit.

Les schéma électriques correspondant aux phases sont représentés par la figure X.

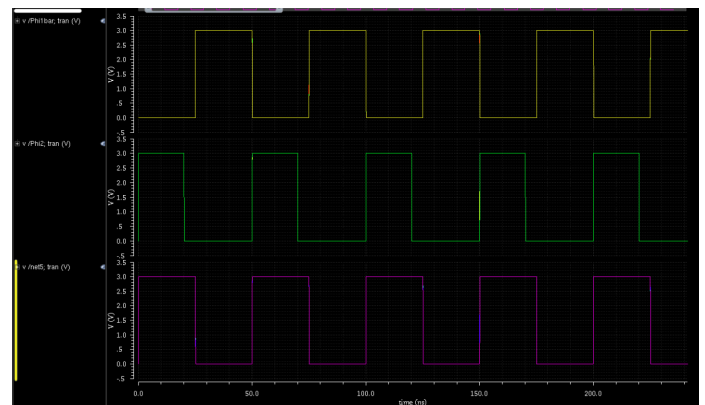


Figure 2: Horloges de clenchement

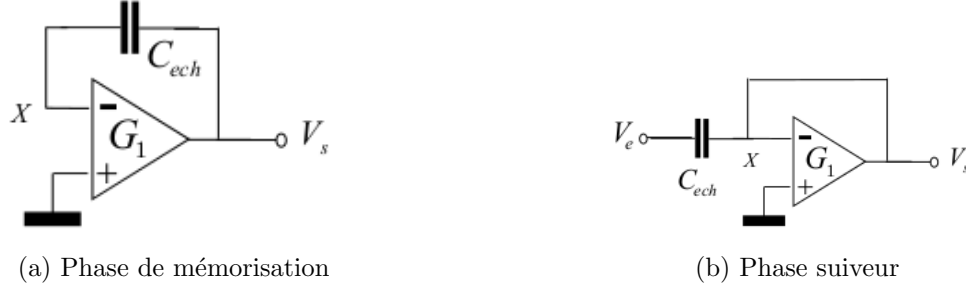


Figure 3: Différentes phases de fonctionnement de l'EB

- **Phase mémoire** : On a $\overline{\Phi_1}$ et $\overline{\Phi_2}$, $\Phi_2 = 0$.
 C_{ech} renvoie sa valeur de la charge en sortie.
- **Phase suiveur** : On est à Φ_1 et Φ_2 .
 Sachant que l'amplificateur OTA, placé en suiveur, a une très grande impédance d'entrée, on a $V_{e+} = V_{e-}$.
 C_{ech} prend la charge correspondante à $V_e - 1.5V = V_e - \frac{V_{dd}}{2}$.

Le décalage entre Φ_1 et Φ_2 entraîne certainement le passage du transistor M_1 à l'état "Off" avant le transistor M_2 . Par rapport à l'injection des charges, la haute impédance d'entrée de l'amplificateur élimine cet effet au niveau de la capacité C_{ech} , pendant le passage du MOS M_1 à l'état "Off".

Pendant la phase intermédiaire où on a Φ_1 et $\overline{\Phi_2}$, le passage du MOS M_2 à l'état "Off" entraîne l'injection des charges dans C_{ech} , mais celle-ci est constante du fait que $V_{e-} = cte$.

Le gain du minimal était supérieur à 300, pour une adaptation avec la résolution de 6bits. Ce gain sera vérifié dans la section 5.

4.2 Simulation avec des éléments idéaux

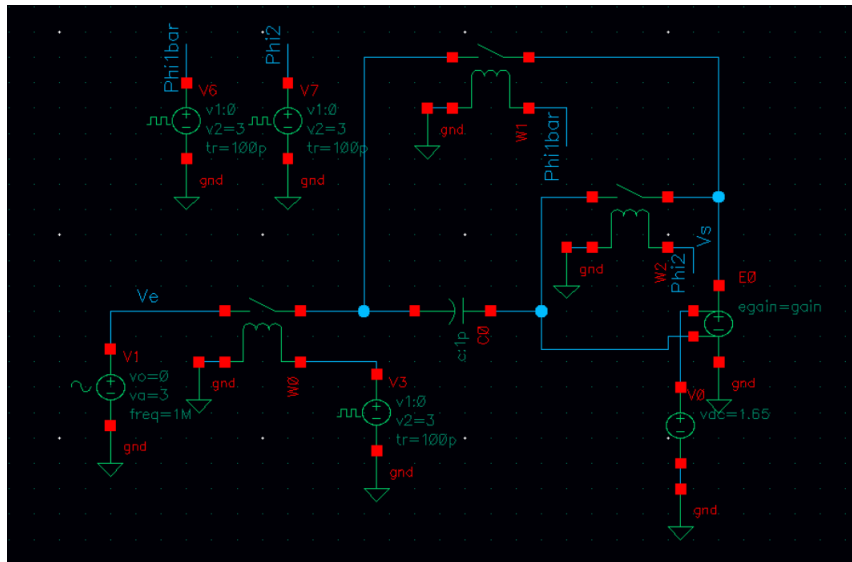


Figure 4: Schéma de l'échantillonneur-bloqueur en éléments idéaux

On configure les horloges avec le décalage prévu, et on choisi d'effectuer une analyse transitoire pour un signal d'entrée sinusoïdal de fréquence $f = 1\text{MHz}$ et de variation $V_e \in [-3, 3\text{ V}]$, la plage de variation de 0.5 à 2.5 V n'est pas prise en considération pour le moment.

En général, toute les simulations effectuées pendant le project sont en analyse transitoire, avec une durée de $1\mu\text{s}$

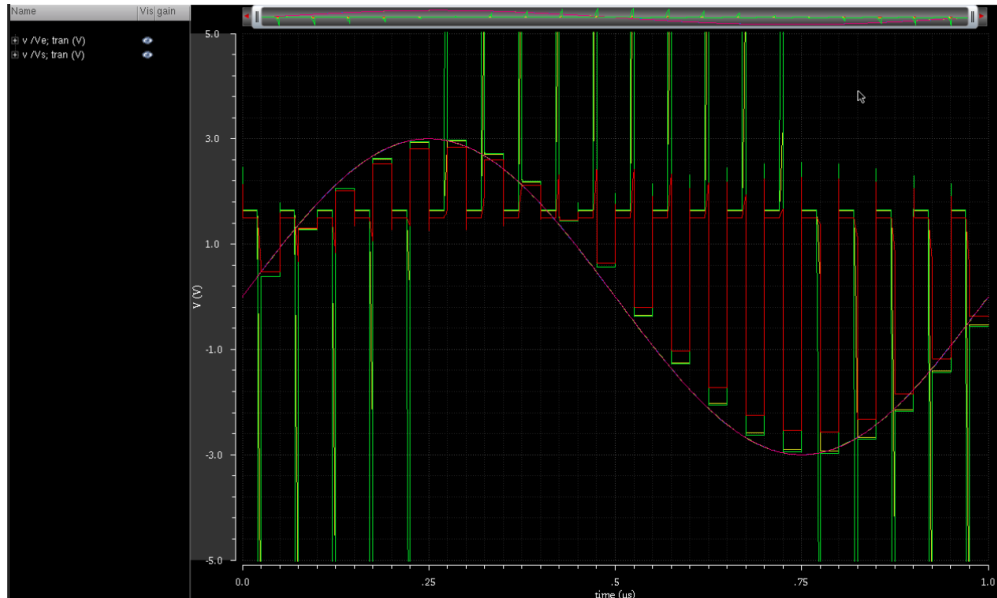


Figure 5: Simulation transitoire l'échantillonneur-bloqueur idéal

Cette simulation prend en charge une variation d'un paramètre "gain" de l'amplificateur pour observer le chagement de niveau de tension en sortie du signal echantillonné en comparaison avec celui d'entrée. On trouve qu'on a une meilleur approximation pour une valeur de gain assez élevée.



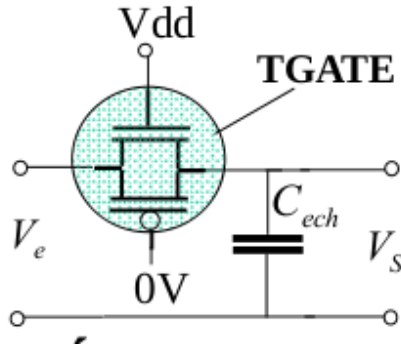
Figure 6: Rapport gain-bloquage au niveau de l'échantillonneur-bloqueur idéal

4.3 Réalisation des switchs réels et simulations

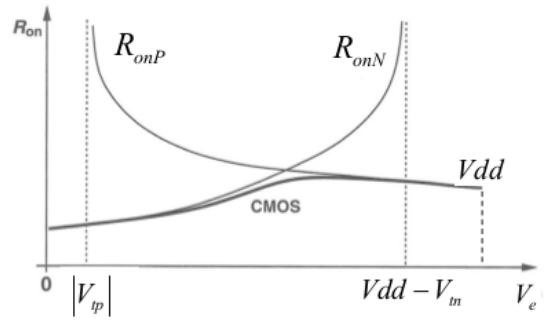
Vue théorique et Dimensionnements

La mise en place d'un échantillonneur bloqueur nécessite la réalisation des switch en CMOS.

Du point de vue théorique, un switch est une mise en parallèle de 2 transistors de type PMOS et NMOS (TGATE).



(a) Structure du TGATE



(b) Variation des R_{ON} des MOS en fonction de V_e

Figure 7

Ces switch seront dimensionnés pour respecté le temps de charge de C correspondante à la fréquence d'échantillonnage de $20MHz$.

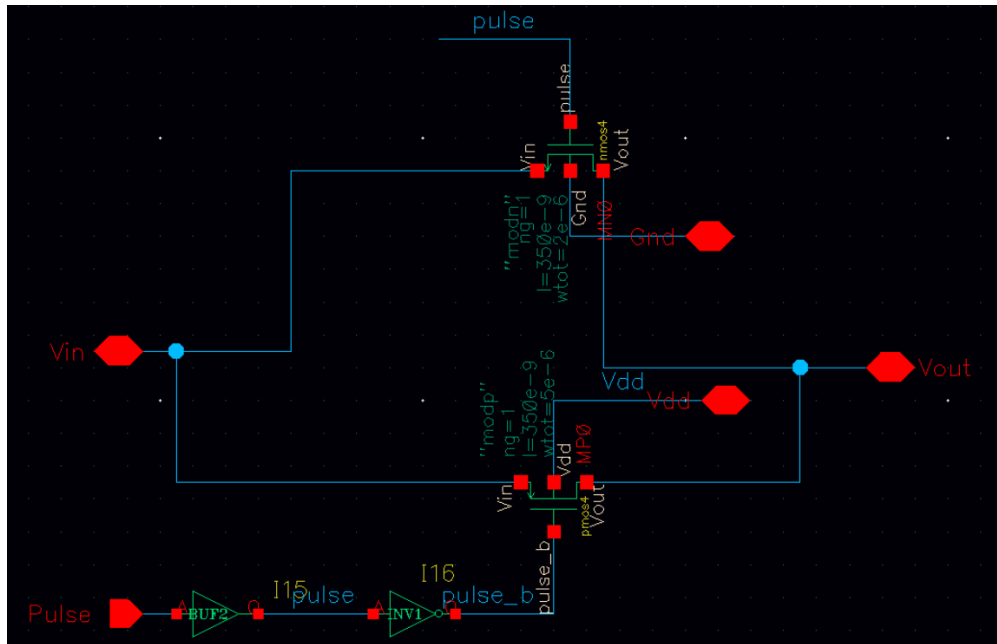


Figure 8: Schéma électrique des switch en CMOS

Si les transistors MOS se comportent comme des résistances en parallèle, il est possible de calculer $R_{ON} = R_{ON(P)} // R_{ON(N)}$. Les transistors ont été dimensionnés pour une $C_{ech} = 14pF$

$$\tau = R_{ON}C \implies R_{ON} = \frac{\tau}{C} = \frac{1}{100 \times 10^6 \times 14 \times 10^{-12}} = 714.28\Omega$$

Sachant que $\tau < \frac{1}{F_e} = \frac{1}{20 \times 10^6} s$.

$$R_{ON} = R_{ON(P)} // R_{ON(N)} \implies \frac{1}{R_{ON}} = \frac{1}{R_{ON(P)}} + \frac{1}{R_{ON(N)}}$$

On prend $R_{ON(P)} = R_{ON(N)} \implies R_{ON(P)} = 2R_{ON} = 1428\Omega$

Pour les 2 transistors :

$$R_{ON(N)} = \frac{1}{2k_n \frac{W}{L} (V_{GS} - V_{tn})} \text{ et } R_{ON(P)} = \frac{1}{2k_p \frac{W}{L} (V_{SG} - V_{tp})}$$

D'où : (Pour V_e d'entrée = $\frac{V_{dd}}{2}$)

$$\left(\frac{W}{L}\right)_N = \frac{1}{2k_n R_{ON(N)} (V_{GS} - V_{tn})} = \frac{1}{2k_n R_{ON(N)} \left(\frac{V_{DD}}{2} - V_{tn}\right)} = 5.71$$

$$\left(\frac{W}{L}\right)_P = \frac{1}{2k_p R_{ON(P)} (V_{SG} - V_{tp})} = \frac{1}{2k_p R_{ON(P)} \left(\frac{V_{DD}}{2} - V_{tp}\right)} = 14.5$$

Vérification des performances par simulations

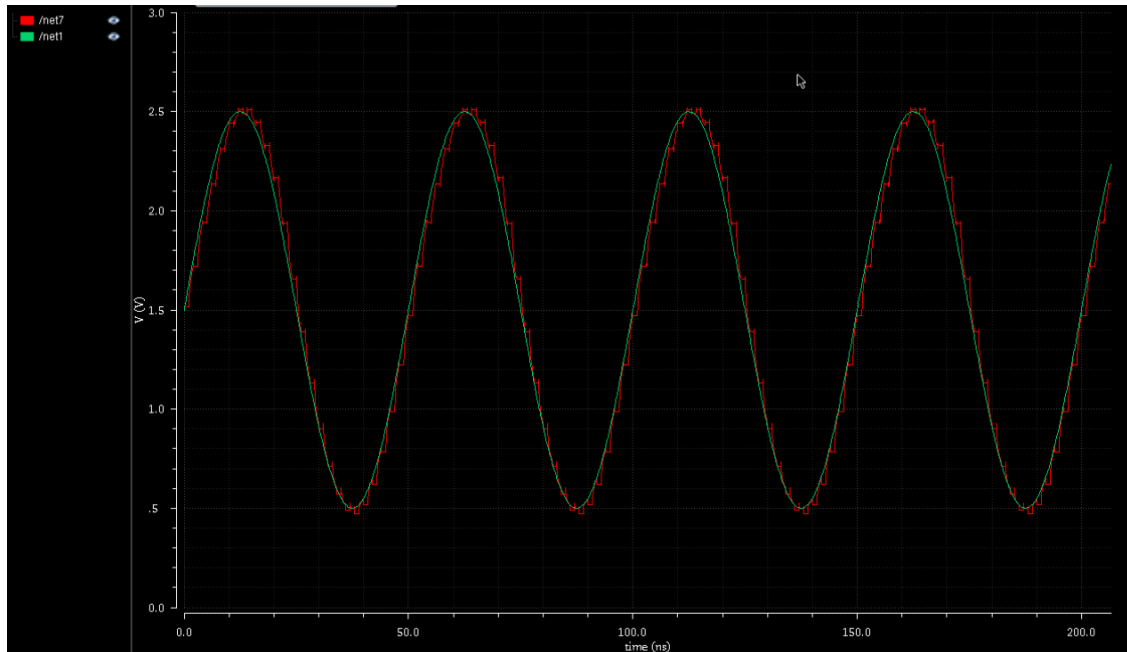


Figure 9: Schéma électrique des switch en CMOS

4.4 Simulation finale

En rassemblant tous les éléments, on aboutit au schéma suivant :

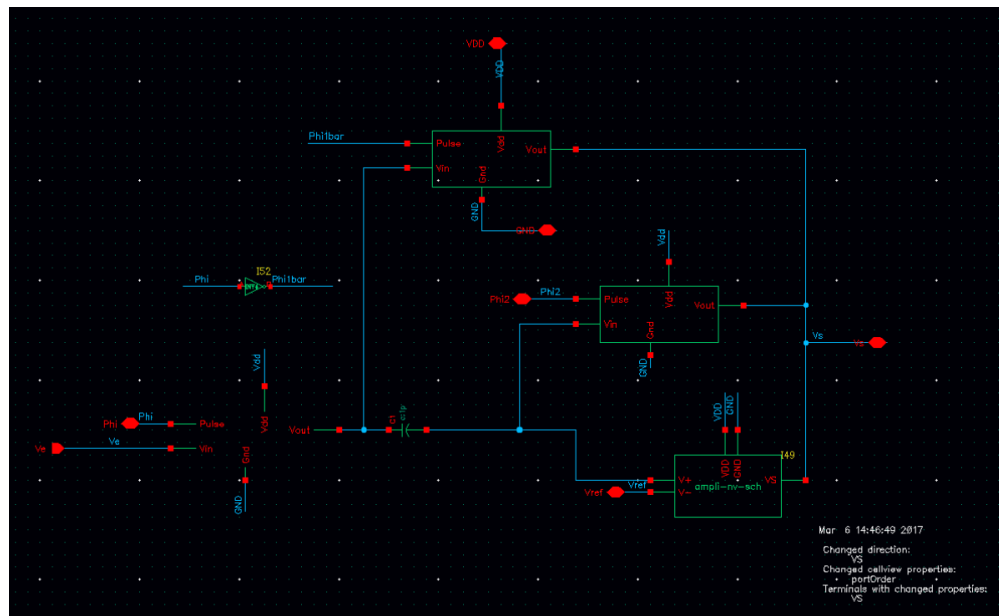


Figure 10: Schéma de l'échantillonneur-bloqueur réel

Effectuant la simulation :

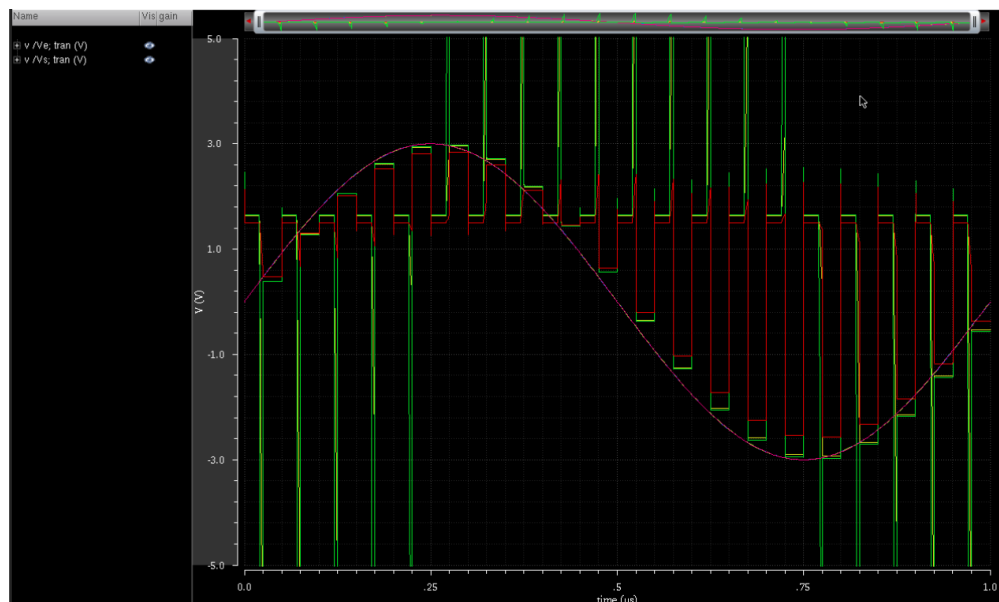


Figure 11: Schéma de l'échantillonneur-bloqueur réel

5 Réalisation d'un Amplificateur OTA à deux étages

5.1 Cahier des charges

Le cahier de charges nécessite :

- Un gain minimal pour une résolution de 6 bits : $G(0) = 300$
- Dynamique en entrée de $V_e \in [0.5, 2.5V]$

5.2 Calcul théorique et dimensionnements

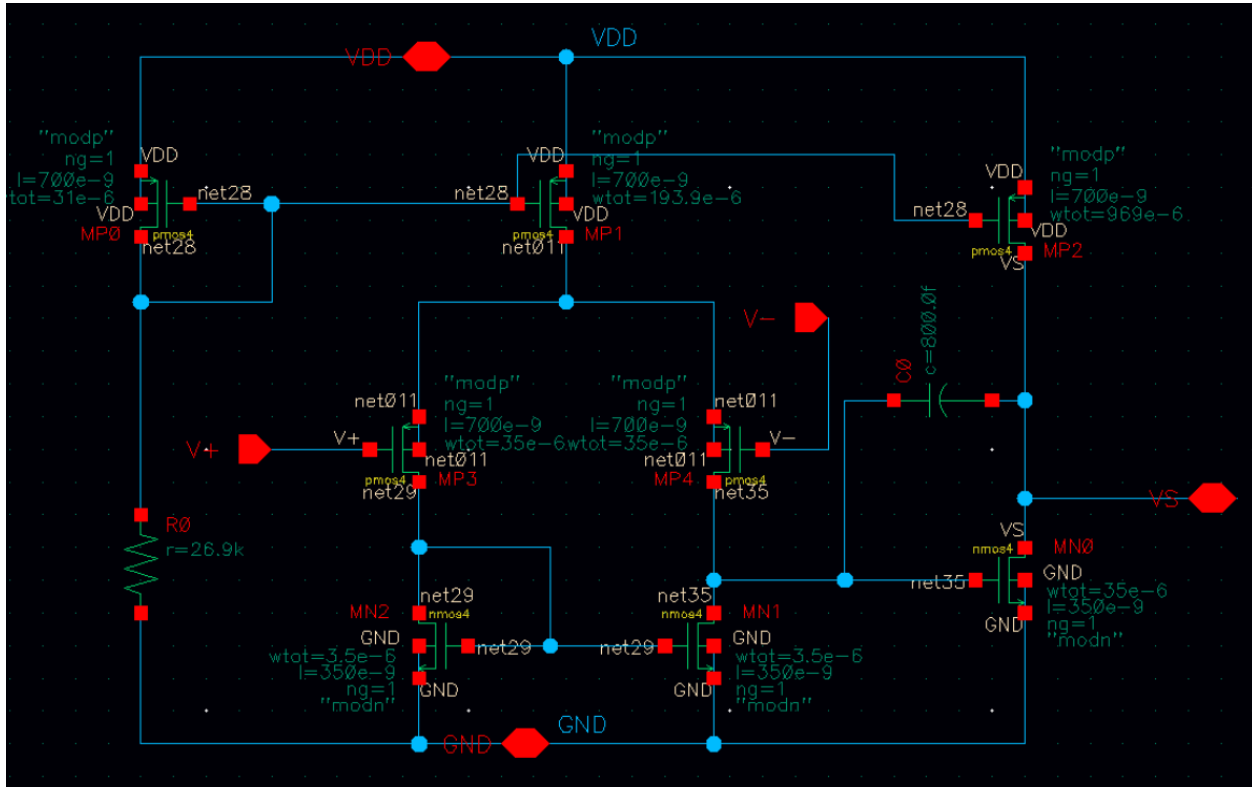


Figure 12: Architecture de l'amplificateur à deux étages après dimensionnements

5.3 Simulation et optimisation

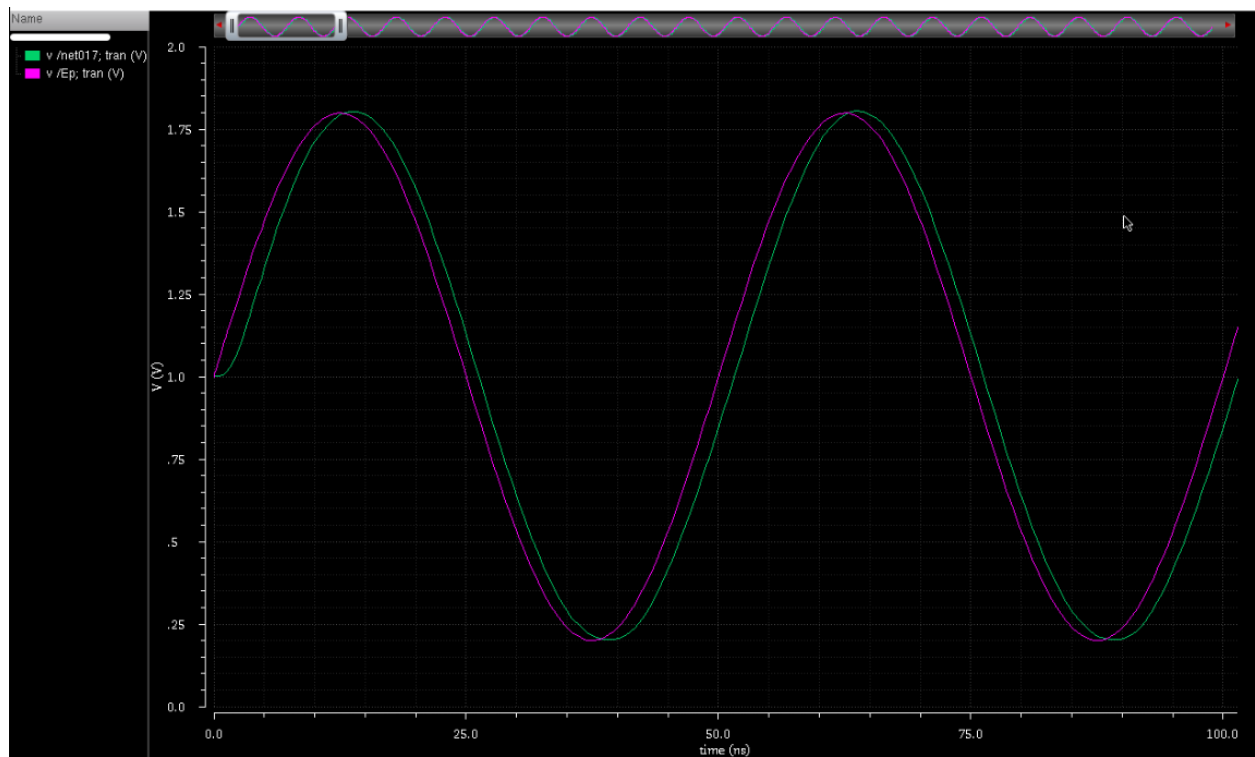


Figure 13: Architecture de l'amplificateur à deux étages après dimensionnements

6 Mise en oeuvre des comparateurs synchronisés par horloge

6.1 Principe de fonctionnement

L'étape suivante est la création de 63 comparateurs et seuils afin d'au mieux évaluer le niveau de notre signal à chaque front sur un cycle d'horloge commune à tous les blocs.

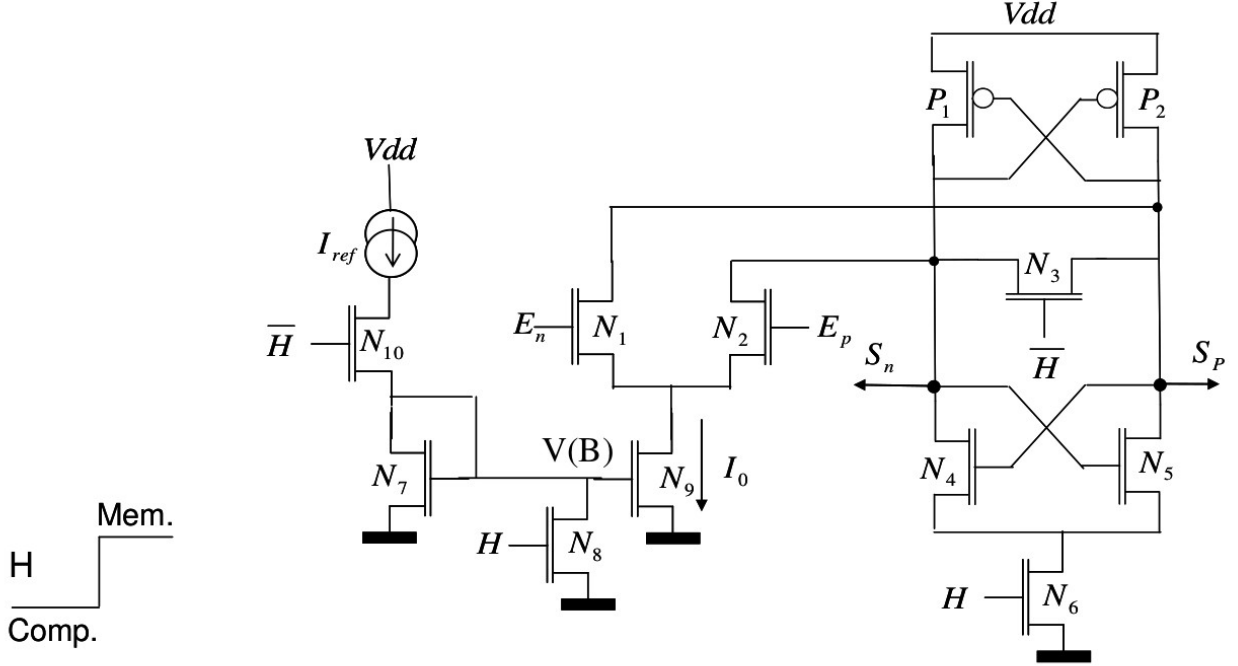


Figure 14: Architecture des comparateurs synchronisés par horloge avec une paire croisée

La structure utilisée pour ce comparateur et brièvement décrite dans le sujet, et illustrée par la figure X, utilise un courant provenant d'un miroir de courant (partie gauche de la structure). La propriété comparatrice est effectuée par la paire différentielle N_1/N_2 . Ensuite, la partie de droite (P_1, P_2 et N_3, N_4, N_5, N_6) fait basculer le comparateur soit en saturé (sortie de 3.3 V) ou à la masse à travers le transistor N_6 qui est alors passant.

6.2 Partie Théorique

Afin d'au mieux dimensionner ce comparateur, nous avons effectué les hypothèses et calculs suivants, par rapport au courant et aux dimensions des transistors:

6.2.1 Phase de comparaison (niveau d'horloge bas)

Pour $V_{EP} - V_{EN}$ très différent de 0 (cas d'une entrée représentant le signal et l'autre un seuil), le courant I_0 capable de charger ou décharger la capacité aux nuds S_N ou S_P en $\frac{1}{4}$ de période d'horloge sur une variation de V_{DD} vaut:

$$I_0 = C \frac{V_{DD}}{t} = 26 \mu A$$

si l'on considère un temps de 12.5 ns = $\frac{1}{4} \times T_{horloge}$ à 20 MHz.

A l'équilibre ($V_{EN} = V_{EP}$), pour avoir une tension de mode commun en sortie $V_{SN} = V_{SP} = \frac{V_{DD}}{2}$, le rapport $\frac{W}{L}$ de $P_{1,2}$ vaut:

$$\left(\frac{W}{L}\right)_{P_{1,2}} = \frac{I_D}{K_P(V_{dd}/2 - |V_{TP}|)^2} = 1.229$$

Afin que les transistors $N_{1,2}$ présentent une capacité C_{GS} en entrée compatible ou inférieure à celle prise en compte pour fixer C_s dans le calcul de l'échantillonneur bloqueur, la relation :

$$C_{GS} = \frac{2}{3} C_{ox} W_{N_{1,2}} L \leq C_{comp}$$

Ce qui implique que $W_{N_{1,2}} \leq 68 \mu m$ puisque :

$$C_S = C_{ech} + 63 \times C_{comp}$$

et que :

$$C_{comp} = \frac{5}{63} pF = 79 fF$$

Déterminons maintenant les tailles des transistors servant à polariser la paire N1/N2:

Si l'on remplace N_9 par un générateur de courant de valeur I_0 , une simulation DC sous Cadence donne une valeur de tension au noeud A : $V_A = 0.75V$.

Afin que la grille du transistor N_9 soit polarisé avec la condition $V_{GS} - V_{tn} = V_{DS} - 0,2V$ (0,2V au-dessus de la limite de zone active), nous en déduisons la tension au noeud B : $V_B = 1.12V$

Puis, le calcul de $\frac{W}{L}$ de N_9 vient avec :

$$I_d = K_n \frac{W}{L} (V_{gs} - V_{tn})^2 \left(1 + \frac{K_{en}}{L} V_{ds}\right)$$

Le transistor est au-dessus de la LZA :

$$\left(\frac{W}{L}\right)_{N_9} = \frac{26A}{55A \cdot (V_B - V_T)^2 (1 + (0.03/0.35)V_A)}$$

$$\left(\frac{W}{L}\right)_{N_9} = 1.46$$

Nous faisons de même afin de calculer les dimensions du transistor N_7 avec la condition $I_{ref} = \frac{I_0}{2}$

Pour calculer celui de N7, même formule sauf que :

$$\left(\frac{W}{L}\right)_{N_7} = \frac{\frac{26}{2}A}{55A \cdot (V_B - V_T)^2 (1 + (0.03/0.35)V_B)}$$

$$\left(\frac{W}{L}\right)_{N_7} = 0.72$$

On prendra pour N_{10} un $W = 5\mu m$.

Le calcul des dimensions du transistor N_8 s'effectue en considérant qu'il peut charger ou décharger la capacité estimée par simulation au noeud B en $\frac{1}{4}$ de période d'horloge.

$$I_{N_8} = \frac{V_B C_B}{\frac{1}{4}T_H} = 2A$$

6.2.2 Phase de mémorisation (niveau d'horloge haut)

Afin que la chute de tension dans le transistor N_6 à l'état ON soit de l'ordre de $0,5V$ lorsque $H = 1$ pour un courant $I_{N_6} = I_0$, il vient :

$$\left(\frac{W}{L}\right)_{N_6} = 0.19$$

car la chute de tension à travers la résistance ON du transistor vaut $R_{ON} \times I_0 = 0.5V$

Pour une tension de mode commun en sortie $V_{SP} = V_{SN} = \frac{V_{dd}}{2}$,

$$\frac{I_0}{2} = K_n \frac{W}{L} (1.65 - 0.5 - V_{tn})^2$$

$$\left(\frac{W}{L}\right)_{N_{4,5}} = 0.70$$

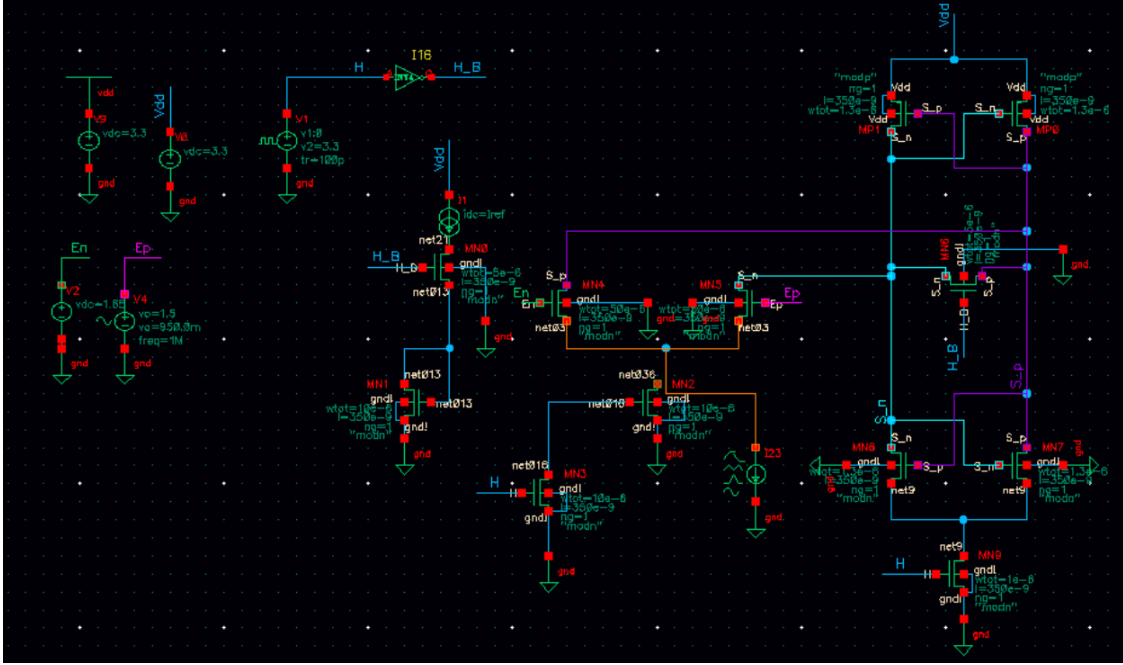


Figure 15: Schéma électrique

6.3 Simulations/Optimisations

Finalement, les simulations présentent un comparateur qui est approximatif : la sortie en mode commun n'est jamais réellement soit à 0 ou à 3.3 V. En effet, le zéro logique se situe autour de 1.65 V et le 1 logique varie entre 2.5 et 3 V.

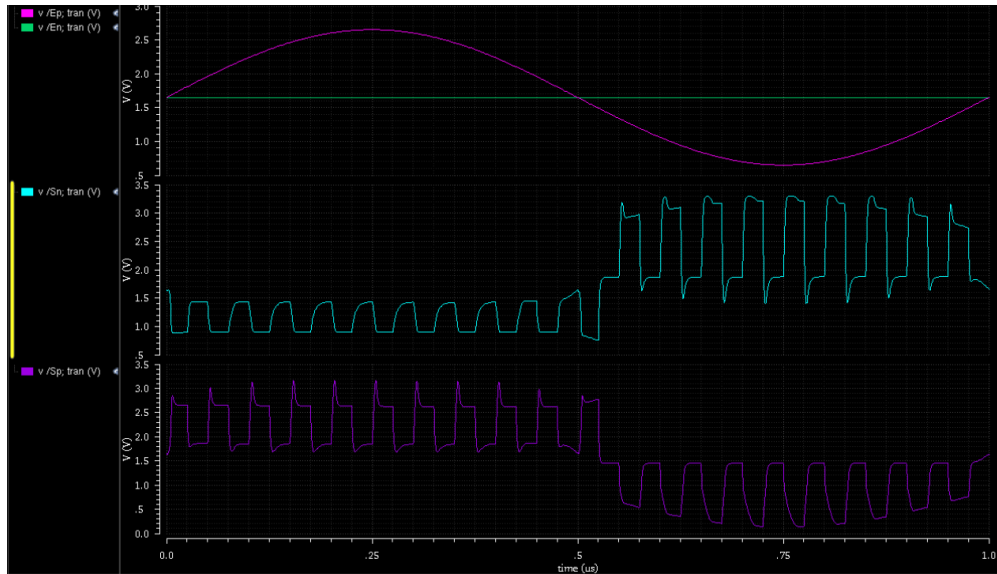


Figure 16: Simulation avant l'ajout des buffers + bascules

Nous avons donc rajouté des inverseurs et une Bascule SR (en 2 Nandes interconnectées) en sortie

afin de mémoriser un 0 ou un 1 logique.

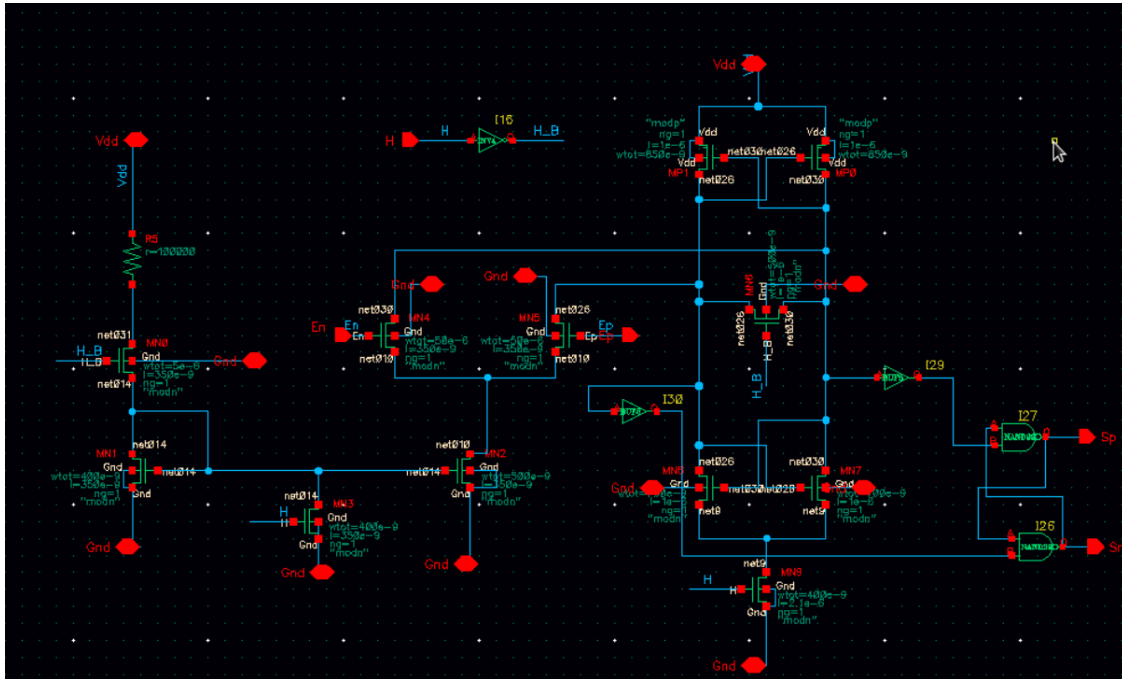


Figure 17: Schéma électrique

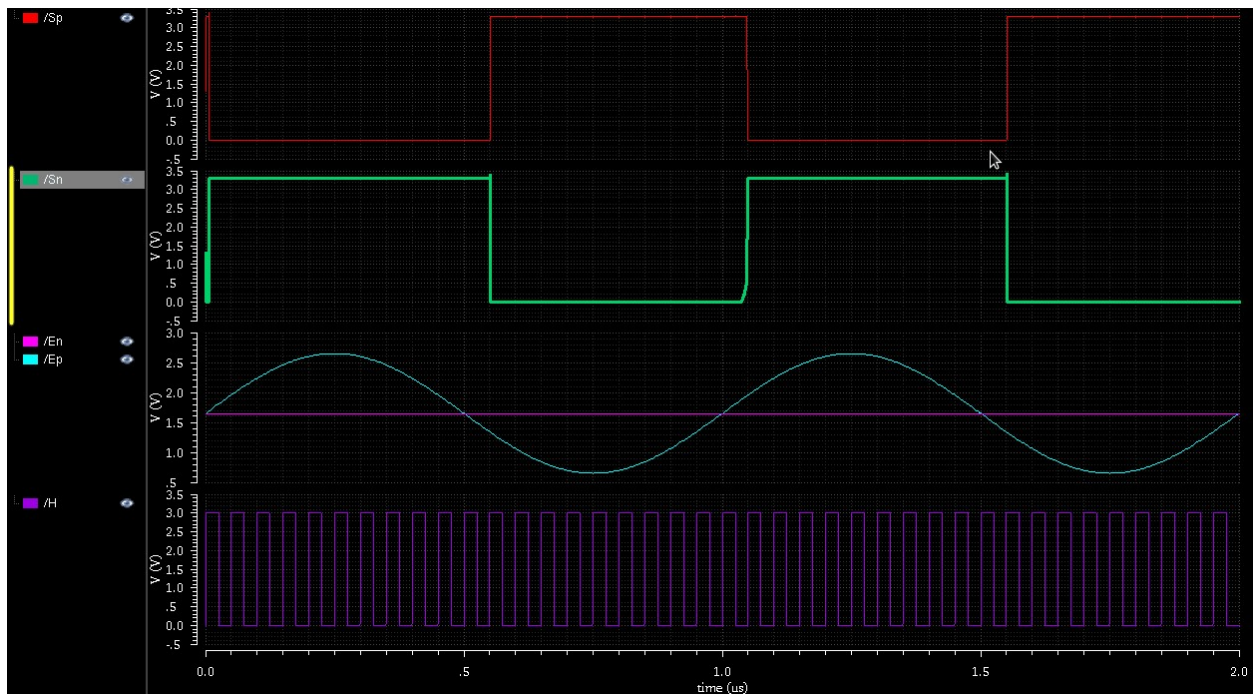


Figure 18: Simulation après l'insertion de ces éléments

7 Réalisation du décodeur en Verilog

7.1 Programmation et synthèse automatique du circuit

On utilise un code existant en Verilog[3] Ce code permet de convertir les données en code thermométrique en sortie des comparateurs vers un code binaire sur 6 bits (avec un pouvoir de prévention de bulles).

```
1 module thermo2bin (thermob, bin)
2 input [62:0] thermob;
3 output [5:0] bin;
4
5 reg [62:0] thermo;
6 reg [5:0] bin, bin1, bin2;
7 integer i, j, k;
8
9 always @(thermob)
10 begin
11     for (k = 0; k <= 60; k=k+1)
12         thermo[k] <= thermob[k] || thermob[k+1] || thermob[k+2];
13
14     thermo[61] <= thermob[61] || thermob[62];
15     thermo[62] <= thermob[62];
16 end
17
18 always @(thermo)
19 begin
20     bin1 = 0;
21     for(i=1; i <= 32; i=i+1)
22         if (thermo[i-1] == 1'b1) bin1 = i;
23 end
24
25 always @(thermo)
26 begin
27     bin2 = 0;
28     for(j=1; j <= 31; j=j+1)
29         if(thermo[k+31] == 1'b1) bin2 = j;
30 end
31
32 always @(bin1 or bin2)
33 if (thermo[31] == 1'b1)
34     bin = bin2 + 32;
35 else
36     bin = bin1;
37
38 endmodule
```

7.1.1 Fonctionnement

Ce module fonctionne du même principe de la lecture humaine : On essaye de lire le plus haut '1'. Ce bout de code était optimisé pour qu'il fonctionne en 2 parties

+explications..[3]

7.1.2 Synthèse

7.2 Simulations

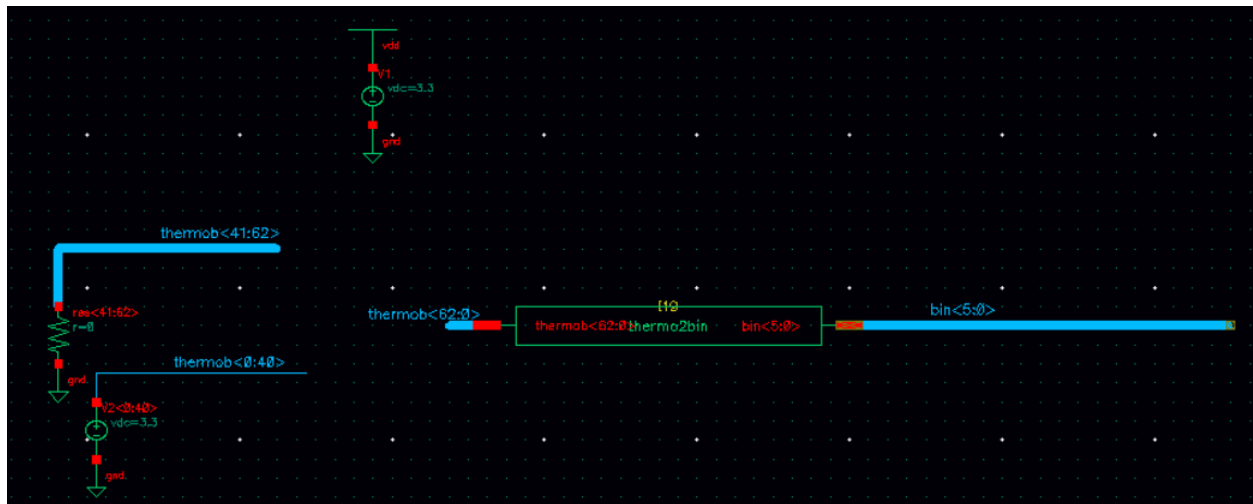


Figure 19: Placement d'un band de test pour le code Verilog après synthèse.

8 Schéma Global

8.1 Mise en place des éléments du montage final

La mise en oeuvre du schéma final se fait par le placement de l'échantillonneur bloqueur ainsi que les 63 comparateurs et le pont de résistance pour la création des seuils.

En soi, le schéma est celui de la figure X :

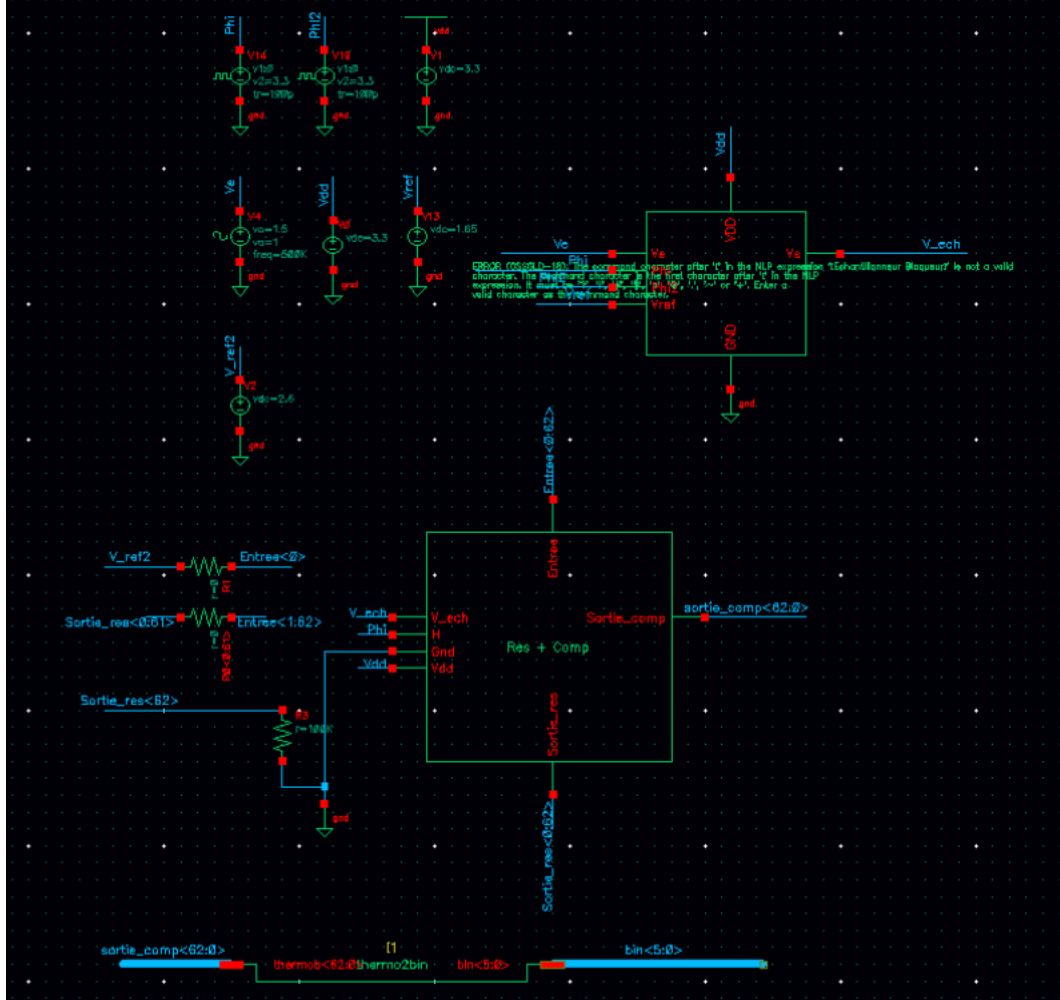


Figure 20: "Schéma global du CAN-FLASH"

Lors de cette étape, nous avons utilisé un bloc "Comparateur + résistance" que nous avons bouclé sur lui-même 62 fois dans le but d'éviter le schéma à rallonge (avec 63 boîtes différentes). L'entrée du premier bloc de comparaison (comparateur et seuil grâce à la résistance) prend en compte le signal en sortie de l'échantillonneur bloqueur ainsi que le niveau de référence le plus haut. Le second étage de comparaison a pour entrée la sortie de premier étage ainsi que le signal échantillonné. Cet étage compare donc le signal échantillonné et le seuil numéro 2 (deux résistances égales en série).

Le dernier étage de comparaison utilise toujours le même signal échantillonné ainsi que le seuil 64 formé de 64 résistances en série.

8.2 Simulations

La simulation globale de cet étage est très intéressante. En effet, les courbes présentent des valeurs de seuils très différentes de celles **pressenties** par le calcul (niveaux nets crés par des résistances en série). En fait, les entrées des comparateurs sont des gros transistors NMOS. Par conséquent, leurs capacités d'entrée sont très importantes; une fois reliées à des résistances (pont de résistances), des effets de filtrages apparaissent et dégradent les niveaux de seuils.

Les filtres ont en moyenne une fréquence de coupure de $\frac{1}{2\pi RC}$ avec $C = 90 \text{ fF}$. Pour pallier ce phénomène, nous avons placé un suiveur parfait (vcvs) dans la boîte de comparaison pour “purifier” les niveaux de seuils.

9 Layout

9.1 Mise en oeuvre

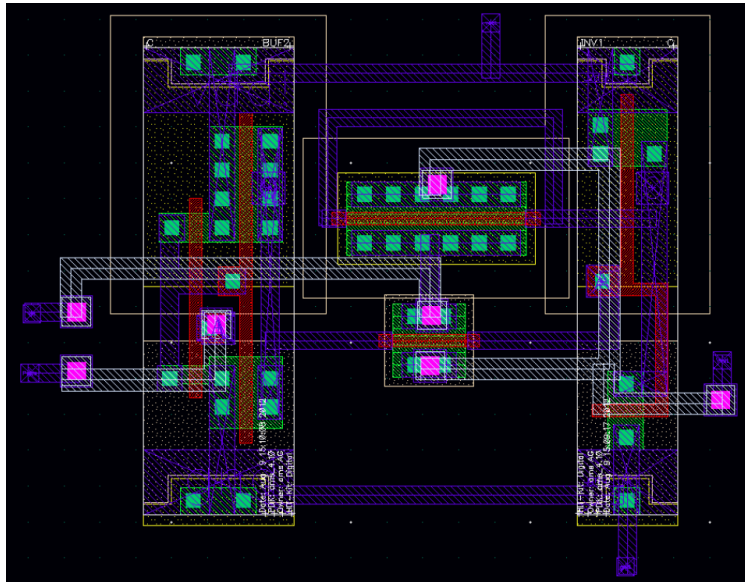


Figure 21: Mise en place du layout d'un switch

10 Améliorations possibles

Finalement, notre convertisseur fonctionne presque parfaitement : l'étage d'échantillonneur bloqueur remplit tout à fait son rôle. En revanche, certains étages de comparaison n'affichent pas toujours la bonne valeur. Théoriquement, si l'étage de comparaison n sort la valeur 1 en code thermométrique, les étages $> n$ doivent également afficher 1 et $< n$, 0. Dans nos simulations, il arrive que des étages supérieurs soient à 0.

Nous soupçonnons les inverseurs et portes NAND de mal interpréter la tension en sortie d'un comparateur et de mal traduire l'information. Pour contrer ces problèmes mineurs (moins d'une comparaison fausse sur 10), il faudrait revoir la partie droite de l'étage de comparaison concernant le latch et la polarisation de sortie. On pourrait par exemple optimiser la puissance des portes logiques ou calculer avec de plus fins modèles les caractéristiques des transistors concernés sur le comparateur.

L'étage décodeur de code thermométrique vers binaire fonctionne parfaitement mais est impacté par le problème susmentionné de fausse comparaison. Il en résulte une erreur d'environ trois valeurs sur 64 ce qui fausse le code binaire final.

11 Conclusion

La réalisation d'un CAN Flash 6 bits présentée dans ce projet fut une bonne expérience dans la mesure où nous sommes désormais conscients de la complexité à réaliser un convertisseur efficace et sûr. Le début du projet fut délicat car nous étions confrontés à de lourds schémas électriques à réaliser. Leur optimisation prit du temps et passa par de nombreux calculs théoriques vus en cours de convertisseurs ou d'électronique analogique. Ce projet fut également l'occasion de véritablement prendre en main le logiciel Virtuoso de Cadence à travers les outils de simulation, de variables ajustées, de sources de courant ou tension parfaites. Nous maîtrisons désormais ce logiciel et sommes aptes à l'utiliser à des fins de recherche ou dans l'industrie.

Nous sommes ravis d'avoir pu réfléchir par nous-même et mobiliser nos connaissances acquises dans plusieurs cours cette année au service de ce projet. Il a eu un réel impact sur notre maîtrise de Cadence et sur le déroulement de la phase de conception d'un circuit électronique, en l'occurrence d'un comparateur Flash.

Nous remercions les professeurs encadrants de nous avoir transmis leurs connaissances et astuces dans le domaine, nous les utiliserons à bon escient à l'avenir.

12 Fiche descriptive des caractéristiques

13 Annexes

Références

- [1] *Design of Analog CMOS Integrated Circuits*
Behzad Razavi, McGraw-Hill Higher Education.
- [2] *AnalogtoDigital Converter Architectures in Principles of Data Conversion System Design*
Behzad Razavi, Wiley-IEEE Press, 1995, pp.96-152.
doi: 10.1109/9780470545638.ch6
- [3] *Verilog HDL model based thermometer-to-binary encoder with bubble error correction*
Zbigniew Jaworski, Warsaw University of Technology
Conference: 2016 MIXDES - 23rd International Conference "Mixed Design of Integrated Circuits and Systems"
doi: 10.1109/MIXDES.2016.7529741
- [4] *La conversion analogique/numérique : Principe et architecture intégrés*
S.Bourdel, Institut Polytechnique de Grenoble - Phelma