

# 实验方案设计

## 四位二进制可逆计数器

参考74193的功能表：

| $CLR$ | $\overline{LD}$ | $DCBA$         | $CP_U$ | $CP_D$ | $Q_DQ_CQ_BQ_A$ |
|-------|-----------------|----------------|--------|--------|----------------|
| 1     | $d$             | $dddd$         | $d$    | $d$    | 0000           |
| 0     | 0               | $x_3x_2x_1x_0$ | $d$    | $d$    | $x_3x_2x_1x_0$ |
| 0     | 1               | $dddd$         | ↑      | 1      | 累加计数           |
| 0     | 1               | $dddd$         | 1      | ↑      | 累减计数           |

可以做出计数器部分的次态真值表：

| 现态                     | 输入     |        | 次态                                     |
|------------------------|--------|--------|--|
| $Q_D^nQ_C^nQ_B^nQ_A^n$ | $CP_U$ | $CP_D$ | $Q_D^{n+1}Q_C^{n+1}Q_B^{n+1}Q_A^{n+1}$ |
| 0000                   | ↑      | 1      | 0001                                   |
| 0001                   | ↑      | 1      | 0010                                   |
| 0010                   | ↑      | 1      | 0011                                   |
| 0011                   | ↑      | 1      | 0100                                   |
| 0100                   | ↑      | 1      | 0101                                   |
| 0101                   | ↑      | 1      | 0110                                   |
| 0110                   | ↑      | 1      | 0111                                   |
| 0111                   | ↑      | 1      | 1000                                   |
| 1000                   | ↑      | 1      | 1001                                   |
| 1001                   | ↑      | 1      | 1010                                   |

| 现态   | 输入 |   | 次态   |
|------|----|---|------|
| 1010 | ↑  | 1 | 1011 |
| 1011 | ↑  | 1 | 1100 |
| 1100 | ↑  | 1 | 1101 |
| 1101 | ↑  | 1 | 1110 |
| 1110 | ↑  | 1 | 1111 |
| 1111 | ↑  | 1 | 0000 |
| 1111 | 1  | ↑ | 1110 |
| 1110 | 1  | ↑ | 1101 |
| 1101 | 1  | ↑ | 1100 |
| 1100 | 1  | ↑ | 1011 |
| 1011 | 1  | ↑ | 1010 |
| 1010 | 1  | ↑ | 1001 |
| 1001 | 1  | ↑ | 1000 |
| 1000 | 1  | ↑ | 0111 |
| 0111 | 1  | ↑ | 0110 |
| 0110 | 1  | ↑ | 0101 |
| 0101 | 1  | ↑ | 0100 |
| 0100 | 1  | ↑ | 0011 |
| 0011 | 1  | ↑ | 0010 |
| 0010 | 1  | ↑ | 0001 |
| 0001 | 1  | ↑ | 0000 |
| 0000 | 1  | ↑ | 1111 |

观察次态真值表。对于加法计数， $Q_A$ 在每次脉冲上升沿都会发生翻转， $Q_B$ 在 $Q_A = 1$ 时每次脉冲上升沿发生翻转， $Q_C$ 在 $Q_B Q_A = 11$ 时每次脉冲上升沿发生翻转， $Q_D$ 在 $Q_C Q_B Q_A = 111$ 时每次脉冲上升沿发生翻转。对于减法计数， $Q_A$ 在每次脉冲上升沿都会发生翻转， $Q_B$ 在 $Q_A = 0$ 时每次脉冲上升沿发生翻转， $Q_C$ 在 $Q_B Q_A = 00$ 时每次脉冲上升沿发生翻转， $Q_D$ 在 $Q_C Q_B Q_A = 000$ 时每次脉冲上升沿发生翻转。

根据电路特性，使用四个下降沿D触发器，记为 $FF_i, i \in \{A, B, C, D\}$ 。

考虑置零端 $CLR$ 和置位端 $\overline{LD}$ ，则 $\forall i \in \{A, B, C, D\}$ ， $FF_i$ 应满足以下逻辑函数表达式：

$$D_i = \overline{Q_i}$$
$$CP_0 = \overline{CP_U} + \overline{CP_D}$$
$$CP_i = \overline{CP_U} Q_{i-1} \dots Q_A + \overline{CP_D} \overline{Q_{i-1} \dots Q_A} \quad (i \neq A)$$
$$S_i = \overline{LD} \overline{CLR} \overline{i}$$
$$R_i = \overline{LD} S_i + CLR$$

使用Logisim作出电路图：

封装后的电路如下图：

测试电路，功能符合预期：

二进制转8421BCD码电路

根据其功能，做出真值表如下：

| 输入  |     |     |     | 输出  |     |     |     | 输出  |     |     |     |
|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|
| Q_D | Q_C | Q_B | Q_A | H_3 | H_2 | H_1 | H_0 | L_3 | L_2 | L_1 | L_0 |
| 0   | 0   | 0   | 0   | 0   | 0   | 0   | 0   | 0   | 0   | 0   | 0   |
| 0   | 0   | 0   | 1   | 0   | 0   | 0   | 0   | 0   | 0   | 0   | 1   |
| 0   | 0   | 1   | 0   | 0   | 0   | 0   | 0   | 0   | 0   | 1   | 0   |
| 0   | 0   | 1   | 1   | 0   | 0   | 0   | 0   | 0   | 0   | 1   | 1   |
| 0   | 1   | 0   | 0   | 0   | 0   | 0   | 0   | 0   | 1   | 0   | 0   |
| 0   | 1   | 0   | 1   | 0   | 0   | 0   | 0   | 0   | 1   | 0   | 1   |
| 0   | 1   | 1   | 0   | 0   | 0   | 0   | 0   | 0   | 1   | 1   | 0   |
| 0   | 1   | 1   | 1   | 0   | 0   | 0   | 0   | 0   | 1   | 1   | 1   |
| 1   | 0   | 0   | 0   | 0   | 0   | 0   | 0   | 1   | 0   | 0   | 0   |
| 1   | 0   | 0   | 1   | 0   | 0   | 0   | 0   | 1   | 0   | 0   | 1   |
| 1   | 0   | 1   | 0   | 0   | 0   | 0   | 1   | 0   | 0   | 0   | 0   |
| 1   | 0   | 1   | 1   | 0   | 0   | 0   | 1   | 0   | 0   | 0   | 1   |
| 1   | 1   | 0   | 0   | 0   | 0   | 0   | 1   | 0   | 0   | 1   | 0   |
| 1   | 1   | 0   | 1   | 0   | 0   | 0   | 1   | 0   | 0   | 1   | 1   |
| 1   | 1   | 1   | 0   | 0   | 0   | 0   | 1   | 0   | 1   | 0   | 0   |
| 1   | 1   | 1   | 1   | 0   | 0   | 0   | 1   | 0   | 1   | 0   | 1   |

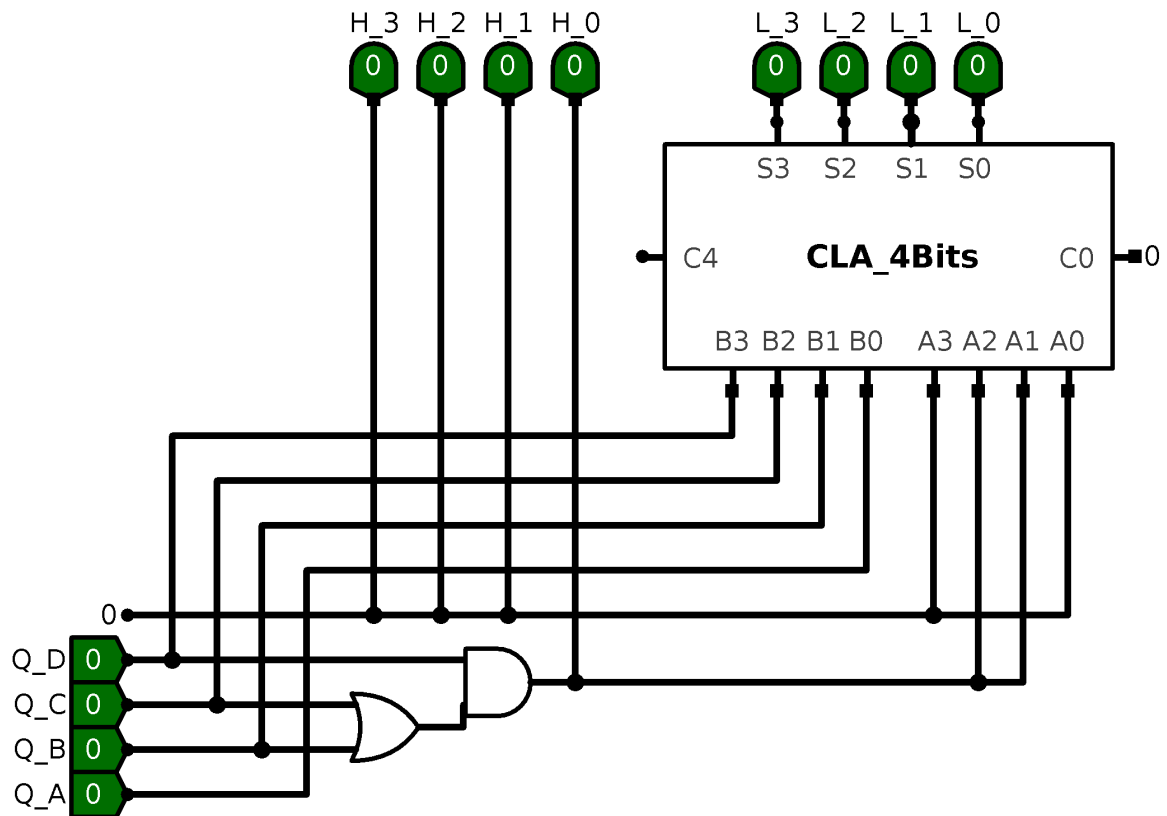
本电路使用一个异步进位四位加法器。当 $Q_3Q_2Q_1Q_0 \geq 1010$ 时，高位 $H_3H_2H_1H_0 = 1$ ，低位 $L_3L_2L_1L_0 = Q_3Q_2Q_1Q_0 - 1010 = Q_3Q_2Q_1Q_0 + 0110$ 。故电路逻辑函数表达式为：

$$H_3 = H_2 = H_1 = 0$$

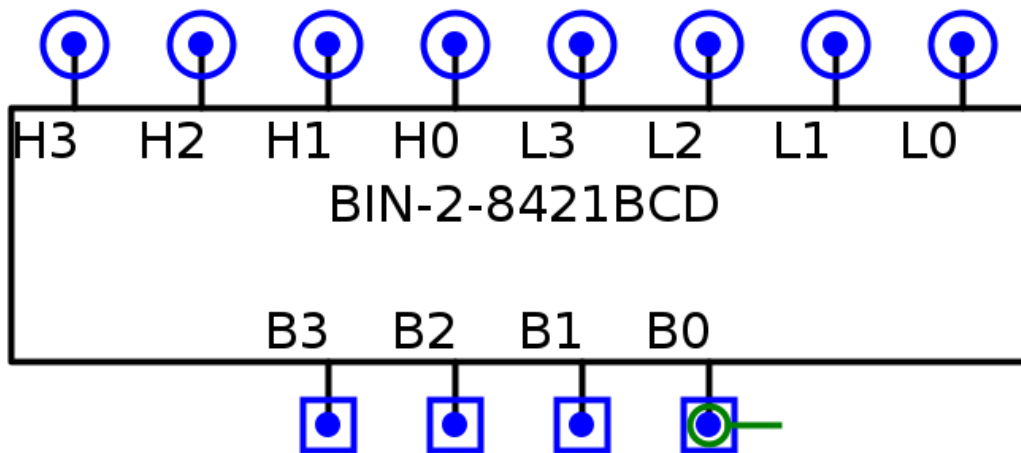
$$H_0 = (Q_B + Q_C)Q_D$$

$$L_3 L_2 L_1 L_0 = Q_3 Q_2 Q_1 Q_0 + H_0 \cdot 0110$$

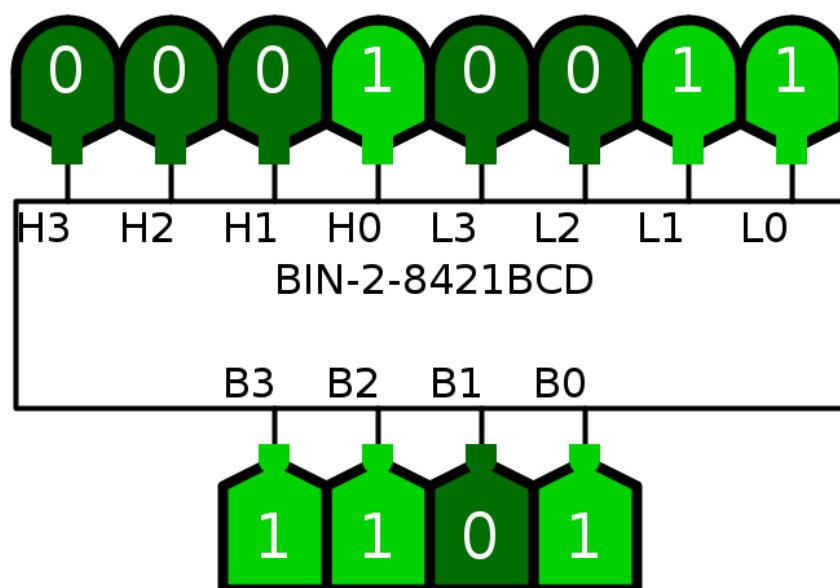
使用Logisim作出电路图：



封装后的电路如下图：



测试电路，功能符合预期：



## 显示电路

根据七段显示管的功能和引脚：

| 0 | 1 | 2  | 3  | 4  | 5  | 6  | 7  |
|---|---|----|----|----|----|----|----|
|   |   |    |    |    |    |    |    |
| 8 | 9 | 10 | 11 | 12 | 13 | 14 | 15 |
|   |   |    |    |    |    |    |    |

可以写出逻辑函数：

$$\begin{aligned}
 F_a(D, C, B, A) &= \sum m(0, 2, 3, 5, 7, 8, 9, 13) \\
 F_b(D, C, B, A) &= \sum m(0, 1, 2, 3, 4, 7, 8, 9, 12) \\
 F_c(D, C, B, A) &= \sum m(0, 1, 3, 4, 5, 6, 7, 8, 9, 11) \\
 F_d(D, C, B, A) &= \sum m(0, 2, 3, 5, 6, 8, 10, 11, 13, 14) \\
 F_e(D, C, B, A) &= \sum m(0, 2, 6, 8, 10, 14) \\
 F_f(D, C, B, A) &= \sum m(0, 4, 5, 6, 8, 9, 12, 13, 14) \\
 F_g(D, C, B, A) &= \sum m(2, 3, 4, 5, 6, 8, 9, 10, 11, 12, 13, 14)
 \end{aligned}$$

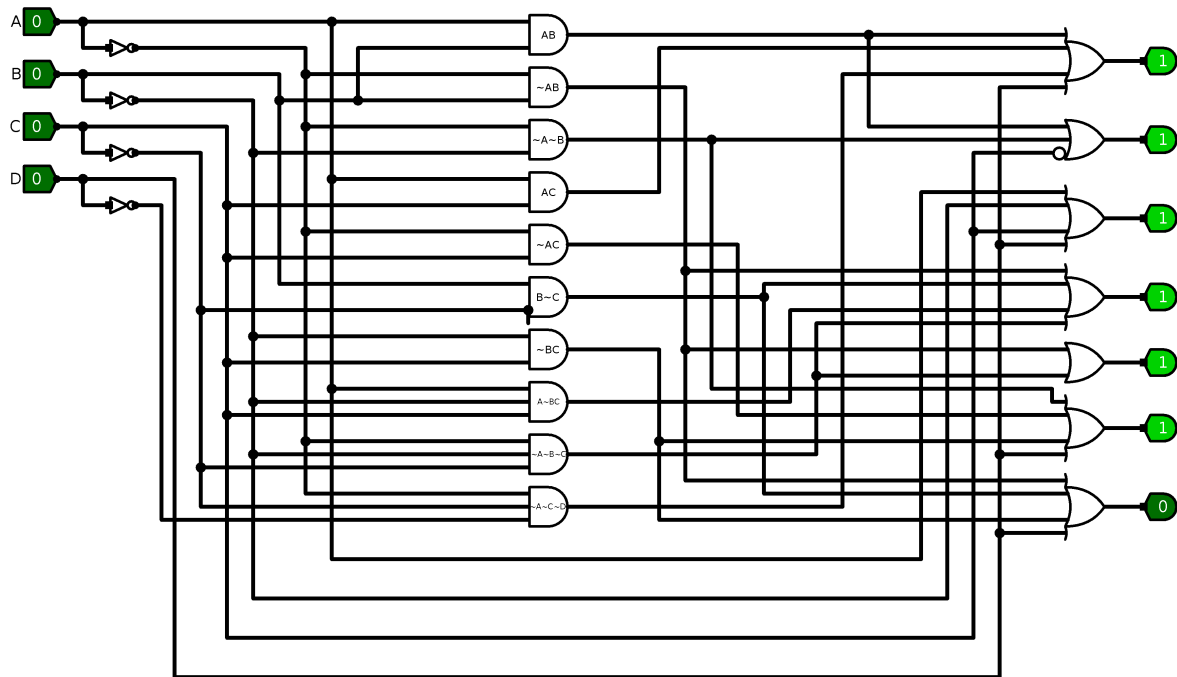
考虑到每位数字对应的BCD码最高只到 1001，上述逻辑函数可以简化为：

$$\begin{aligned}
F_a(D, C, B, A) &= \sum m(0, 2, 3, 5, 7, 8, 9) \\
F_b(D, C, B, A) &= \sum m(0, 1, 2, 3, 4, 7, 8, 9) \\
F_c(D, C, B, A) &= \sum m(0, 1, 3, 4, 5, 6, 7, 8, 9) \\
F_d(D, C, B, A) &= \sum m(0, 2, 3, 5, 6, 8) \\
F_e(D, C, B, A) &= \sum m(0, 2, 6, 8) \\
F_f(D, C, B, A) &= \sum m(0, 4, 5, 6, 8, 9) \\
F_g(D, C, B, A) &= \sum m(2, 3, 4, 5, 6, 8, 9)
\end{aligned}$$

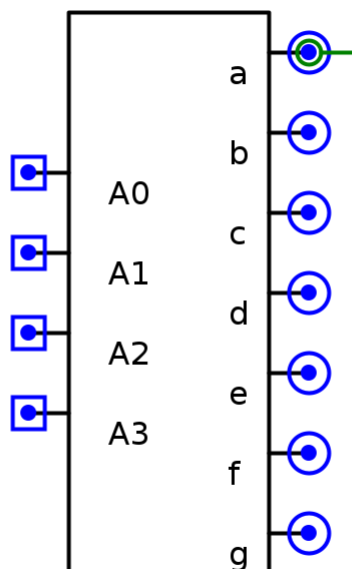
作卡诺图化简得到：

$$\begin{aligned}
F_a &= \bar{A}\bar{C}\bar{D} + AC + AB + D \\
F_b &= \bar{A}\bar{B} + AB + C \\
F_c &= A + \bar{B} + C + D \\
F_d &= \bar{A}\bar{B}\bar{C} + A\bar{B}C + B\bar{C} + \bar{A}B \\
F_e &= \bar{A}\bar{B}\bar{C} + \bar{A}B \\
F_f &= \bar{A}\bar{B} + \bar{B}C + D + \bar{A}C \\
F_g &= \bar{B}C + D + B\bar{C} + \bar{A}B
\end{aligned}$$

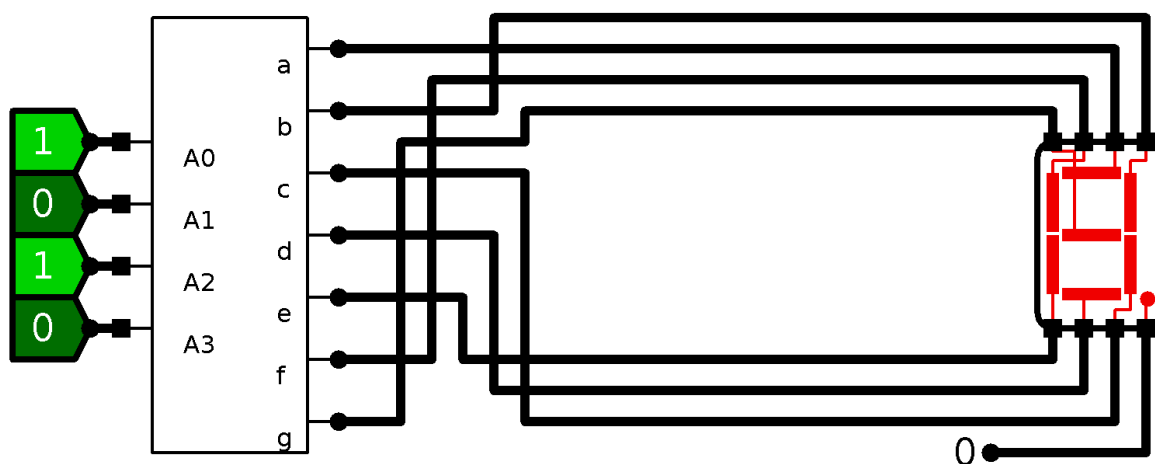
使用Logisim作出电路图：



封装后的电路如下图：



测试电路，功能符合预期：



## 报警电路

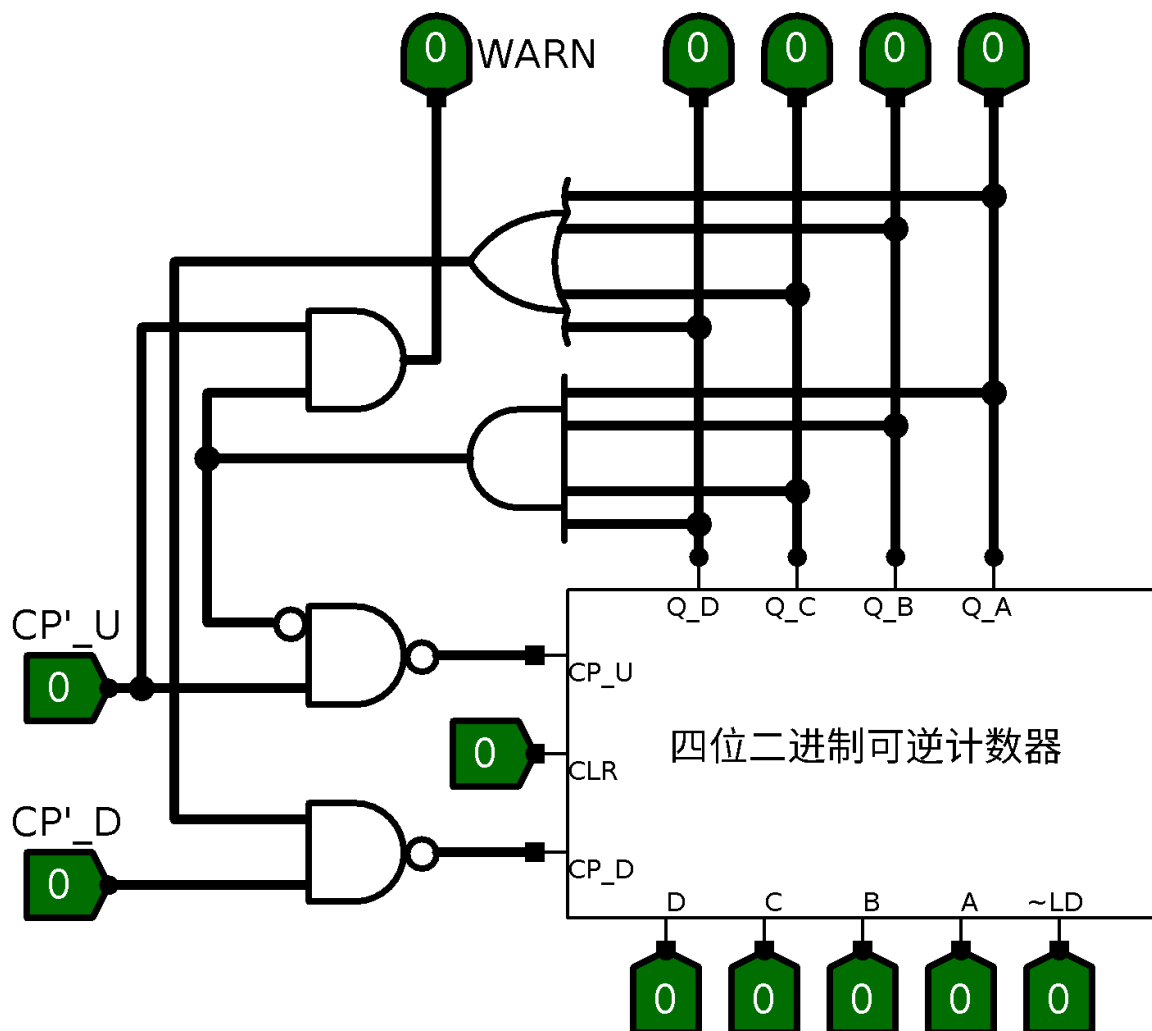
设表示实验室满人  $F = Q_D Q_C Q_B Q_A$ ，实验室有人  $H = Q_D + Q_C + Q_B + Q_A$ 。

记脉冲信号为  $CP'_U$  和  $CP'_D$ ，则  $CP_U = \bar{F} \cdot CP'_U$ ， $CP_D = M \cdot CP'_D$ 。

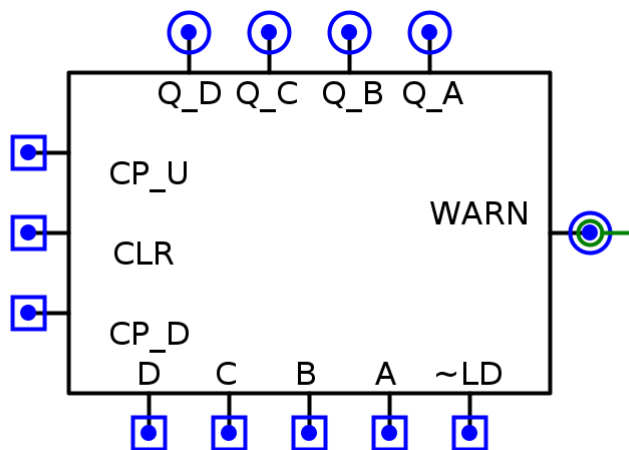
报警信号  $WARN = F \cdot CP'_U$ 。

考虑到四位可逆计数器要求  $CP_U$  和  $CP_D$ ，其中一个为脉冲信号时，另一个要求为1。为保证  $F = 1$  与  $M = 0$  时依然符合该条件，由于对  $CP_U$  和  $CP_D$  取反。故  $CP_U = \overline{\bar{F} \cdot CP'_U}$ ， $CP_D = M \cdot CP'_D$ 。

使用Logisim作出电路图：



封装后的电路如下图：

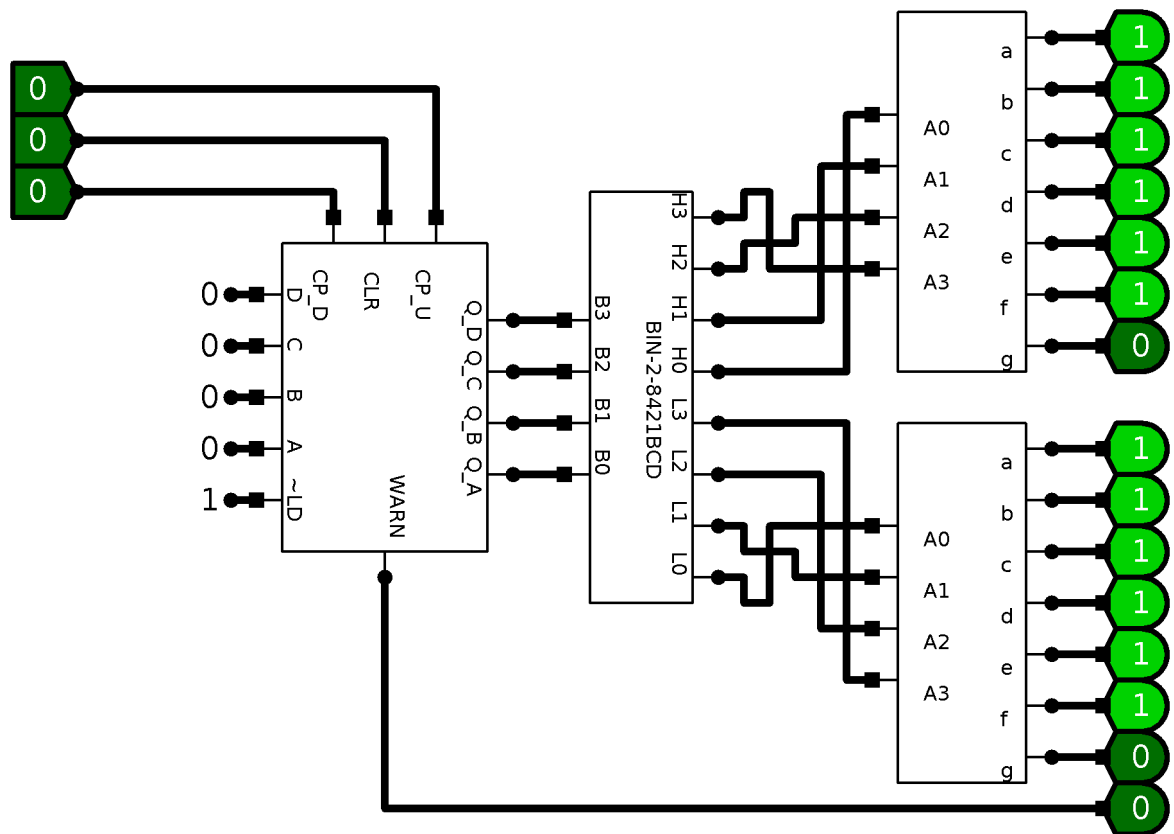


## 小型实验室门禁系统电路的封装

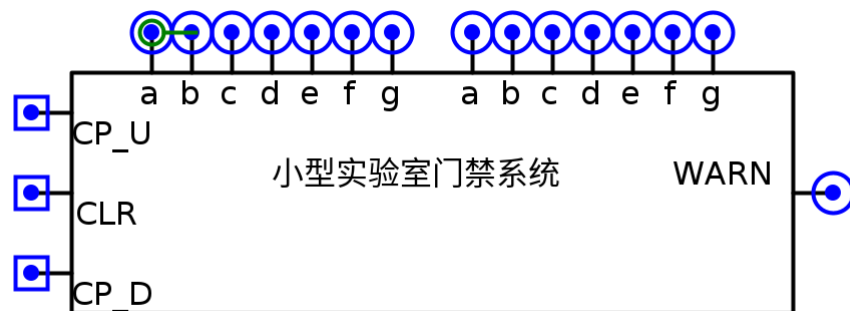
将四位可逆二进制计数器的输出端接入二进制转8421码电路的输入端，其高低位输出段分别接入7段译码器显示电路。

使用Logisim作出门禁系统电路图：





封装后的电路如下图：



与7位显示管和其他元件进行组合，得到最终的小型实验室门禁系统电路：

