

《 数字电路与逻辑设计 A 》 期末试卷 B

院(系)_____ 班级_____ 学号_____ 姓名_____

题号	一	二	三	四	五	六	七	八	九	总分
得分										

得 分

一、填空题（每空 1 分，共 25 分）

1. 保证同样精度，十进制小数 $(0.85937)_{10}$ 对应的二进制数是_____。
2. 当 $U_{GS(th)} \geq U_{GS}$ 时, N 沟道增强型 MOS 管_____, 漏源间等效为开关_____。

3. 逻辑函数 $F = A + B + \overline{C} + \overline{D} + \overline{E}$ 的反函数 $\overline{F} =$ _____, 对偶函数 $F' =$ _____。

4. 已知 $Y(A, B, C) = \overline{A}BC + AC + \overline{B}C$, 则 $Y(A, B, C) = \Sigma$ m(_____)。

5. 如图 1 所示电路中, 当 $A=1, B=0$ 时, T_{N2} 管_____, T_{P1} 管_____, T_{P2} 管_____, 输出 $F=$ _____。

6. 有一个 ADC 电路, $U_{REF} = 6V$, $n = 3$, 如果 $u_I = 4.2V$, 采用“舍尾”和“四舍五入”量化方案转换后的数字量分别为_____和_____。

7. 一个倒 T 网络的 10 位 D/A 转换器的最小输出电压为 0.01V, 则当输入为 $(1100000100)_2$ 时, 对应的输出电压为_____ V。

8. 衡量 A/D 和 D/A 转换器性能优劣的主要指标是_____和_____。

9. ROM 和 PLA 在结构上的区别, 主要是 ROM 的与阵列_____编程; 而 PLA 的与阵列_____编程。

10. 某 $64K \times 8$ RAM, 它有地址线_____条。

11. HDL 是利用高级语言来描述硬件电路的_____, _____以及各器件间的_____。

12. 区分数字系统和 74161 这样芯片的标志是_____。

13. 在数字系统的系统设计阶段, 使用最多的描述工具是_____和算法流程图。

14. 在数字系统的三大设计方法中, 综合考虑各项指标, _____常用于设计超大规模数字系统。

15. 在数字系统设计中, 可以采用每态一个触发器方案, 从_____中导出控制器的逻辑表达式。

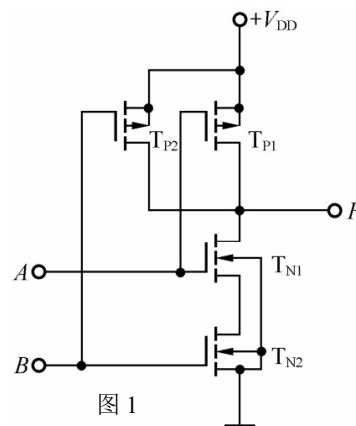


图 1

得分

二、(10 分) 采用卡诺图化简下面的逻辑函数 (请完成图 2 的卡诺图, 没有过程不得分)。

$$F = \overline{BCD} + \overline{ABCD} + \overline{ABD} + \overline{BCD}, \text{ 约束条件: } AD + BC = 0。$$

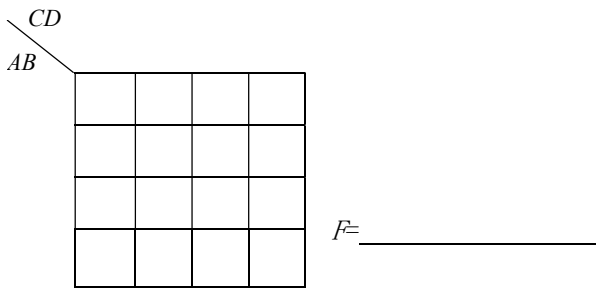


图 2

得分

三、(6 分) 在图 3-1 所示电路中, 输入信号为图 3-2 所示信号。设 Q_1 、 Q_2 初始状态为 1, 试写出各触发器的次态方程并画出输出端 Q_1 、 Q_2 的波形。

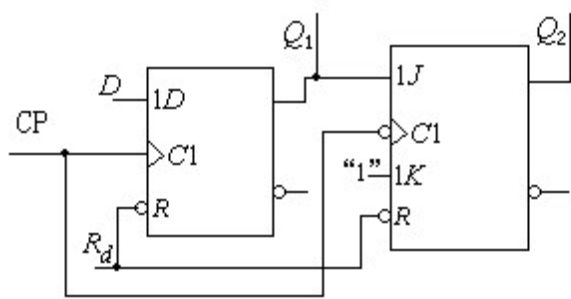


图 3-1

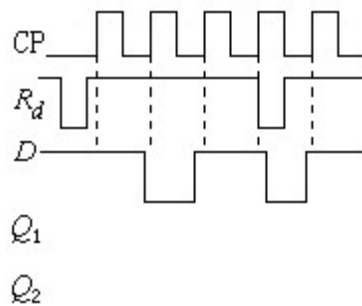


图 3-2

得分

四、(6 分) 试用图 4 所示的 74153 加上若干门电路设计一个一位全减器。其中 A、B、C、 F_1 、 F_2 分别表示被减数、减数、来自低位的借位、本位差、本位向高位的借位 (要求列出真值表, 画出完整的电路设计图)。(6 分)

A	B	C	F_1	F_2

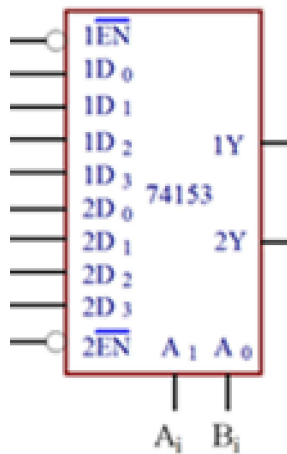


图 4

得 分

五、(10 分) 试分析如图 5 所示的同步计数器电路，请给出次态方程，画出状态转移图并说明电路有无自启动性。。

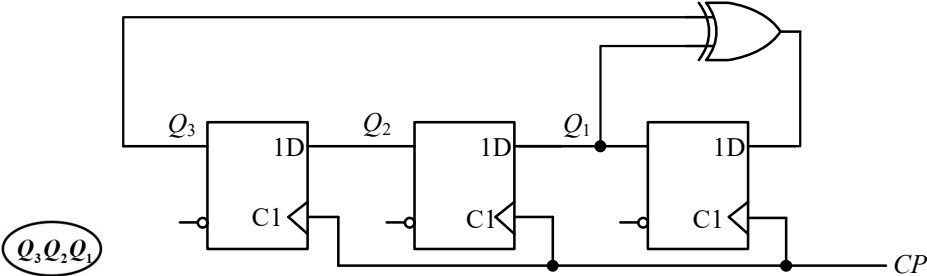


图 5

得 分

六、(10 分) 试只用一片全加器 74283 (如图 6 所示) 设计一个组合逻辑电路，将 $(ABCD)_{2421\text{BCD}}$ 转换为 $(Y_3Y_2Y_1Y_0)_{8421\text{BCD}}$ 。(可添加门电路)。

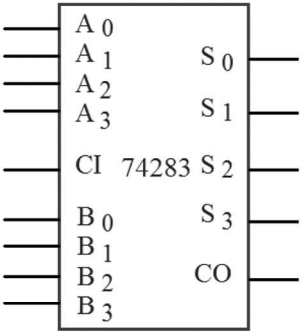


图 6

得 分

七、(15 分) 74161、7485、反相器 G1 构成的时序电路如下图 7-1 所示，试写出 74161 输出端的状态转移表、 $\frac{1}{2}$ 74153 输出端的序列 Z。若 7485 损坏，现提供与非门 G2 替换 7485、G1，试设计电路，恢复该时序电路的功能，简要描述设计过程并将电路图 7-2 画完整。

