

数字电路与逻辑设计B

第十七讲

南京邮电大学

电子与光学工程学院

臧裕斌

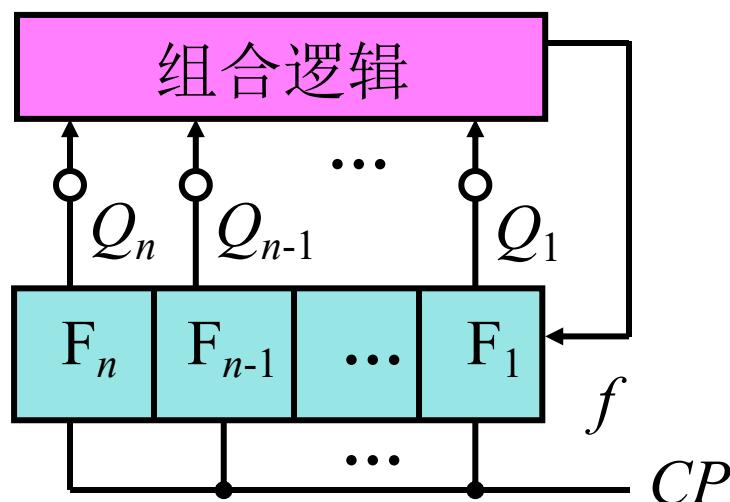
1. 关于移存型序列码发生器 $Q_i (i=1, \dots, n)$ 端输出的序列码，说法正确的是_____。

A

可以产生构成规律不同的 n 个序列码

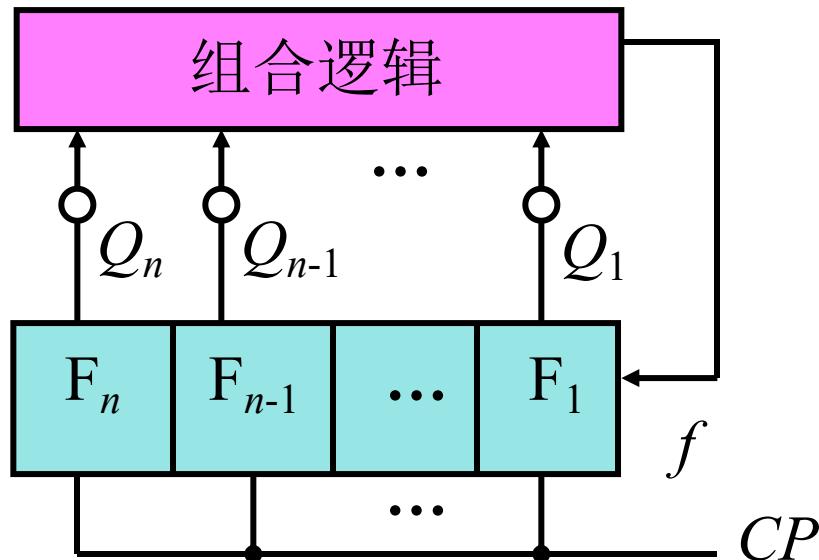
B

只能产生初始码元不同、构成规律相同的序列码

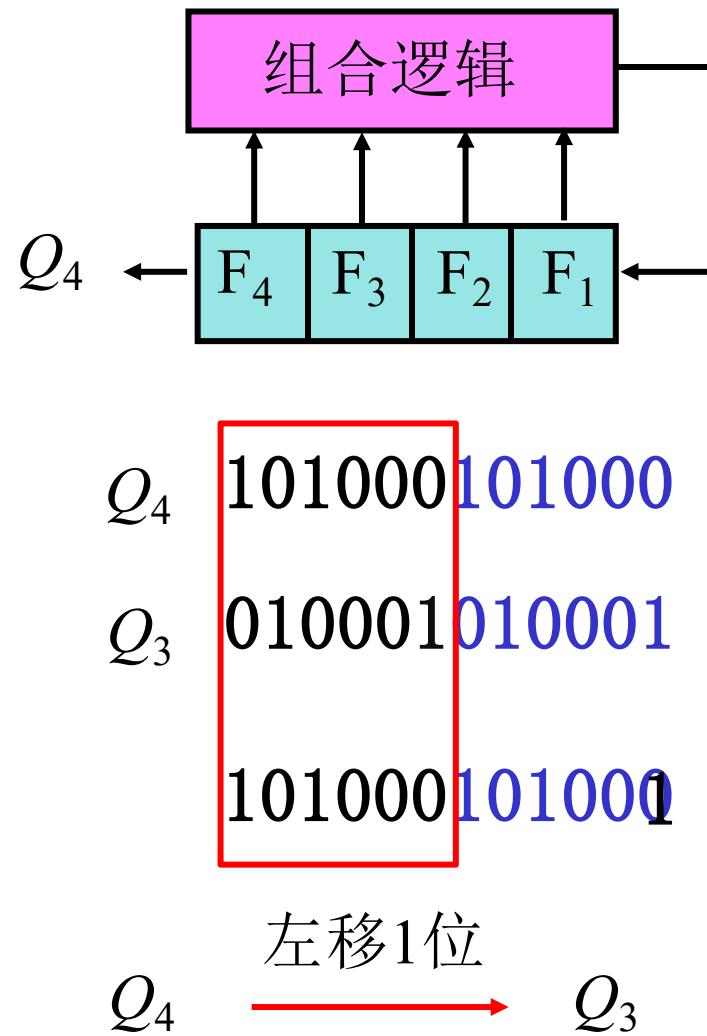


提交

只能获得一列序列码



移存型序列码发生器结构图



三、计数型序列码发生器的设计

例5.4.2 设计产生序列码 $F=11110101\dots$ 的计数型序列码发生器。

解： (1)设计模值 $M=8$ 的计数器
(2)设计输出 F 为所需序列码的组合电路

表5.4.2 组合电路真值表

Q_2	Q_1	Q_0	F
0	0	0	1
0	0	1	1
0	1	0	1
0	1	1	1
1	0	0	0
1	0	1	1
1	1	0	0
1	1	1	1

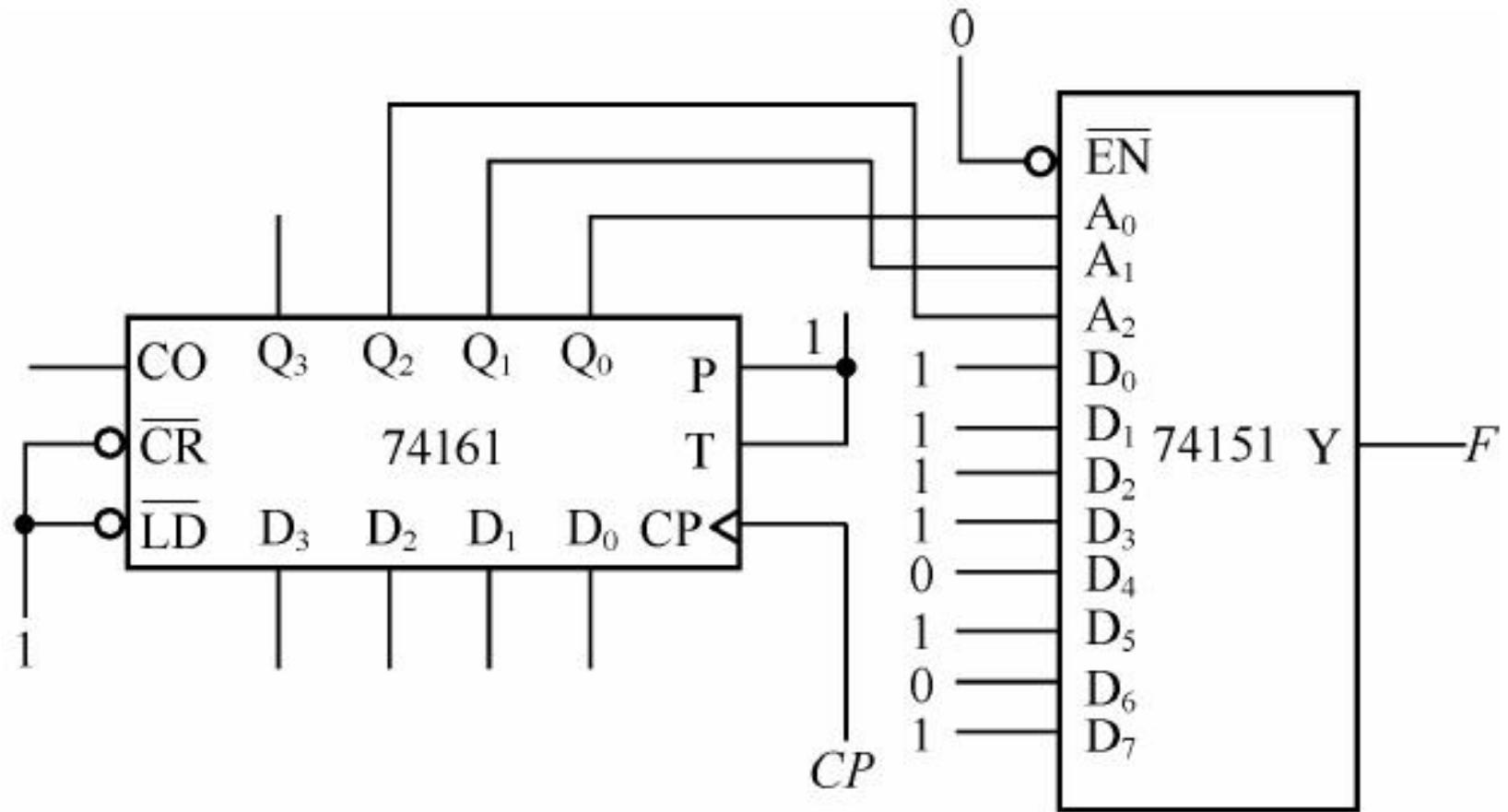
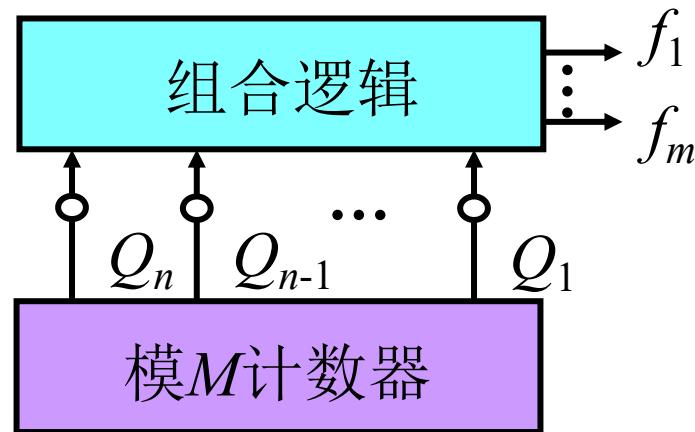


图5.4.5 例5.4.2的逻辑图

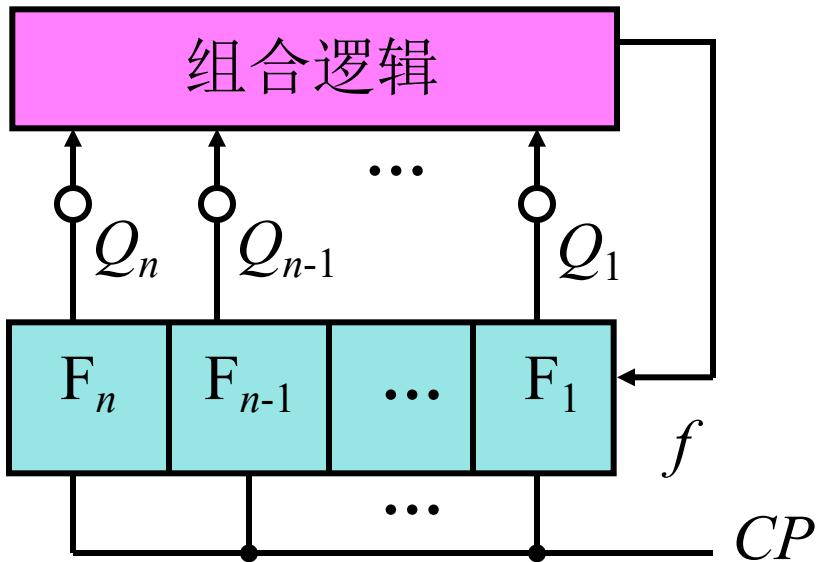
2. 关于计数型序列码发生器 $f_i(i=1,\dots,m)$ 端输出的序列码，说法正确的是_____。

- A 可以产生构成规律不同的 m 个序列码
- B 只能产生初始码元不同、构成规律相同的序列码



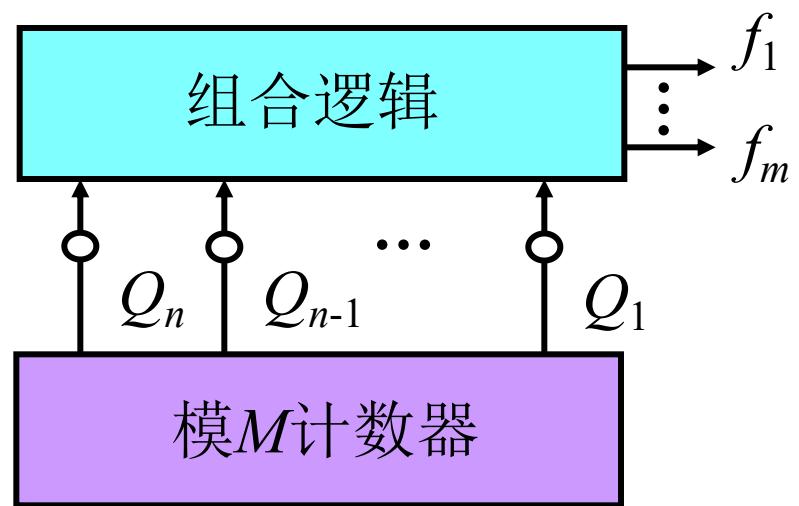
提交

只能获得一列序列码



移存型序列码发生器结构图

能获得多列序列码

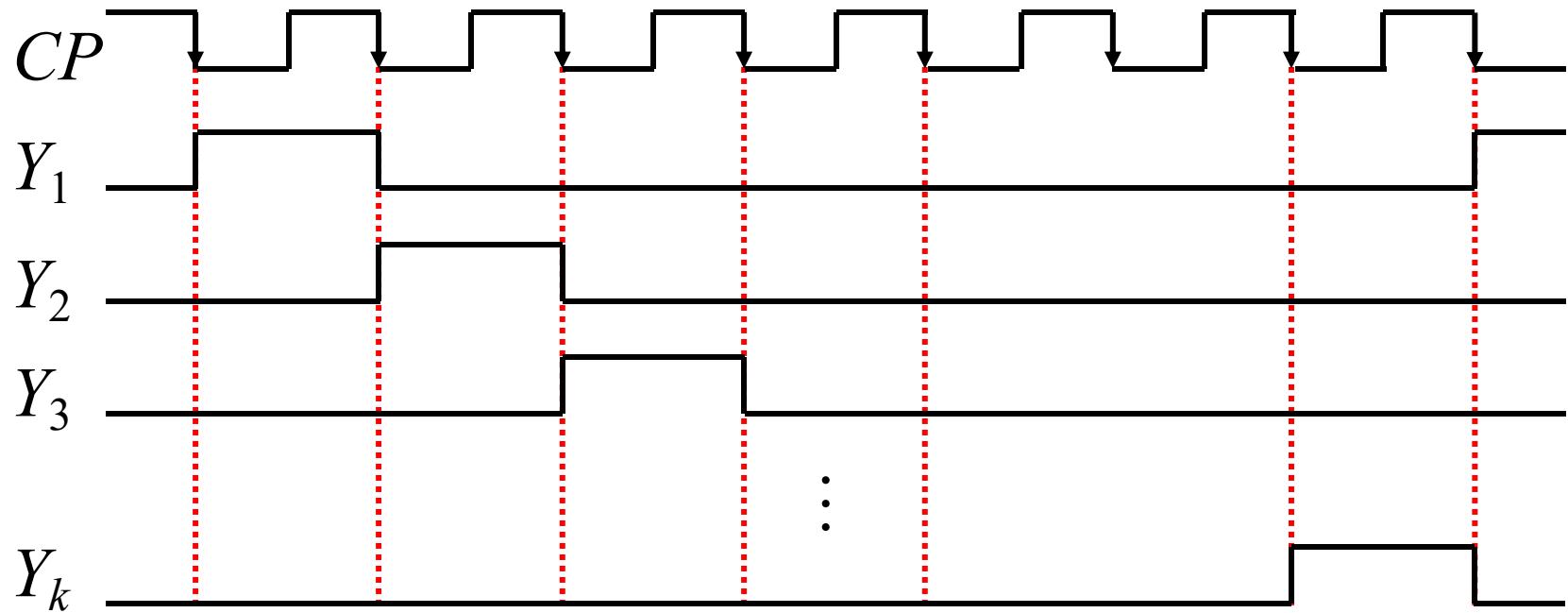


计数型序列码发生器结构图

5.5 顺序脉冲发生器

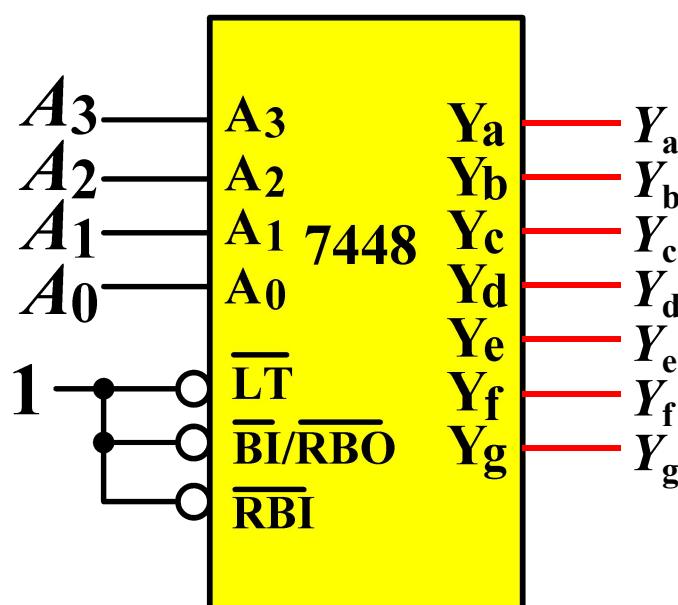
一、概述

1. 顺序脉冲概念、作用

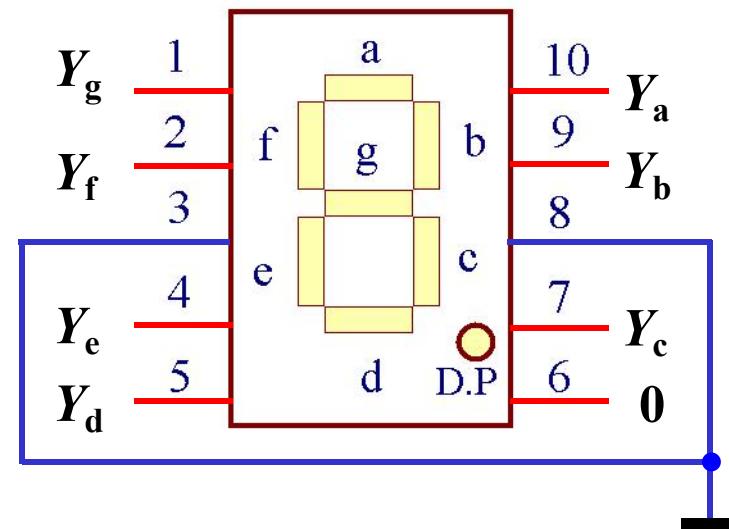


应用于动态显示、步进电机等方面。

- 静态显示 位选始终选中 每个数码管独占一组段选

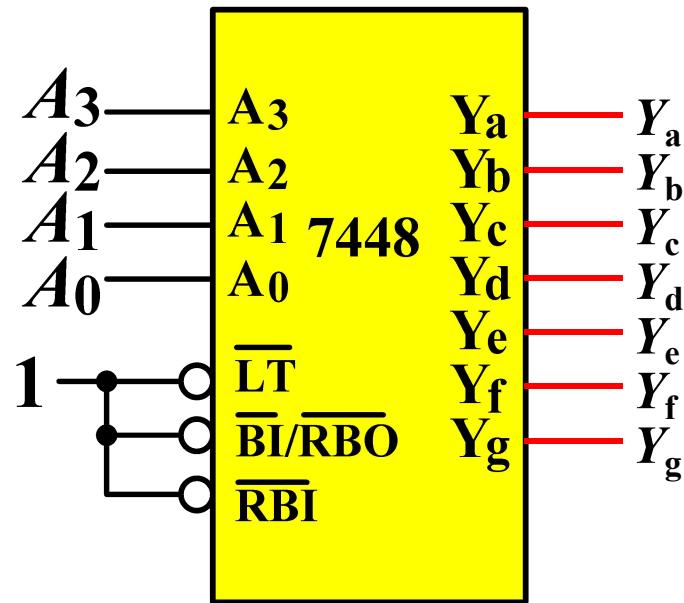


段选：接数码管独立端



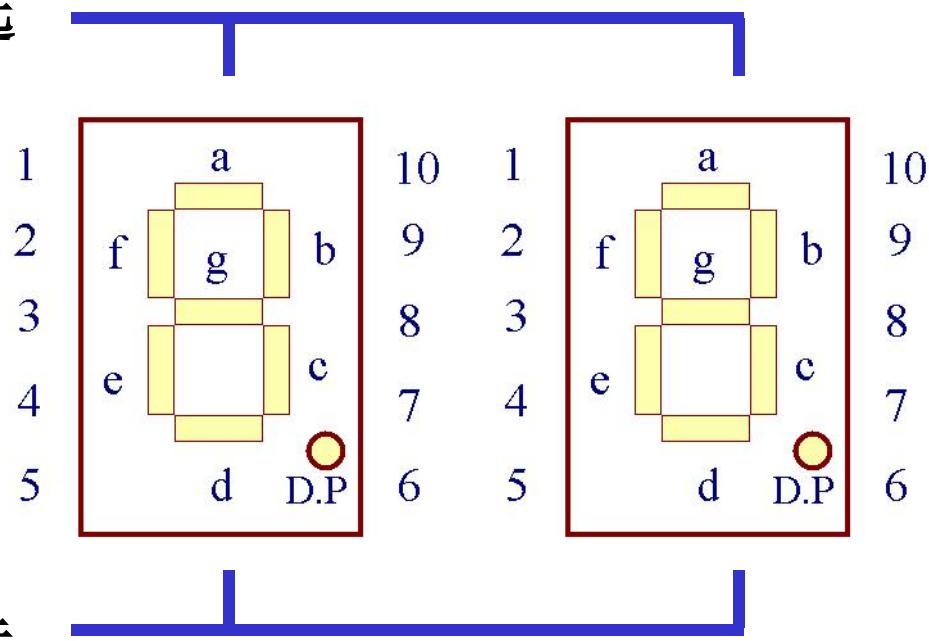
位选：接数码管公共端

- 动态显示
- 位选轮流选中
- 多个数码管公用一组段选



段选

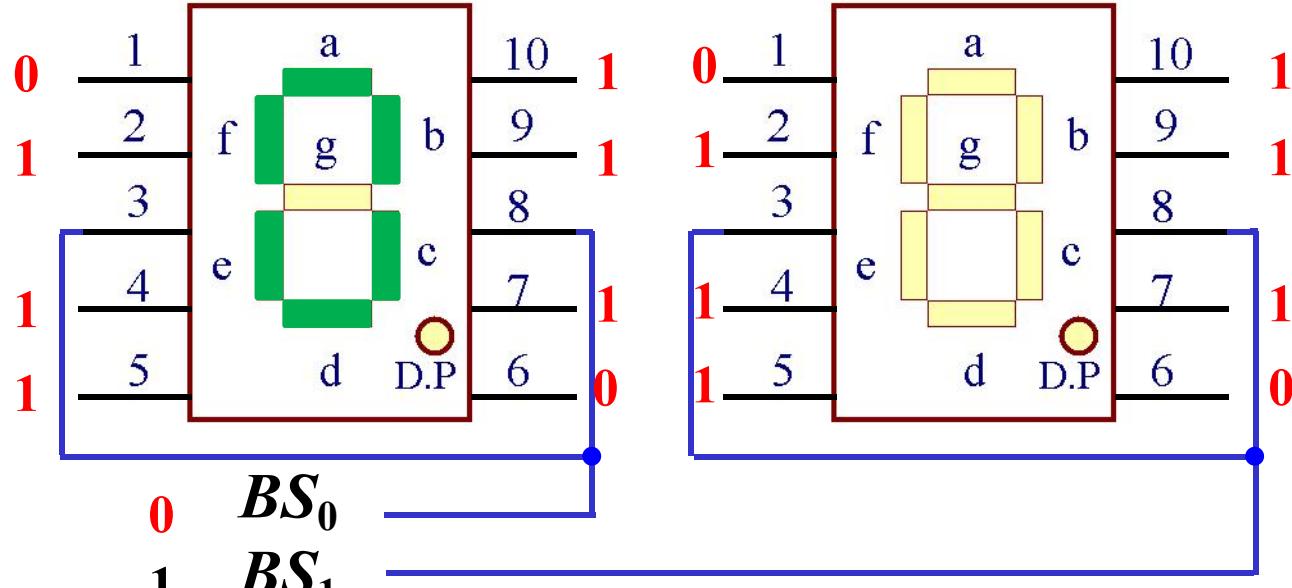
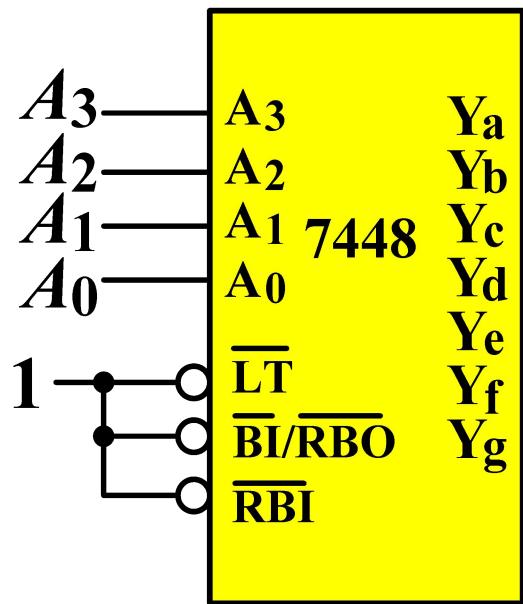
位选



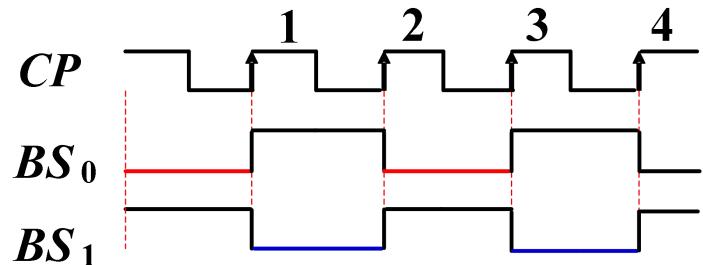
视觉暂留现象又称“余晖效应”

影像消失后，人眼仍能继续保留其影像0.1-0.4秒左右的图像

段选 $Y_a \sim Y_g = 1111110$ 接数码管C391E

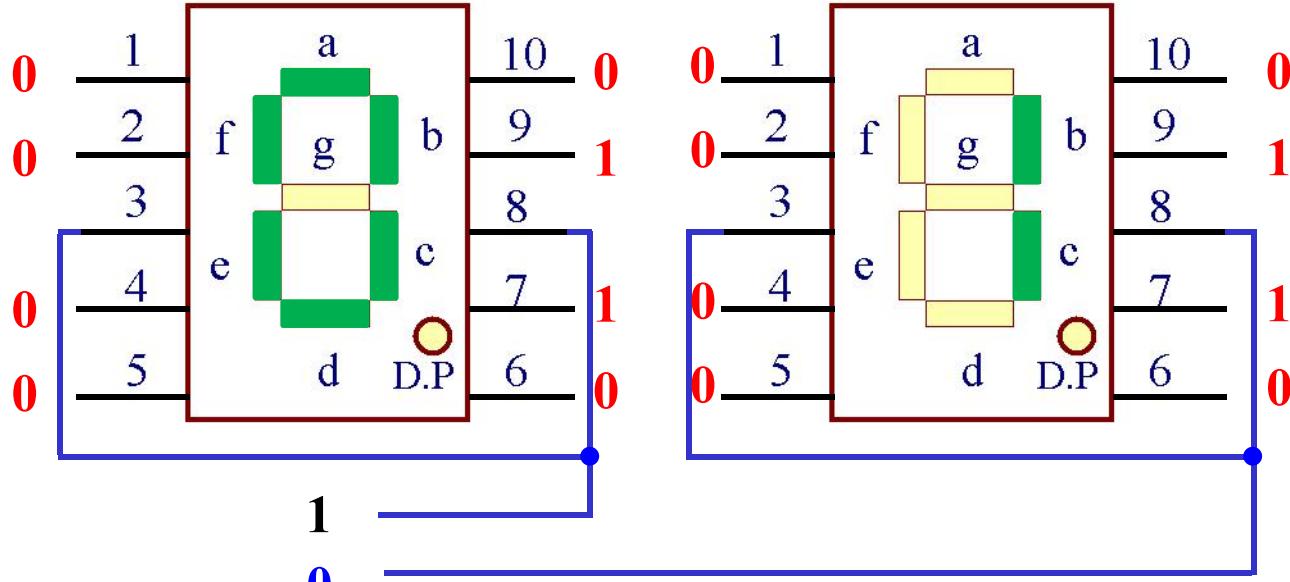
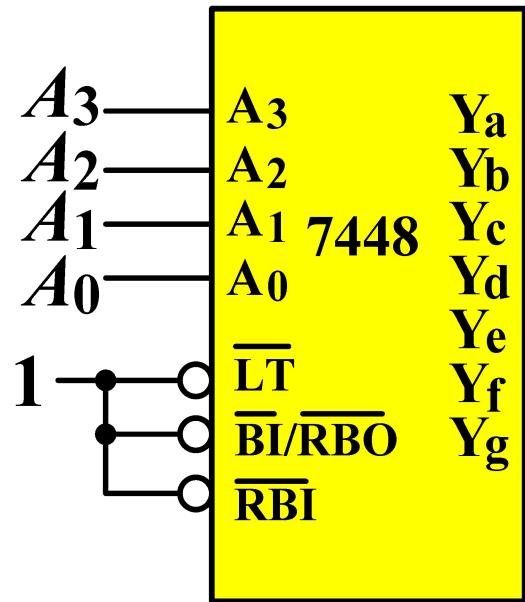


C-391E

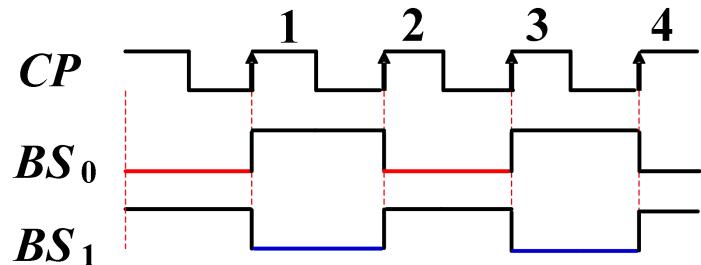


位选 BS_0, BS_1 : 依次输出低电平，分别接数码管的公共端

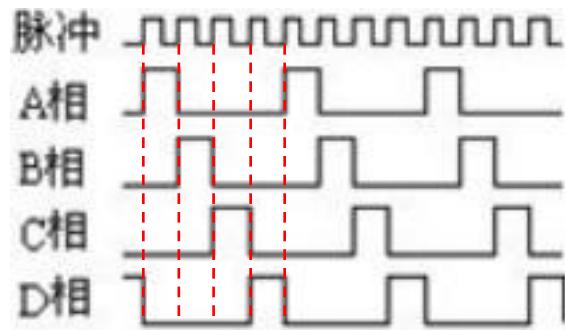
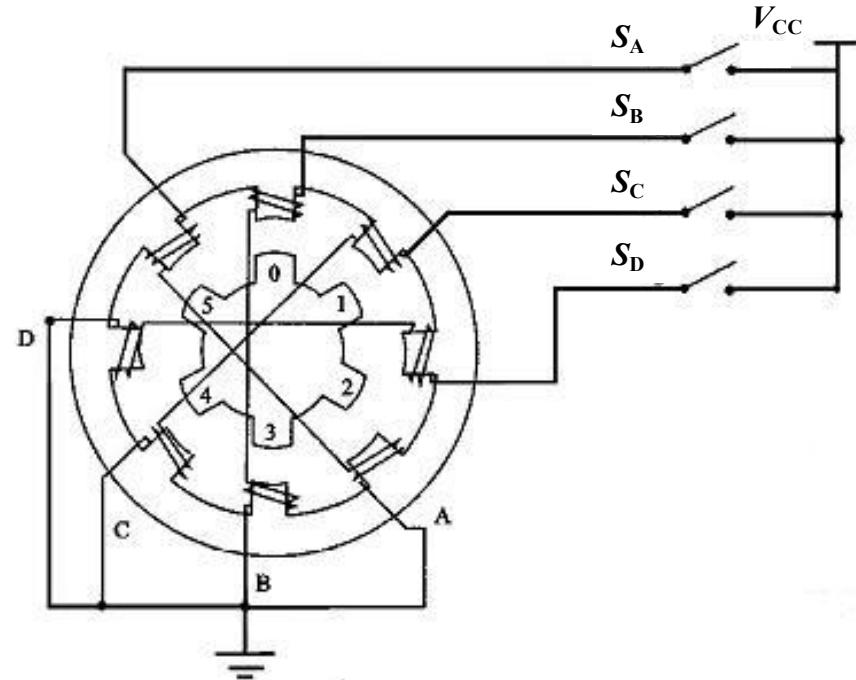
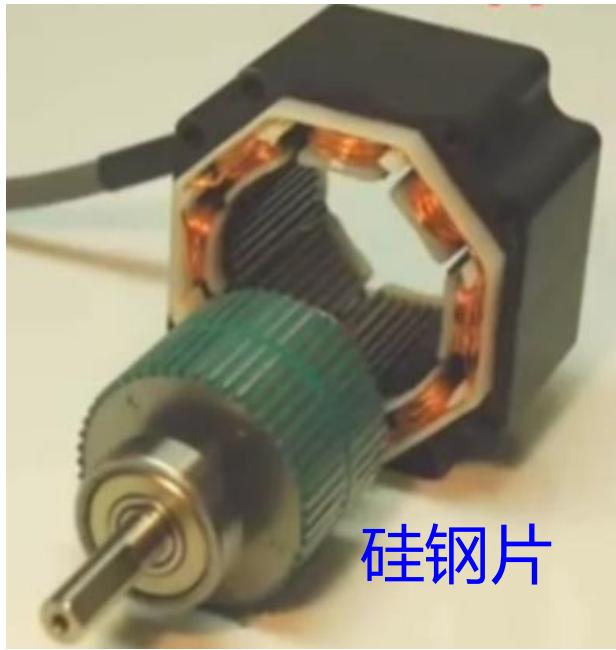
段选 $Y_a \sim Y_g = 0110000$ 接数码管C391E



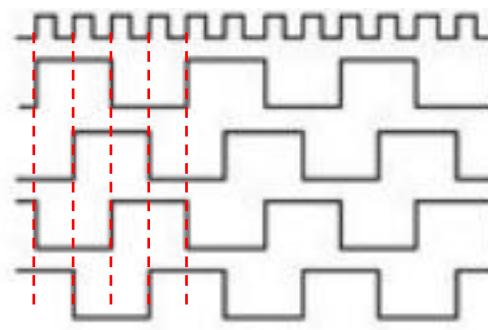
C-391E



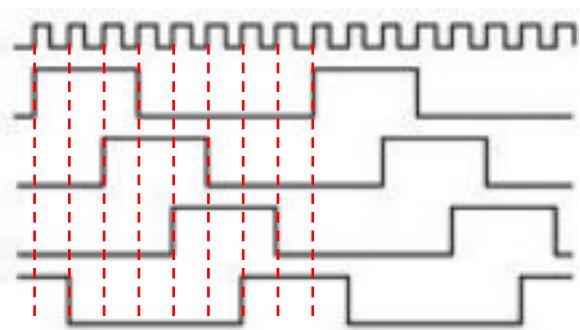
位选 BS_0, BS_1 : 依次输出低电平，分别接数码管的公共端



单四拍



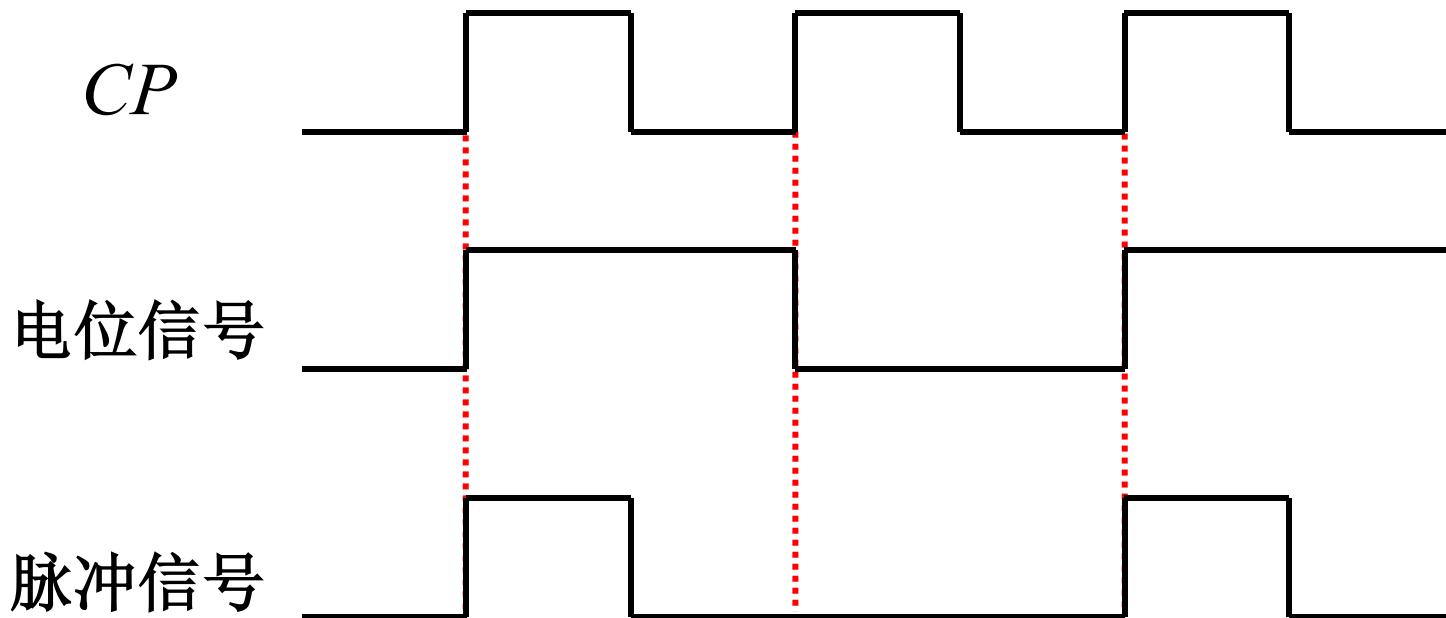
双四拍



八拍

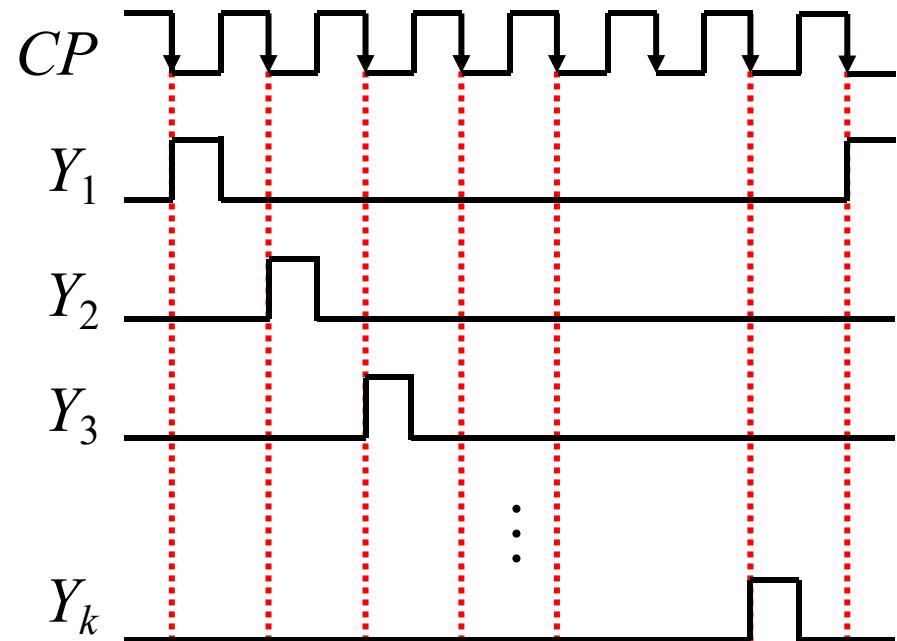
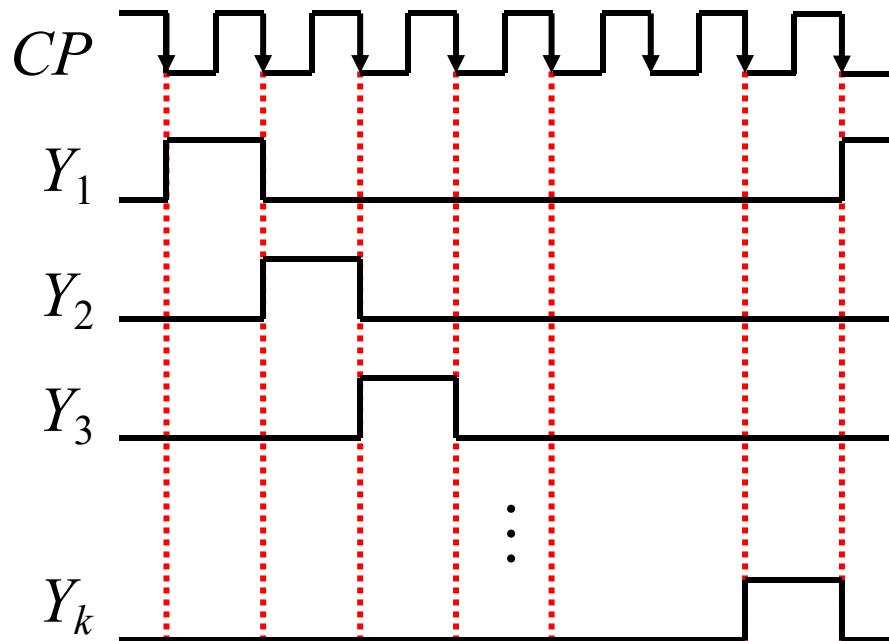
2. 顺序脉冲发生器概念及分类

(1) 概念

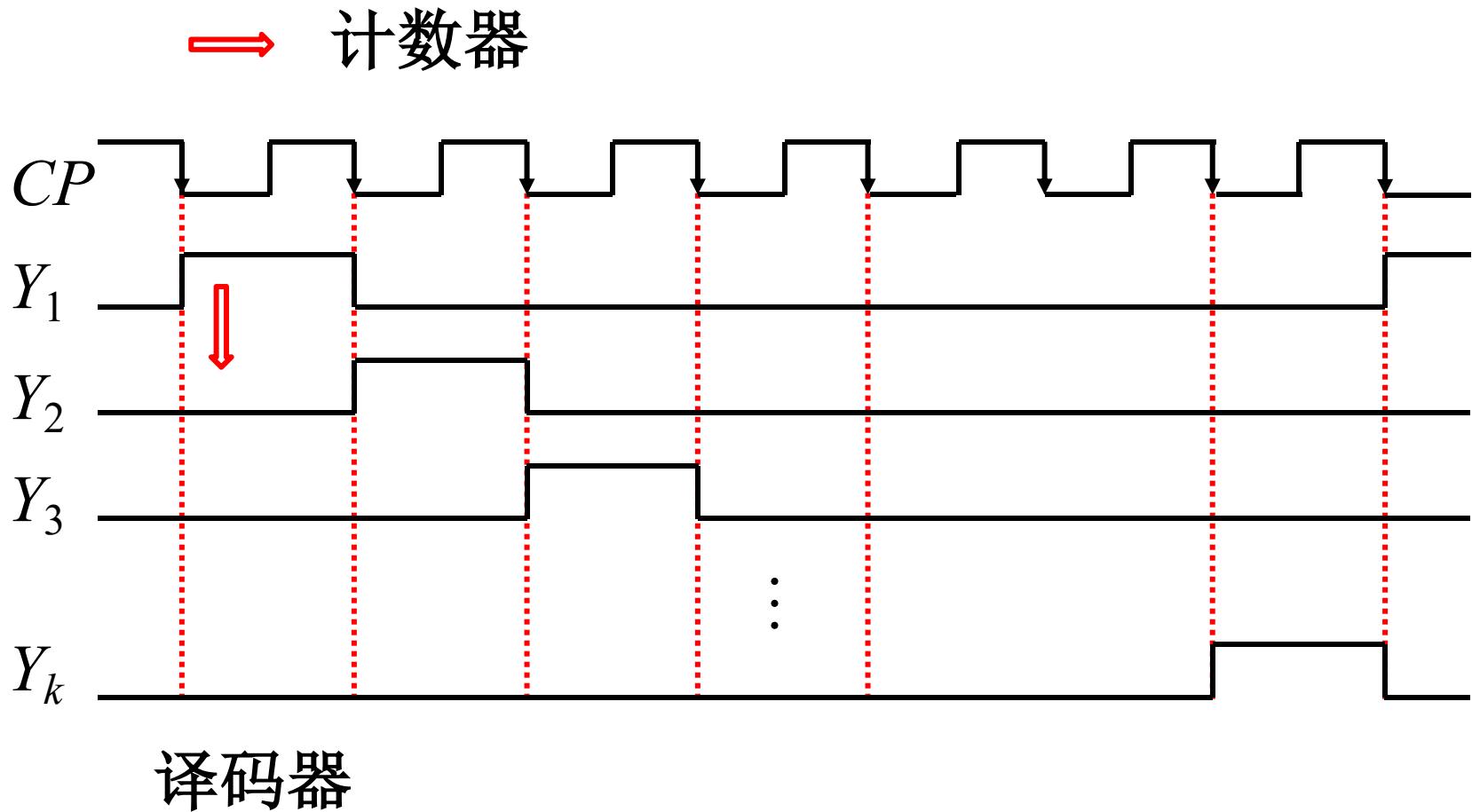


(2) 分类

- **节拍分配器**: 输出**电位信号**的顺序脉冲发生器
- **脉冲分配器**: 输出**脉冲信号**的顺序脉冲发生器



3. 顺序脉冲发生器的设计



(1) 输出端较多时：采用计数器和译码器

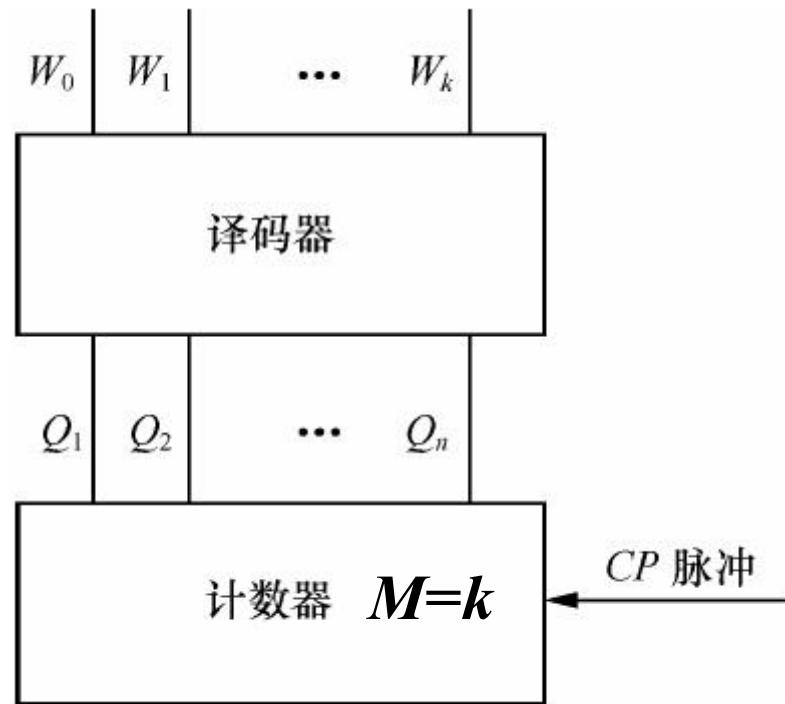
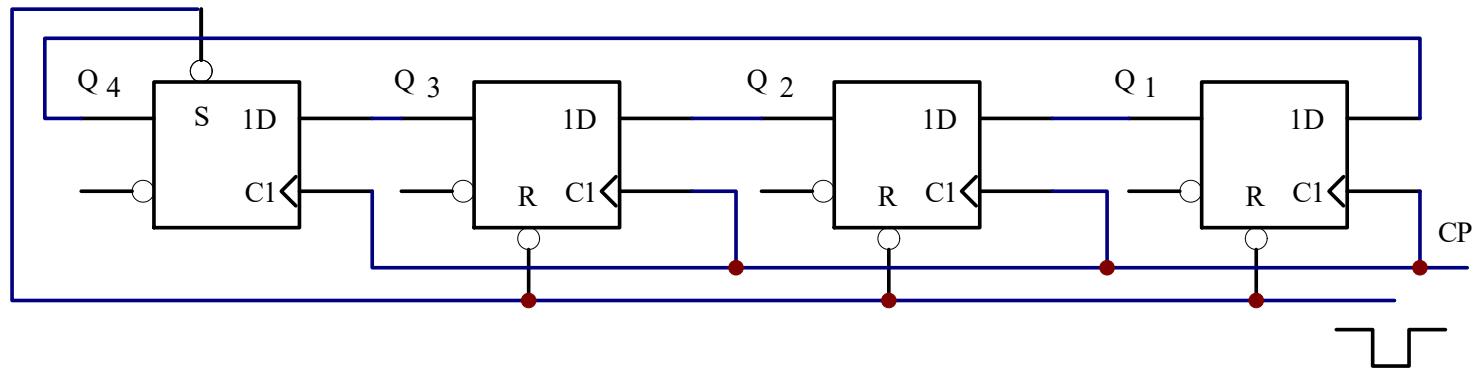


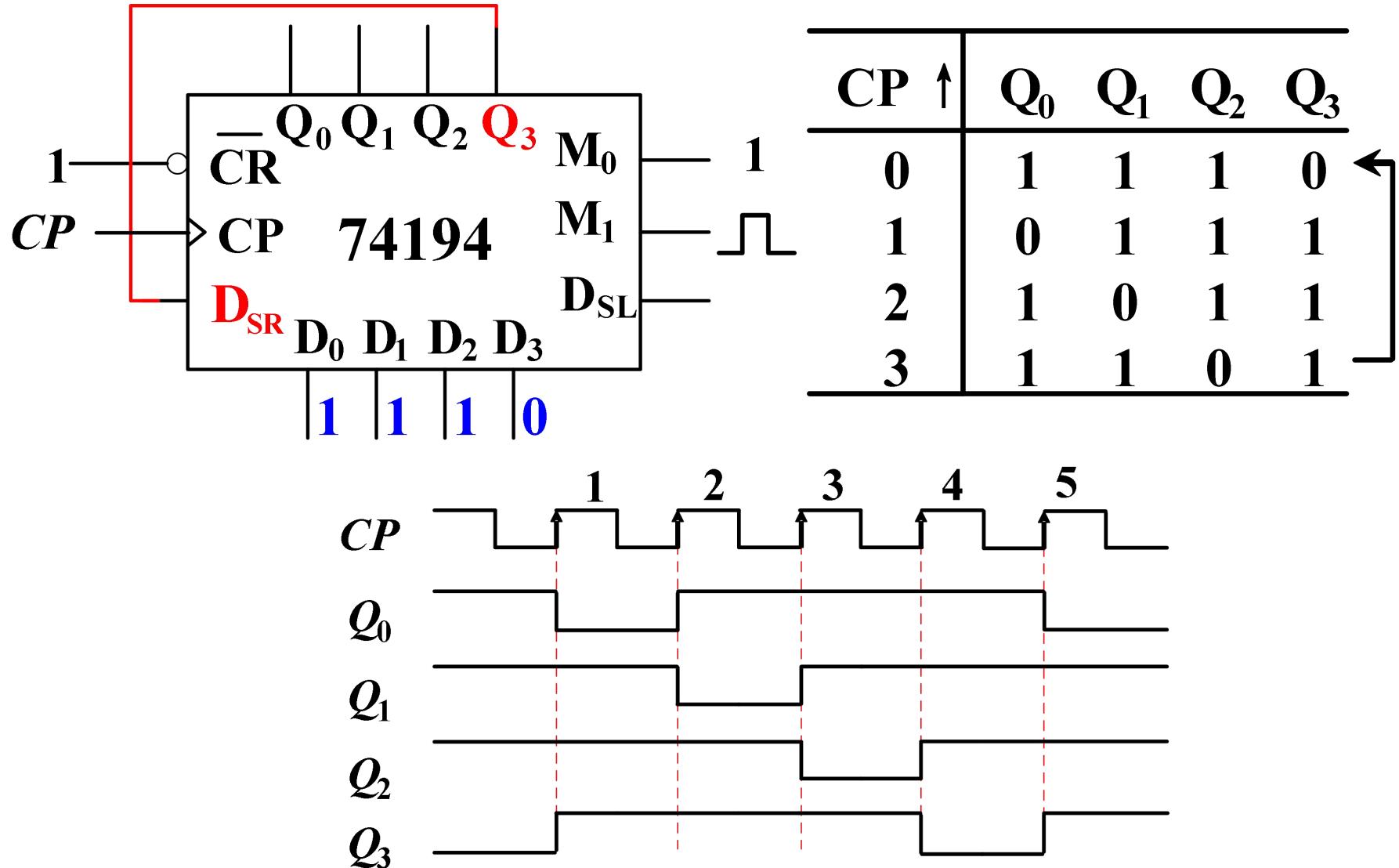
图5.5.1 顺序脉冲发生器的结构框图

(2) 输出端较少时：采用环形计数器

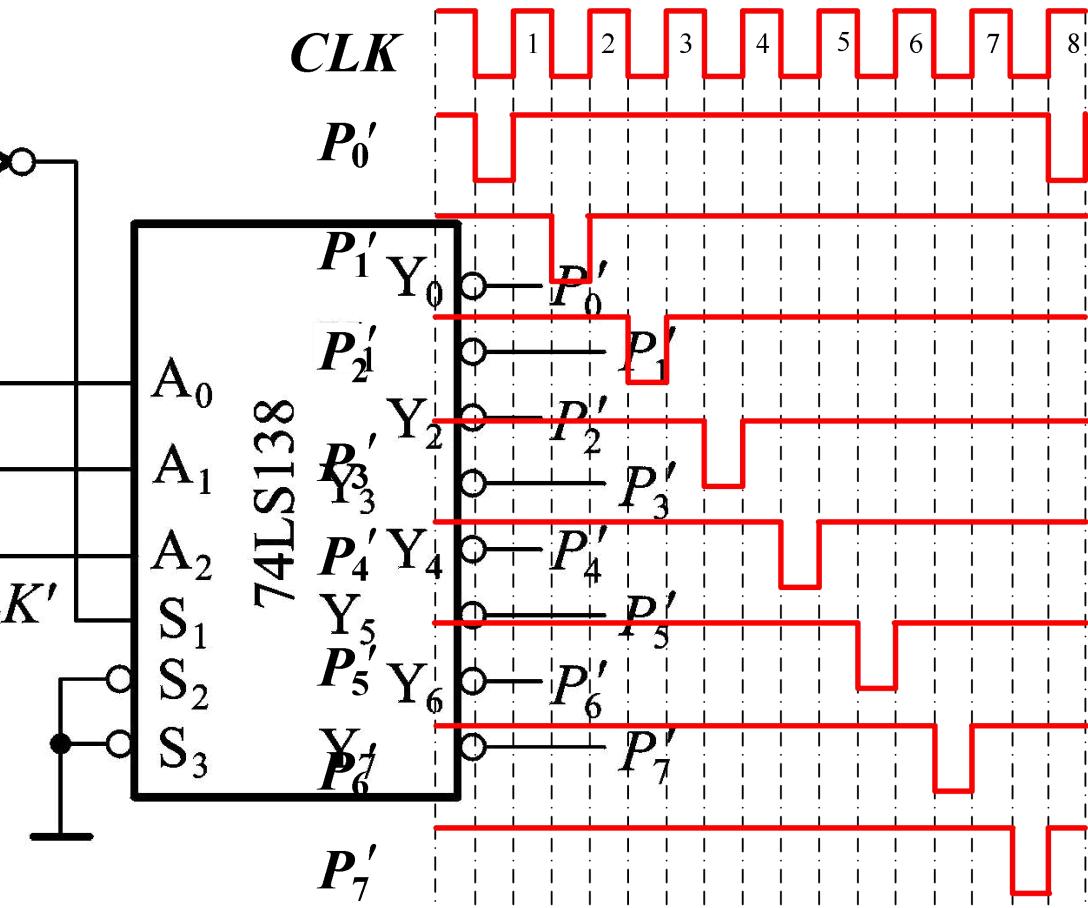
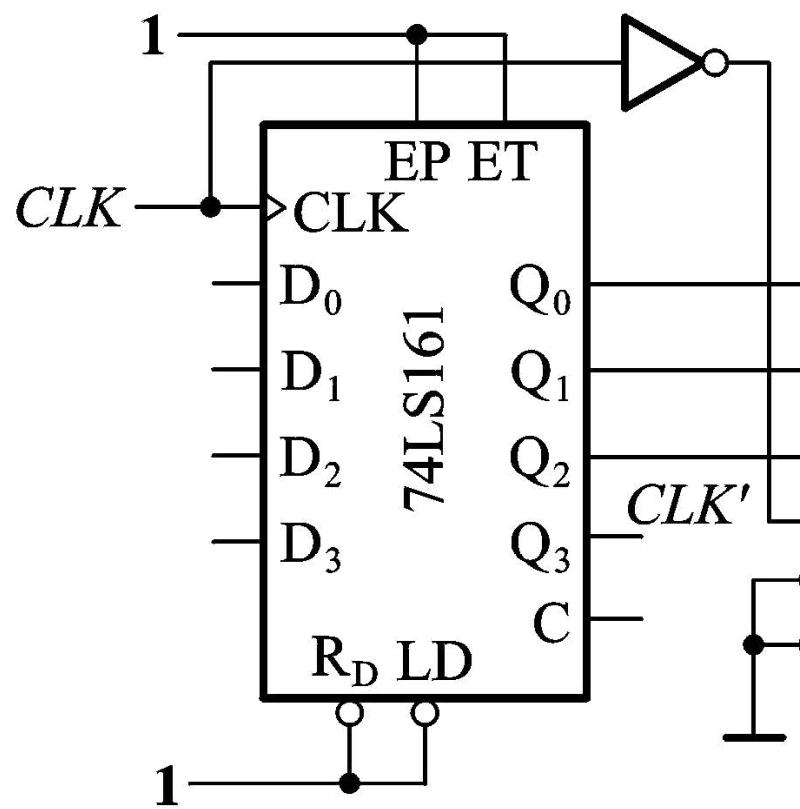


4位触发器构成的环形计数器

例1用环形计数器实现四输出节拍分配器



例2 计数器 + 译码器 实现8输出顺序脉冲发生器。



5.6 一般时序电路的分析

一、分析方法

1. 分析电路结构

- (1) 组合电路、存储电路
- (2) 输入信号 X 、输出信号 Z
- (3) 电路类型（同步、异步； Mealy、 Moore）

2. 写出四组方程

- (1)时钟方程
- (2)各触发器的激励方程
- (3)各触发器的次态方程
- (4)电路的输出方程

3. 作状态转移表或状态转移图或波形

图 电路的逻辑功能描述

例5.6.1 分析图5.6.1时序电路的逻辑功能。

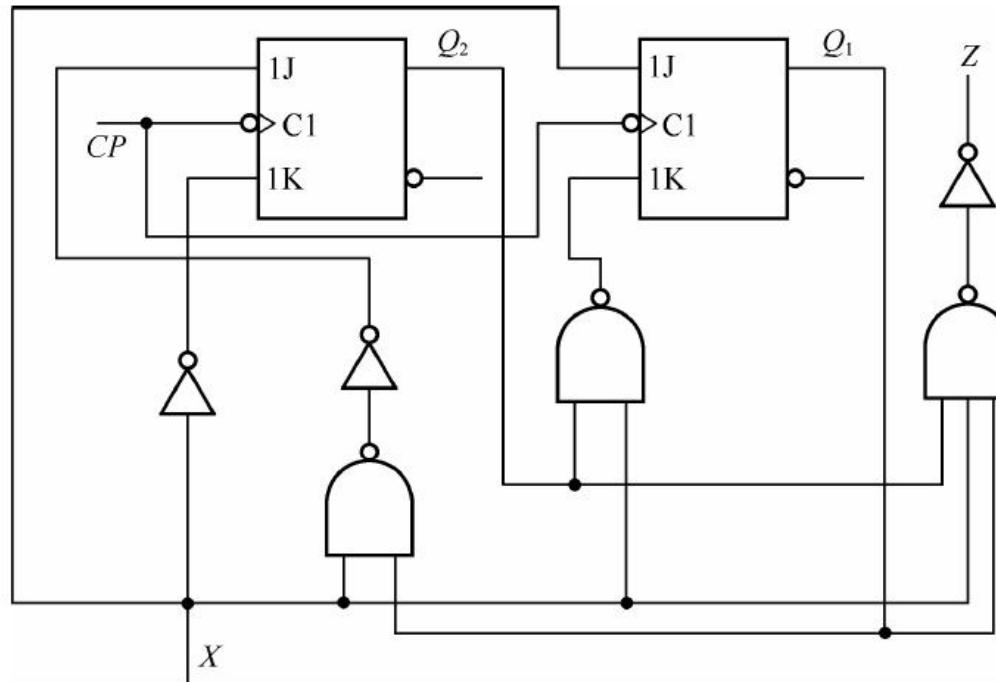


图5.6.1 例5.6.1逻辑图

解：(1) 分析电路结构

2个JKFF构成存储电路；有外部输入 X 与外部输出 Z ；属于Mealy、同步时序电路。

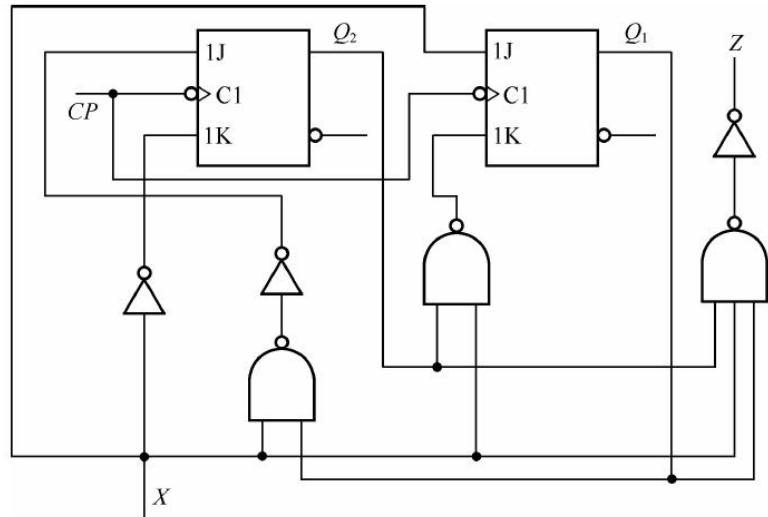
(2) 写出四组方程

①时钟方程 $CP_1 = CP_2 = CP$

②激励方程 $J_2 = XQ_1^n \quad K_2 = \bar{X} \quad J_1 = X \quad K_1 = \overline{XQ_2^n}$

③次态方程 $Q_2^{n+1} = [XQ_1^n \bar{XQ}_2^n + XQ_2^n] \cdot CP \downarrow \quad Q_1^{n+1} = [X\bar{Q}_1^n + XQ_2^n Q_1^n] \cdot CP \downarrow$

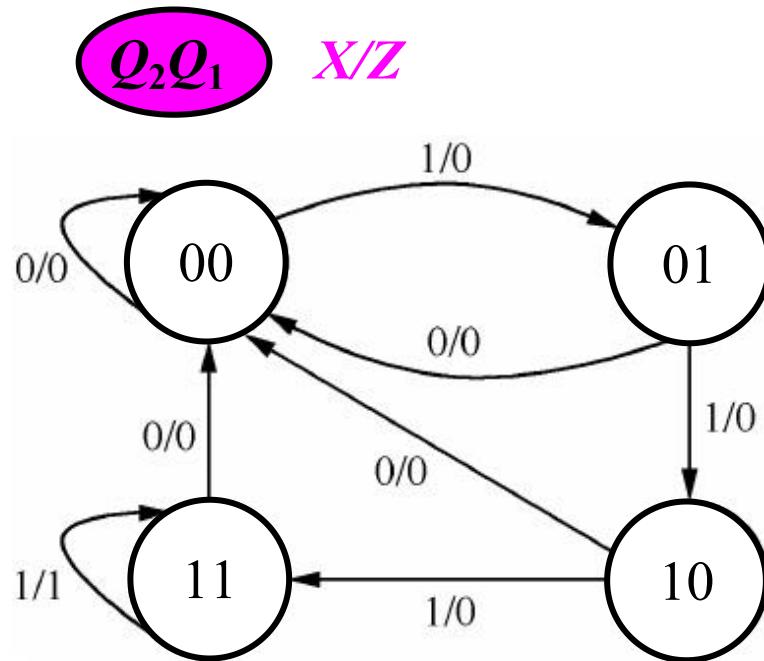
④输出方程 $Z = XQ_1^n Q_2^n$



(3) 列状态转移表、状态转移图

列状态转移表时，先列草表，再从初态(预置状态或全零状态)按状态转移的顺序整理。

X	Q_2^n	Q_1^n	Q_2^{n+1}	Q_1^{n+1}	Z
0	0	0	0	0	0
0	0	1	0	0	0
0	1	0	0	0	0
0	1	1	0	0	0
1	0	0	0	1	0
1	0	1	1	0	0
1	1	0	1	1	0
1	1	1	1	1	1



(4) 电路的逻辑功能描述

连续4个或4个以上1的序列信号检测电路

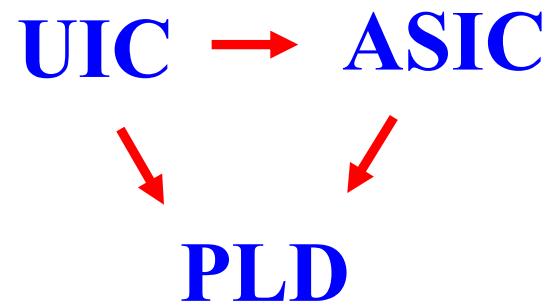
作业题

5.29

第6章 可编程逻辑器件

6.1 PLD概述

一、概念



UIC: Universal Integrated Circuit

ASIC: Application Specific Integrated Circuit;

PLD: Programmable Logic Device;



EDA:Electronic Design Automation;

主要包括以下技术

CAD:Computer Aided Design

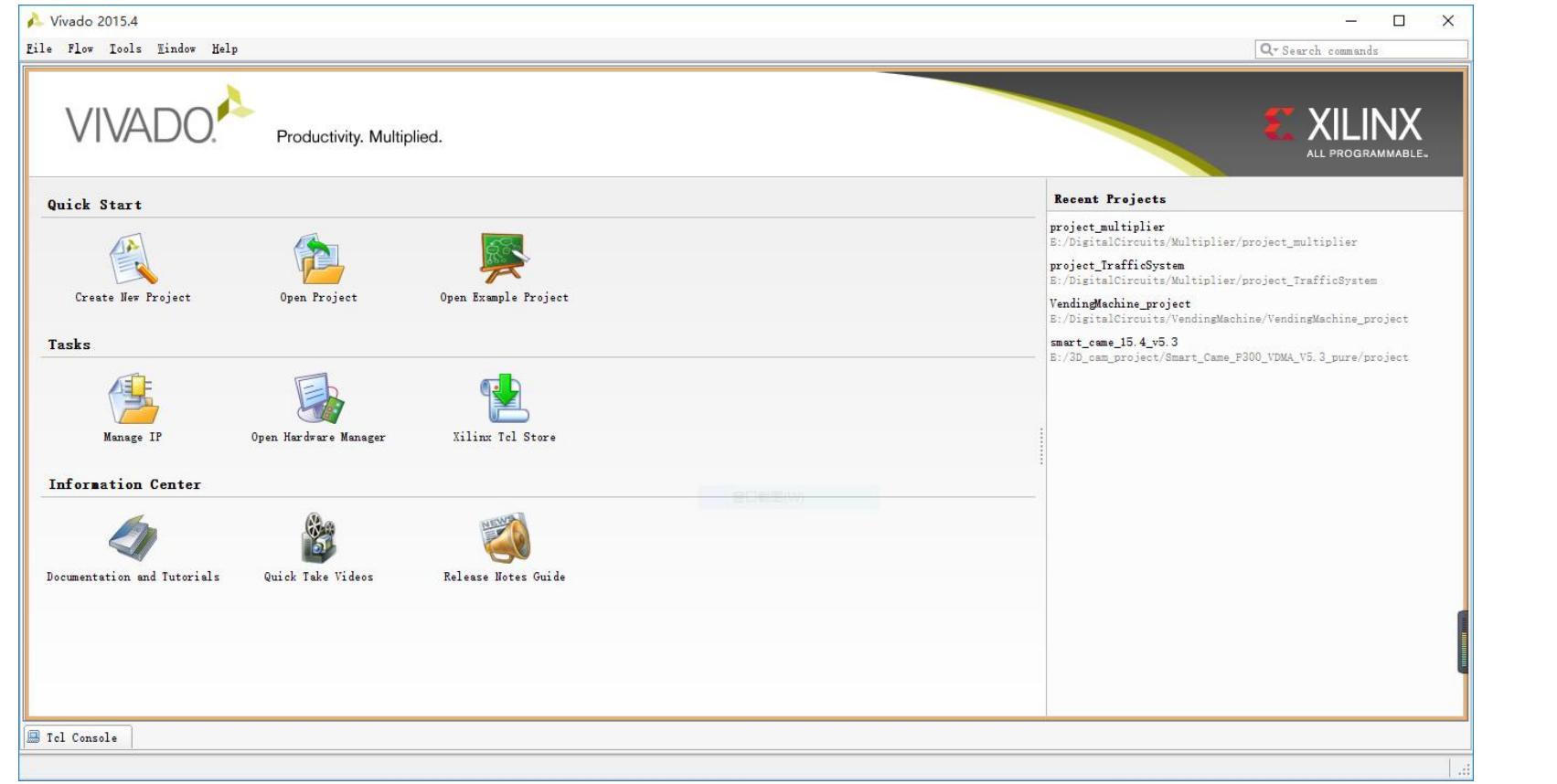
CAA:Computer Aided Analysis

CAT:Computer Aided Test

二、开发环境

1. PLD开发软件

Intel → Quartus Prime
Lattice → Diamond
Xilinx → Vivado



2. PLD开发硬件

- 编程器（编程电缆）

- PC机（或工作站）

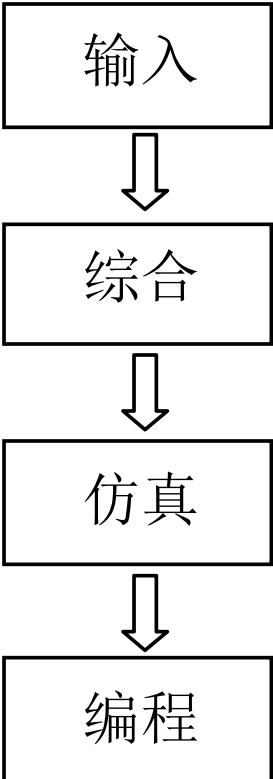


SuperPro Z编程器的外观



xilinx platform cable usb下载线缆

三、开发过程



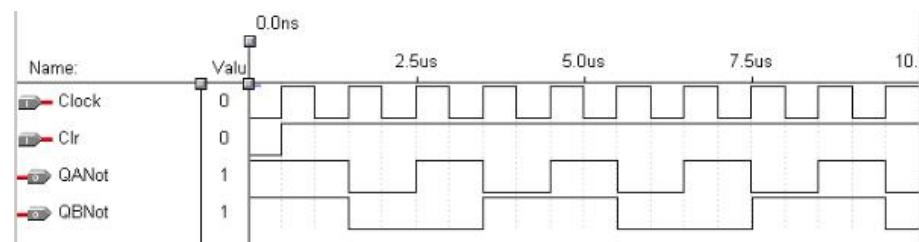
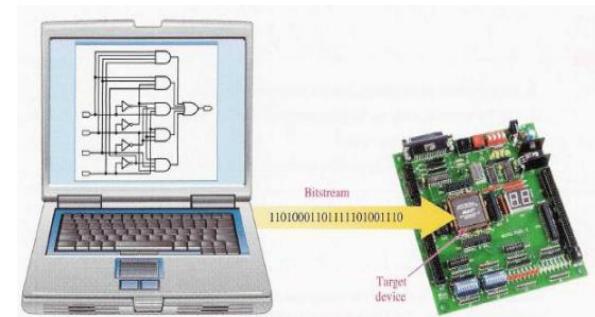
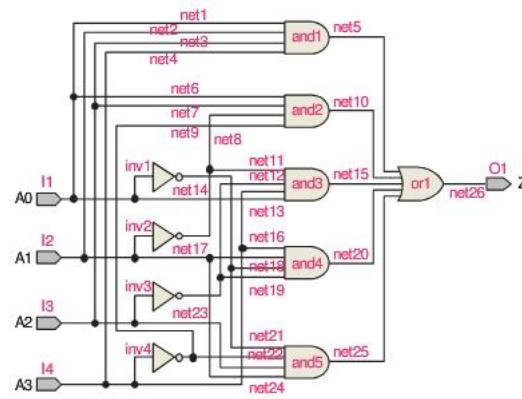
Entry

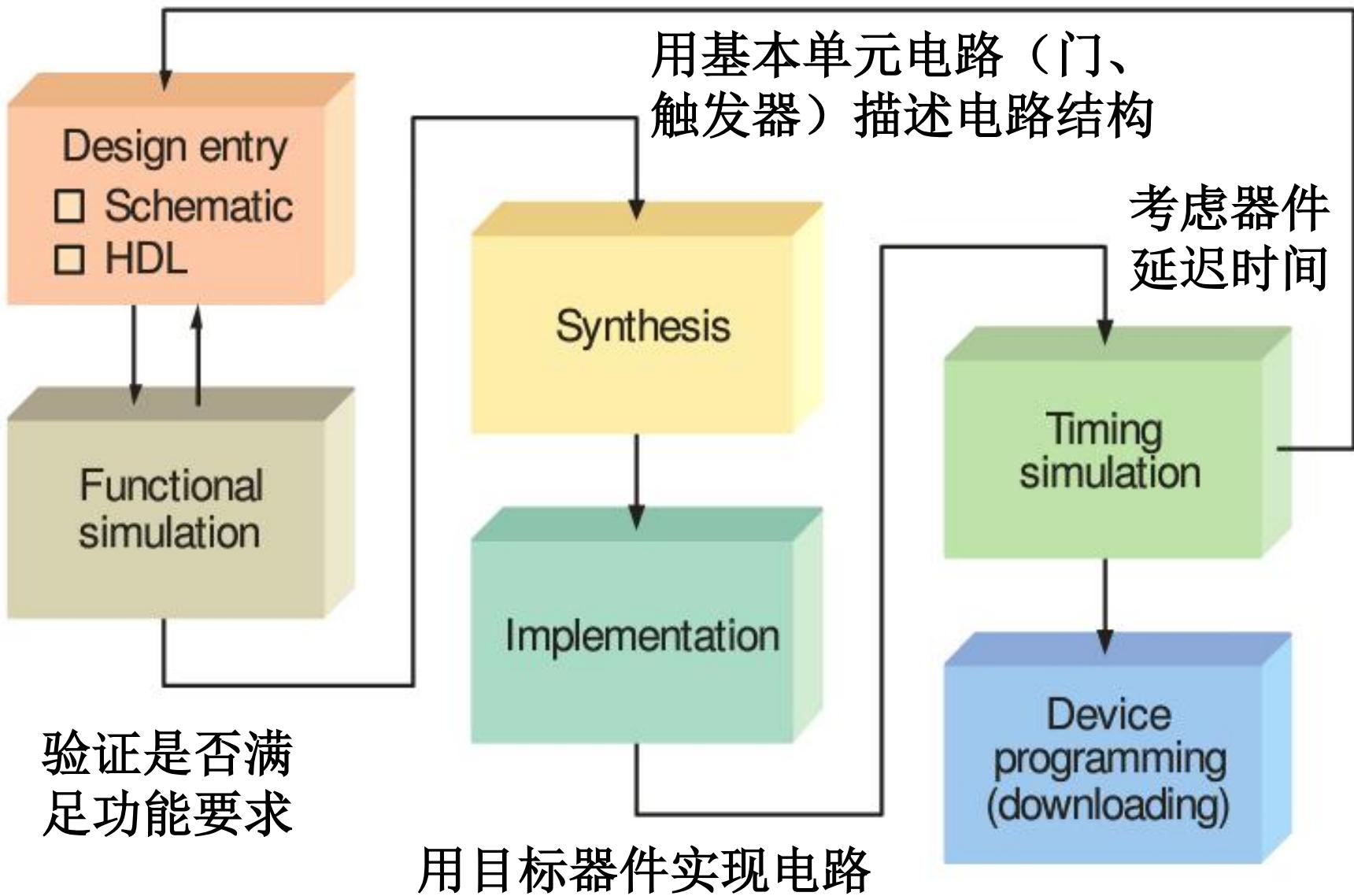
Synthesis

Simulation

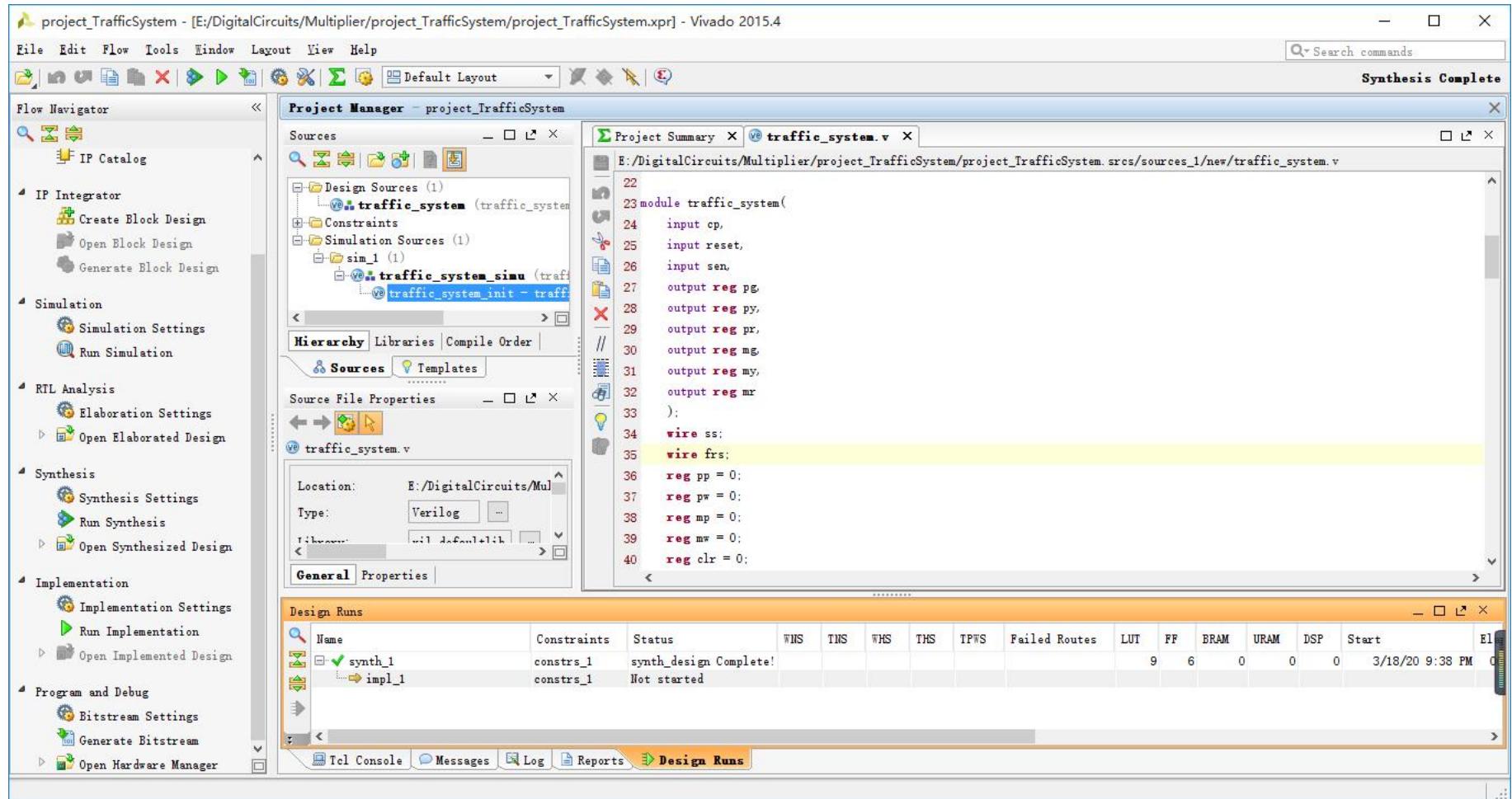
Programming

```
module Sequential_Binary_Multiplier (Product, Ready, Multiplicand, Multiplier, Start, clock, reset_b);
// Default configuration: five-bit datapath
parameter
output          [2*dp_width -1: 0]
output          [dp_width -1: 0]
input           [dp_width -1: 0]
input           [dp_width -1: 0]
dp_width = 5;      // Set to width of datapath
Product;
Ready;
Multiplicand, Multiplier;
Start, clock, reset_b;
```

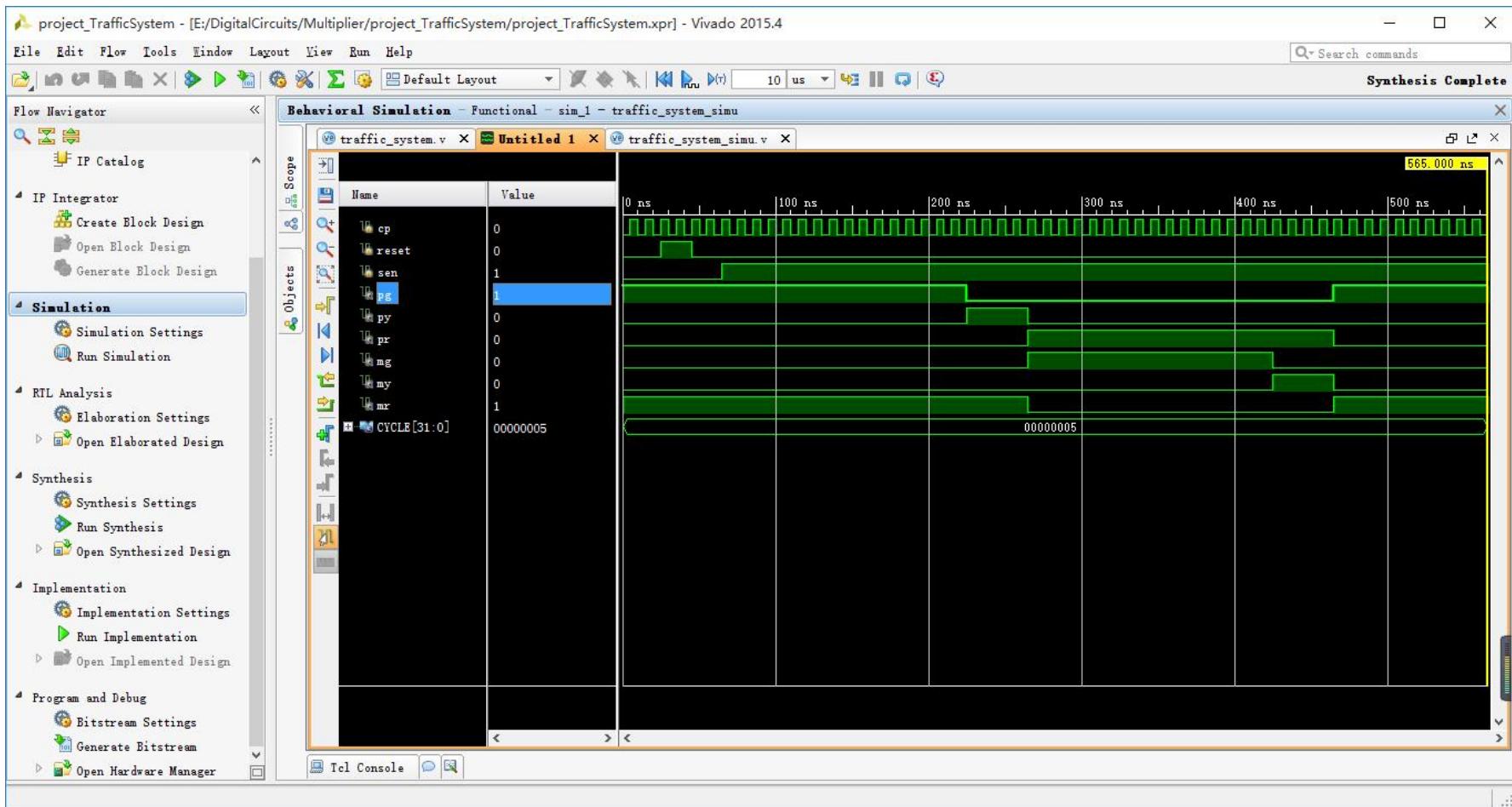




1、设计输入

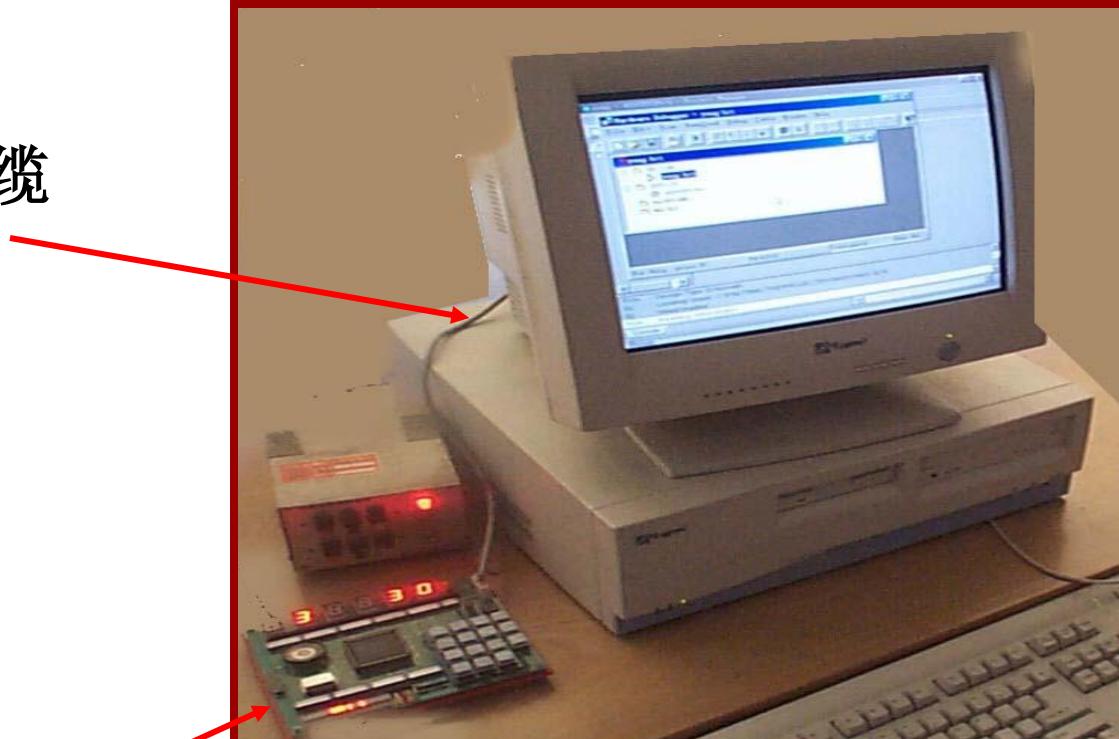


2、仿真界面

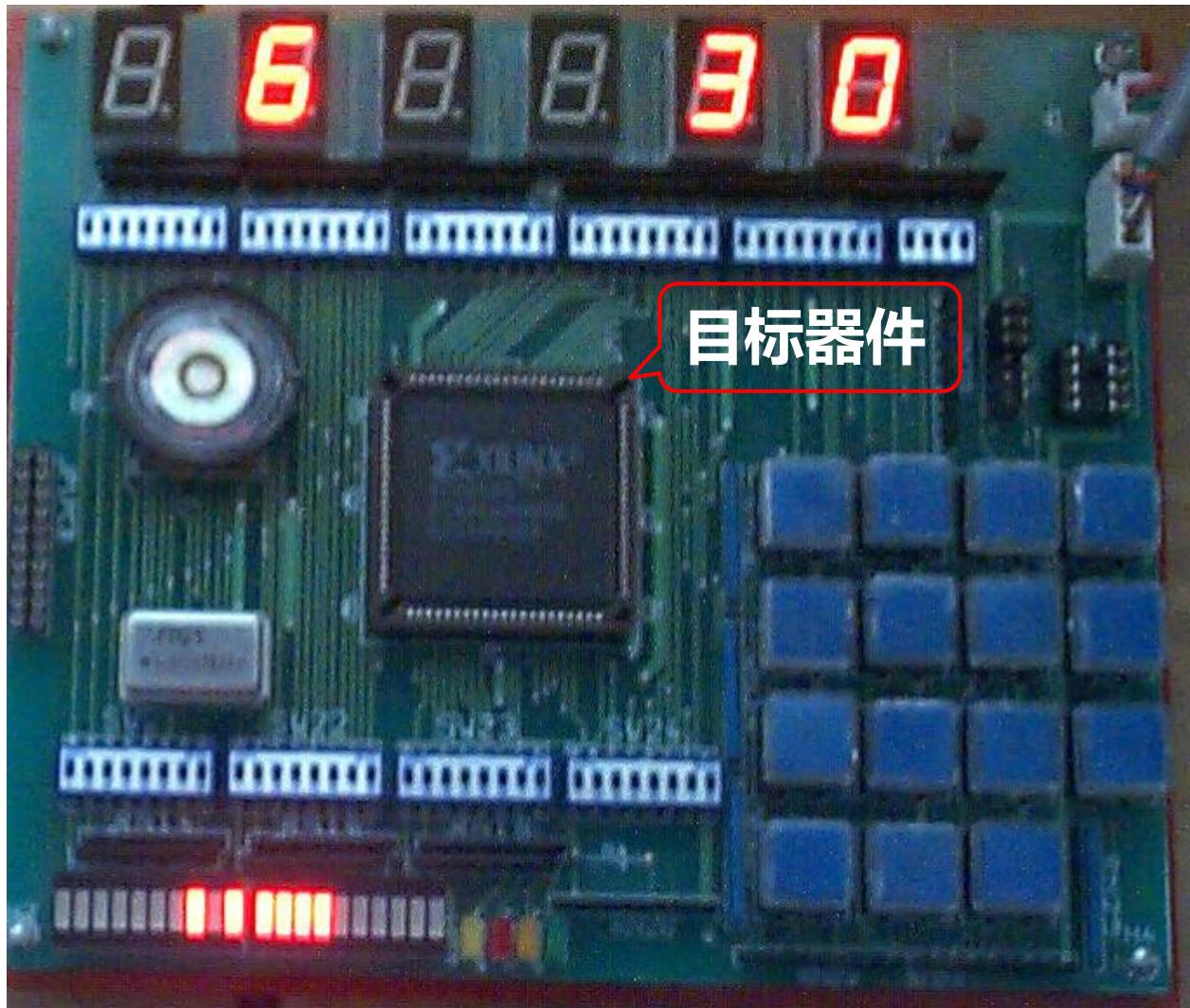


3、编程（下载）

下载电缆



试验板



开发完成，系统独立运行

6.1.1 PLD的表示方法

一、缓冲电路

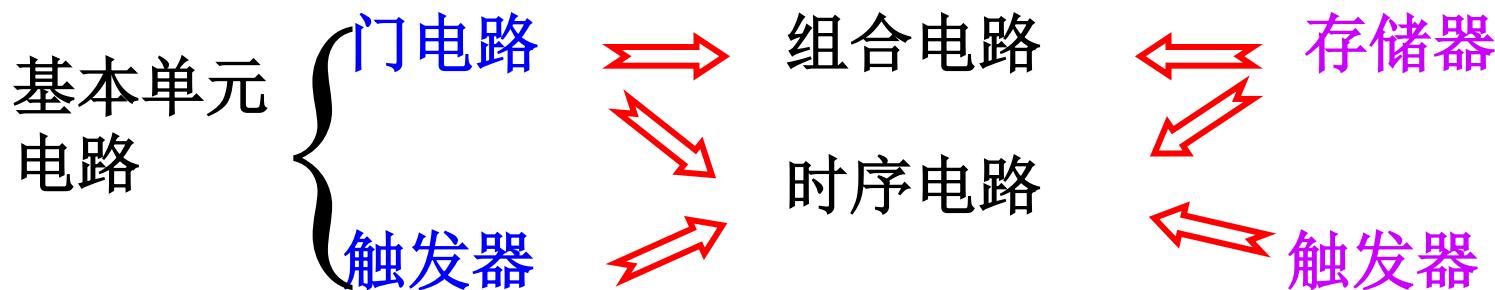
二、导线连接

三、与门、或门

四、多路选择器

6.1.2 PLD的基本结构

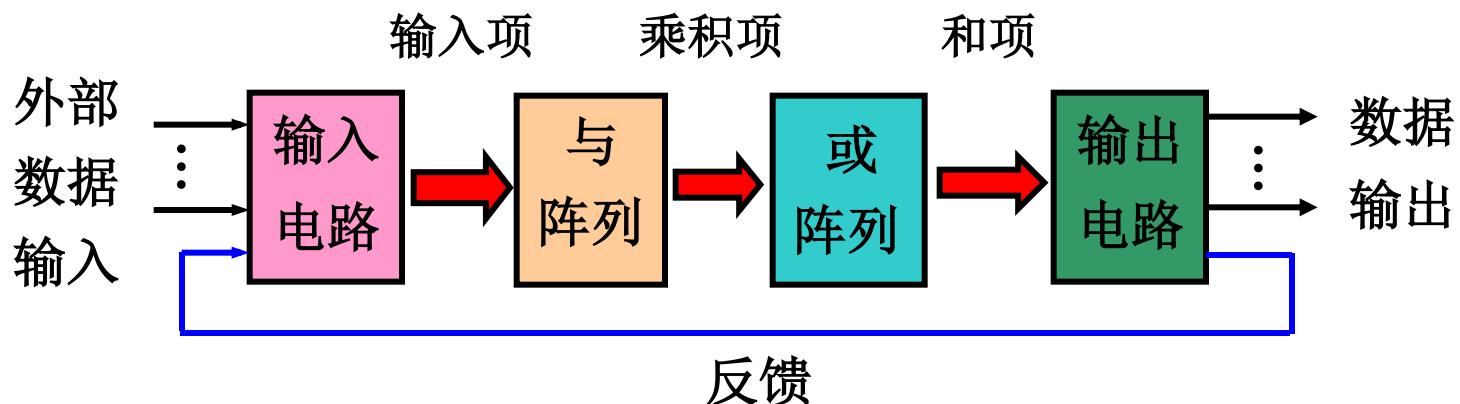
一、PLD实现各种逻辑功能的依据



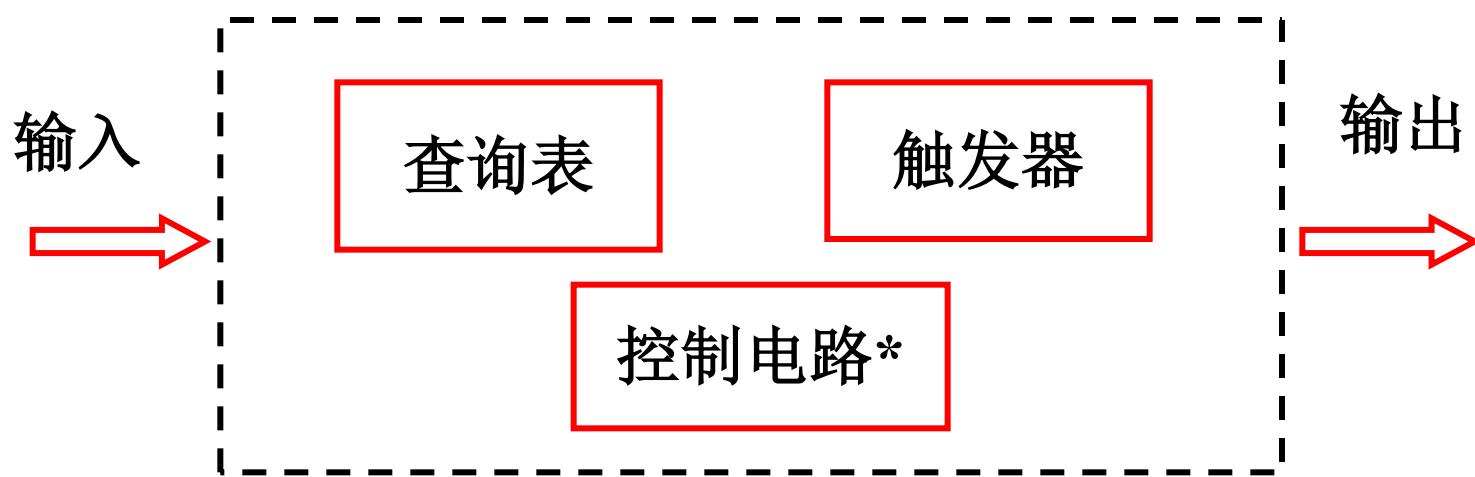
- PLD内包含门和触发器
- PLD内包含存储器和触发器

A	B	F
0	0	0
0	1	1
1	0	1
1	1	0

二、基于与—或阵列结构的PLD

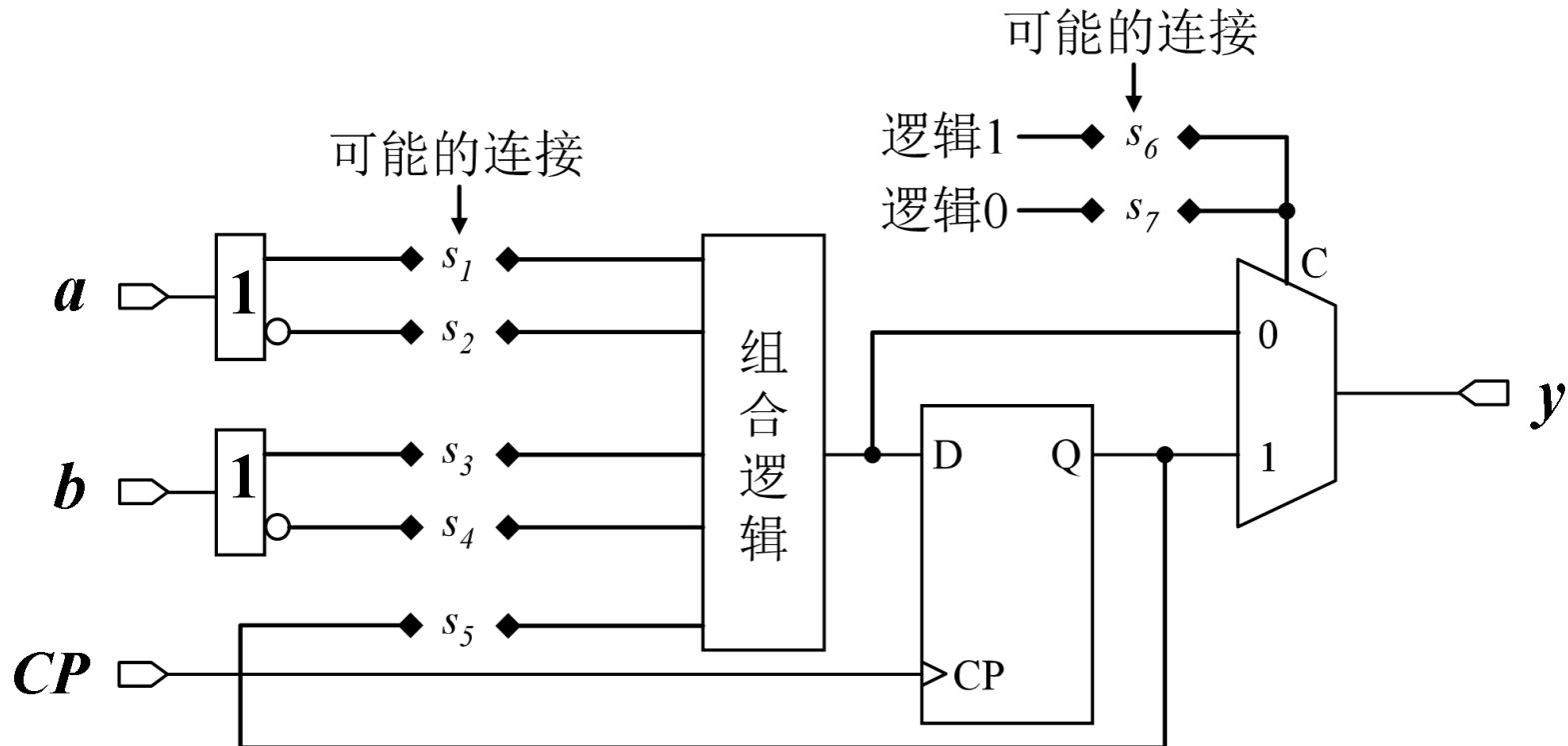


三、基于查询表结构的PLD



控制触发器的触发方式、激励信号等

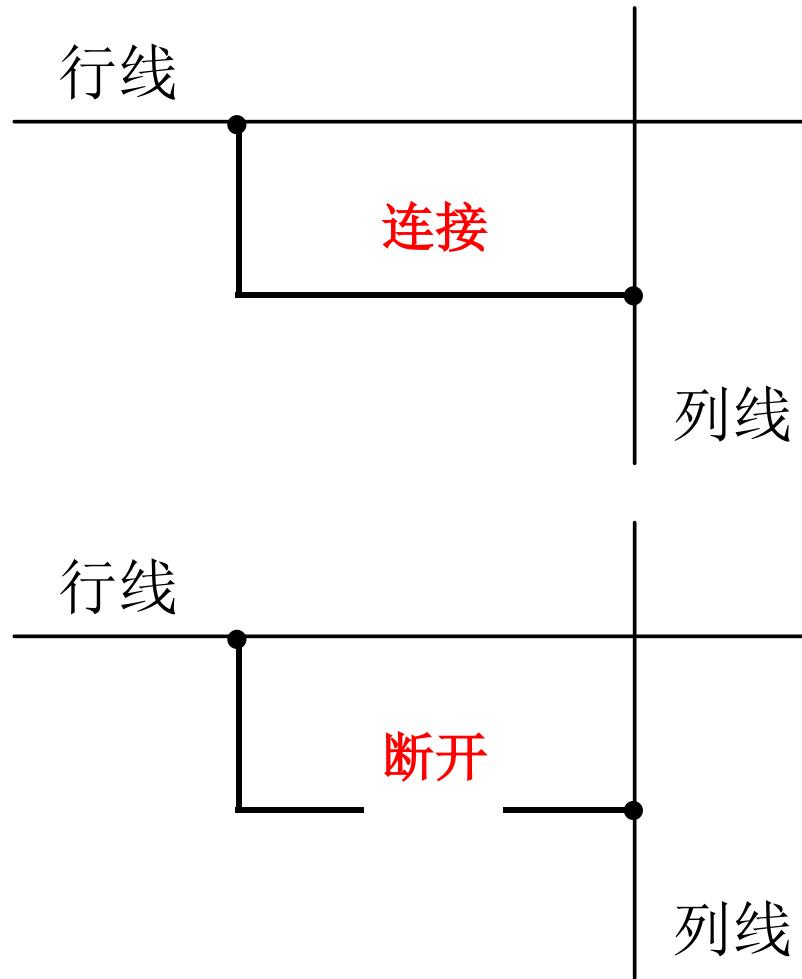
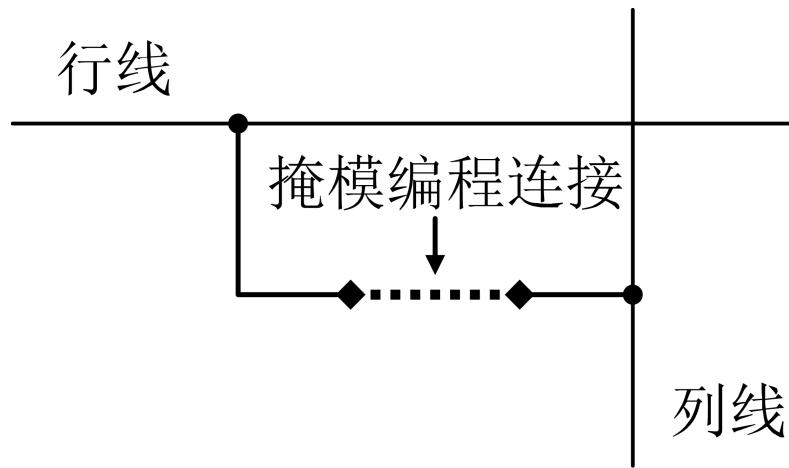
四、可编程功能的实现



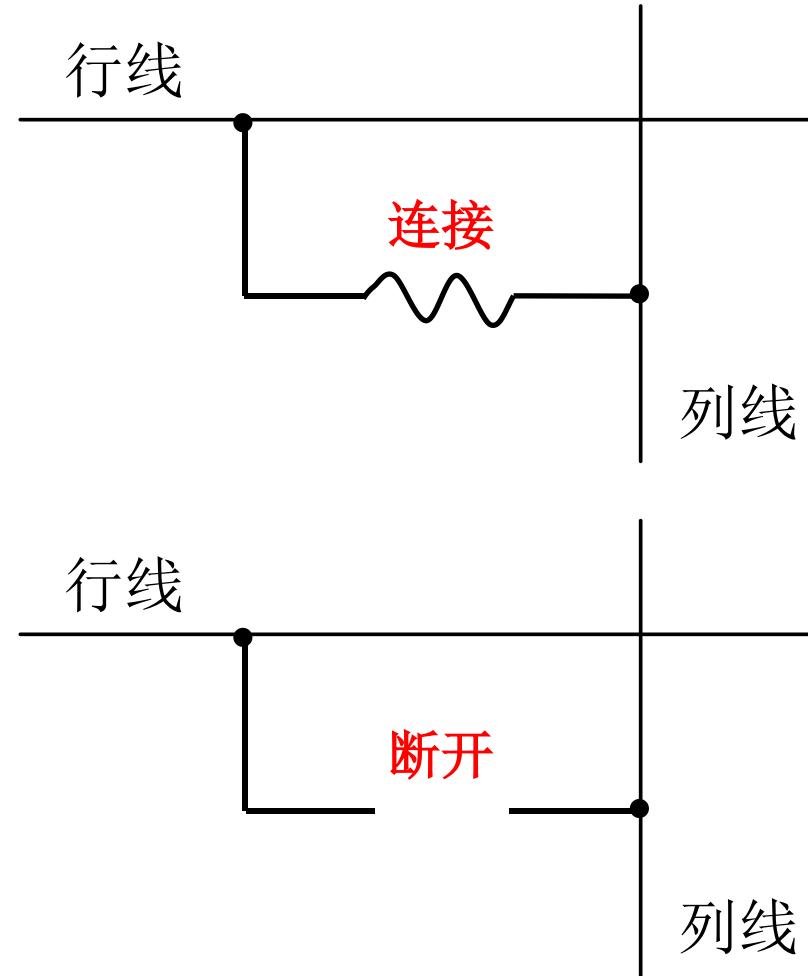
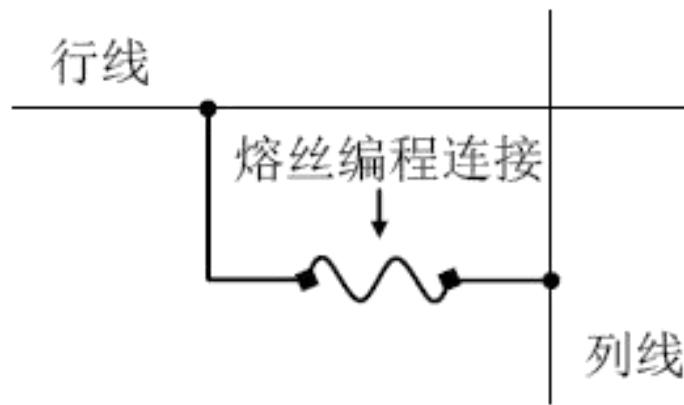
一个简单的可编程模块

6.1.3 PLD的制造工艺*¹⁶⁻²¹

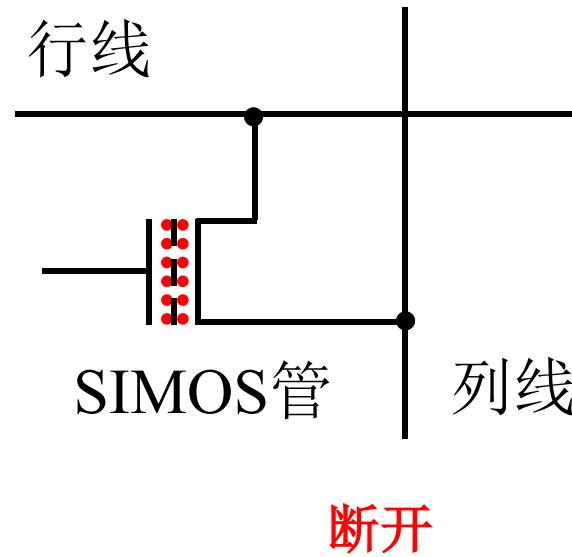
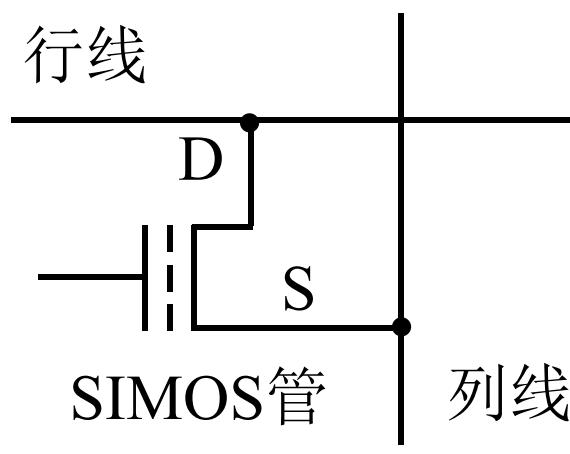
1. 基于掩模技术的PLD



2. 基于熔丝（或反熔丝）技术的PLD



3.紫外线可擦除的PLD

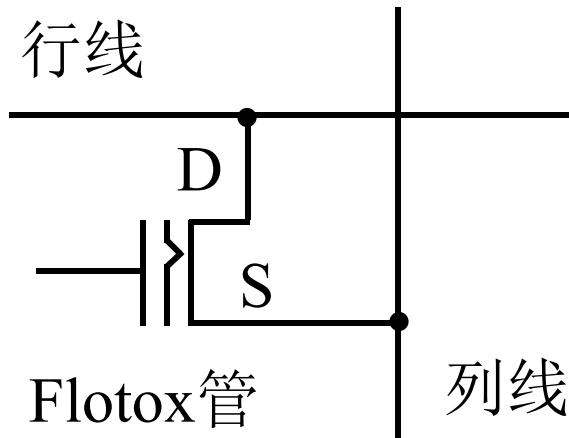


Stacked-gate Injection MOS

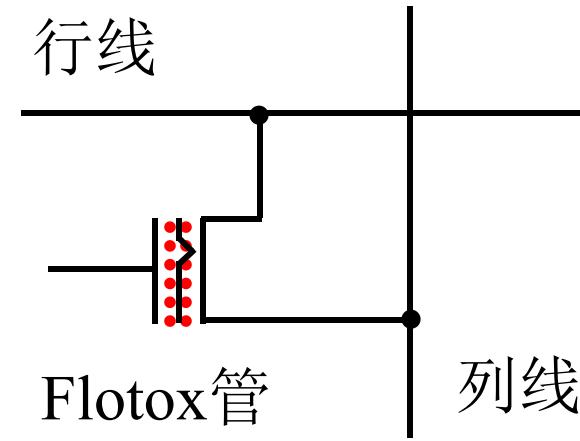
写入：利用高压捕获电子； 擦除： 紫外线。

20min ； 几十次

4. 电可擦除的PLD



连接



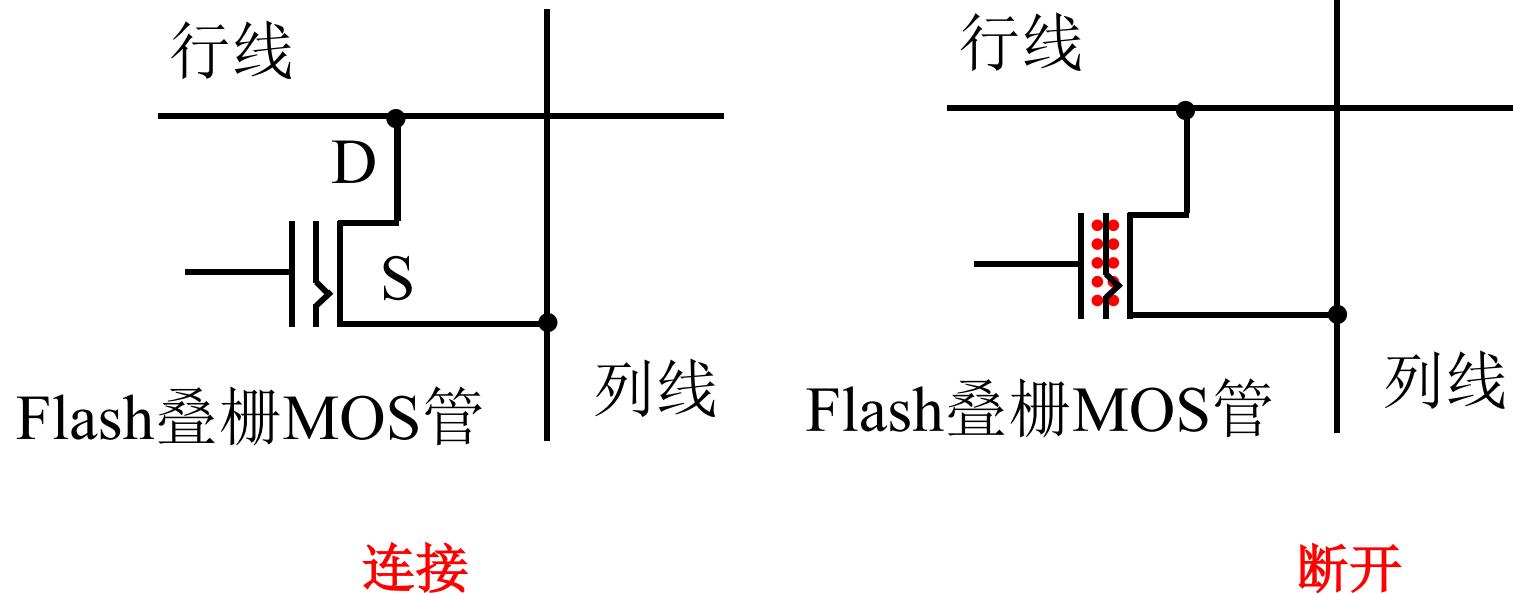
断开

Floating Gate Tunnel Oxide

写入、擦除：隧道效应。

10ms；上千次。

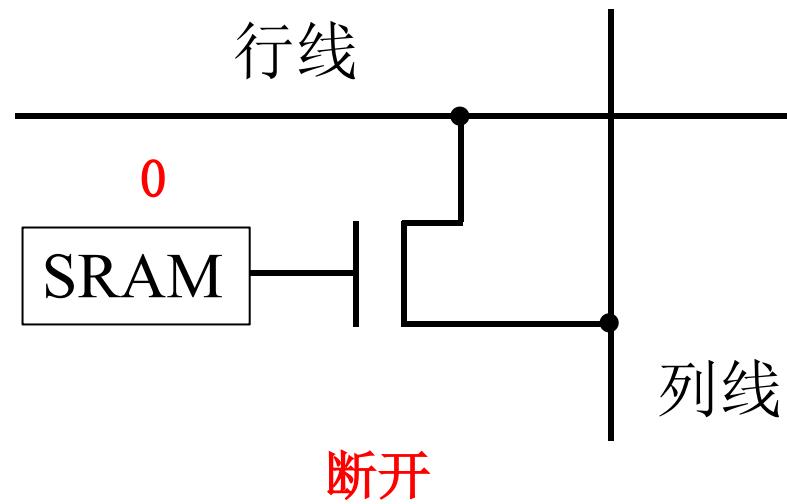
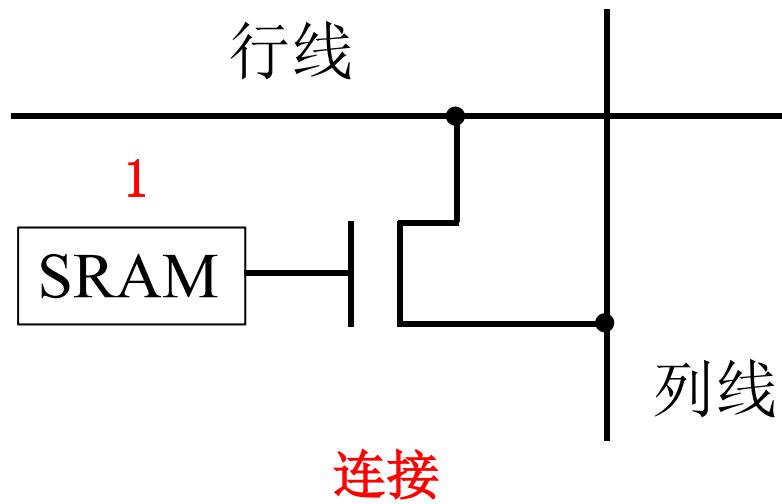
5. 基于Flash技术的PLD



写入时利用高压捕获电子；

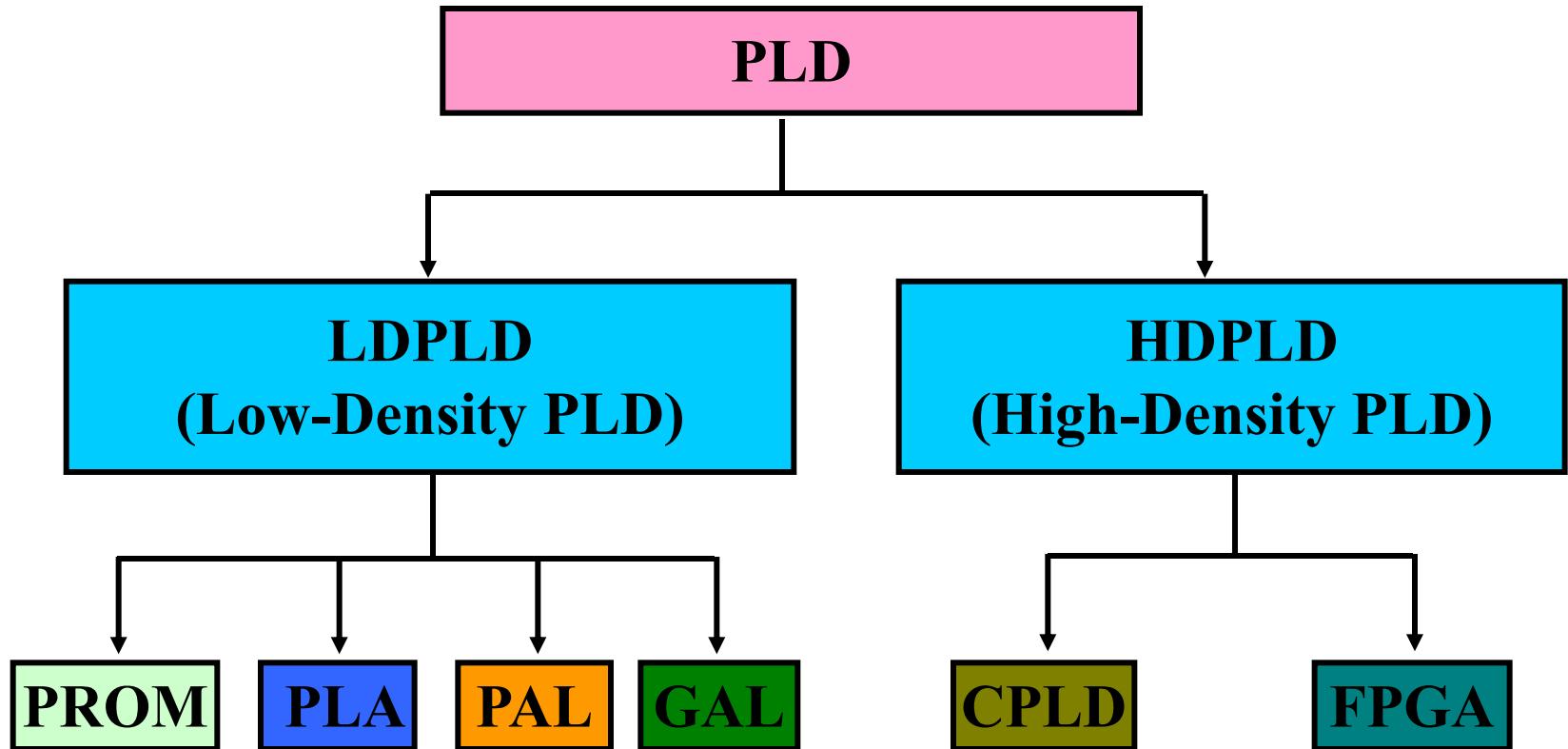
擦除时利用隧道效应。

6. 基于SRAM技术的PLD



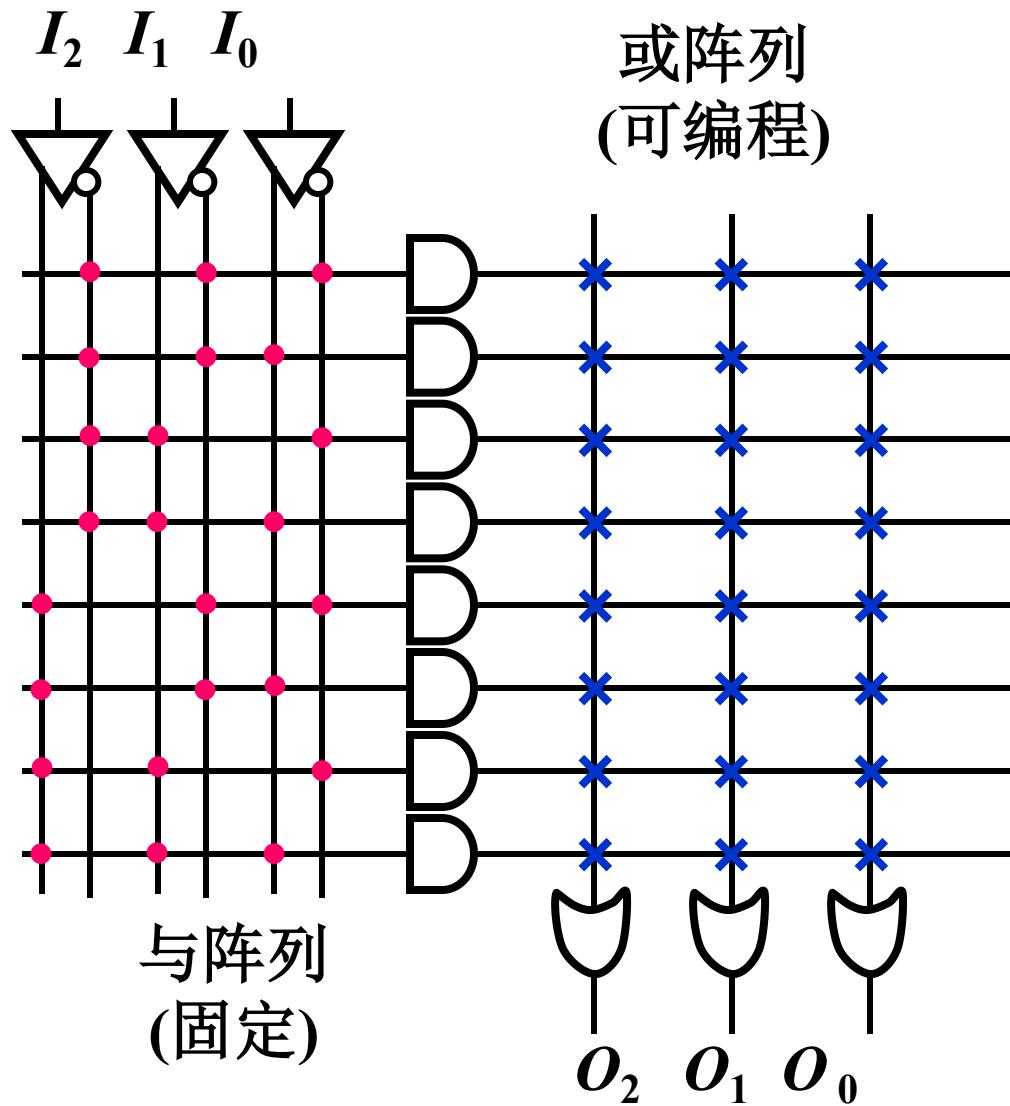
6.1.4 PLD的分类

一、按集成度分类



1) PROM

— Programmable ROM



20世纪70年代初。

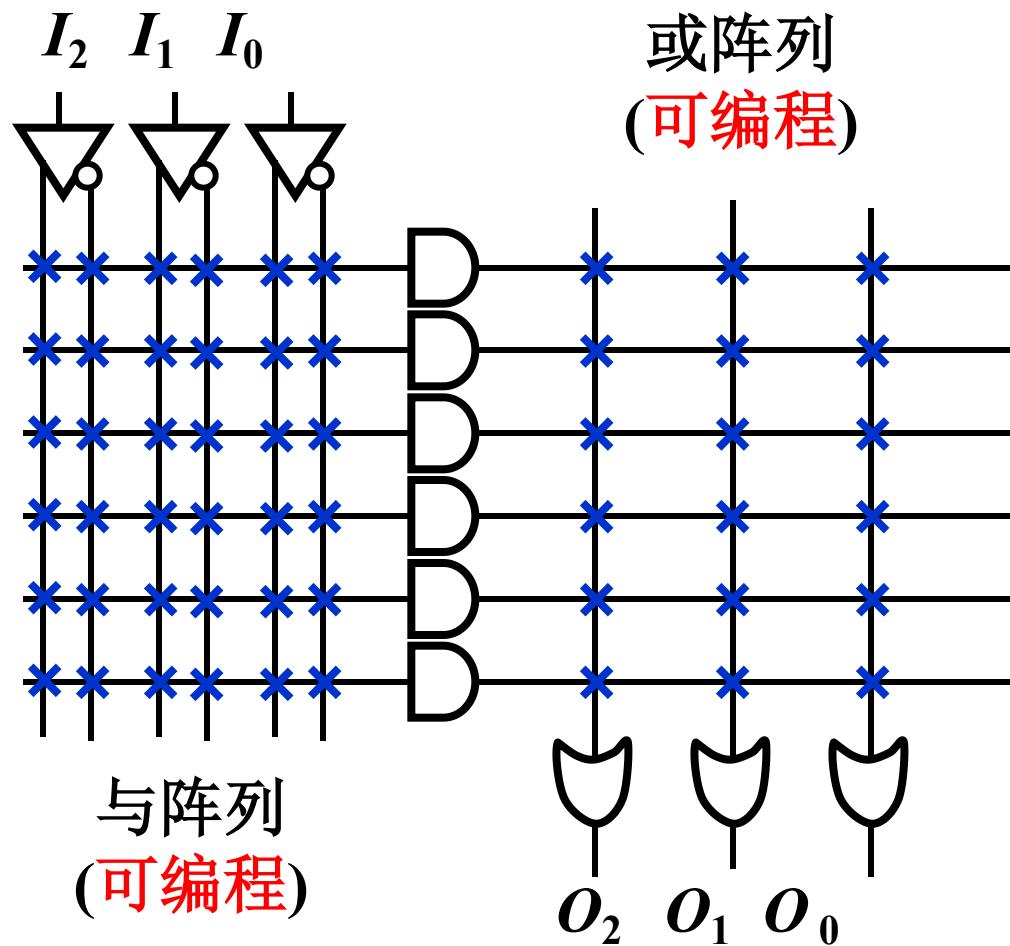
缺点:

- 只能实现标准与或式
- 芯片面积大
- 利用率低, 不经济

用途:

- 存储器
- 函数表
- 显示译码电路

2) PLA — Programmable Logic Array



20世纪 70年代初。

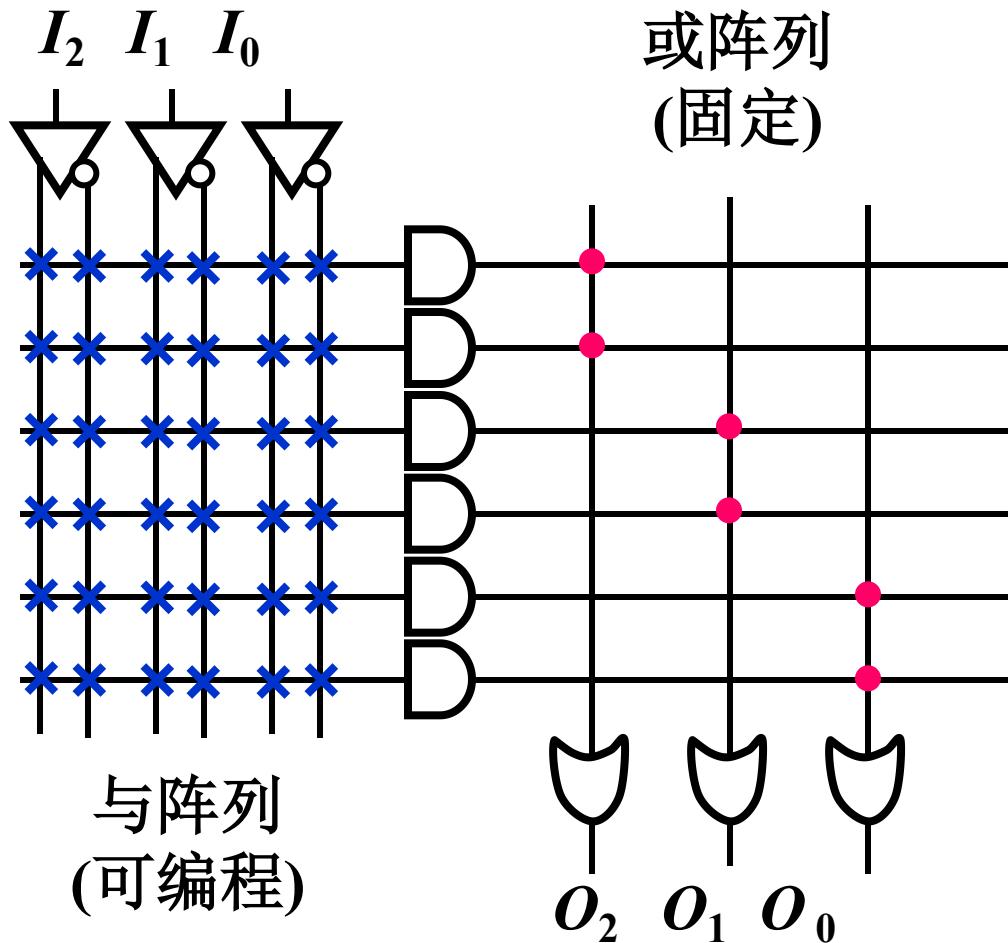
优点：

- 与阵列或阵列都可编程
- 能实现最简与或式

缺点：

- 价格较高
- 资源利用率不高

3) PAL — Programmable Array Logic



20世纪70年代末。

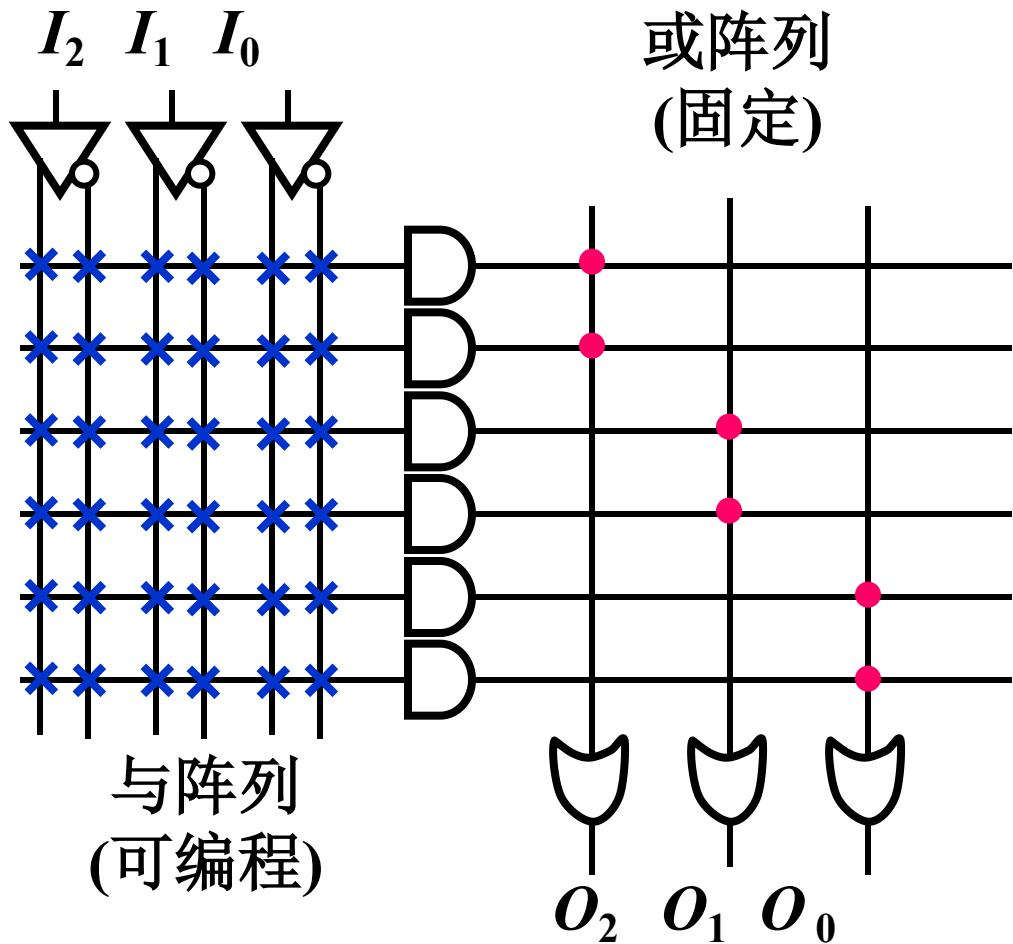
优点：

- 速度高
- 价格低
- 采用编程器现场编程

缺点：

- 输出方式固定
- 一次编程

4) GAL — Generic Array Logic



20世纪80年代初。

优点：

- 具有 PAL 的功能
- 采用逻辑宏单元使输出自行组态
- 功能更强，使用灵活，应用广泛

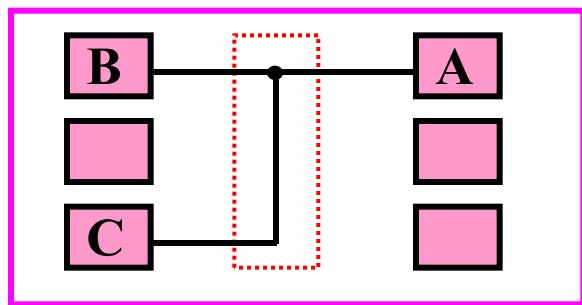
LDPLD的分类与结构

名称	与阵列	或阵列	输出部分
PROM	固定	可编程	固定
PLA	可编程	可编程	固定
PAL	可编程	固定	固定
GAL	可编程	固定	可配置

5) CPLD (Complex PLD) & FPGA(Field Programmable Gate Array)*28-30

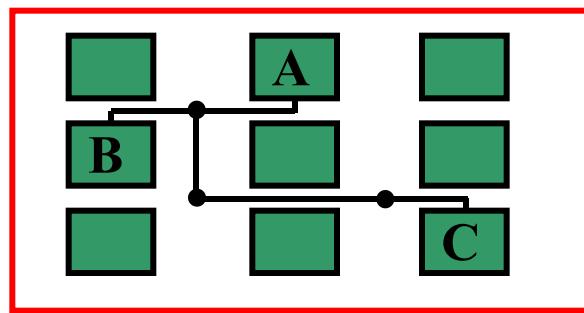
20世纪 80年代中

①逻辑单元



CPLD逻辑单元大

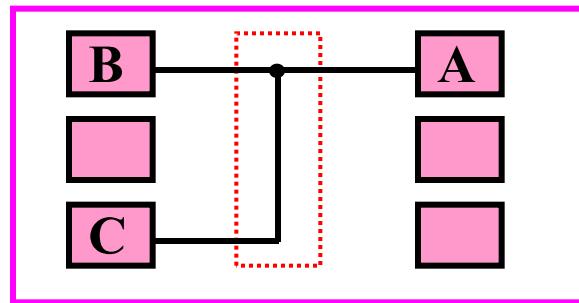
变量数通常约为20
~28个



FPGA逻辑单元小

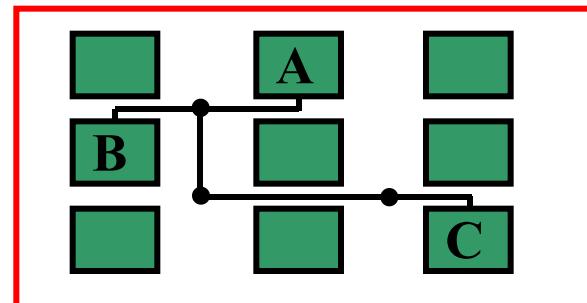
输入变量通常4~8个，输出1~2个

②逻辑单元间互连



集总式互连

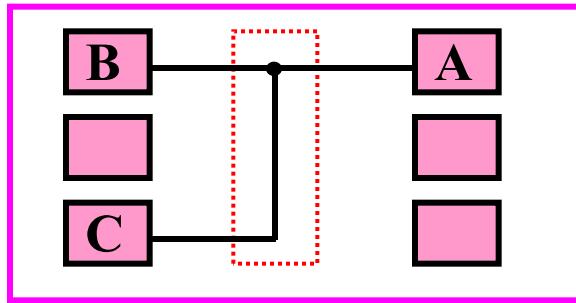
总线上任意一对输入端与输出端之间的延时相等，且是可预测的。



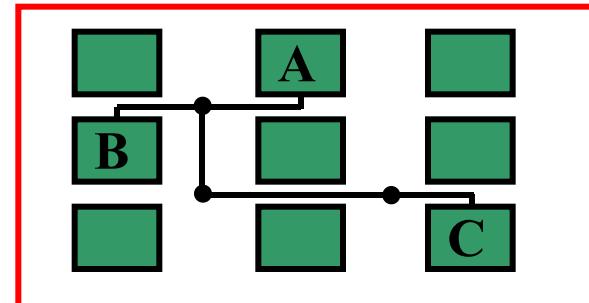
分布式互连

互连方式较多，实现同一个功能可能有不同的方案，其延时是不等的。

③ 编程工艺



**EPROM、
E²PROM、
Flash工艺**



**SRAM、
反熔丝工艺**