

# 数字电路与逻辑设计B

## 第七讲

南京邮电大学

电子与光学工程学院

臧裕斌

# 四、非完全描述逻辑函数的化简

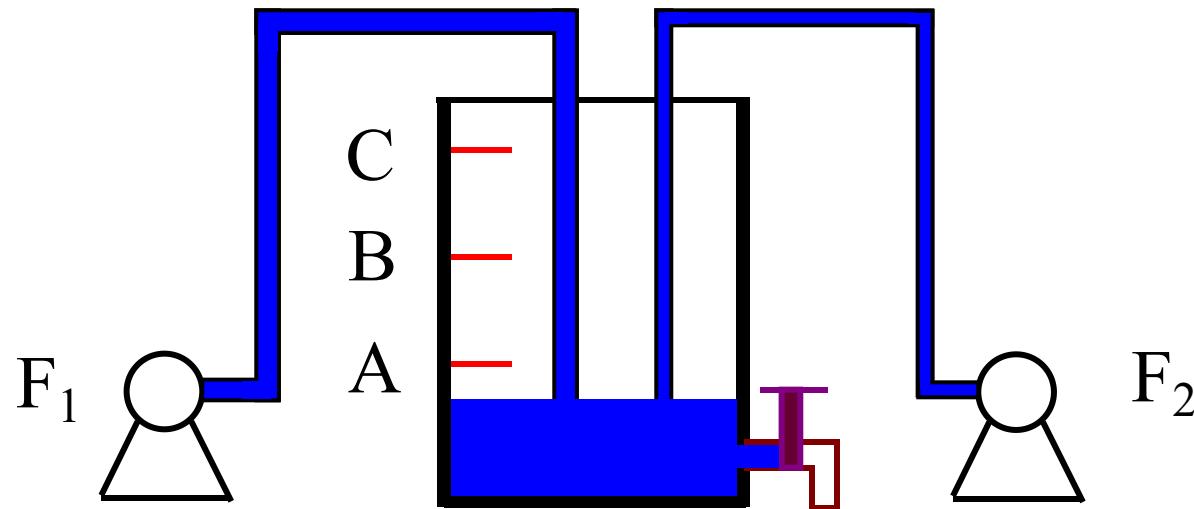
## 1. 无关项及非完全描述逻辑函数

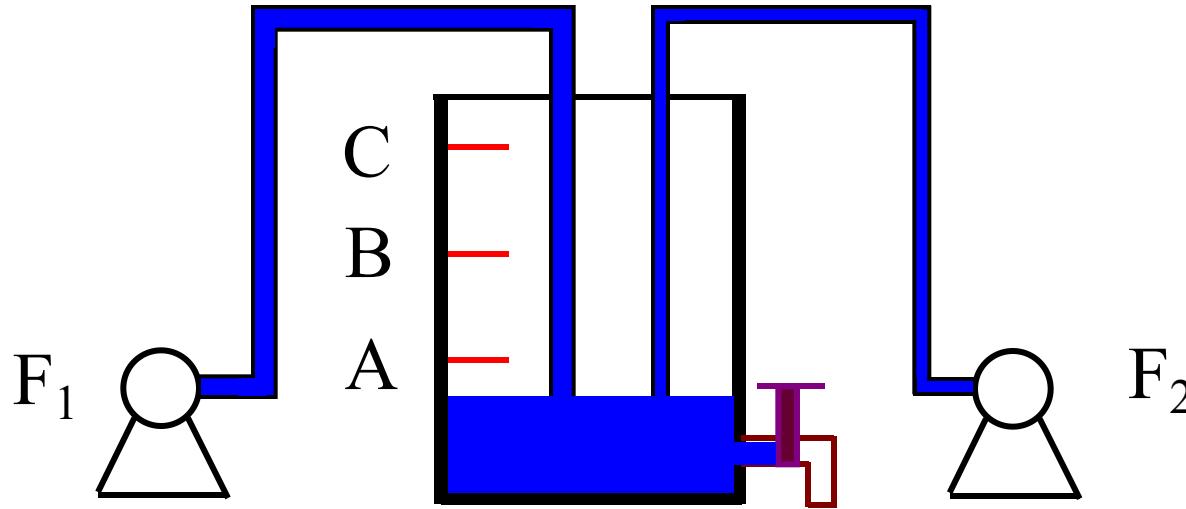
- (1) 无关项 {
- 约束项 : 不可能出现的取值组合所对应的最小项。  
交通灯的指示灯全亮不可能出现
  - 任意项 : 函数的值可任意规定的取值组合所对应的最小项。  
无请求时电梯的状态可任意规定

## (2) 非完全描述逻辑函数

$$F(A, B, C) = \sum m(0, 1, 2, 5) + \sum \phi(3, 7)$$

例7 一自动供水系统原理示意图如下所示， $F_1$ 为大功率供水机， $F_2$ 为小功率供水机，控制过程为：当水位在A线以下时， $F_1$ 和 $F_2$ 同时启动；当水位在A线和B线之间时，只有 $F_1$ 启动；当水位在B线和C线之间时，只有 $F_2$ 启动；当水位在C线以上时， $F_1$ 和 $F_2$ 停机。试用真值表和逻辑表达式描述该系统的控制功能。

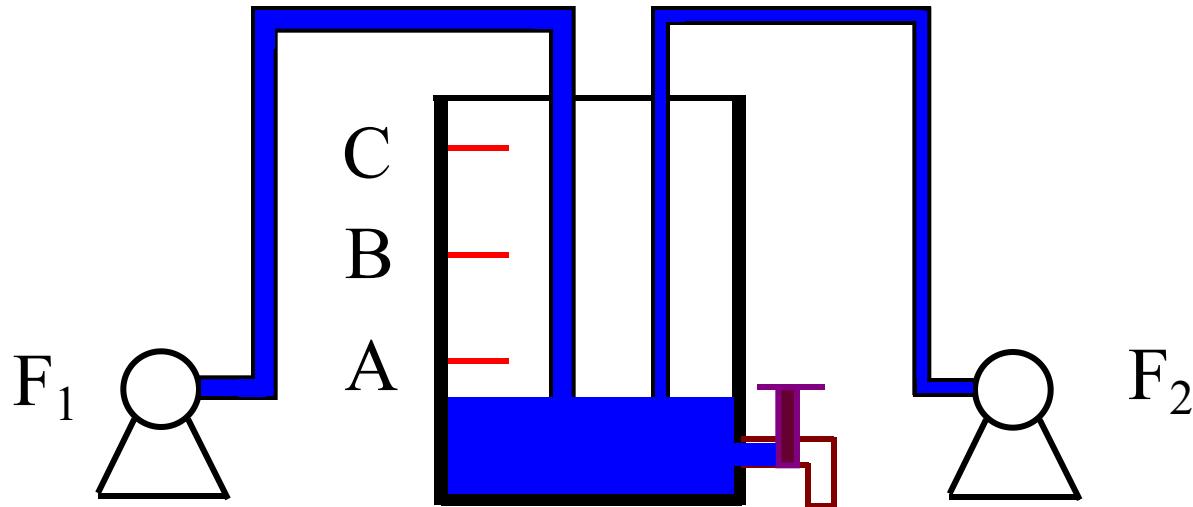




解：(1) 列真值表。

设A、B、C为输入变量， $F_1$ 和 $F_2$ 为函数，水位在刻度线以上，相应的输入变量取1；反之，取0。

供水机启动，相应的函数取1，反之，取0。



## (2) 逻辑函数表达式

$$F_1(C, B, A) = \sum m(0,1) + \sum \phi(2,4,5,6)$$

$$F_2(C, B, A) = \sum m(0,3) + \sum \phi(2,4,5,6)$$

$C$	$B$	$A$	$F_1$	$F_2$
0	0	0	1	1
0	0	1	1	0
0	1	0	$\emptyset$	$\emptyset$
0	1	1	0	1
1	0	0	$\emptyset$	$\emptyset$
1	0	1	$\emptyset$	$\emptyset$
1	1	0	$\emptyset$	$\emptyset$
1	1	1	0	0

2. 如何用等式描述下表的4个约束条件？

C	B	A	$F_1$
0	0	0	1
0	0	1	1
0	1	0	$\emptyset$
0	1	1	0
1	0	0	$\emptyset$
1	0	1	$\emptyset$
1	1	0	$\emptyset$
1	1	1	0

作答

$C$	$B$	$A$	$C$	$CB$	$CBA$
0	0	0	0	0	0
0	0	1	0	0	0
0	1	0	0	0	0
0	1	1	0	0	0
1	0	0	1	0	0
1	0	1	1	0	0
1	1	0	1	1	0
1	1	1	1	1	1

令  $C=1$

⇒  $CBA$  允许 4 组取值

$CBA$  禁止 4 组取值

令  $CB=1$

⇒  $CBA$  允许 2 组取值

$CBA$  禁止 6 组取值

令  $CBA=1$

⇒  $CBA$  允许 1 组取值

$CBA$  禁止 7 组取值

$CBA$  允许 1 组取值 令 最小项 = 1

$C$	$B$	$A$	$C$	$CB$	$CBA$
0	0	0	0	0	0
0	0	1	0	0	0
0	1	0	0	0	0
0	1	1	0	0	0
1	0	0	1	0	0
1	0	1	1	0	0
1	1	0	1	1	0
1	1	1	1	1	1

令  $C=0$

⇒  $CBA$  允许 4 组取值

$CBA$  禁止 4 组取值

令  $CB=0$

⇒  $CBA$  允许 6 组取值

$CBA$  禁止 2 组取值

令  $CBA=0$

⇒  $CBA$  允许 7 组取值

$CBA$  禁止 1 组取值

$CBA$  禁止 1 组取值 令最小项 = 0

	C	B	A	F	
$\overline{C}\overline{B}A = 1$	0	0	0	1	$m_0 = 1$
	0	0	1	$\emptyset$	$m_1 = 0$
	0	1	0	$\emptyset$	$m_2 = 0$
	0	1	1	$\emptyset$	$m_3 = 0$
	1	0	0	$\emptyset$	$m_4 = 0$
	1	0	1	$\emptyset$	$m_5 = 0$
	1	1	0	$\emptyset$	$m_6 = 0$
	1	1	1	$\emptyset$	$m_7 = 0$

相互等价

$m_1 + m_2 + m_3 + m_4 + m_5 + m_6 + m_7 = 0$

如何用等式描述下表的4个约束条件？

	C	B	A	$F_1$
$\bar{C}B\bar{A}$	0	0	0	1
	0	0	1	1
	0	1	0	$\emptyset$
	0	1	1	0
$C\bar{B}\bar{A}$	1	0	0	$\emptyset$
$C\bar{B}A$	1	0	1	$\emptyset$
$CB\bar{A}$	1	1	0	$\emptyset$
	1	1	1	0

$\bar{C}B\bar{A} = 0$

$C\bar{B}\bar{A} = 0$

$C\bar{B}A = 0$

$CB\bar{A} = 0$

$$\bar{C}B\bar{A} + C\bar{B}\bar{A} + \bar{C}\bar{B}A + C\bar{B}\bar{A} = 0$$

令等式左端为  $F$

		$BA$	00	01	11	10	
		$C$	0				$\boxed{1}$
			1	$\boxed{1}$			$\boxed{1}$
$CB$	$B\bar{A}$						

$$F = C\bar{B} + B\bar{A}$$

$$\begin{cases} F_1(C, B, A) = \sum m(0,1) \\ C\bar{B} + B\bar{A} = 0 \end{cases}$$

$$C\bar{B} + B\bar{A} = 0$$

约束条件

$C=1, B=0$  不可能出现

$B=1, A=0$  不可能出现

取值限制

		$BA$	00	01	11	10	
		$C$	0	1	1		$\emptyset$
			1	$\emptyset$	$\emptyset$		$\emptyset$
$F_1$							

$$F_1(C, B, A) = \sum m(0,1) + \sum \phi(2,4,5,6)$$

↔ 等价

$$\begin{cases} F_1(C, B, A) = \sum m(0,1) \\ C\bar{B} + B\bar{A} = 0 \end{cases}$$

$C$	$B$	$A$	$F_1$
0	0	0	1
0	0	1	1
0	1	0	$\emptyset$
0	1	1	0
1	0	0	$\emptyset$
1	0	1	$\emptyset$
1	1	0	$\emptyset$
1	1	1	0

## 2. 非完全描述逻辑函数的化简

无关项小格既可作为“0”格处理，也可作为“1”格处理，以使化简结果最简为准。

注意：

- (1) 卡诺圈中不可全是无关项；
- (2) 不可把无关项作为实质小项。

3.用卡诺图表示下列逻辑函数

$$\begin{cases} F(A,B,C,D) = \sum m(4,5,6,13,14,15) \\ A\bar{B} = 0 \end{cases}$$

作答

## 例9 用卡诺图化简逻辑函数

$$\begin{cases} F(A,B,C,D) = \sum m(4,5,6,13,14,15) \\ A\bar{B} = 0 \end{cases}$$

		CD	00	01	11	10
		AB	00	01	11	10
00	01	00	0	0	0	0
		01	1	1	0	1
11	10	00	0	1	1	1
		11	$\emptyset$	$\emptyset$	$\emptyset$	$\emptyset$

$$F(A,B,C,D) = \bar{A}B\bar{C} + AD + BC\bar{D}$$

2.用卡诺图对带约束项的逻辑函数进行化简时，说法正确的是\_\_\_\_\_。

- A 无关项小方格只能当0格处理
- B 无关项小方格可以当0格或者1格处理，以化简结果最简为准
- C 卡诺圈中不可以全是无关项
- D 卡诺圈中可以全是无关项

 提交

### 3. $\emptyset$ 的运算规则

+	0	1	$\emptyset$
$\emptyset$	$\emptyset$	1	$\emptyset$

$\times$	0	1	$\emptyset$
$\emptyset$	0	$\emptyset$	$\emptyset$

$\oplus$	0	1	$\emptyset$
$\emptyset$	$\emptyset$	$\emptyset$	$\emptyset$

$$\overline{\emptyset} = \emptyset$$

# 思考题

- 1.如何理解卡诺图中的0和1？
- 2.利用卡诺图化简函数的原理是什么？
- 3.如何理解“对不可能出现的输入变量取值组合，函数的值可以任意规定”？

# 五、硬件描述语言（HDL）

## 1. 概述

- 描述电子电路（特别是数字电路）的语言
- 可从门级、寄存器传输级、行为级进行描述
- 常见的语言：Verilog、VHDL

Verilog HDL语言最初是在1983年由Gateway Design Automation 公司为其模拟器产品开发的硬件建模语言。在1995年成为IEEE标准，称为IEEE Std1364—1995。目前受到了广泛的应用。

## 2. 门原语

Verilog语言提供已经设计好的门，称为**门原语**（primitive，共12个），这些门可直接调用，不用再对其进行功能描述。

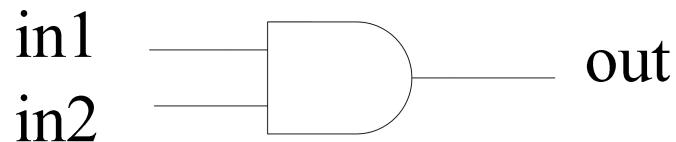
## 3. 门原语调用格式

门原语名 实例名 (端口连接)

注：实例名可省略，端口连接采用**输出在前，输入在后**。

and (与)	or (或)	xor (异或)
nand (与非)	nor (或非)	xnor (同或)

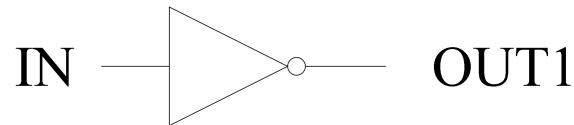
and (out, in1, in2);



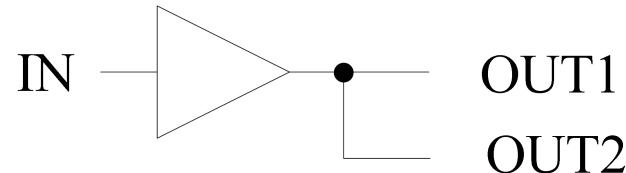
端口连接中第一个是输出，其余是输入，输入个数不限。

not (非门)
buf (缓冲器)

not (OUT1, IN);



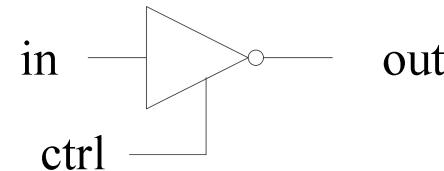
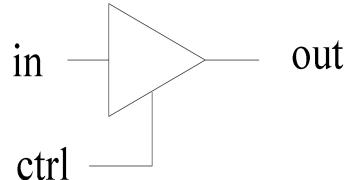
buf b1\_2out(OUT1, OUT2, IN);



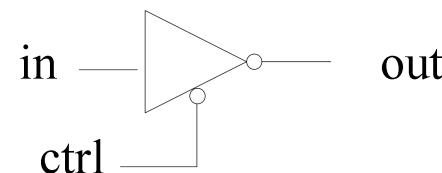
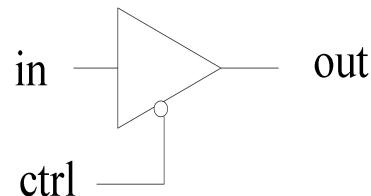
端口列表中前面是输出，最后一个是输入，输出个数不限。

bufif1 (控制端1有效缓冲器)	notif1 (控制端1有效非门)
bufif0 (控制端0有效缓冲器)	notif0 (控制端0有效非门)

**bufif1 b1 (out, in, ctrl);      notif1 n1 (out, in, ctrl);**



**bufif0 b0 (out, in, ctrl);      notif0 n0 (out, in, ctrl);**



**端口列表中前面是输出，中间是输入，最后是使能端，输出个数不限。**

# 作业题

2.11\*

2.15

\* 最简与或式

# 第3章 组合逻辑电路

## 一、组合电路的分析

1. 分析目的

2. 分析步骤

(1) 从输入端开始，逐级推导出函数表达式

(2) 列真值表

(3) 确定逻辑功能

## 二、组合电路的设计

1.设计目的

2.设计步骤（双轨输入情况下）

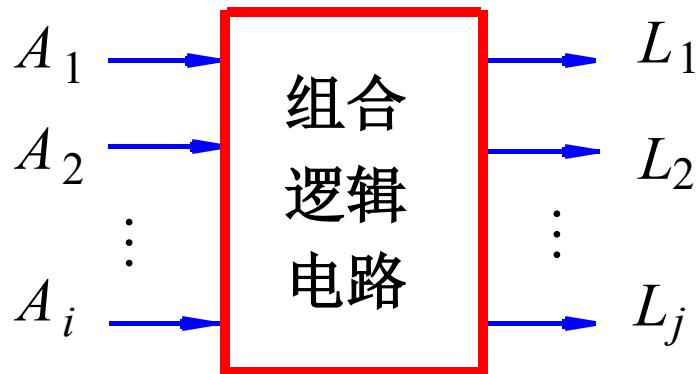
(1)列真值表

(2)写最简表达式

(3)画逻辑电路

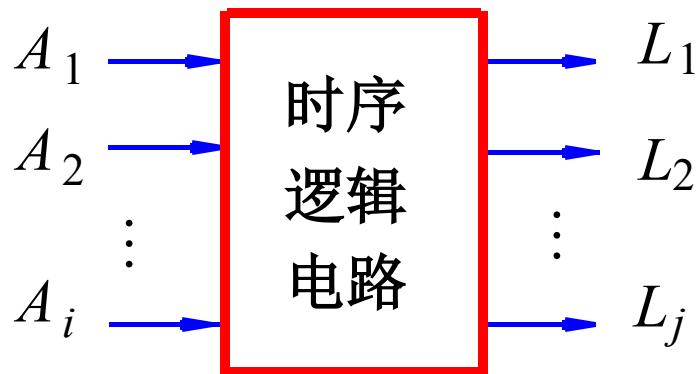
作业

# 什么是组合逻辑电路？



特点：输出只取决于当时的输入

构成：由**门电路**构成



特点：输出取决于当时的输入、  
前一时刻的输出状态

构成：由**门电路、触发器**构成

# 3. 1 SSI构成的组合电路分析和设计

## 一、组合电路的分析

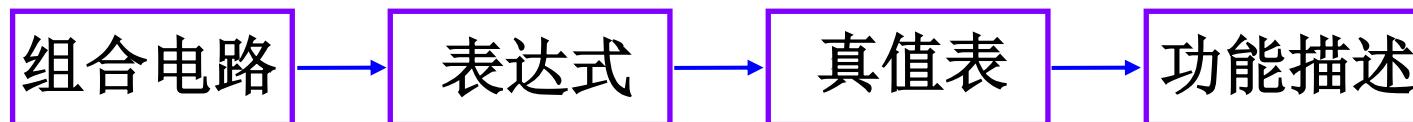
1. 分析目的：确定电路实现的逻辑功能

2. 分析步骤

(1) 从输入端开始，逐级推导函数表达式，再变换、化简

(2) 列真值表

(3) 确定逻辑功能



例3.1.1 分析图3.1.1(a)所示电路的逻辑功能。

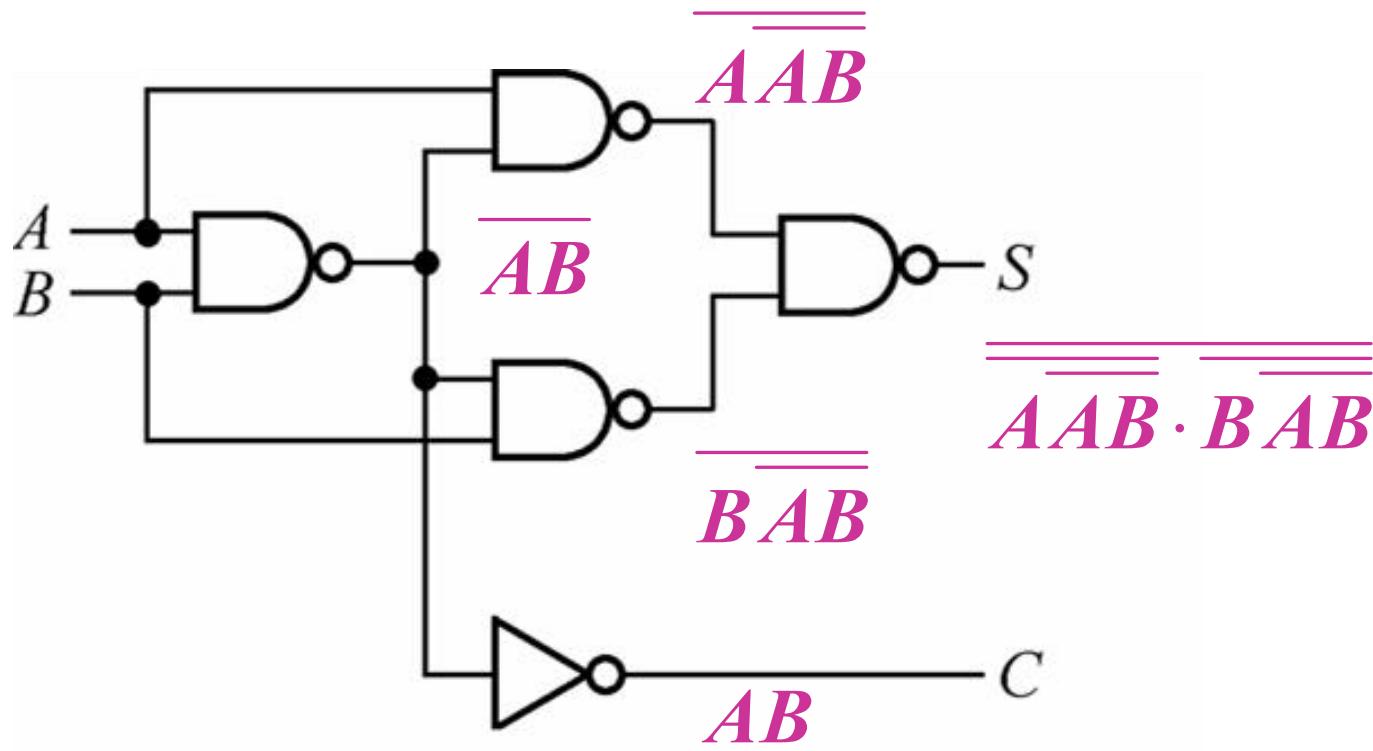


图 3.1.1(a)

解：(1)写出逻辑表达式

$$S = \overline{A} \overline{\overline{A}B} \overline{B} \overline{\overline{AB}} = A \overline{AB} + B \overline{AB} = AB + \overline{AB}$$

$$C = \overline{\overline{AB}} = AB$$

表 4.1.1

(2)列真值表

(3)确定逻辑功能

$A$ 、 $B$ 为一位二进制数， $S$ 为本位和， $C$ 为本位向高位的进位。

输入		输出	
$A$	$B$	$C$	$S$
0	0	0	0
0	1	0	1
1	0	0	1
1	1	1	0

只考虑本位两数相加，以及对高位的进位，不考虑低位对本位的进位。因此，此电路完成半加运算，是一个一位半加器。半加器的逻辑符号如下图所示。

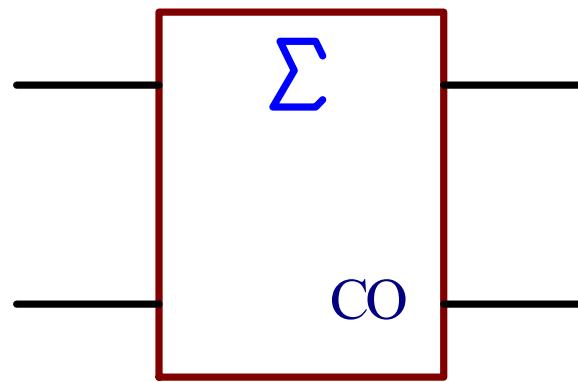
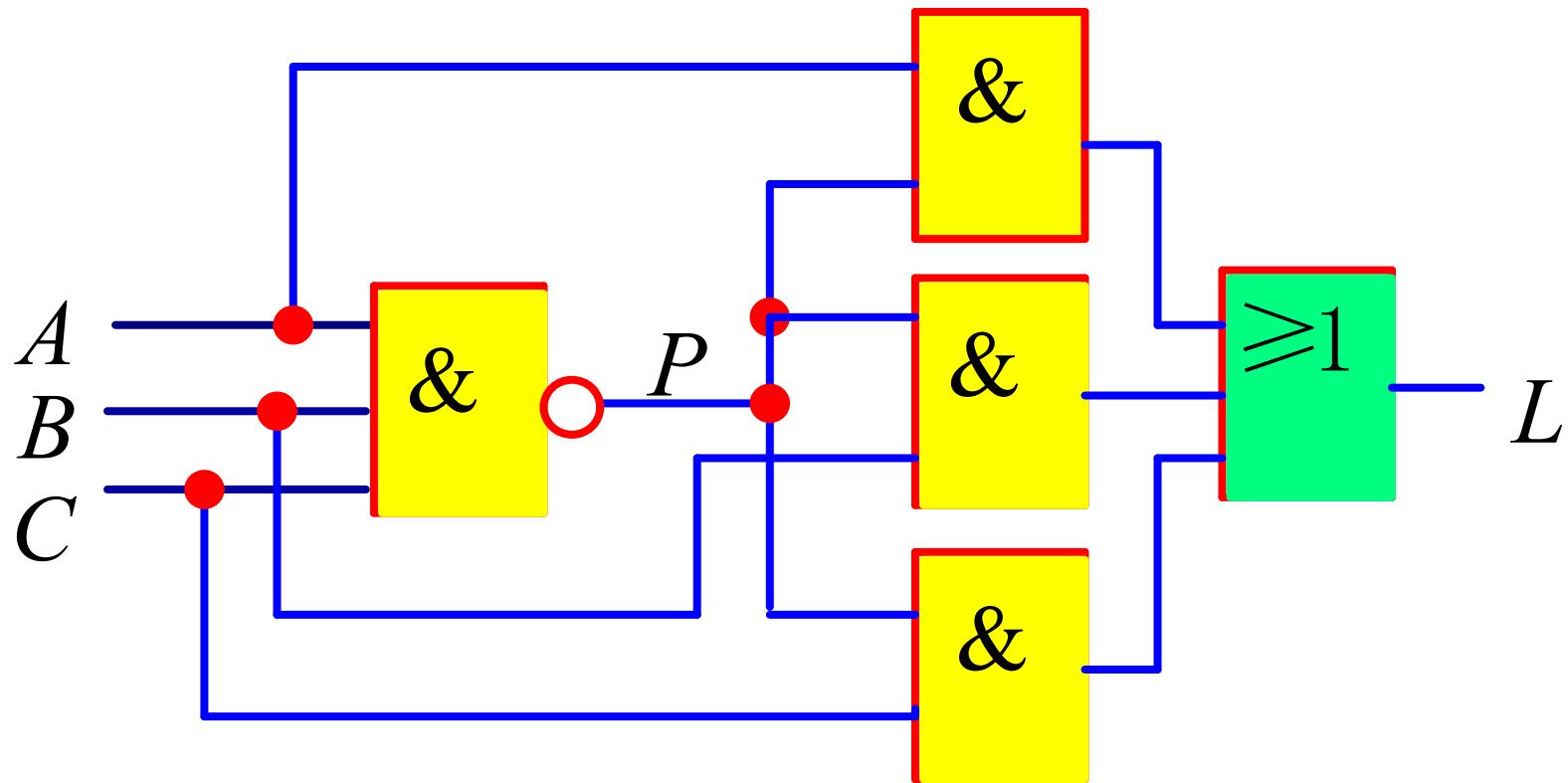
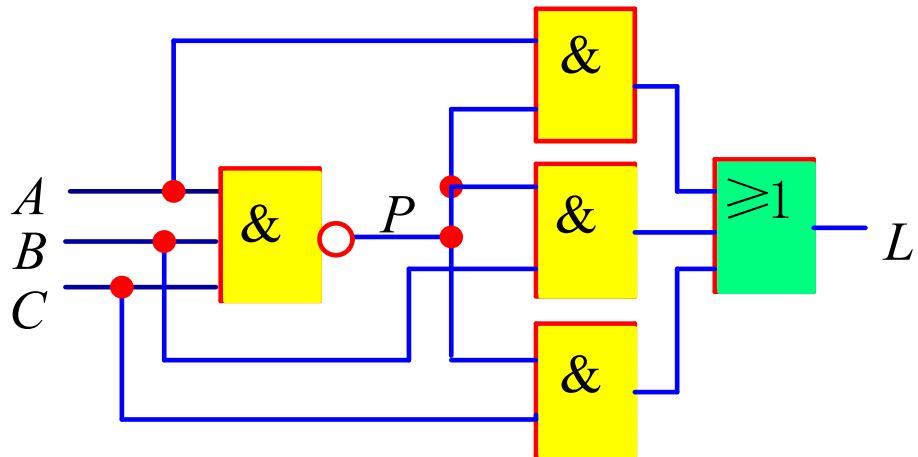


图 3.1.1 (b)

练习：分析下图所示组合电路的逻辑功能。





(1) 由逻辑图逐级写出表达式（借助中间变量 $P$ ）。

$$P = \overline{ABC}$$

$$L = AP + BP + CP$$

$$L = \overline{ABC}(A + B + C) = \overline{ABC} + \overline{A + B + C}$$

$$= ABC + \overline{ABC}$$

真值表

$A$	$B$	$C$	$L$
0	0	0	0
0	0	1	1
0	1	0	1
0	1	1	1
1	0	0	1
1	0	1	1
1	1	0	1
1	1	1	0

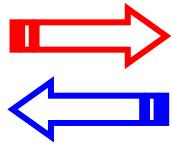
(2) 由表达式列真值表。

(3) 分析逻辑功能。

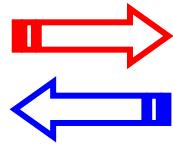
当 $A$ 、 $B$ 、 $C$ 三个变量不一致时，输出为“1”，所以该电路为“不一致电路”。

## 电路分析

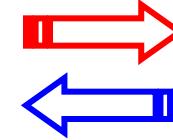
电路图



表达式



真值表



功能描述

## 电路设计

## 二、组合电路的设计

- 1.设计目的：确定满足一定逻辑功能的电路
- 2.设计步骤（双轨输入情况下）
  - (1)列真值表；
  - (2)写最简表达式；
  - (3)画逻辑电路

例 3.1.4 试设计一个1位二进制数全加器电路。

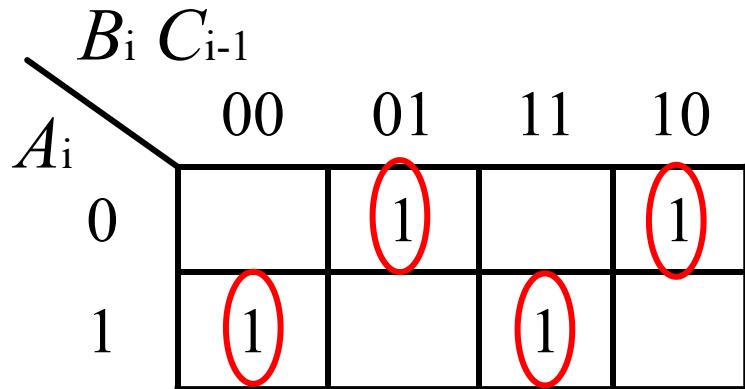
解：(1) 列真值表

表 3.1.4

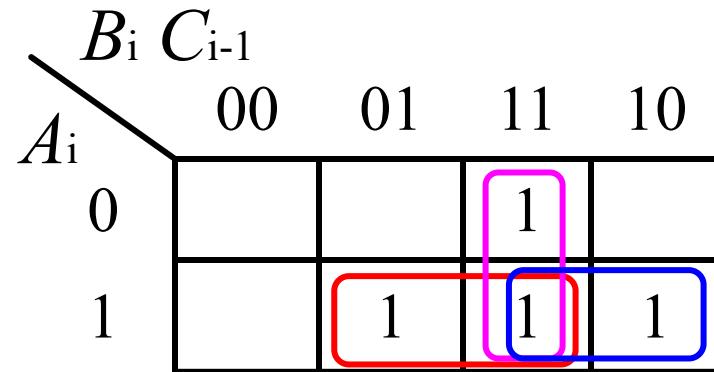
输入			输出	
$A_i$	$B_i$	$C_{i-1}$	$C_i$	$S_i$
0	0	0	0	0
0	0	1	0	1
0	1	0	0	1
0	1	1	1	0

输入			输出	
$A_i$	$B_i$	$C_{i-1}$	$C_i$	$S_i$
1	0	0	0	1
1	0	1	1	0
1	1	0	1	0
1	1	1	1	1

(2) 写最简表达式;



(a)  $S_i$  的卡诺图



(b)  $C_i$  的卡诺图

图 3.1.4

$$S_i = A_i \bar{B}_i \bar{C}_{i-1} + \bar{A}_i \bar{B}_i C_{i-1} + A_i B_i C_{i-1} + \bar{A}_i B_i \bar{C}_{i-1}$$

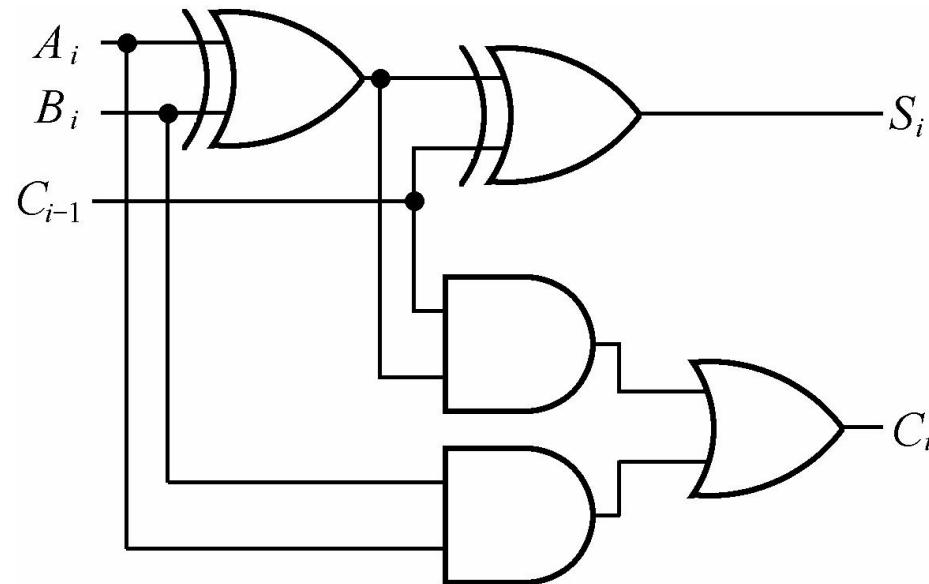
$$C_i = A_i B_i + B_i C_{i-1} + A_i C_{i-1}$$

变换  $S_i$ 、 $C_i$ ，可得

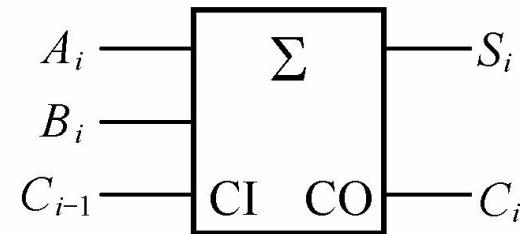
$$\begin{aligned} S_i &= A_i \overline{B}_i \overline{C}_{i-1} + \overline{A}_i \overline{B}_i C_{i-1} + A_i B_i C_{i-1} + \overline{A}_i B_i \overline{C}_{i-1} \\ &= A_i (\overline{B}_i \overline{C}_{i-1} + B_i C_{i-1}) + \overline{A}_i (\overline{B}_i C_{i-1} + B_i \overline{C}_{i-1}) \\ &= A_i (\overline{B}_i \oplus C_{i-1}) + \overline{A}_i (B_i \oplus C_{i-1}) \\ &= A_i \oplus B_i \oplus C_{i-1} \end{aligned}$$

$$\begin{aligned} C_i &= A_i B_i + B_i C_{i-1} + A_i C_{i-1} \\ &= A_i B_i + (A_i + \overline{A}_i) B_i C_{i-1} + (B_i + \overline{B}_i) A_i C_{i-1} \\ &= A_i B_i + A_i B_i C_{i-1} + \overline{A}_i B_i C_{i-1} + A_i B_i C_{i-1} + A_i \overline{B}_i C_{i-1} \\ &= A_i B_i + C_{i-1} (A_i \oplus B_i) \end{aligned}$$

(3)画逻辑电路，如下图(a)所示。



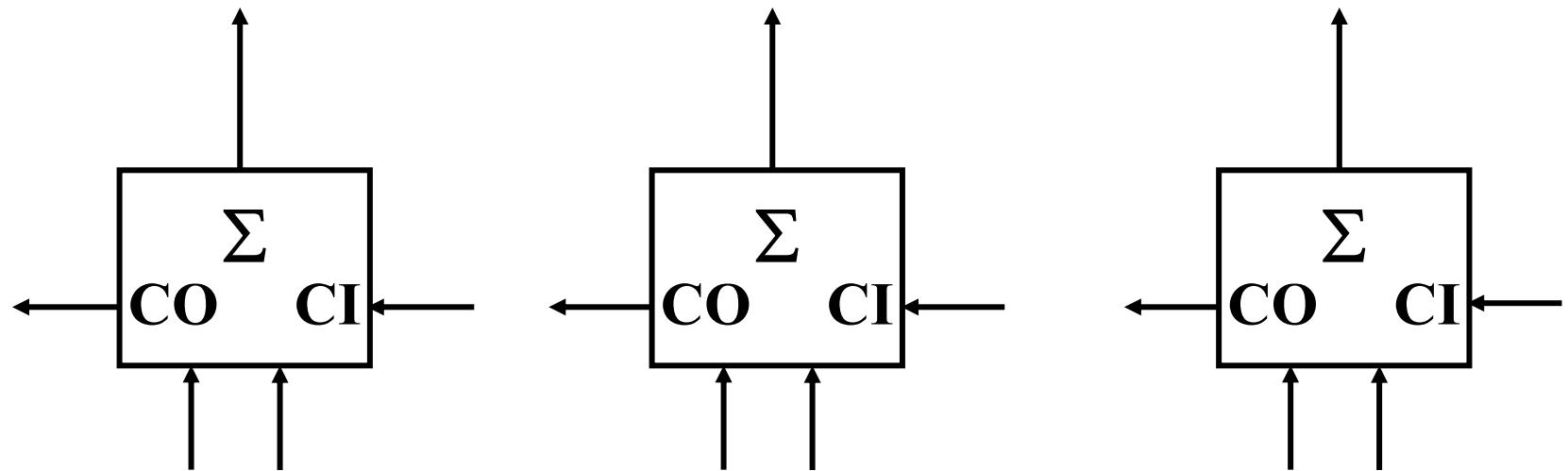
(a) 全加器电路



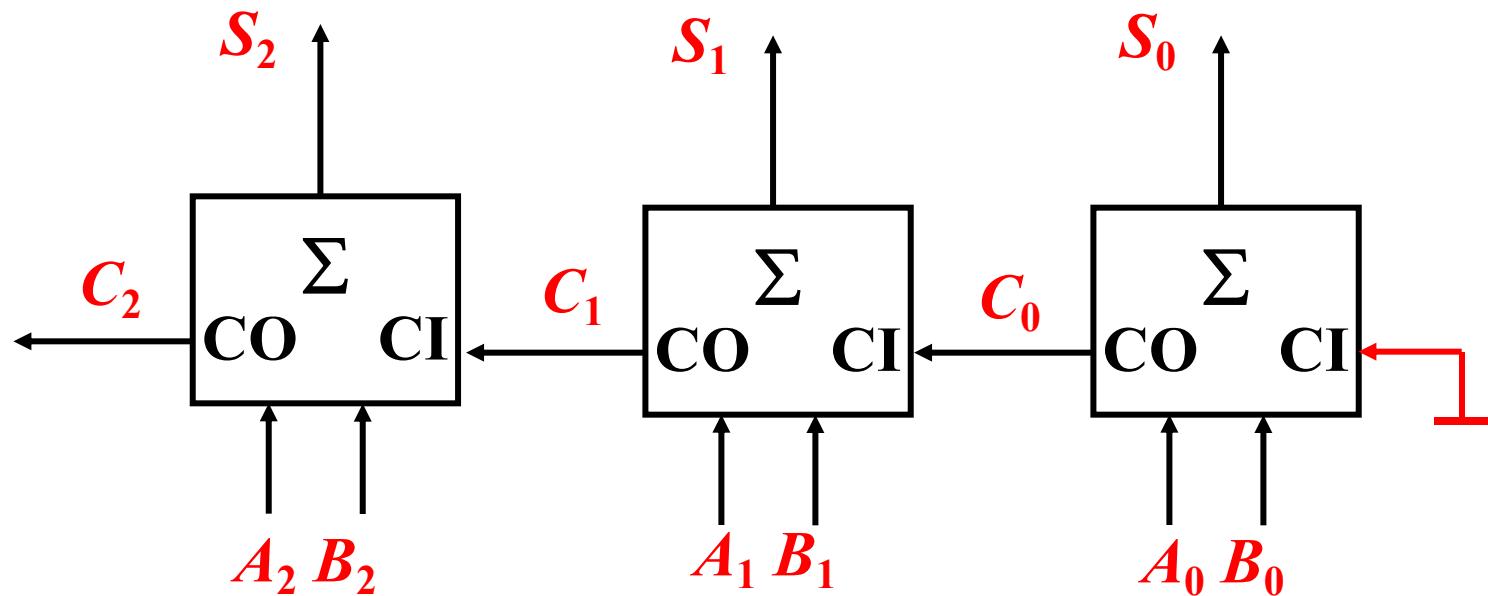
(b) 逻辑符号

图 3.1.5

思考：如何用3个一位全加器实现3位二进制  
 $(A_2A_1A_0$ 和 $B_2B_1B_0)$ 全加？



思考：如何用3个一位全加器实现3位二进制  
 $(A_2A_1A_0$ 和 $B_2B_1B_0)$ 全加？



1.若设计一个1位半减器电路，下列说法正确的是\_\_\_\_\_。

- A 输入变量2个，输出变量1个
- B 输入变量2个，输出变量2个
- C 输入变量3个，输出变量1个
- D 输入变量3个，输出变量2个

# 作业题

3.2