

数字电路与逻辑设计B

第十八讲

南京邮电大学

电子与光学工程学院

臧裕斌

5.6 一般时序电路的分析

一、分析方法

1.分析电路结构

(1)组合电路、存储电路

(2)输入信号 X 、输出信号 Z

(3)电路类型（同步、异步；Mealy、Moore）

2. 写出四组方程

(1)时钟方程

(2)各触发器的激励方程

(3)各触发器的次态方程

(4)电路的输出方程

3. 作状态转移表或状态转移图或波形图
4. 电路的逻辑功能描述

例5.6.1 分析图5.6.1时序电路的逻辑功能。

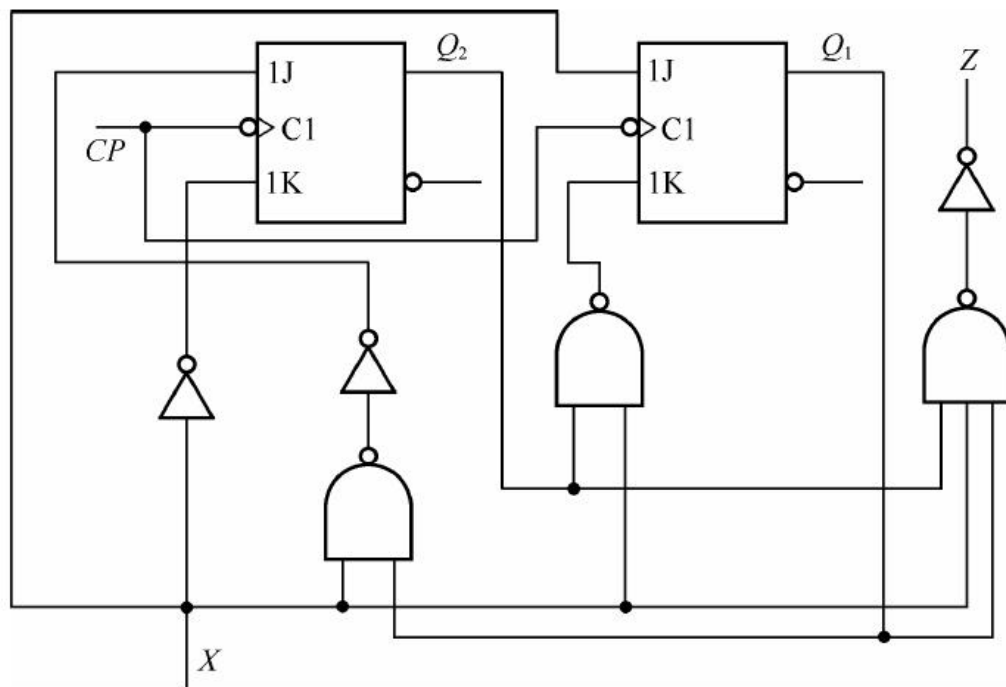


图5.6.1 例5.6.1逻辑图

解：(1) 分析电路结构

2个JKFF构成存储电路；有外部输入 X 与外部输出 Z ；属于Mealy、同步时序电路。

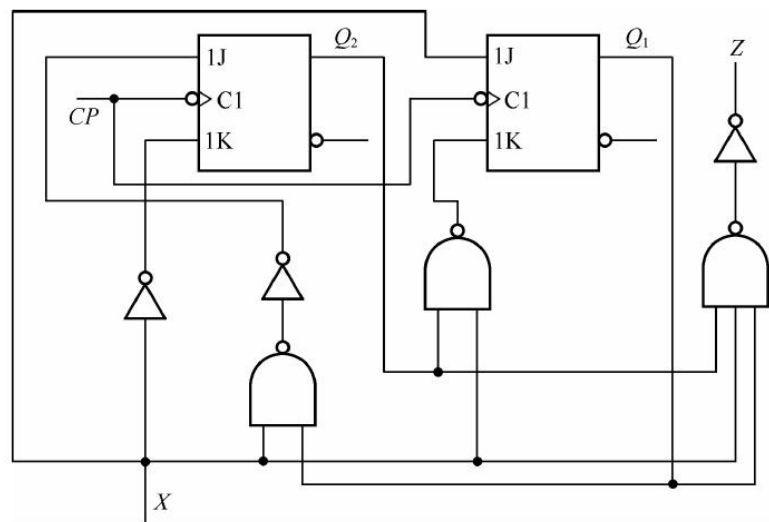
(2) 写出四组方程

①时钟方程 $CP_1 = CP_2 = CP$

②激励方程 $J_2 = XQ_1^n \quad K_2 = \bar{X} \quad J_1 = X \quad K_1 = \overline{XQ_2^n}$

③次态方程 $Q_2^{n+1} = [XQ_1^n X\bar{Q}_2^n + XQ_2^n] \cdot CP \downarrow \quad Q_1^{n+1} = [X\bar{Q}_1^n + XQ_2^n Q_1^n] \cdot CP \downarrow$

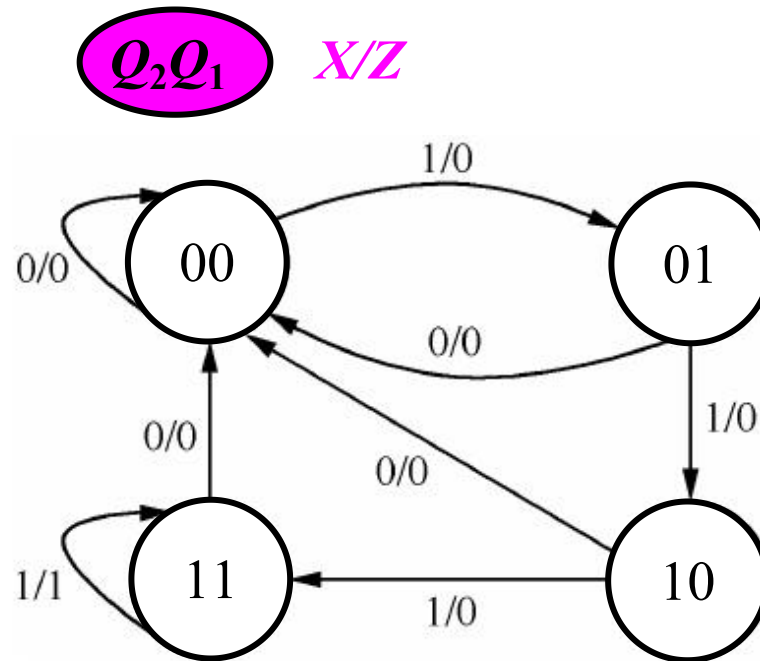
④输出方程 $Z = XQ_1^n Q_2^n$



(3) 列状态转移表、状态转移图

列状态转移表时，先列草表，再从初态(预置状态或全零状态)按状态转移的顺序整理。

X	Q_2^n	Q_1^n	Q_2^{n+1}	Q_1^{n+1}	Z
0	0	0	0	0	0
0	0	1	0	0	0
0	1	0	0	0	0
0	1	1	0	0	0
1	0	0	0	1	0
1	0	1	1	0	0
1	1	0	1	1	0
1	1	1	1	1	1



(4) 电路的逻辑功能描述

连续4 个或4 个以上1 的序列信号检测电路

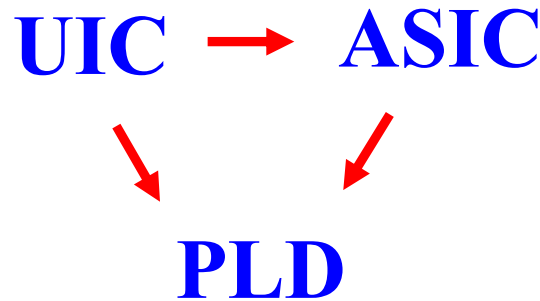
作业题

5.29

第6章 可编程逻辑器件

6.1 PLD概述

一、概念



UIC: **U**niversal **I**ntegrated **C**ircuit

ASIC: **A**pplication **S**pecific **I**ntegrated **C**ircuit;

PLD: **P**rogrammable **L**ogic **D**evice;

PLD $\xrightarrow{\text{利用EDA工具}}$ ASIC

EDA: Electronic Design Automation;

主要包括以下技术

CAD: Computer Aided Design

CAA: Computer Aided Analysis

CAT: Computer Aided Test

二、开发环境

1. PLD开发软件

Intel

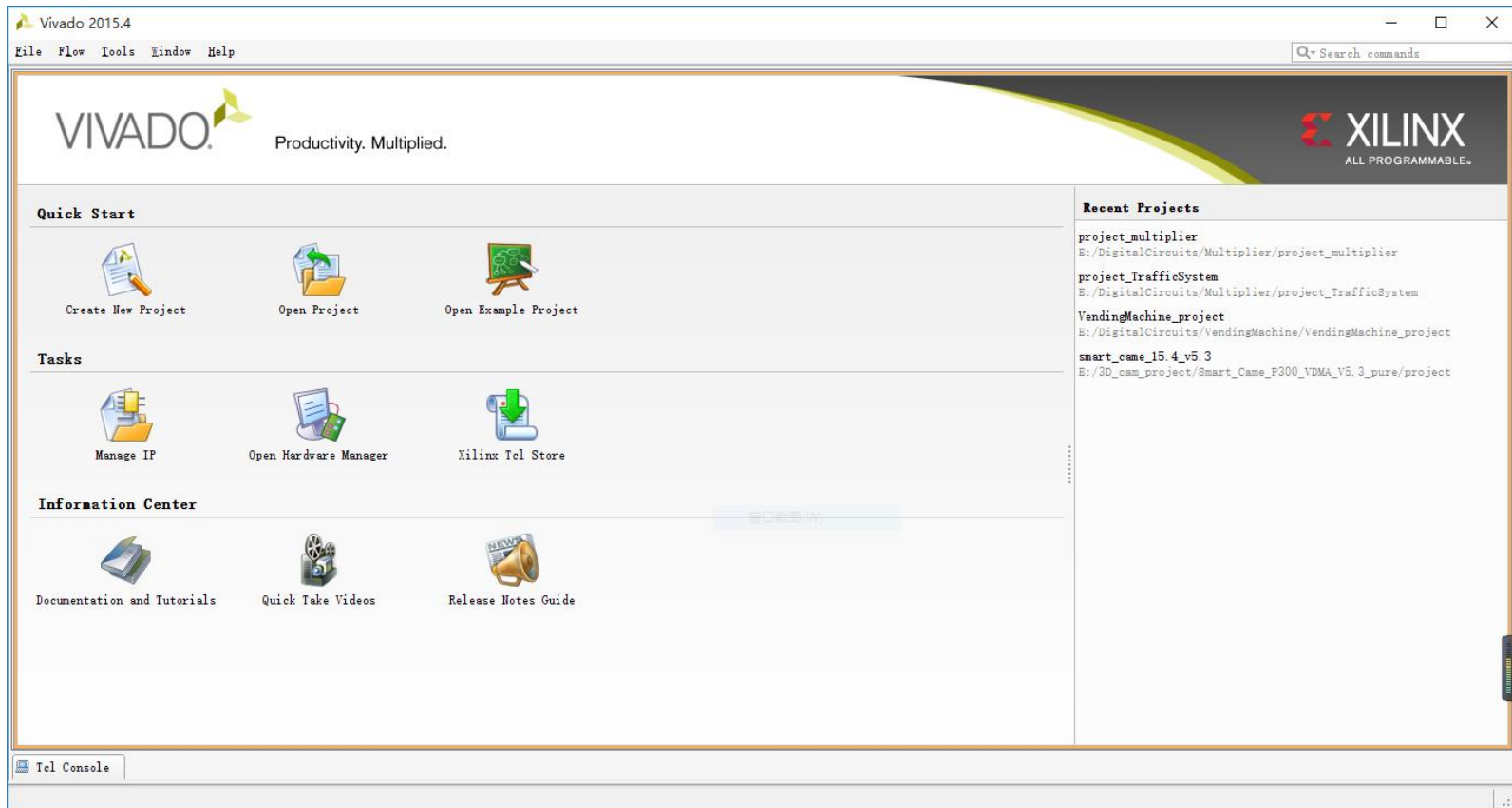
⇒ Quartus Prime

Lattice

⇒ Diamond

Xilinx

⇒ Vivado



2. PLD开发硬件

- 编程器（编程电缆）
- PC机（或工作站）



SuperPro Z编程器的外观



xilinx platform cable usb下载线缆

三、开发过程

输入

Entry

综合

Synthesis

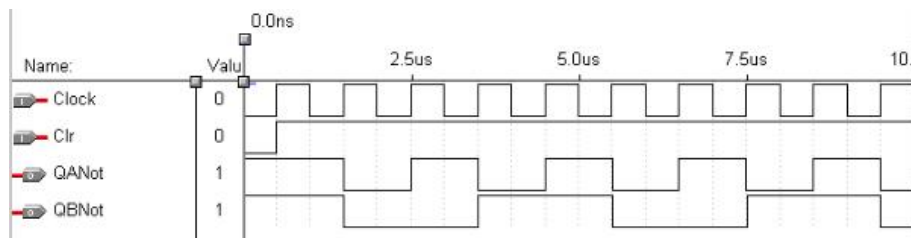
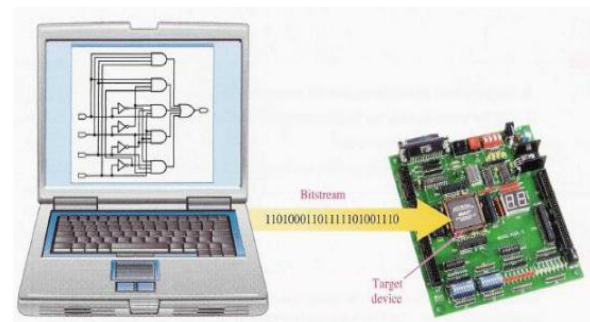
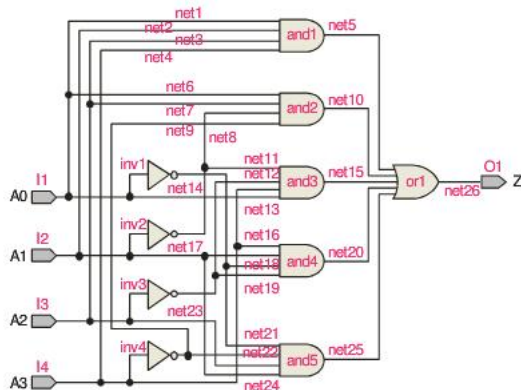
仿真

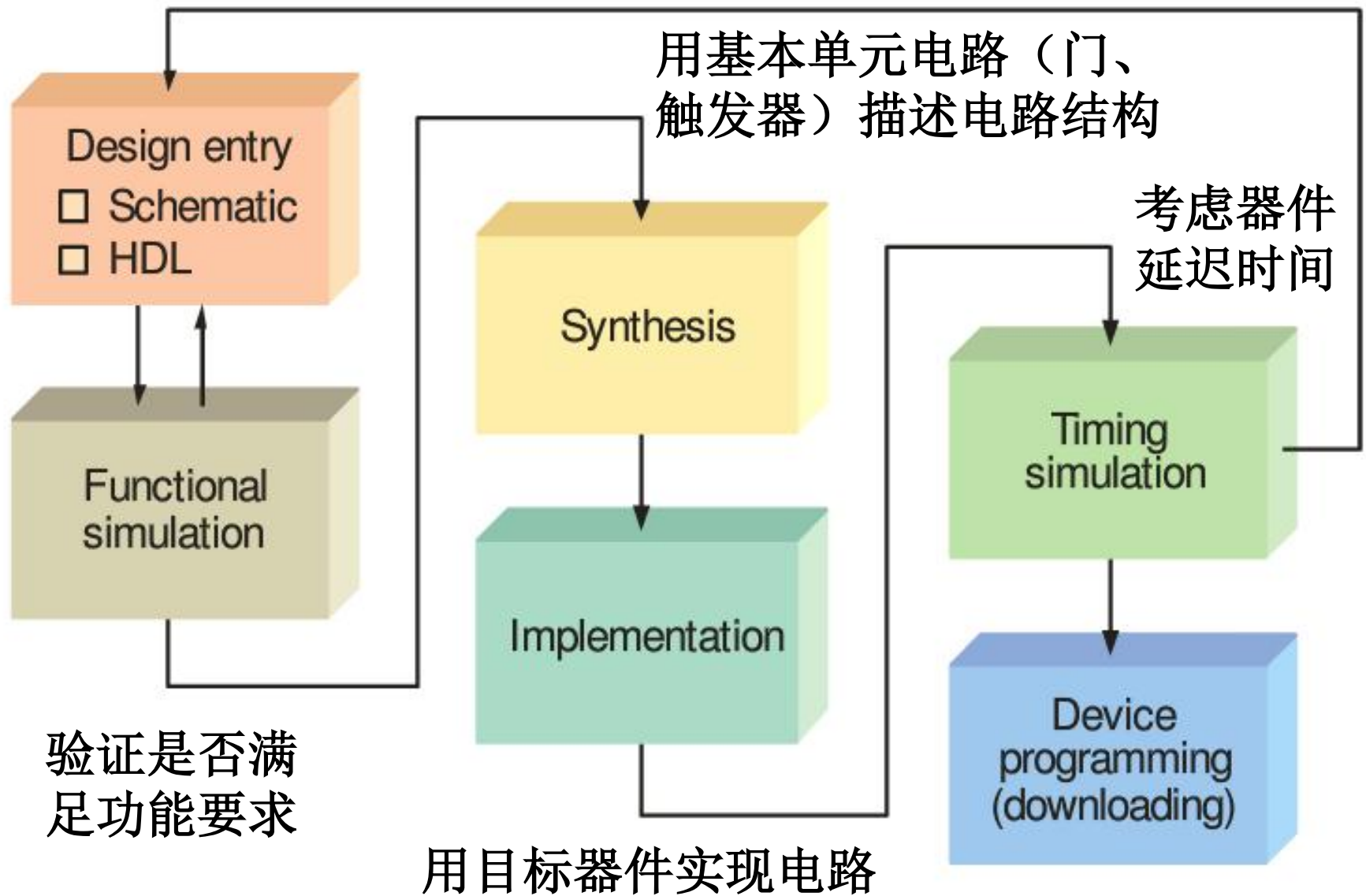
Simulation

编程

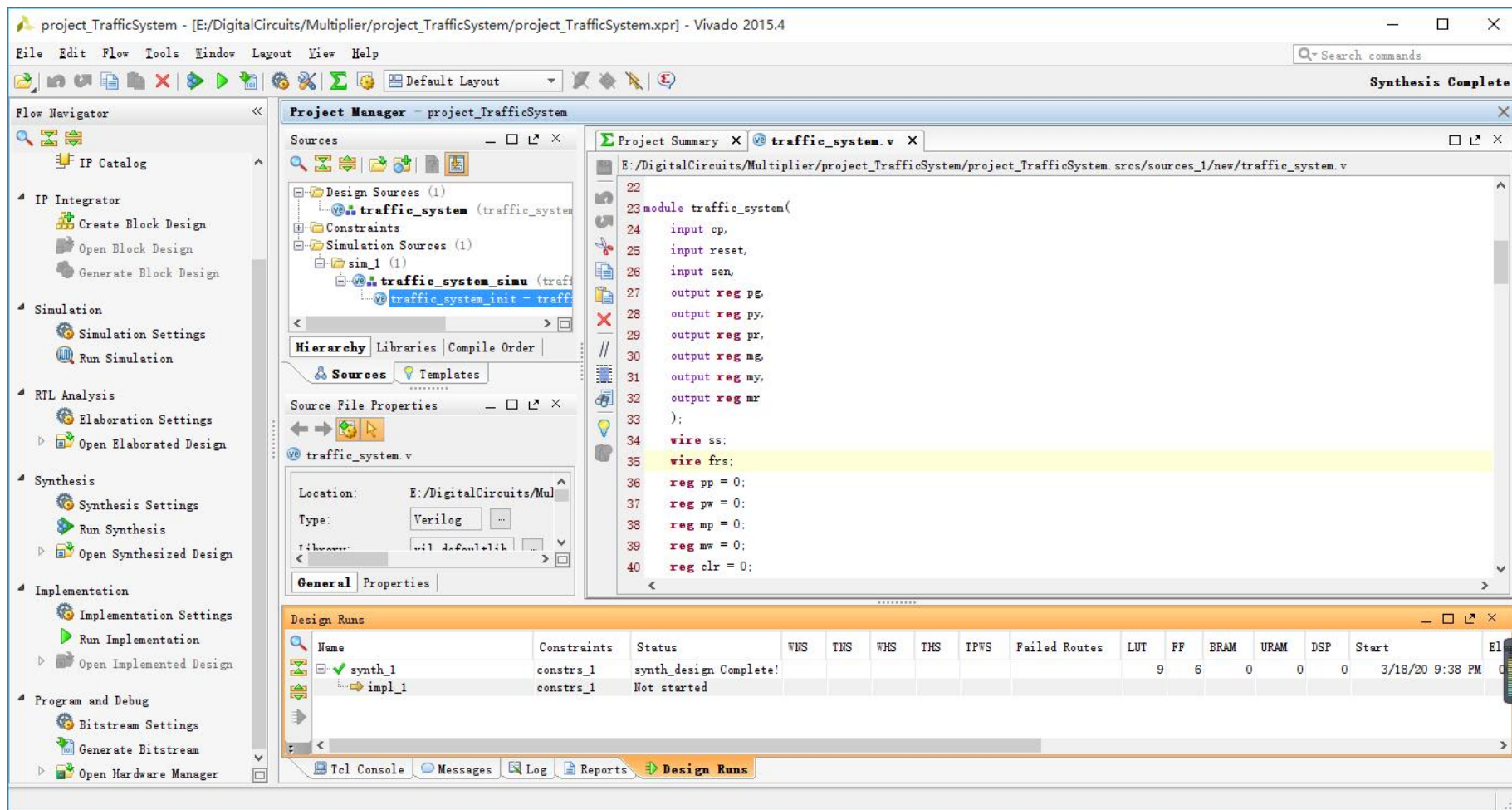
Programming

```
module Sequential_Binary_Multiplier (Product, Ready, Multiplicand, Multiplier, Start,
clock, reset_b);
// Default configuration: five-bit datapath
parameter
output          [2*dp_width -1: 0]    dp_width = 5;    // Set to width of datapath
output          Ready;
input           Multiplicand, Multiplier;
input           Start, clock, reset_b;
```

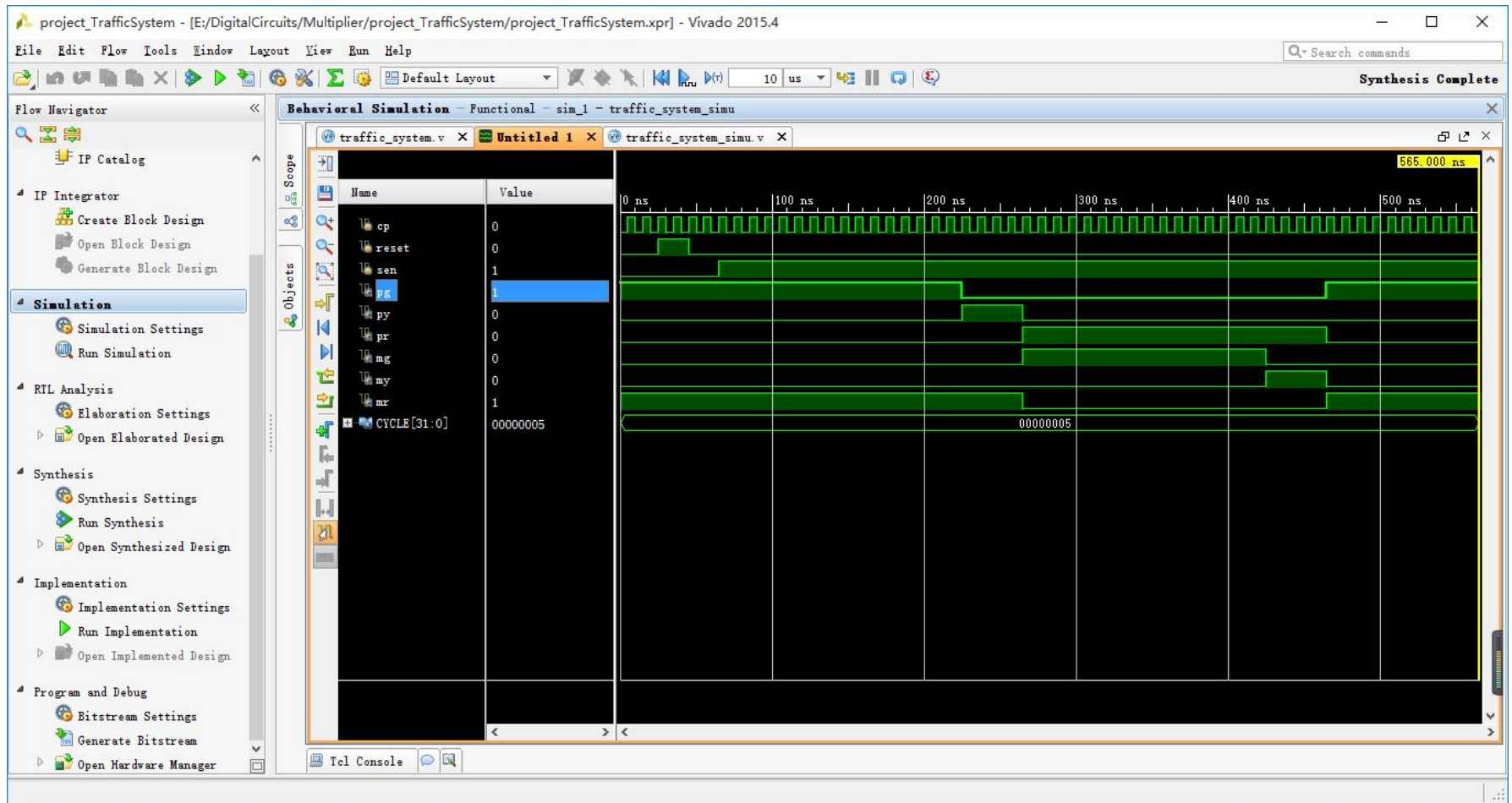




1、设计输入

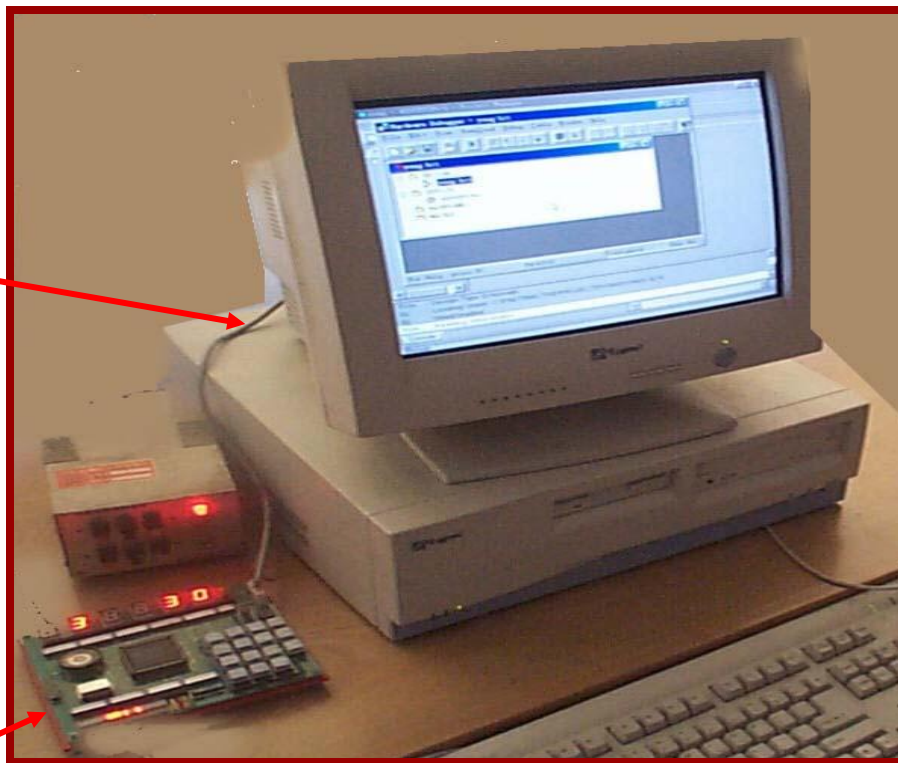


2、仿真界面

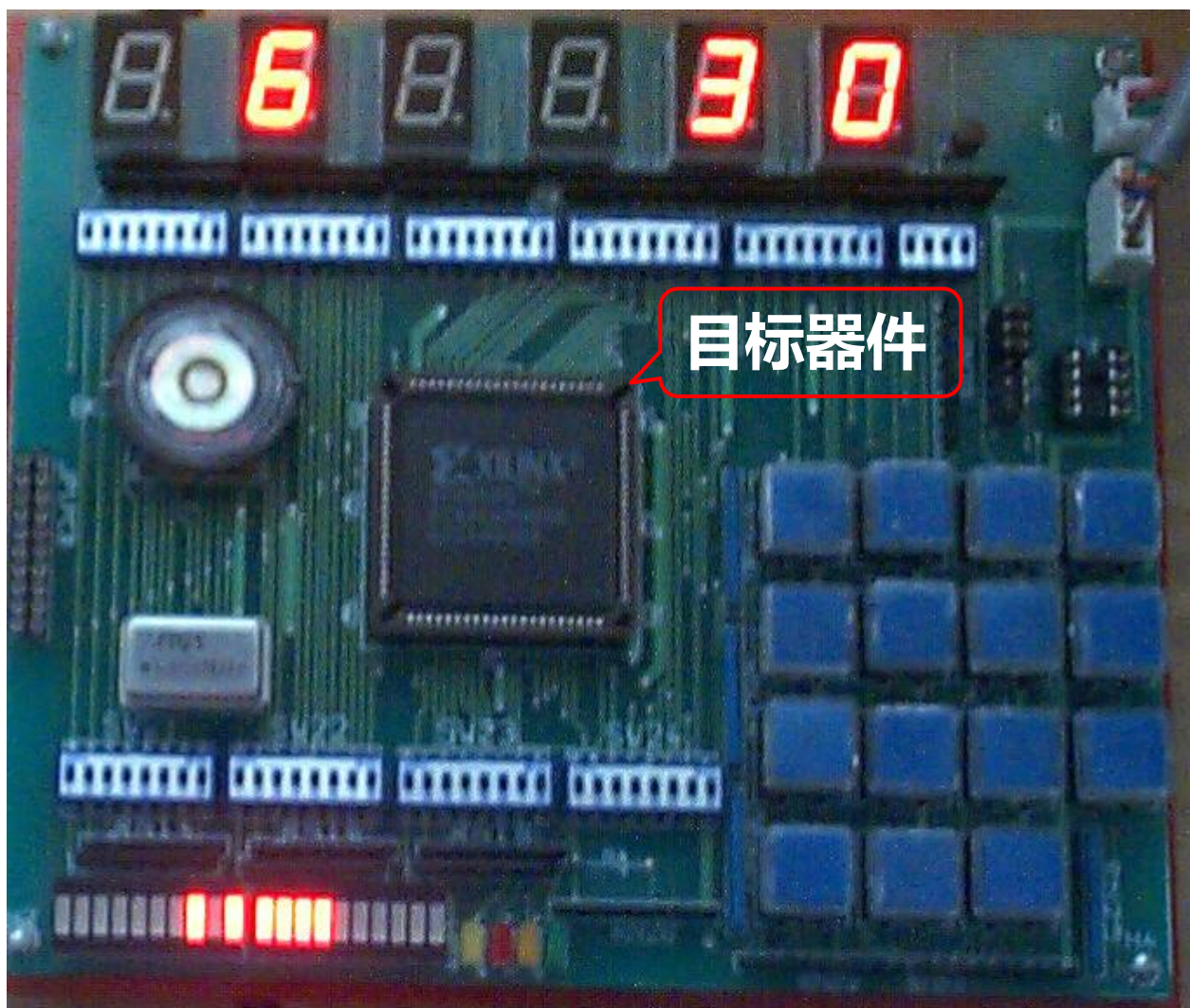


3、编程（下载）

下载电缆



试验板



开发完成，系统独立运行

6.1.1 PLD的表示方法

一、缓冲电路

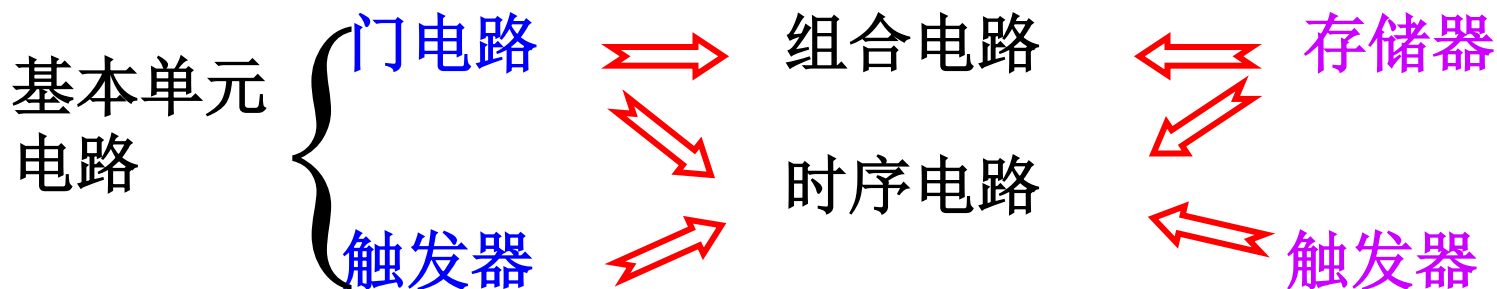
二、导线连接

三、与门、或门

四、多路选择器

6.1.2 PLD的基本结构

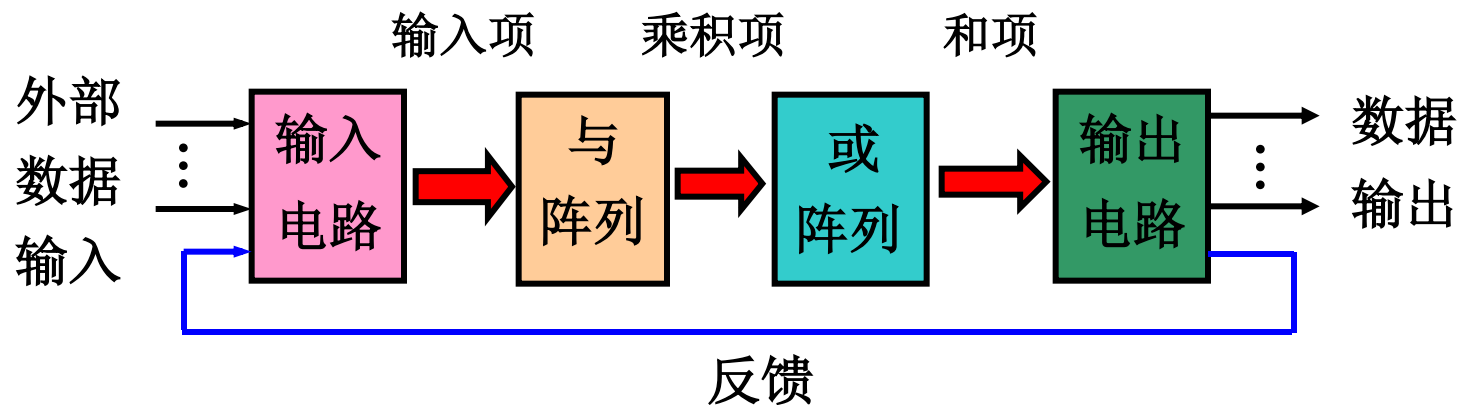
一、PLD实现各种逻辑功能的依据



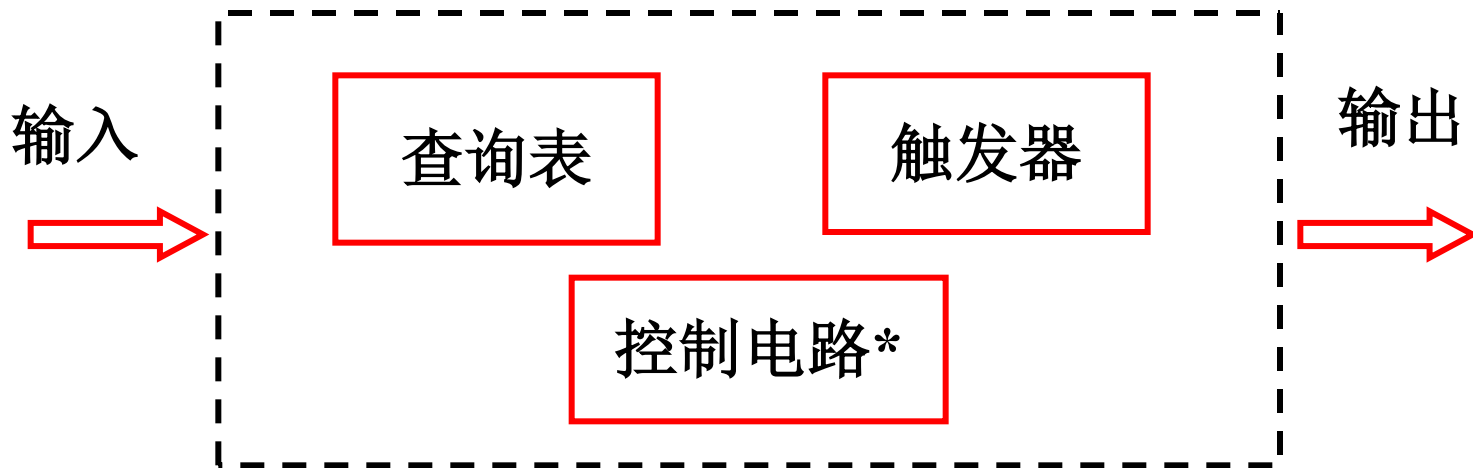
- PLD内包含门和触发器
- PLD内包含存储器和触发器

<i>A</i>	<i>B</i>	<i>F</i>
0	0	0
0	1	1
1	0	1
1	1	0

二、基于与—或阵列结构的PLD

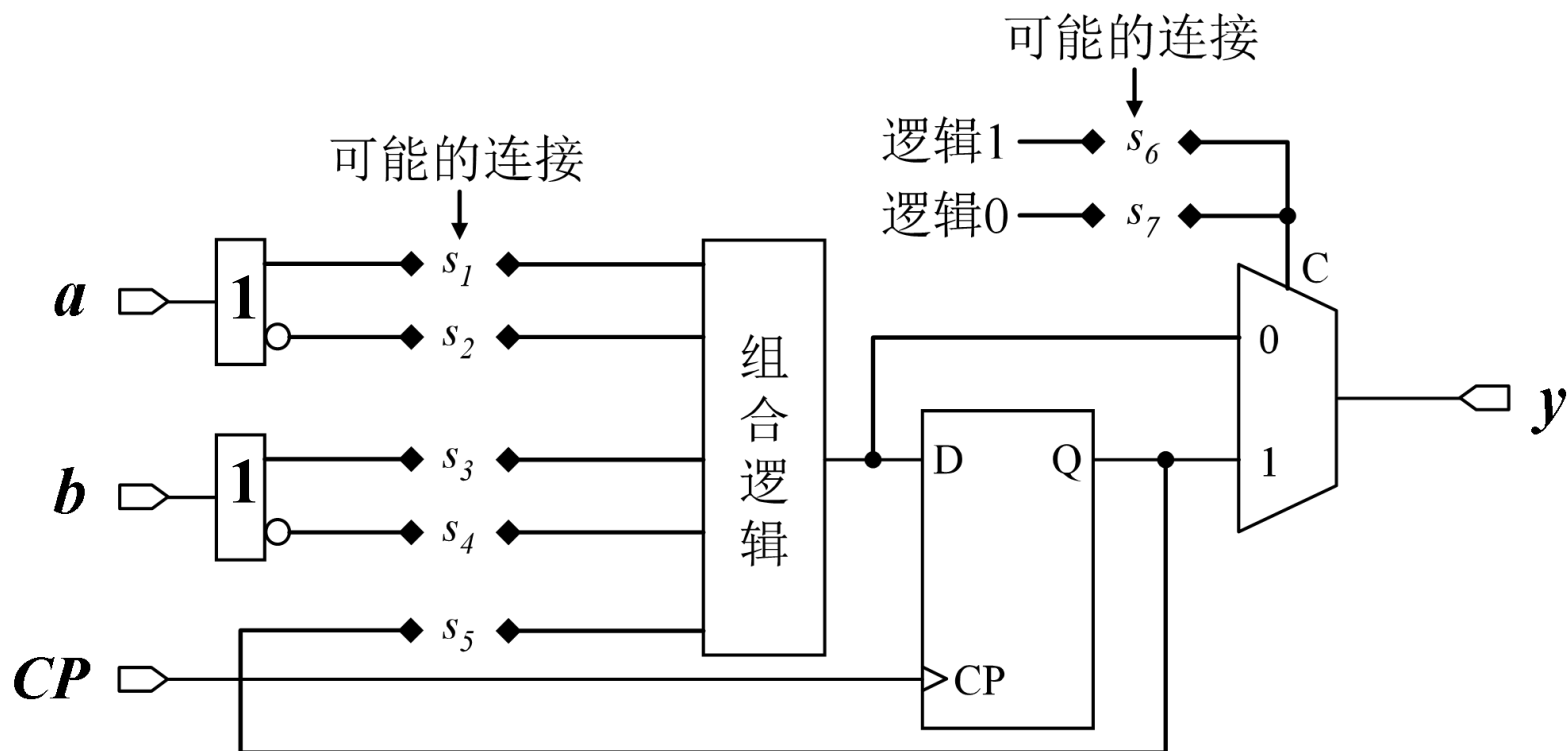


三、基于查询表结构的PLD



控制触发器的触发方式、激励信号等

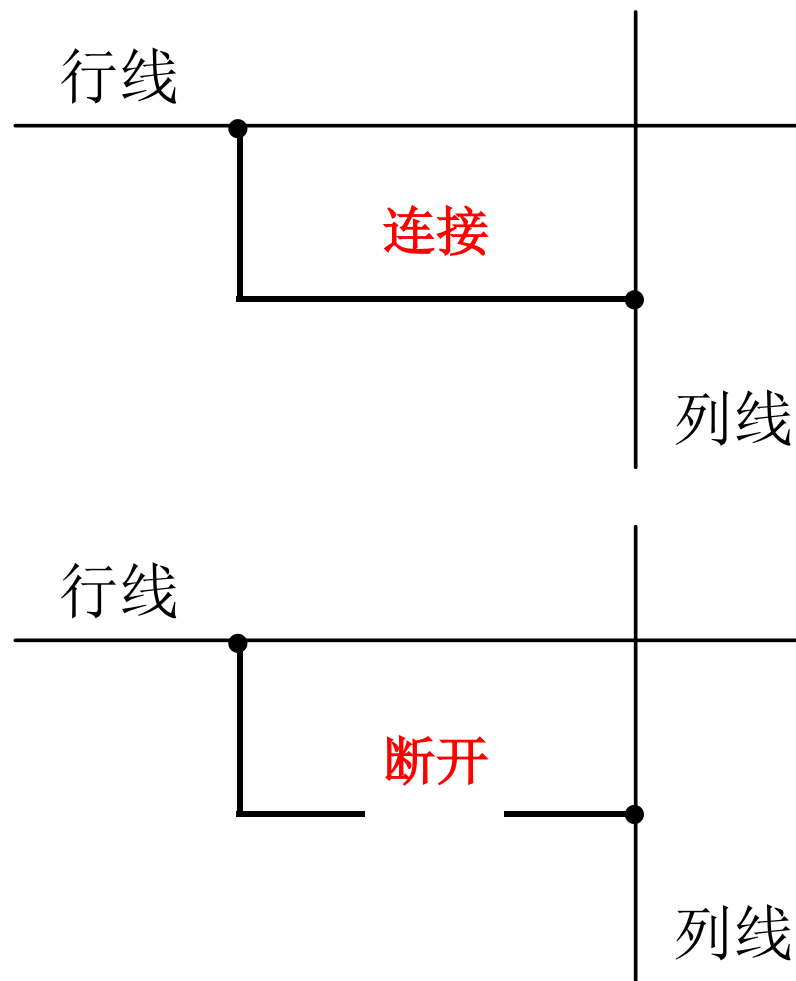
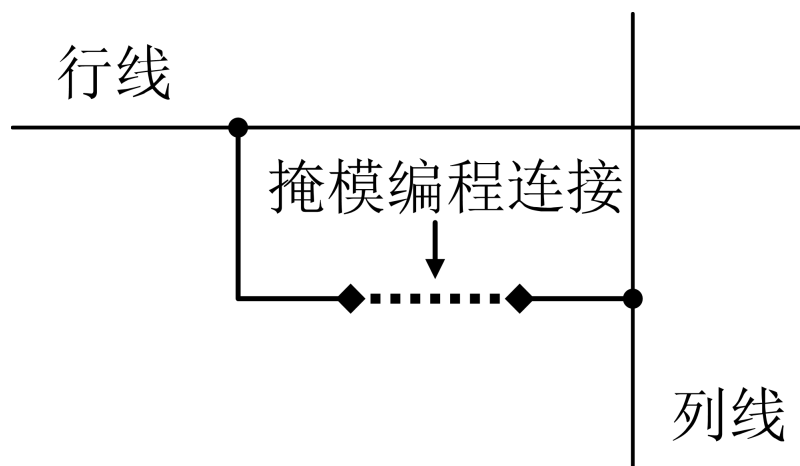
四、可编程功能的实现



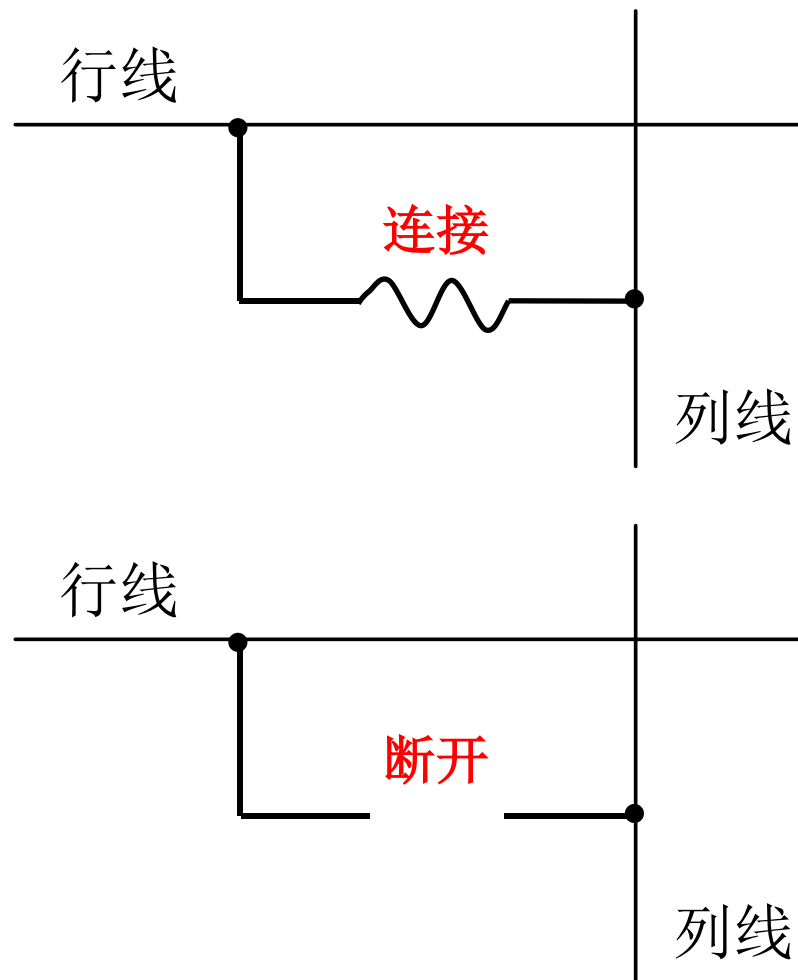
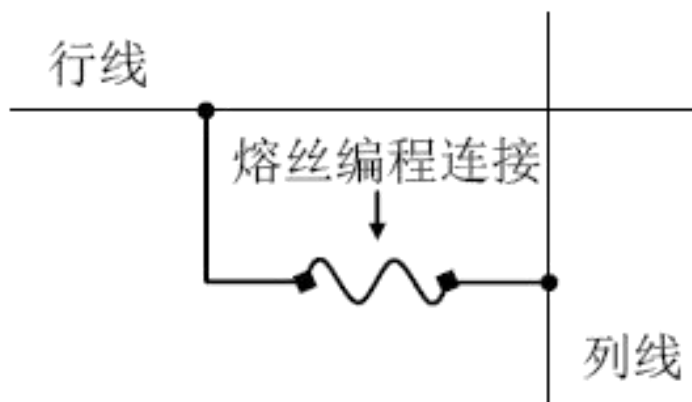
一个简单的可编程模块

6.1.3 PLD的制造工艺*16-21

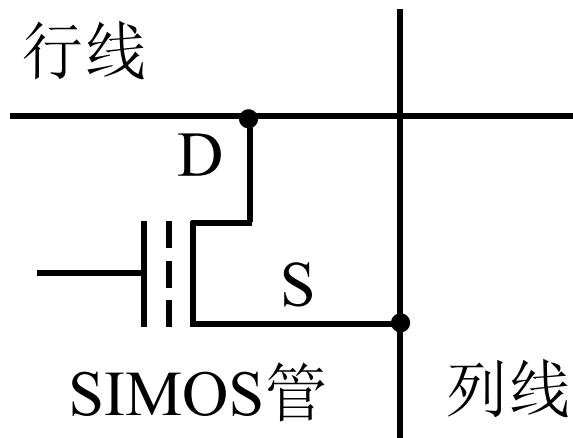
1. 基于掩模技术的PLD



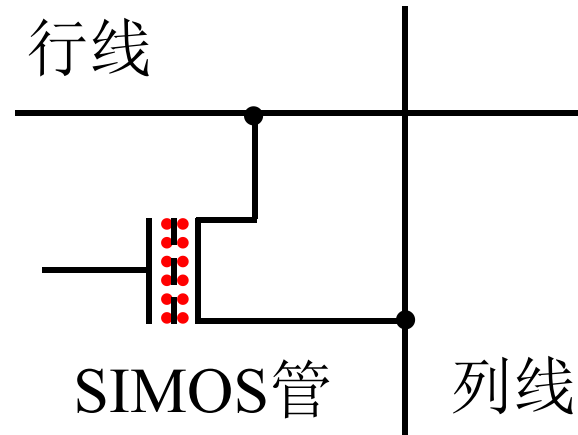
2.基于熔丝（或反熔丝）技术的PLD



3.紫外线可擦除的PLD



连接



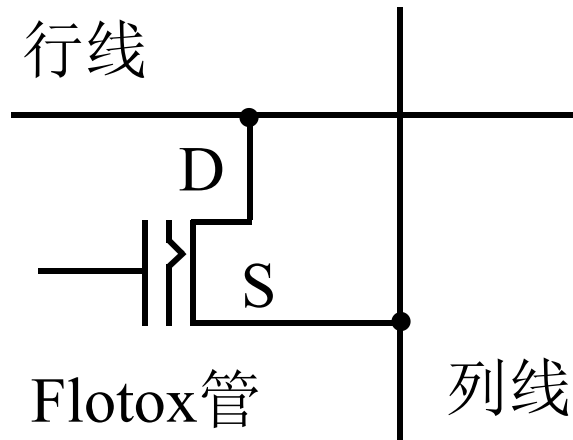
断开

Stacked-gate Injection MOS

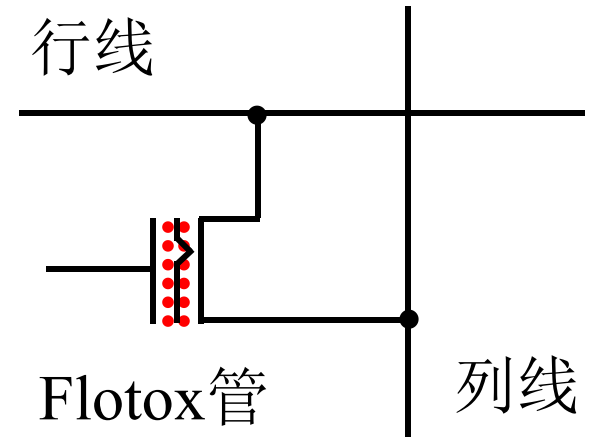
写入：利用高压捕获电子；擦除：紫外线。

20min；几十次

4.电可擦除的PLD



连接



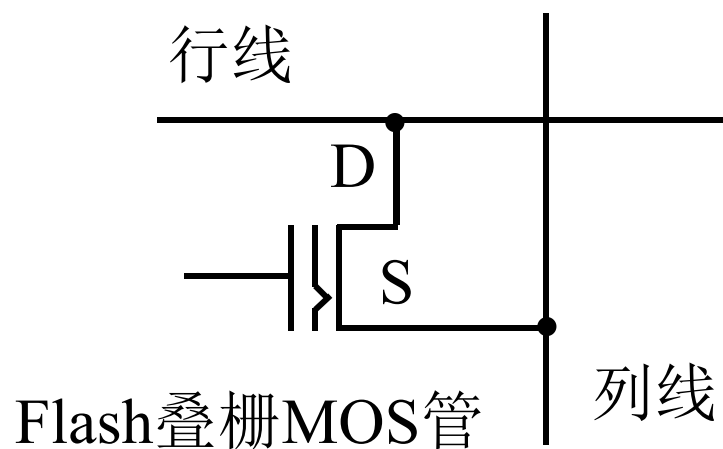
断开

Floating Gate Tunnel Oxide

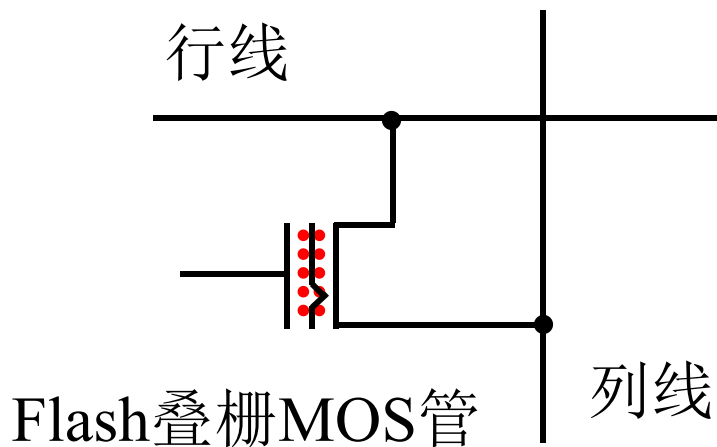
写入、擦除：隧道效应。

10ms；上千次。

5.基于Flash技术的PLD



连接



断开

写入时**利用高压捕获电子**；

擦除时利用**隧道效应**。

6.基于SRAM技术的PLD

