

数字电路与逻辑设计B

第十一讲

南京邮电大学

电子与光学工程学院

臧裕斌

第4章 触发器 (Flip Flop)

4.1 概述

一、触发器概念

二、触发器的分类

- 1.按是否受控于时钟脉冲(CP Clock Pulse)
- 2.按实现的逻辑功能

4.2 基本SRFF

一、与非门构成的基本SRFF

1. 电路构成
2. 逻辑功能
3. 逻辑功能的表示方法

4.3 钟控电位触发器（钟控触发器）

一、钟控SRFF (SR锁存器)

1. 电路构成
2. 钟控原理
3. 逻辑功能

二、钟控DFF (D锁存器)

1. 电路构成
2. 逻辑功能

三、钟控触发器的触发方式与空翻

1. 触发方式（工作方式）
2. 空翻

作业

第4章 触发器

4.1 概述

一、触发器概念及特点

有两个互反的输出（ Q 和 \bar{Q} ），具有两个稳态，能存储一个0或1的基本单元电路。通常用 Q 端的状态代表触发器的状态。

Flip - Flop，简写为 FF，又称双稳态触发器。

触发器是构成时序逻辑电路的**基本单元电路**

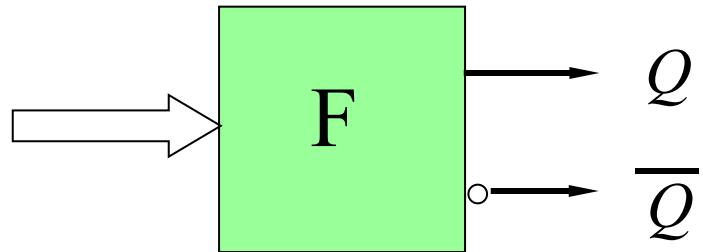


图 4.1.1触发器的框图

- (1) 具有**两种不同的稳定状态：“0”或“1”。**
——具有存储功能。
- (2) 输入信号无效后，状态能保存。
——具有记忆功能。

二、触发器的分类

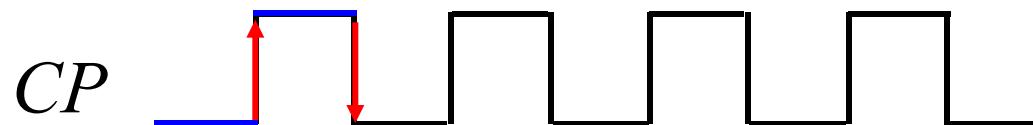
1. 按触发是否受控于时钟脉冲(CP Clock Pulse)

(1) 异步(基本)触发器(不用 CP , 异步工作)

(2) 同步(时钟)触发器(用 CP , 同步工作)

① 钟控电位触发器(电位触发)

② 边沿触发器(边沿触发)



2. 按实现的逻辑功能

(1) SRFF

(2) DFF

(3) JKFF

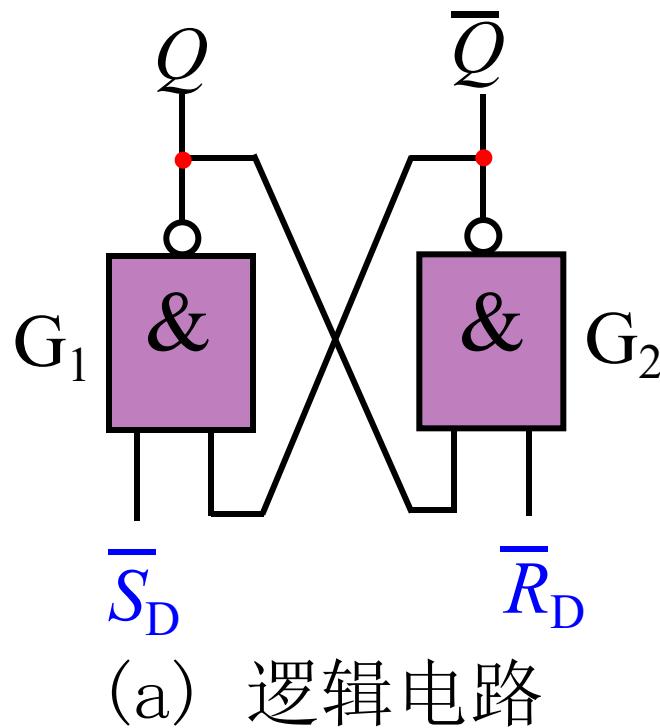
(4) TFF

(5) T'FF

4. 2 基本SRFF (S_D R_D FF)

一、与非门构成的基本SRFF

1. 电路构成



\bar{S}_D 、 \bar{R}_D : 输入端

直接置1(或0)端

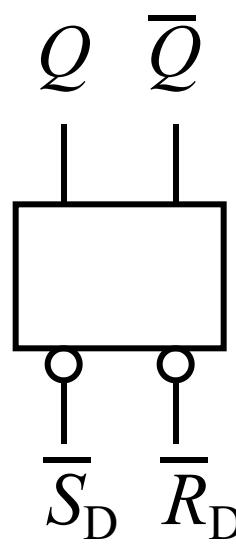
直接置位(或复位)端

控制输入端

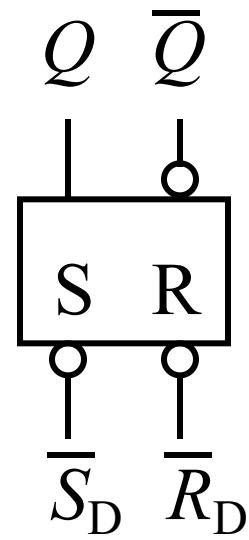
数据输入端

激励输入端

触发输入端



(b) 曾用符号



(c) 国标符号

图 4.2.1 与非门构成的基本SRFF

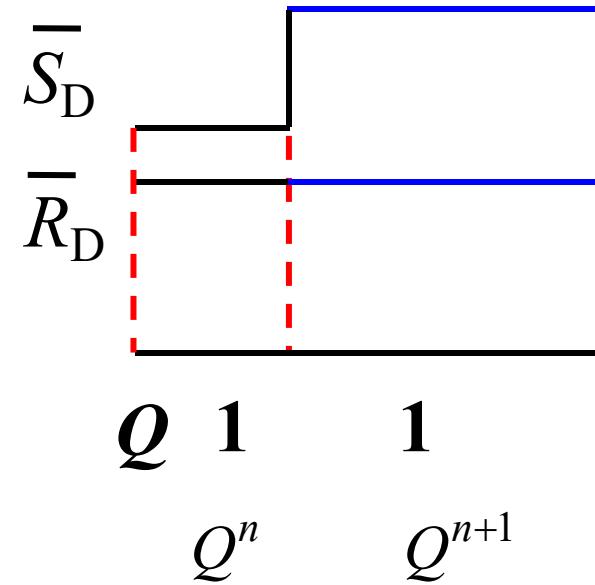
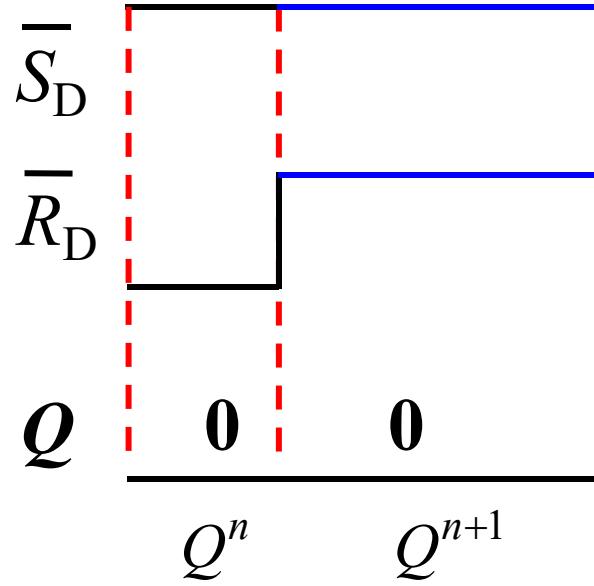
2.逻辑功能分析

(1) 现态(当前状态)

Q^n : 接收信号时的状态。

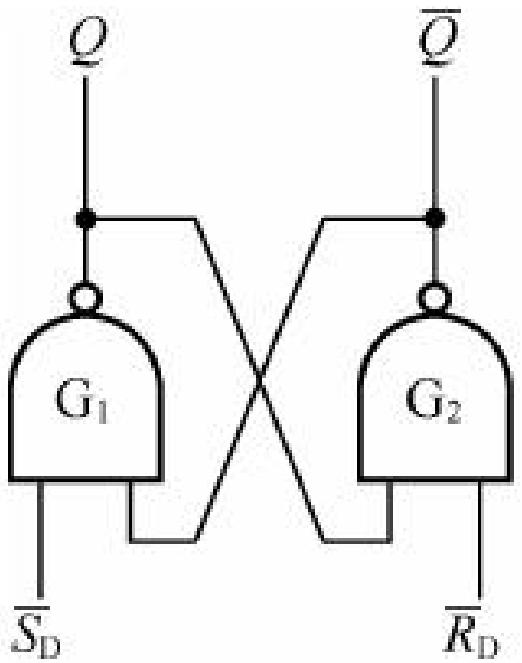
(2) 次态(下一状态)

Q^{n+1} : 接收信号后状态。

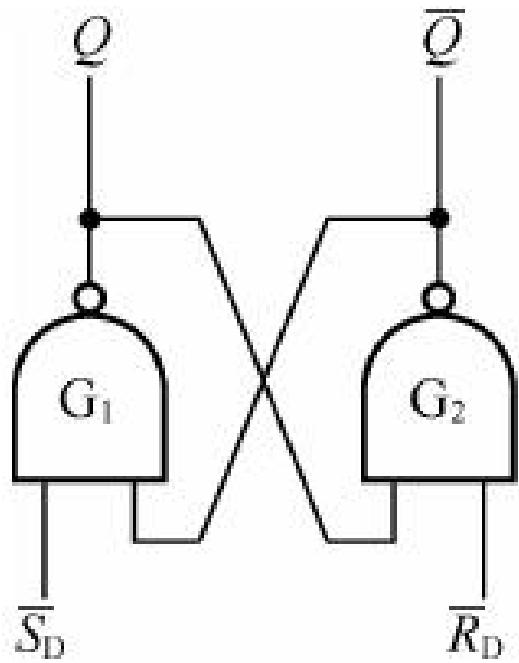


输入相同而输出不同，引入**时间维度**来区别输出

3.逻辑功能表

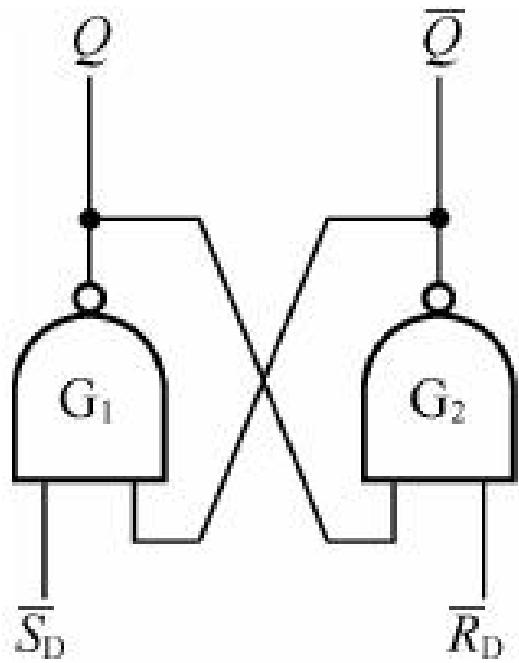


3.逻辑功能表



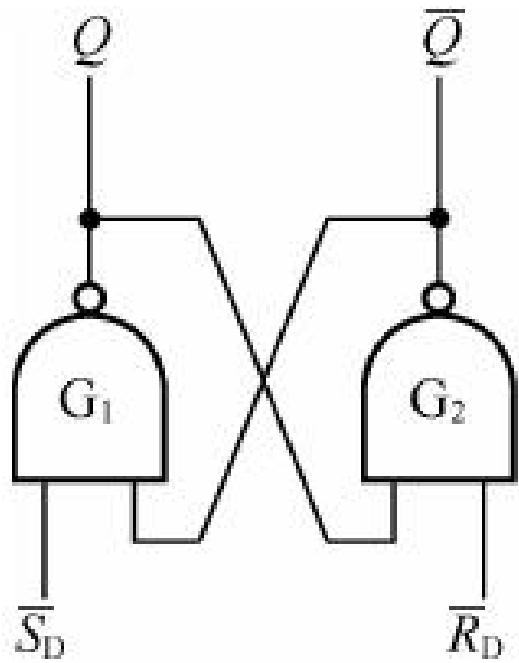
$\overline{S_D}$	$\overline{R_D}$	Q^n	Q^{n+1}	功能

3.逻辑功能表



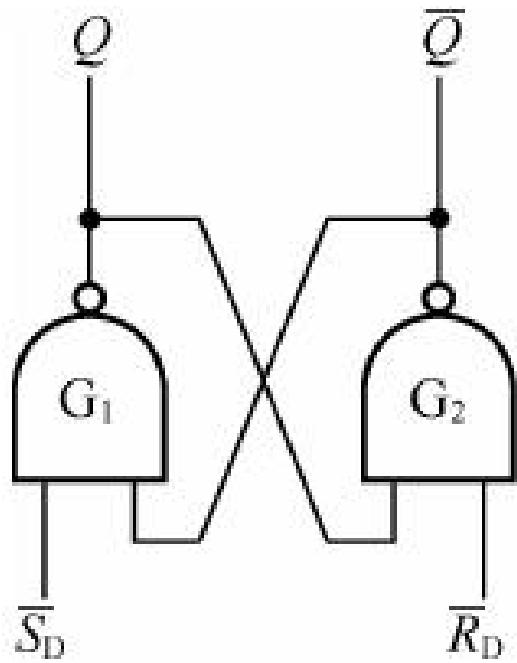
$\overline{S_D}$	$\overline{R_D}$	Q^n	Q^{n+1}	功能
0	0	0	0	
0	0	1	1	
0	1	0	0	
0	1	1	1	
1	0	0	0	
1	0	1	1	
1	1	0	0	
1	1	1	1	

3.逻辑功能表



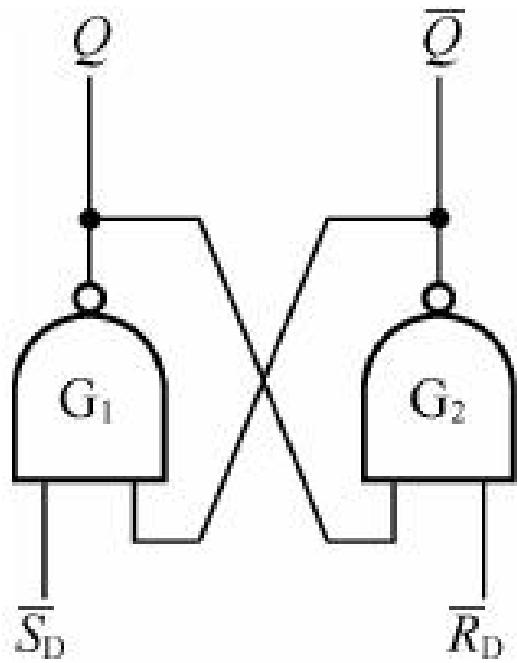
\overline{S}_D	\overline{R}_D	Q^n	Q^{n+1}	功能
0	0	0	1	
0	0	1		
0	1	0		
0	1	1		
1	0	0		
1	0	1		
1	1	0		
1	1	1		

3.逻辑功能表



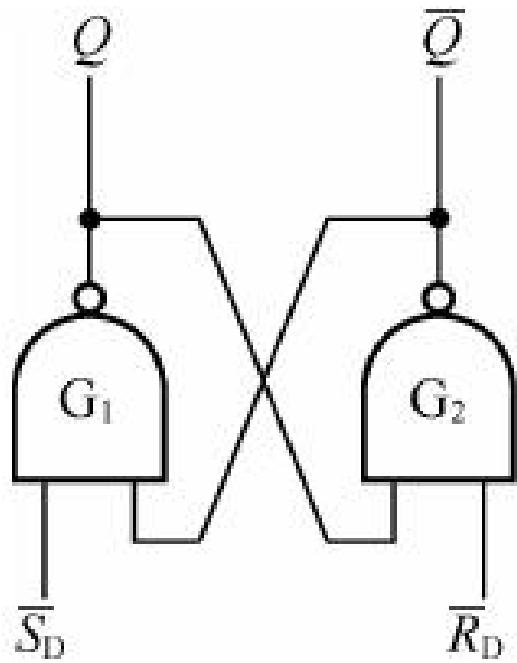
$\overline{S_D}$	\overline{R}_D	Q^n	Q^{n+1}	功能
0	0	0	1 *	
0	0	1	0	
0	1	0	1	
0	1	1	0	
1	0	0	0	
1	0	1	1	
1	1	0	0	
1	1	1	1	

3.逻辑功能表



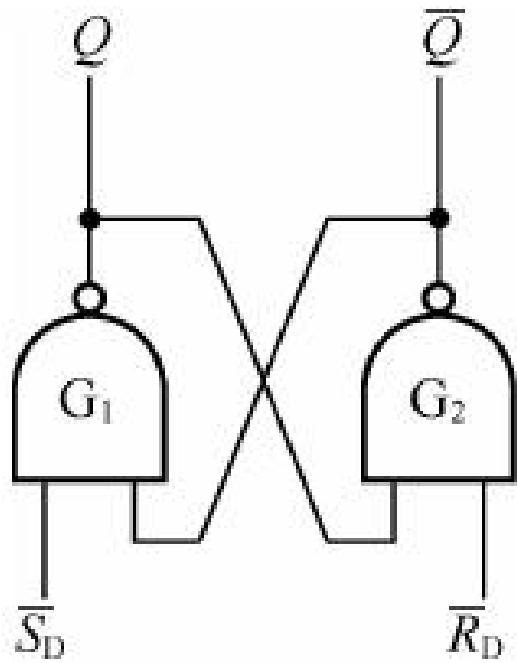
$\overline{S_D}$	\overline{R}_D	Q^n	Q^{n+1}	功能
0	0	0	1 *	
0	0	1	1 *	
0	1	0		
0	1	1		
1	0	0		
1	0	1		
1	1	0		
1	1	1		

3.逻辑功能表



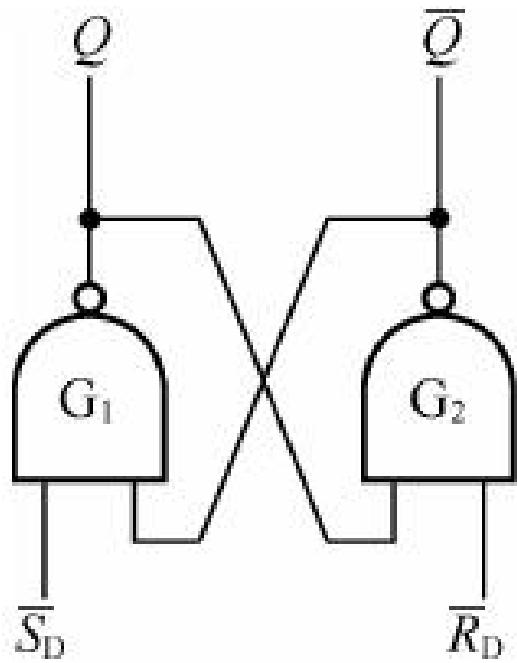
$\overline{S_D}$	$\overline{R_D}$	Q^n	Q^{n+1}	功能
0	0	0	1 *	
0	0	1	1 *	
0	1	0	1	
0	1	1		
1	0	0		
1	0	1		
1	1	0		
1	1	1		

3.逻辑功能表



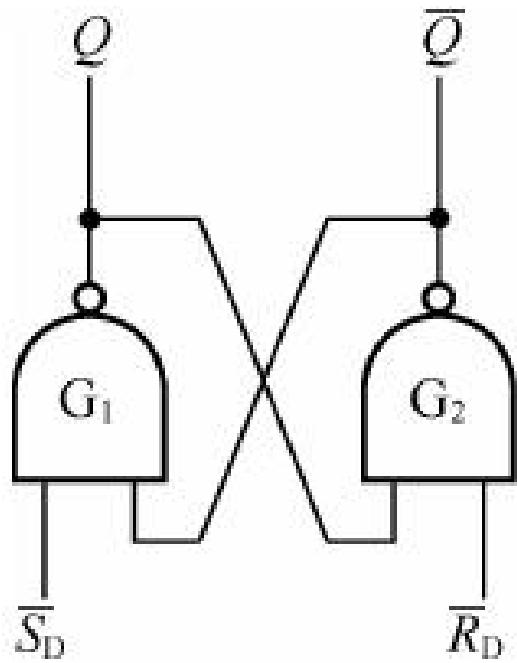
$\overline{S_D}$	\overline{R}_D	Q^n	Q^{n+1}	功能
0	0	0	1*	
0	0	1	1*	
0	1	0	1	
0	1	1	1	
1	0	0		
1	0	1		
1	1	0		
1	1	1		

3.逻辑功能表



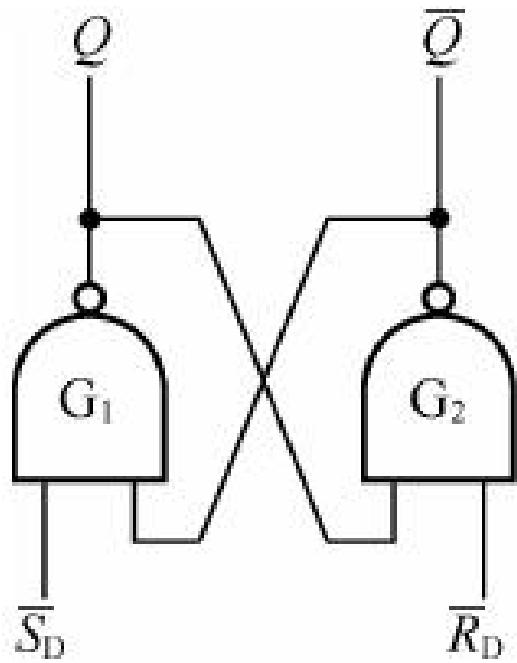
$\overline{S_D}$	$\overline{R_D}$	Q^n	Q^{n+1}	功能
0	0	0	1*	
0	0	1	1*	
0	1	0	1	
0	1	1	1	
1	0	0	0	
1	0	1		
1	1	0		
1	1	1		

3.逻辑功能表



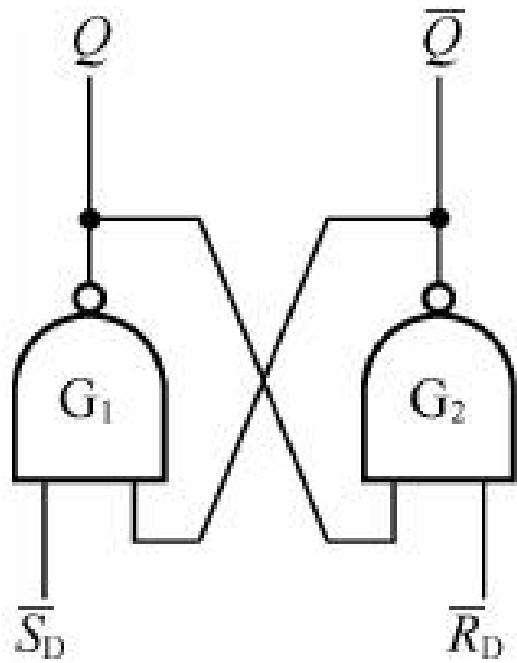
$\overline{S_D}$	\overline{R}_D	Q^n	Q^{n+1}	功能
0	0	0	1*	
0	0	1	1*	
0	1	0	1	
0	1	1	1	
1	0	0	0	
1	0	1	0	
1	1	0		
1	1	1		

3.逻辑功能表



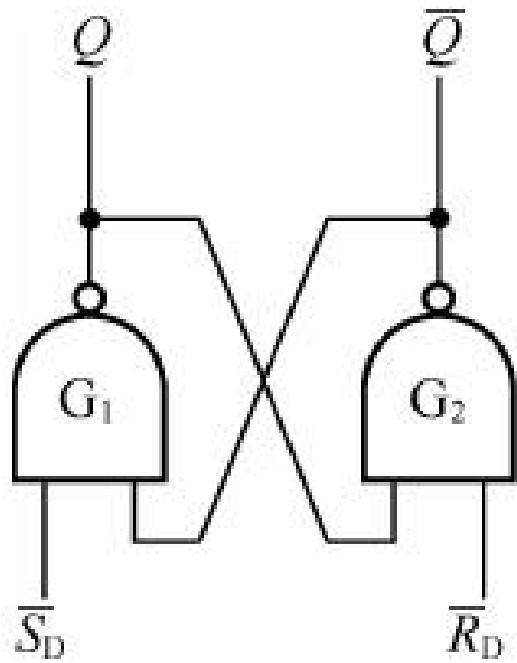
$\overline{S_D}$	$\overline{R_D}$	Q^n	Q^{n+1}	功能
0	0	0	1 *	
0	0	1	1 *	
0	1	0	1	
0	1	1	1	
1	0	0	0	
1	0	1	0	
1	1	0	0	
1	1	1		

3.逻辑功能表



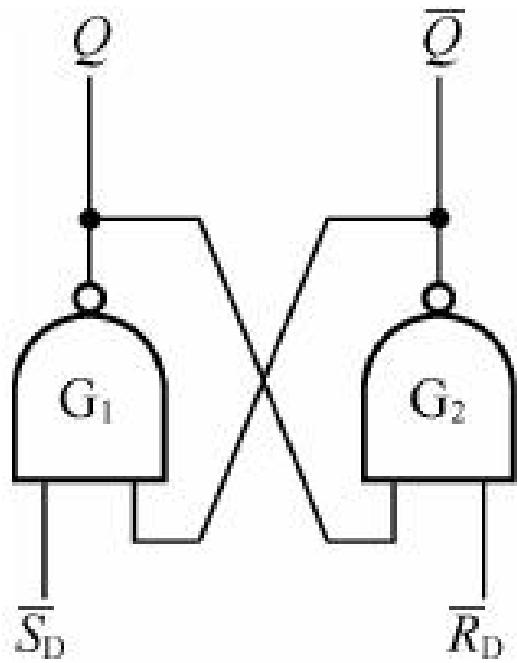
$\overline{S_D}$	\overline{R}_D	Q^n	Q^{n+1}	功能
0	0	0	1 *	
0	0	1	1 *	
0	1	0	1	
0	1	1	1	
1	0	0	0	
1	0	1	0	
1	1	0	0	
1	1	1	1	

3.逻辑功能表



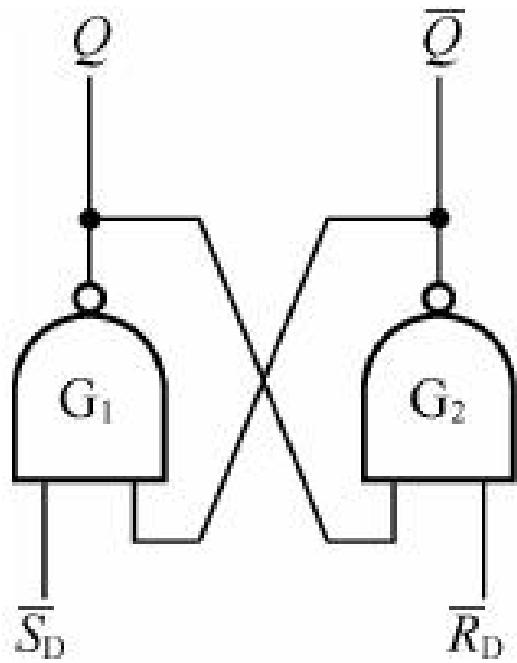
$\overline{S_D}$	$\overline{R_D}$	Q^n	Q^{n+1}	功能
0	0	0	1*	
0	0	1	1*	
0	1	0	1	
0	1	1	1	
1	0	0	0	
1	0	1	0	
1	1	0	0	
1	1	1	1	

3.逻辑功能表



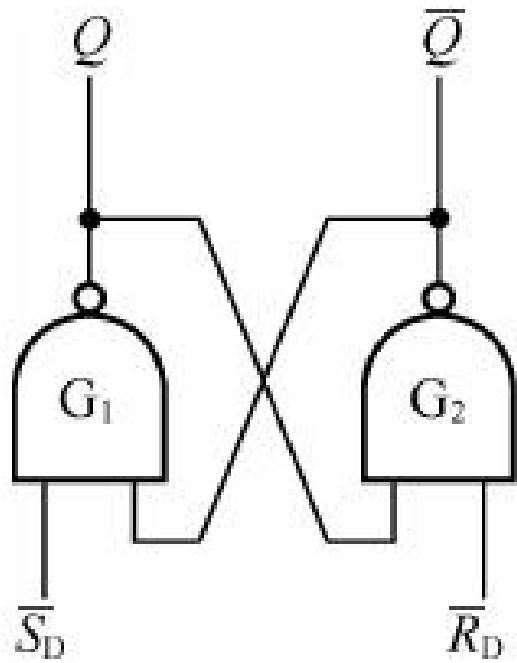
$\overline{S_D}$	$\overline{R_D}$	Q^n	Q^{n+1}	功能
0	0	0	1*	禁止
0	0	1	1*	禁止
0	1	0	1	
0	1	1	1	
1	0	0	0	
1	0	1	0	
1	1	0	0	
1	1	1	1	

3.逻辑功能表



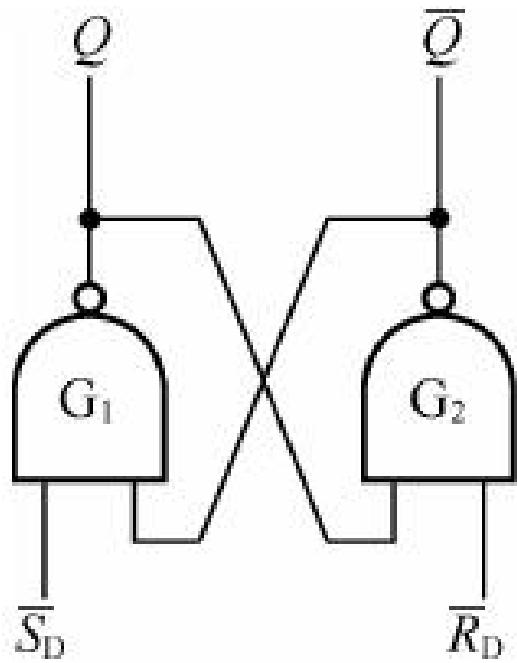
$\overline{S_D}$	$\overline{R_D}$	Q^n	Q^{n+1}	功能
0	0	0	1*	禁止
0	0	1	1*	禁止
0	1	0	1	置1
0	1	1	1	置1
1	0	0	0	
1	0	1	0	
1	1	0	0	
1	1	1	1	

3.逻辑功能表



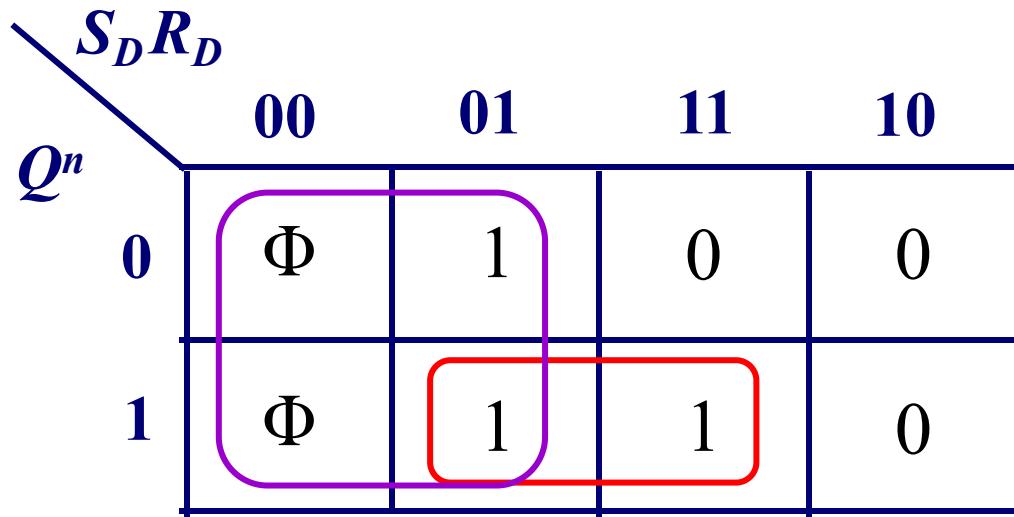
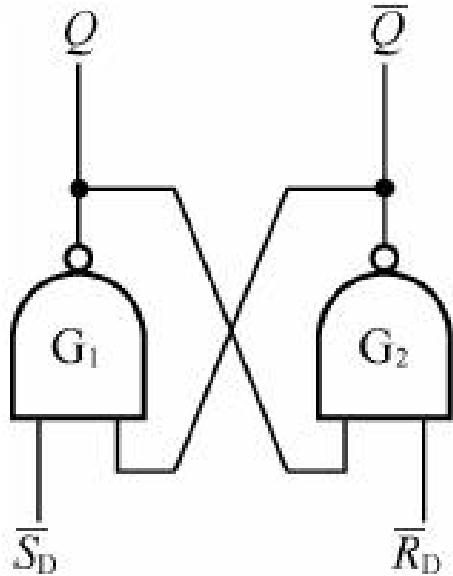
$\overline{S_D}$	$\overline{R_D}$	Q^n	Q^{n+1}	功能
0	0	0	1 *	禁止
0	0	1	1 *	禁止
0	1	0	1	置1
0	1	1	1	置1
1	0	0	0	置0
1	0	1	0	置0
1	1	0	0	
1	1	1	1	

3.逻辑功能表



\overline{S}_D	\overline{R}_D	Q^n	Q^{n+1}	功能
0	0	0	1 *	禁止
0	0	1	1 *	禁止
0	1	0	1	置1
0	1	1	1	置1
1	0	0	0	置0
1	0	1	0	置0
1	1	0	0	保持
1	1	1	1	保持

4. 功能卡诺图



5. 次态方程

$$\begin{cases} Q^{n+1} = \overline{\overline{S}_D + \overline{R}_D} Q^n \\ \overline{\overline{S}_D + \overline{R}_D} = 1 \quad (\text{约束条件}) \end{cases}$$

6. 状态转移图

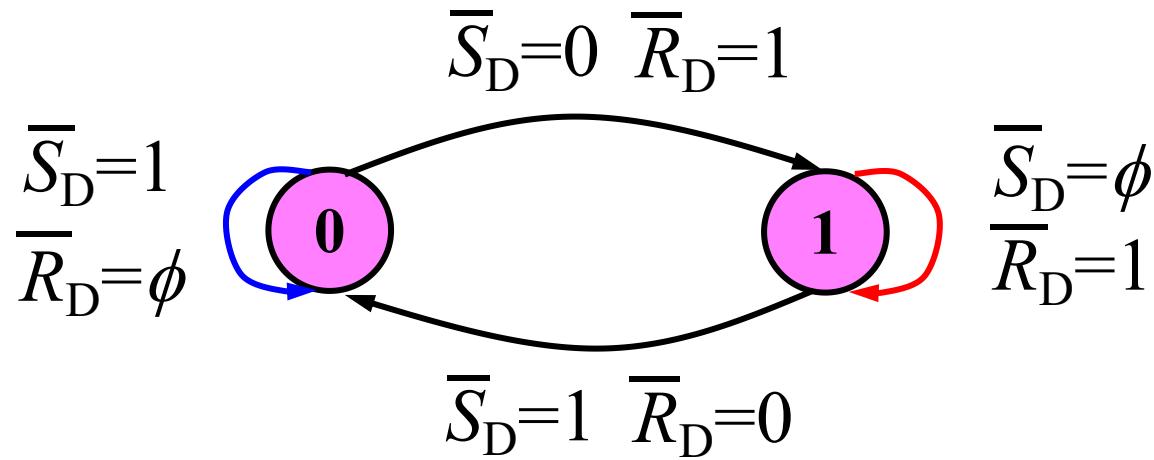
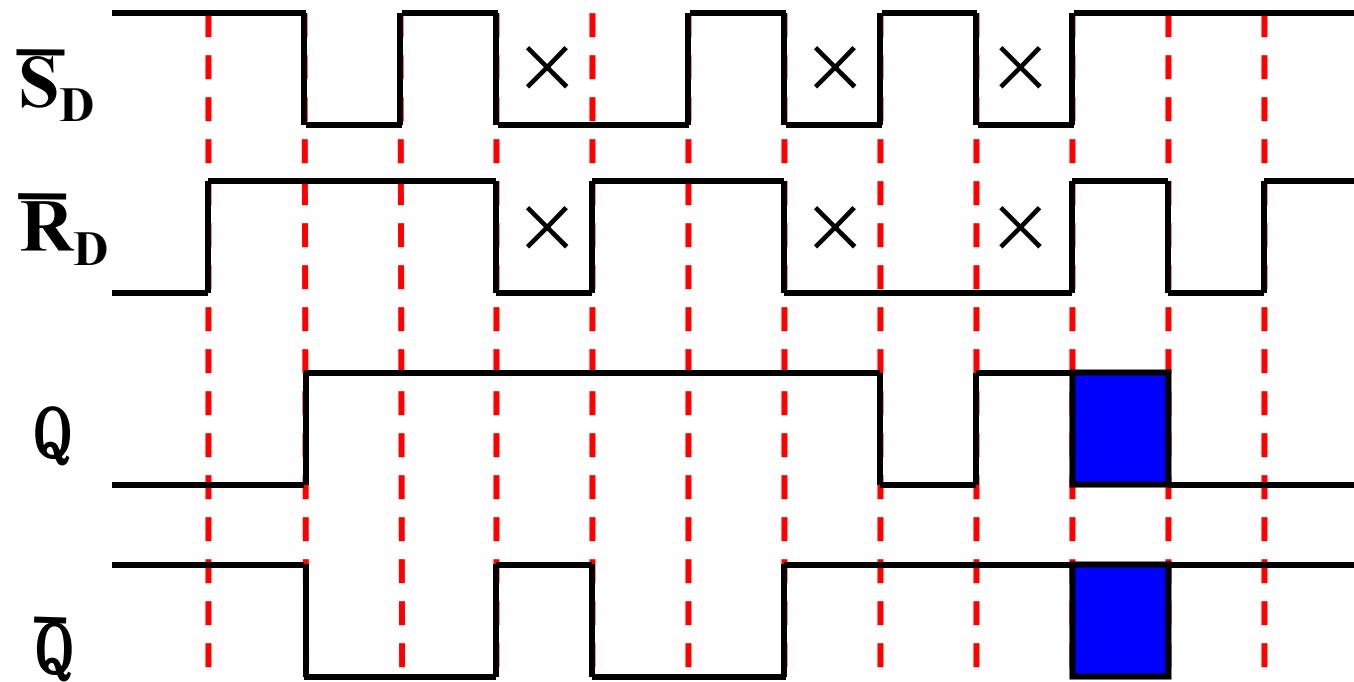


图 4.2.3 与非门基本触发器的状态转移图

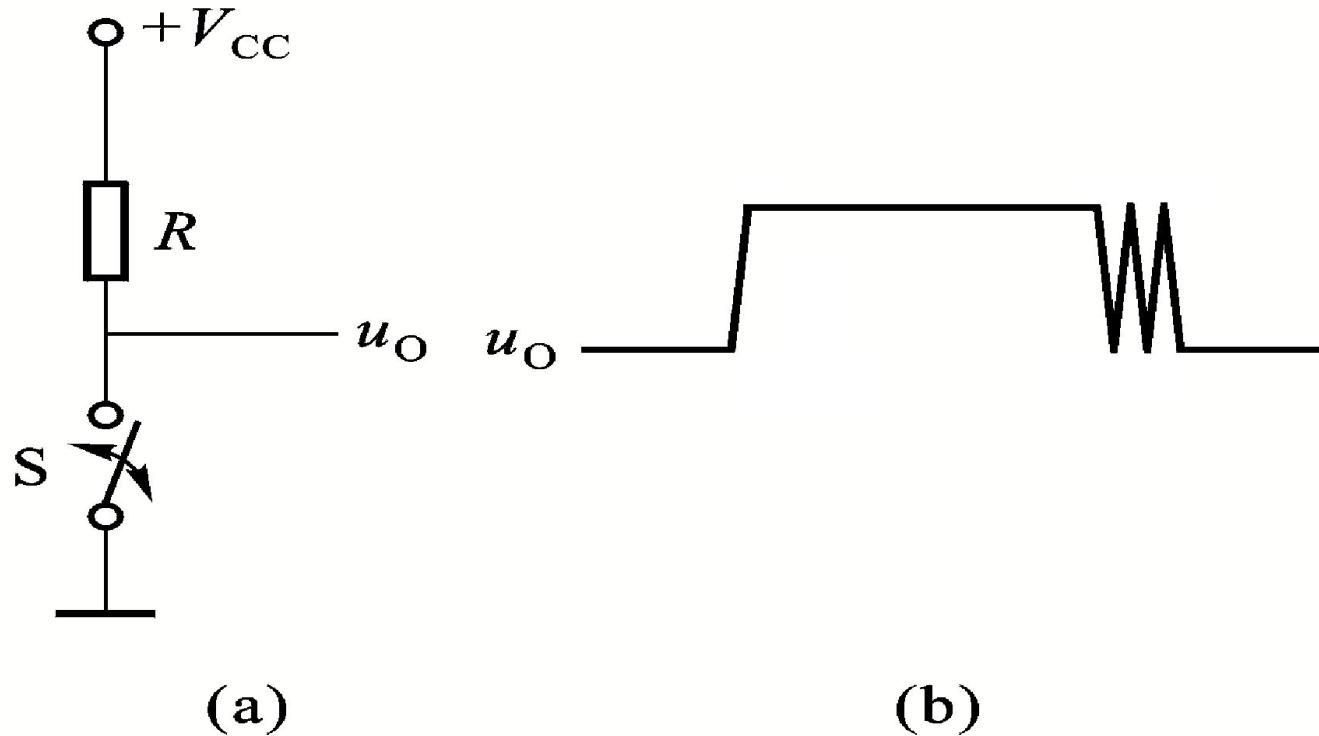
7. 波形图

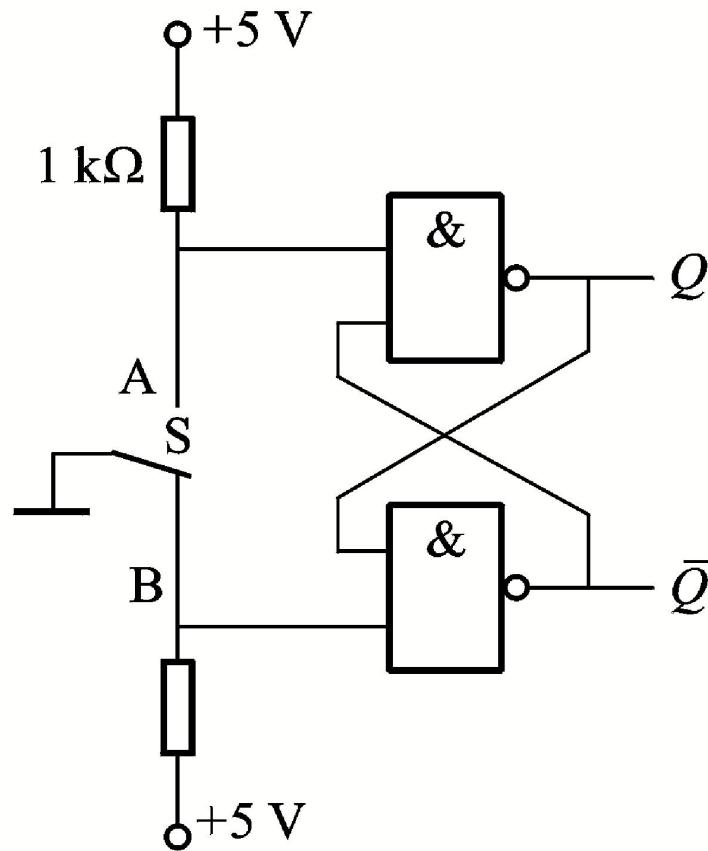


8. 应用

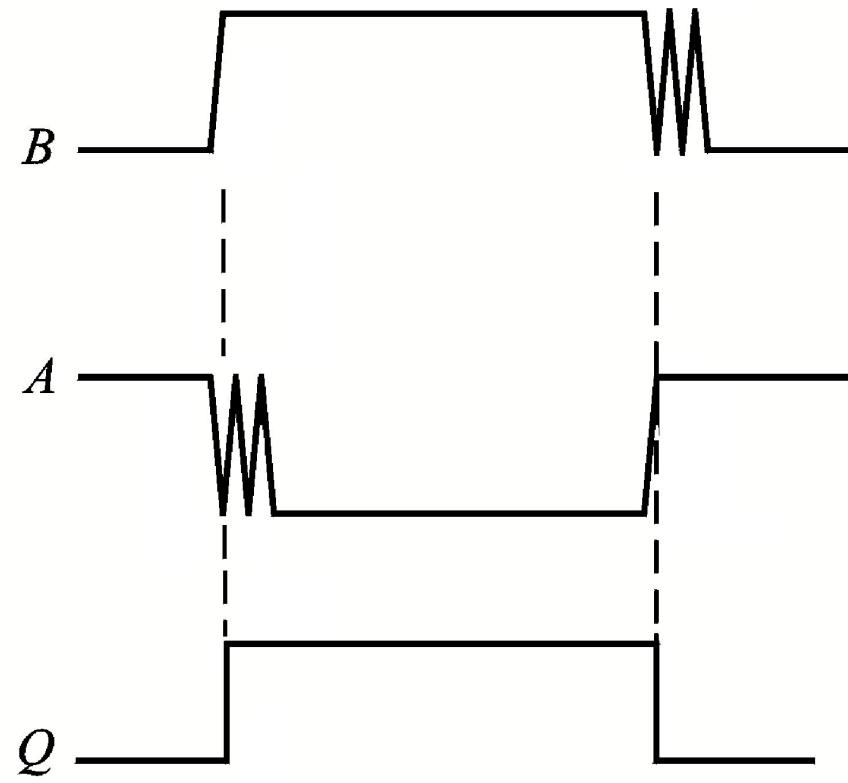
利用基本RS触发器的记忆功能

消除机械开关振动引起的干扰脉冲。





(a)



(b)

基本SR触发器主要特点

1. 优点

结构简单，具有置 0、置 1、保持功能。

2. 问题

输入电平直接控制输出状态，使用不便；

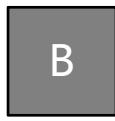
抗干扰能力差；

$\overline{R_D}$ 、 $\overline{S_D}$ 之间有约束。

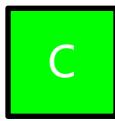
1. 关于与非门构成的基本SRFF，说法正确的是_____。



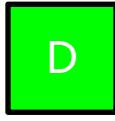
A 能实现置0、置1、保持3种功能



B 当输入出现00时，输出不确定



C 输入变化，输出立即响应，为直接触发



D 输入低电平有效

提交

4.3 钟控电位触发器（钟控触发器）

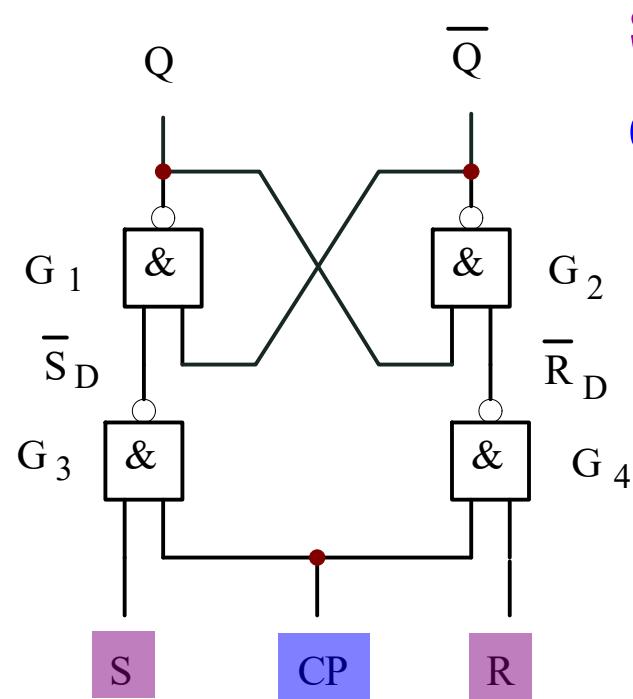
激励输入（数据输入）

时钟输入 (CP Clock Pulse) 、 触发输入

控制输入

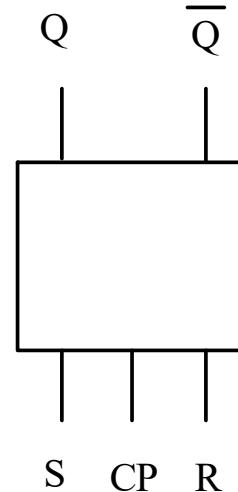
一、钟控SRFF (SR锁存器)

1. 电路构成



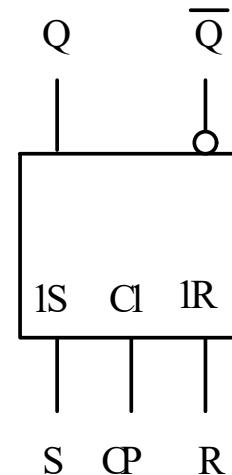
(a) 逻辑图

S R 激励输入
CP 时钟输入



(b) 曾用符号

转移至何状态
何时进行转移



(c) 国际符号

图 4.3.1 钟控SRFF

2. 钟控原理

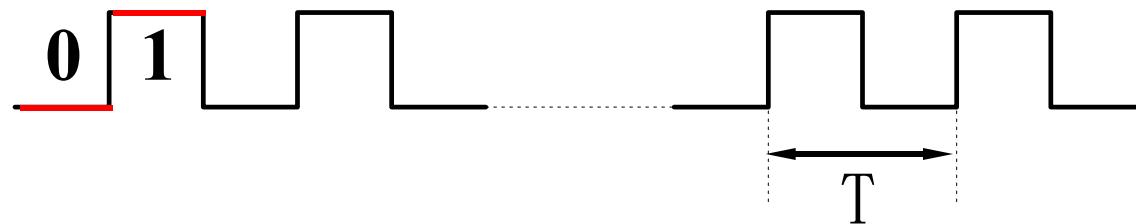
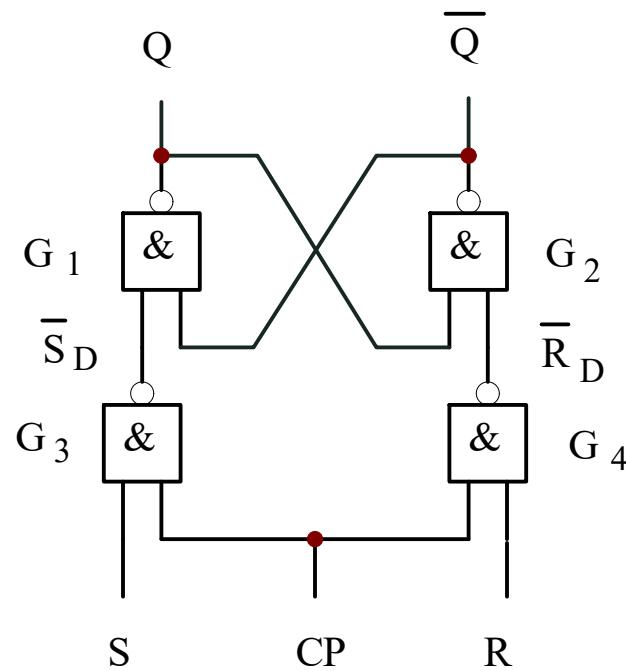


图 4.3.2 时钟脉冲 CP 的波形



3. 逻辑功能

(1) 次态方程

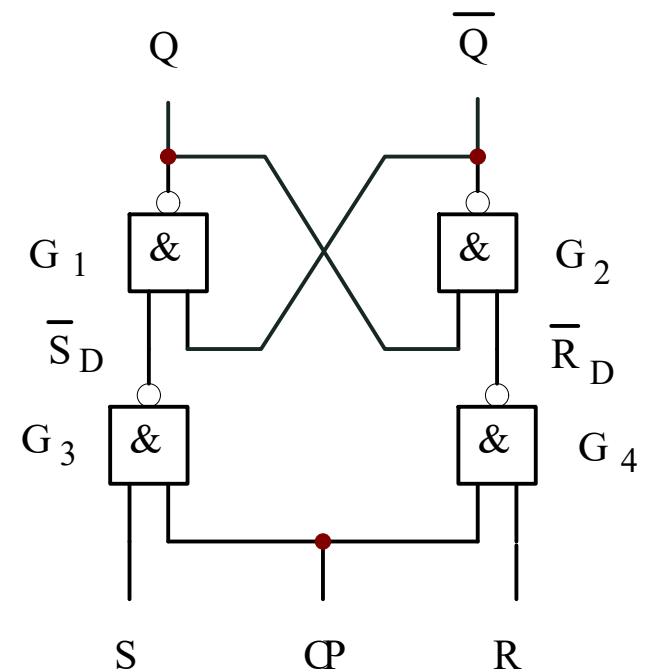
$$CP=0 \text{ 时}, \quad Q^{n+1}=Q^n$$

$$CP=1 \text{ 时}, \quad \begin{cases} Q^{n+1}=S+\bar{R}Q^n \\ SR=0 \end{cases}$$

$$CP=1 \text{ 时} \quad \bar{S}_D = \bar{S} \quad \bar{R}_D = \bar{R}$$

$$Q^{n+1} = \bar{\bar{S}}_D + \bar{R}_D Q^n = \bar{\bar{S}} + \bar{R} Q^n = S + \bar{R} Q^n$$

$$\bar{S}_D + \bar{R}_D = \bar{S} + \bar{R} = \overline{SR} = 1 \quad SR = 0$$



(2) 功能表和激励表

表 4.3.1 钟控SRFF功能表

CP	S	R	Q^{n+1}
0	ϕ	ϕ	Q^n
1	0	0	Q^n
1	0	1	0
1	1	0	1
1	1	1	\times

表 4.3.2 钟控SRFF激励表

$Q^n \rightarrow Q^{n+1}$		S	R
0	0	0	ϕ
0	1	1	0
1	0	0	1
1	1	ϕ	0

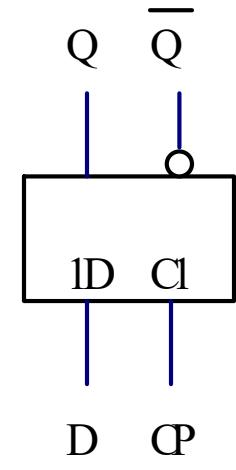
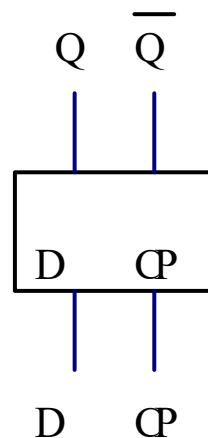
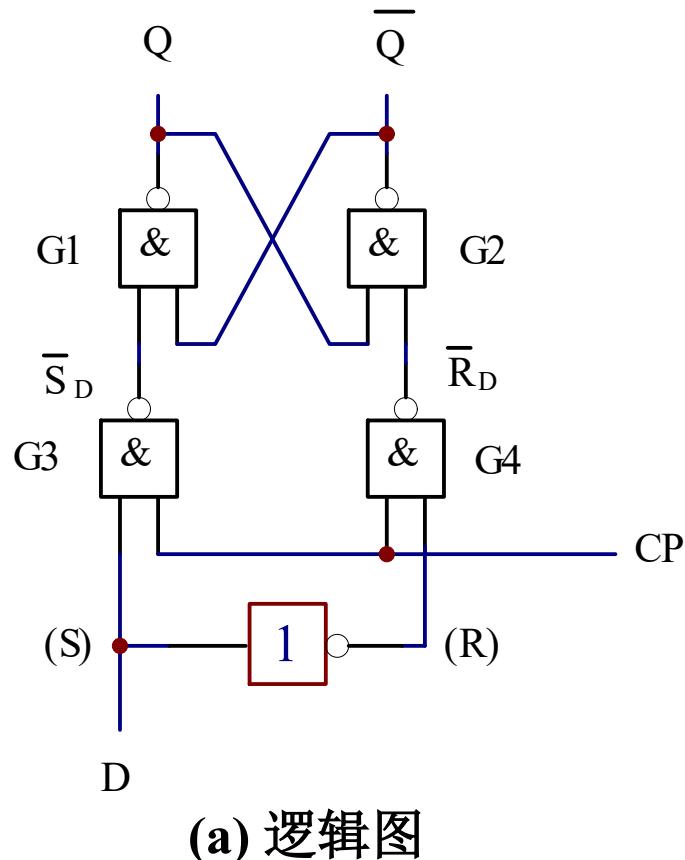
2.关于钟控SRFF，说法正确的是____。

- A 状态转移发生在CP有效电平期间
- B 可以实现置0、置1和保持3种功能
- C 激励信号的取值不存在限制
- D 激励信号低电平有效

提交

二、钟控DFF (D锁存器)

1. 电路构成



2. 逻辑功能

(1) 次态方程

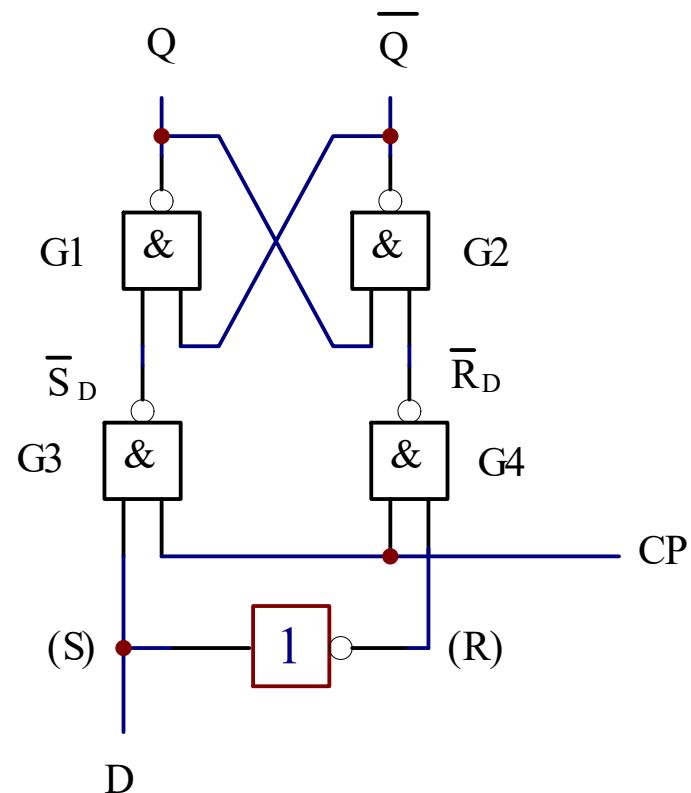
$CP=0$ 时, $Q^{n+1}=Q^n$

$CP=1$ 时, $Q^{n+1}=D$

$CP=1$ 时 $\bar{S}_D = \bar{D}$ $\bar{R}_D = D$

$$Q^{n+1} = \bar{\bar{S}}_D + \bar{R}_D Q^n = \bar{\bar{D}} + D Q^n = D$$

$$\bar{S}_D + \bar{R}_D = \bar{D} + D = 1$$



(2) 功能表和激励表

表 4.3.3 钟控DFF功能表

CP	D	Q^{n+1}
0	ϕ	Q^n
1	0	0
1	1	1

表 4.3.4 钟控DFF激励表

$Q^n \rightarrow Q^{n+1}$	D
0 0	0
0 1	1
1 0	0
1 1	1

三、钟控触发器的触发方式与空翻

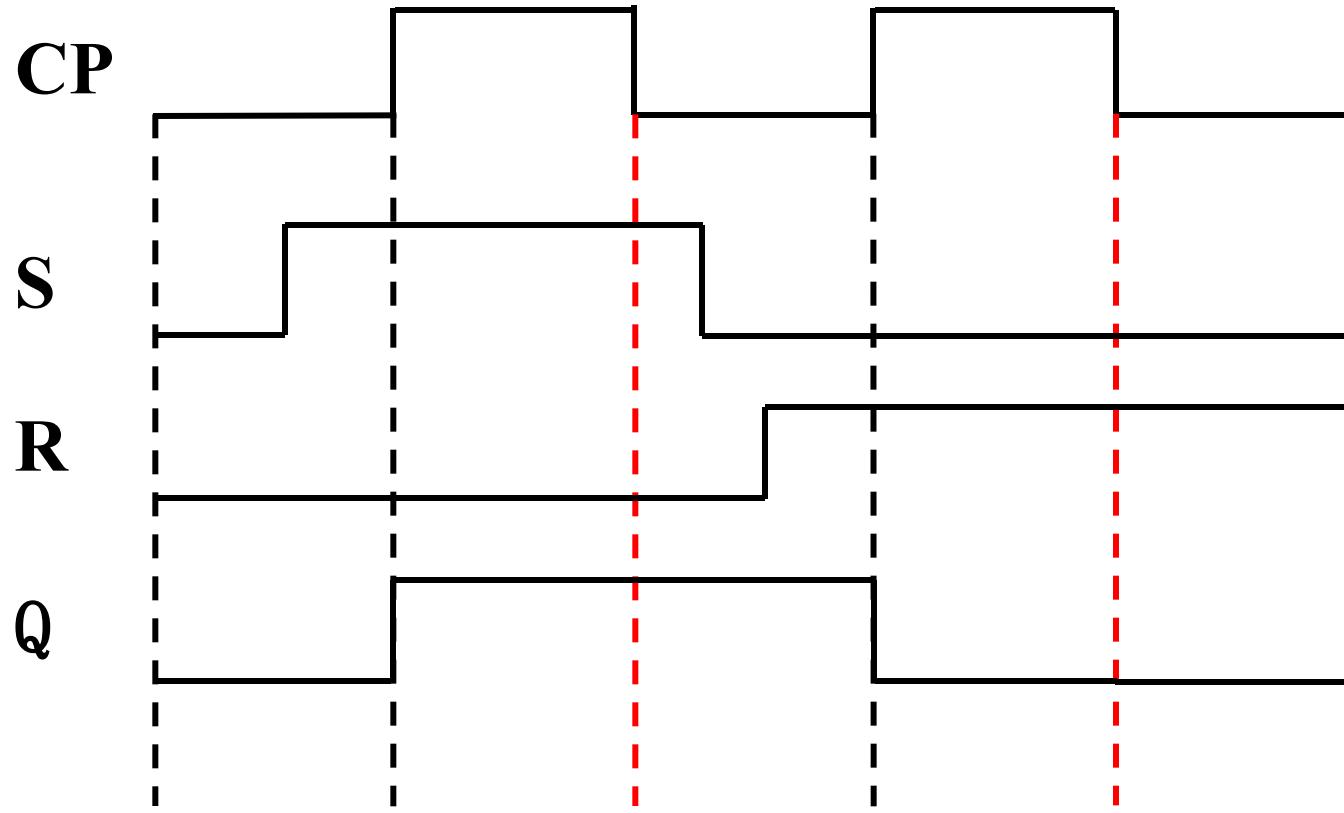
1. 触发方式（工作方式）

电位触发： 高电平触发或低电平触发

2. 空翻

定义：在一个CP周期内，触发器的状态发生两次或两次以上变化的现象。

3. 钟控电位触发器如何避免空翻？



数据改变发生在CP的非有效电平（ $CP=0$ ），在CP的有效电平（ $CP=1$ ）期间，输入数据保持不变，则可避免空翻现象。

4. 4边沿触发器

一、维持阻塞型DFF

1. 电路结构
2. 工作原理
3. 功能描述

二、边沿JKFF

三、TFF和T'FF

1. TFF
2. T'FF

4.5 触发器应用举例

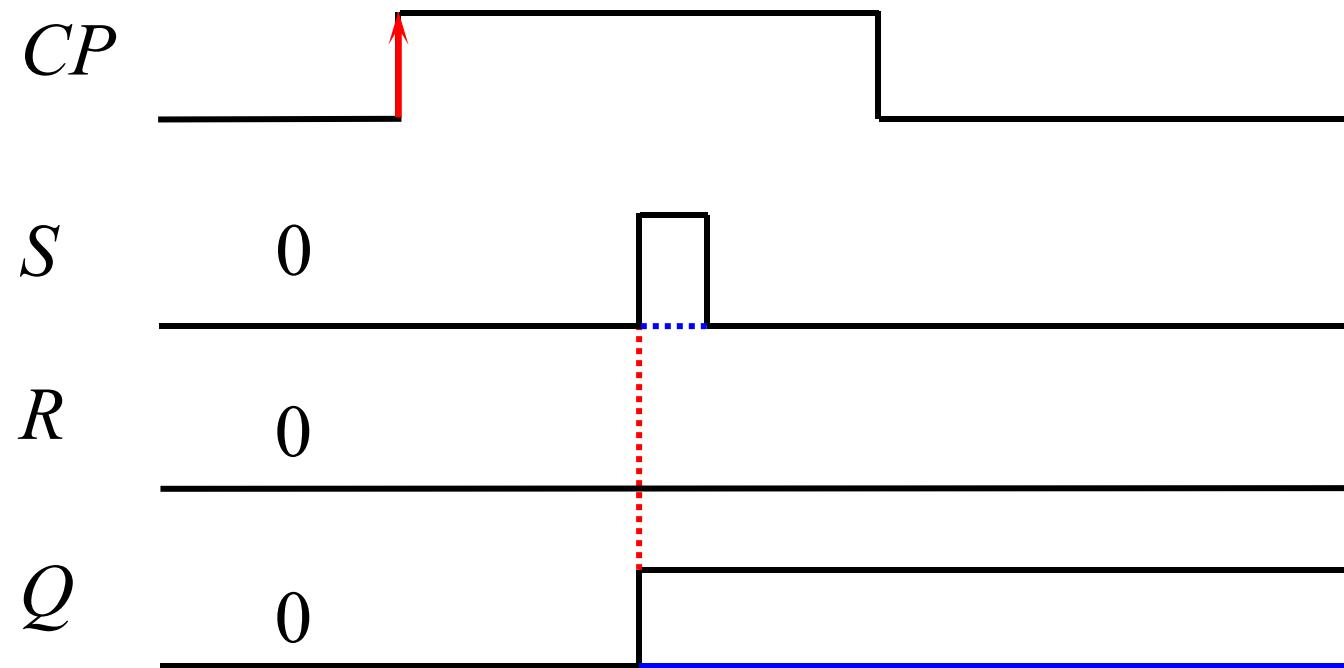
1. 消抖动开关
2. 单脉冲发生器
3. 分频器

4.6 Verilog描述触发器

一、行为建模描述DFF

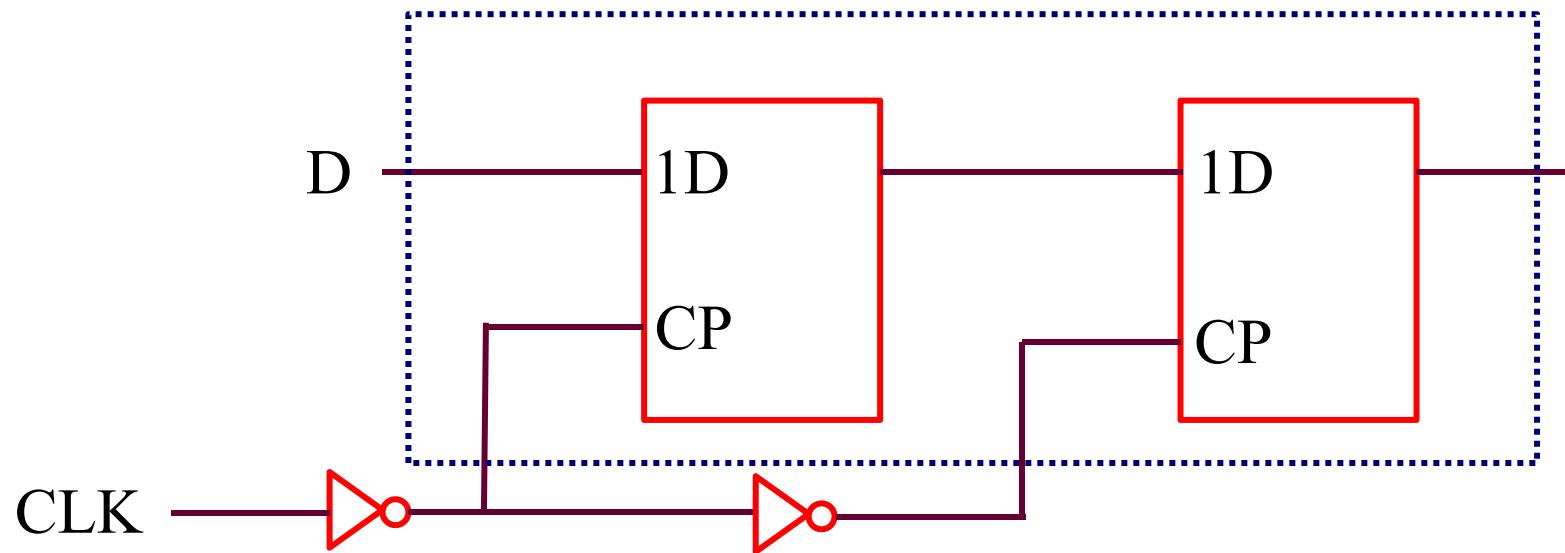
1. 没有异步清零端DFF
2. 有异步清零端DFF
3. 有异步清零、置位端DFF

4. 4边沿触发器



一、维持阻塞型DFF

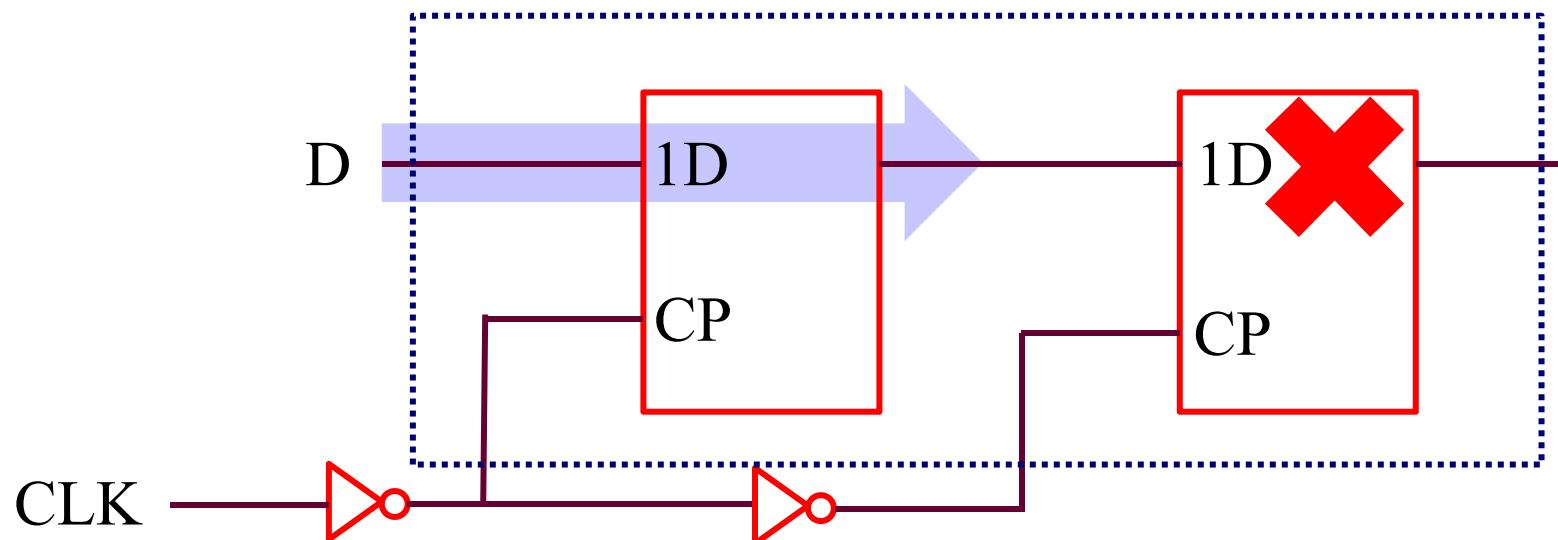
1. 电路结构[简化模型]



一、维持阻塞型DFF

2. 功能分析

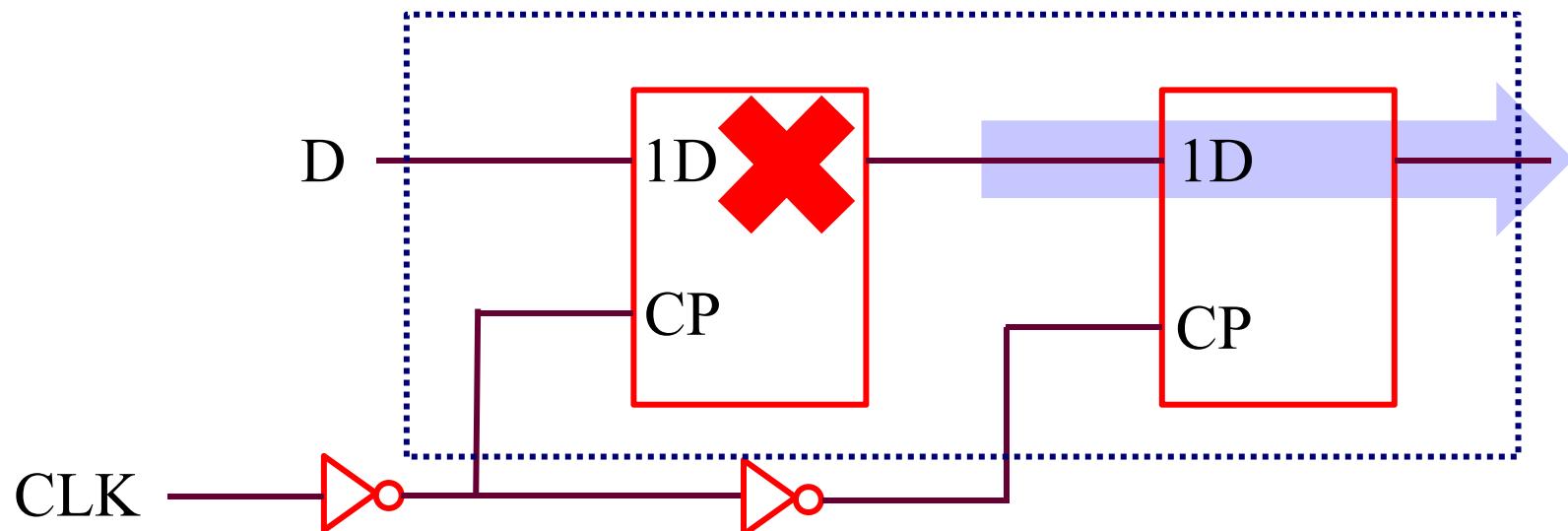
CLK=0:



一、维持阻塞型DFF

2. 功能分析

CLK=1:



3.功能描述

(1)次态方程: $Q^{n+1} = [D] \cdot CP \uparrow$

(2)功能表

表4.4.1 维阻DFF功能表

\overline{S}_D	\overline{R}_D	D	CP	Q^{n+1}	功能名称
1	1	0	\uparrow	0	同步置0
1	1	1	\uparrow	1	同步置1
0	1	ϕ	ϕ	1	异步置1
1	0	ϕ	ϕ	0	异步置0
1	1	ϕ	0	Q^n	保持

(3)激励表

表4.4.2 维阻DFF激励表

Q^n	\rightarrow	Q^{n+1}	D
0		0	0
0		1	1
1		0	0
1		1	1

(4) 波形图

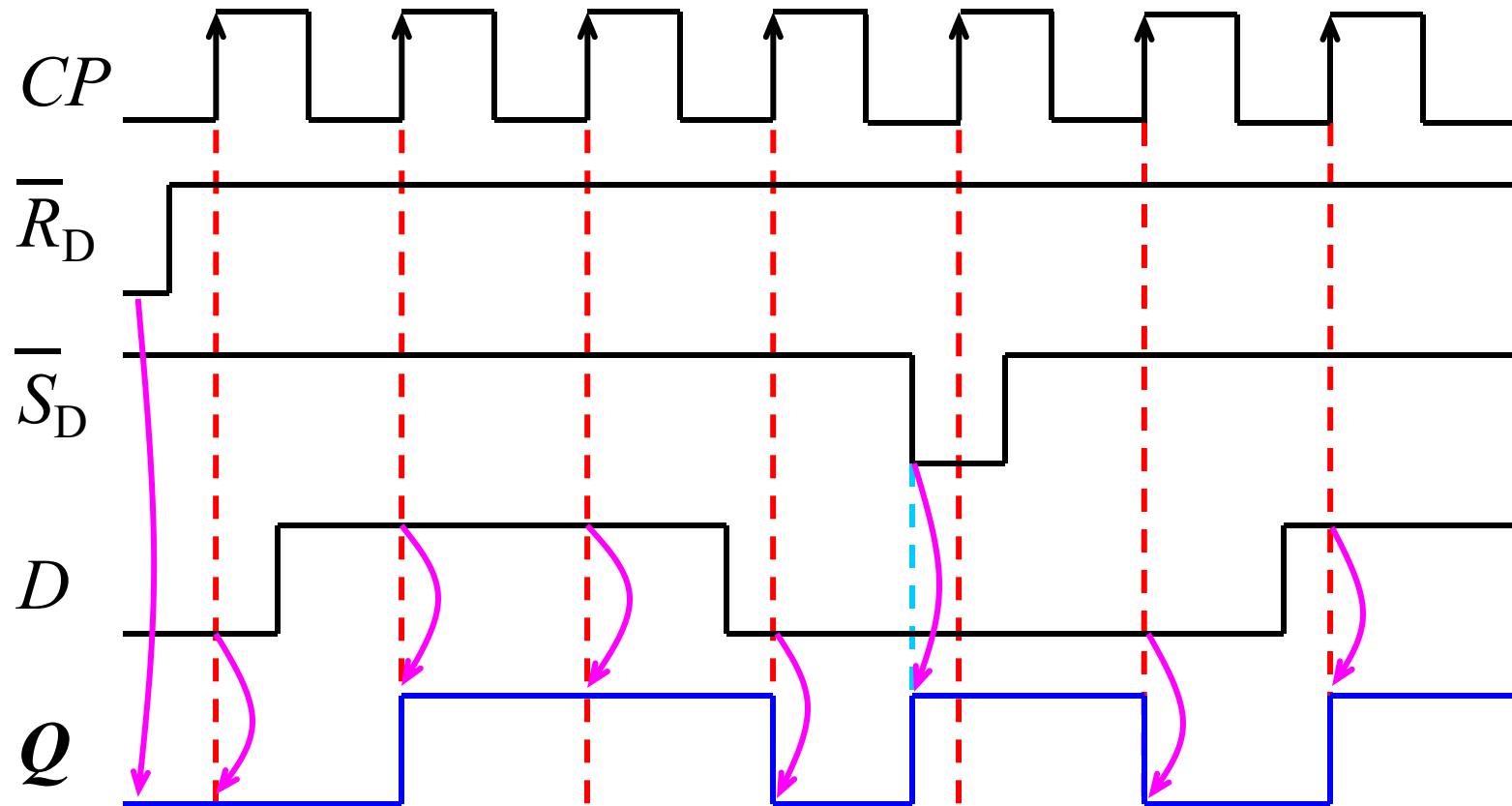


图 4.4.2 DFF的波形图

1. 同步转移时决定边沿DFF “转移至何状态” 的是_____。

- A 控制信号
- B 时钟信号
- C 激励信号

提交

2. 边沿DFF中，控制优先权最高的是_____。

- A 控制信号
- B 时钟信号
- C 激励信号

提交

作业题

4.1