

数字电路与逻辑设计B

第九讲

南京邮电大学

电子与光学工程学院

臧裕斌

3.2 常用中规模集成组合逻辑电路

一、编码器

1. 二进制编码器

(1) 8—3线普通编码器

(2) 8—3线优先编码器74148

2. 二—十进制优先编码器74147

二、译码器

1.二进制译码器

(1) 2—4 线译码器

2.二—十进制译码器

3.数字显示译码器

(1) 七段数码管

(2) 数字显示译码器7448

三、数据选择器

1. 四选一数据选择器
2. 八选一数据选择器
3. 用数据选择器设计组合逻辑电路

四、数据比较器

1. 四位并行数据比较器7485
2. 数据比较器的扩展

五、全加器

1. 四位串行进位全加器
2. 四位超前进位全加器
3. 全加器的应用举例

六、基于MSI的组合逻辑电路设计 作业

三、数据选择器

- 1.四选一数据选择器
- 2.八选一数据选择器
- 3.数据选择器的应用

用数据选择器设计组合逻辑电路的步骤

- (1) 降维（可选）；
- (2) 比较；
- (3) 画逻辑图。

例 分别用一片**74151**和 $\frac{1}{2}$ **74153**

$$\text{实现 } F = \bar{A}\bar{B}\bar{C} + \bar{A}BC + AB\bar{D} + A\bar{B}D + AC\bar{D}$$

解：这是一个四变量函数，对其**一次降维**后可用**74151**实现，**两次降维**后可用 $\frac{1}{2}$ **74153**实现。

(1) 一次降维，用**74151**实现

CD		AB			
		00	01	11	10
A	00	1	1		
	01			1	1
	11	1			1
	10		1	1	1

降1维

BC		A			
		00	01	11	10
A	0	1	0	1	0
	1	D	1	\bar{D}	\bar{D}

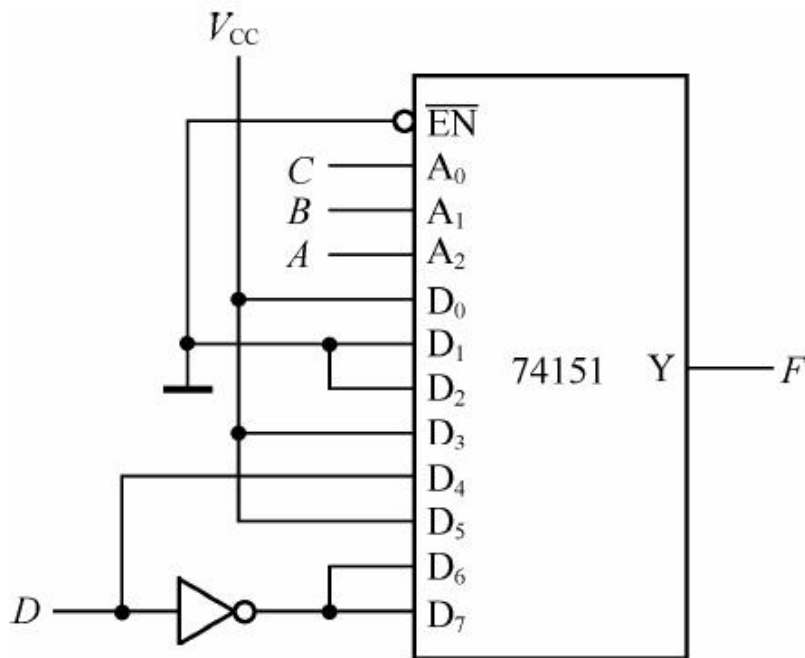
A ₁ A ₀		A ₂			
		00	01	11	10
A ₂	0	D ₀	D ₁	D ₃	D ₂
	1	D ₄	D ₅	D ₇	D ₆

例 分别用一片**74151**和 $\frac{1}{2}$ **74153**

$$\text{实现 } F = \bar{A}\bar{B}\bar{C} + \bar{A}BC + AB\bar{D} + A\bar{B}D + AC\bar{D}$$

将A、B、C 分别接74151的 A_2 、 A_1 、 A_0

$$D_0=D_3=D_5=1, D_1=D_2=0, D_4=D, D_6=D_7=\bar{D}$$



例 分别用一片**74151**和 $\frac{1}{2}$ **74153**

$$\text{实现 } F = \bar{A}\bar{B}\bar{C} + \bar{A}BC + AB\bar{D} + A\bar{B}D + AC\bar{D}$$

解：这是一个四变量函数，对其**一次降维**后可用**74151**实现，**两次降维**后可用 $\frac{1}{2}$ **74153**实现。

(2) 两次降维，用74153实现

		CD			
		00	01	11	10
AB	00	1	1		
	01			1	1
	11	1			1
	10		1	1	1

降2维

		B	
		0	1
A	0	\bar{C}	C
	1	C+D	\bar{D}

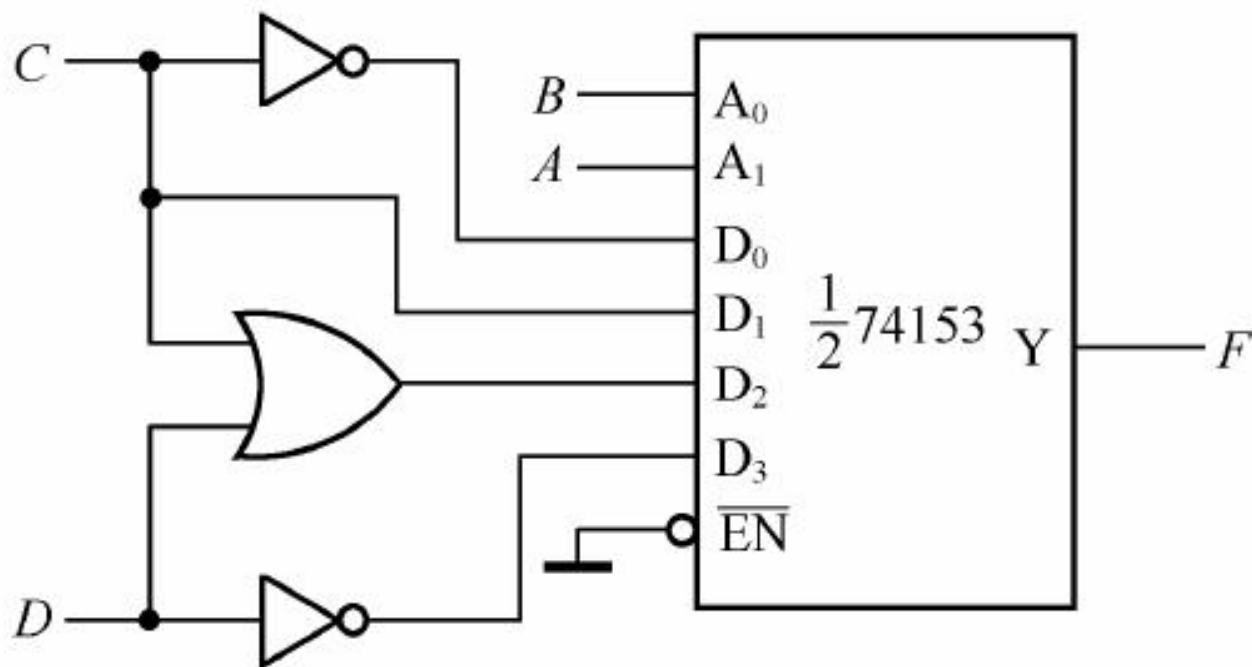
		A ₀	
		0	1
A ₁	0	D ₀	D ₁
	1	D ₂	D ₃

例 分别用一片**74151**和**1/2 74153**

实现 $F = \bar{A}\bar{B}\bar{C} + \bar{A}BC + AB\bar{D} + A\bar{B}D + AC\bar{D}$

$D_0 = \bar{C}$, $D_1 = C$, $D_2 = C + D$, $D_3 = \bar{D}$

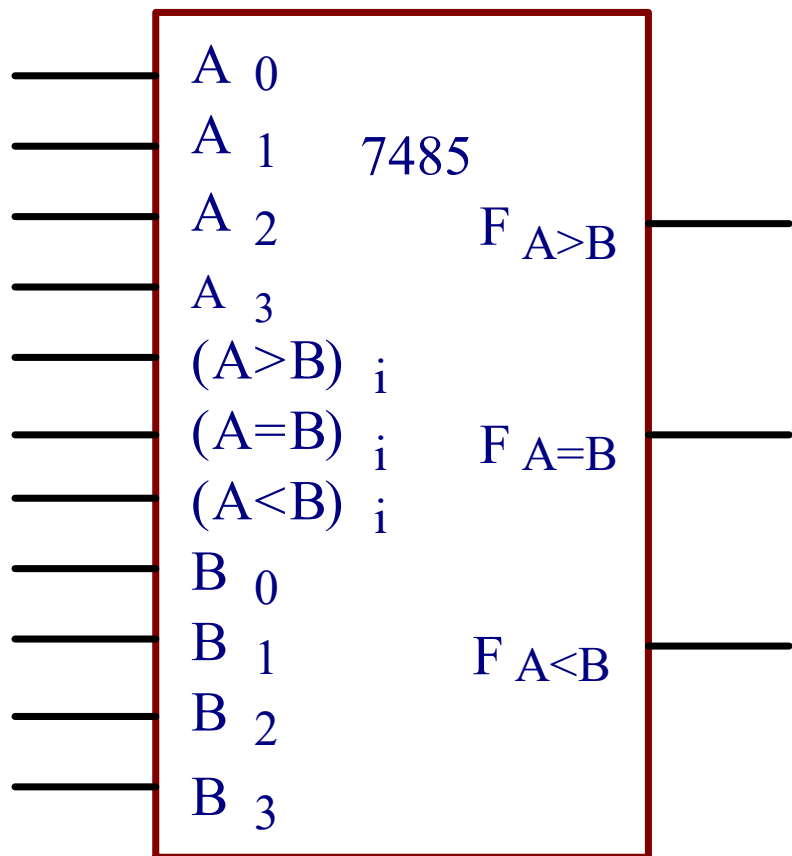
将A、B分别接**1/2 74153**的A₁、A₀



四、数据比较器

- 1.四位并行比较器 7485
- 2.比较器的扩展

1. 四位并行数据比较器7485



$A_3 \sim A_0, B_3 \sim B_0$:
数码输入端

$(A>B)_i, (A=B)_i, (A<B)_i$:
级联输入端

$F_{A>B}, F_{A=B}, F_{A<B}$:
比较结果输出端

图3.2.33 (b) 简化符号

表 3.2.10 4位数值比较器7485功能表

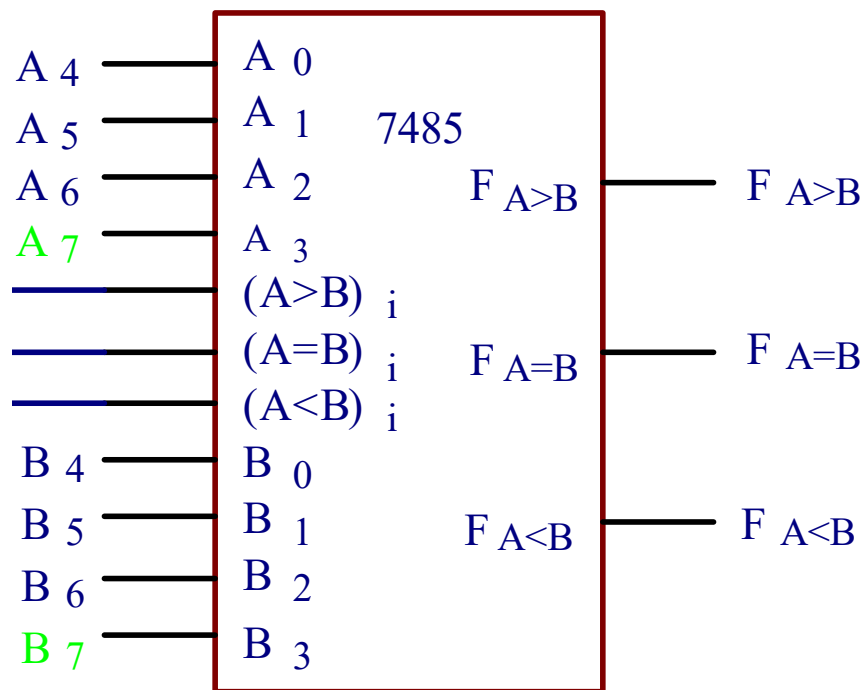
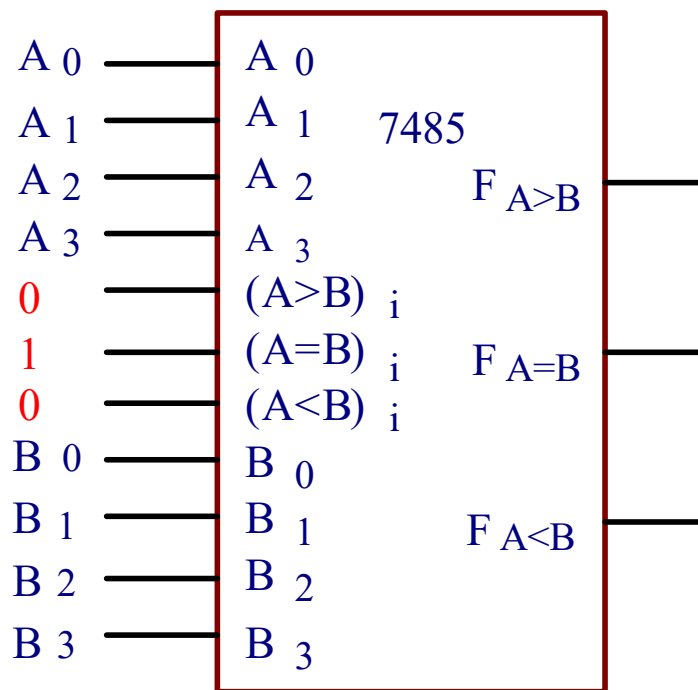
输 入				输 出		
$A_3 B_3$	$A_2 B_2$	$A_1 B_1$	$A_0 B_0$	$(A>B)_i$ $(A<B)_i$ $(A=B)_i$	$F_{A>B}$	$F_{A<B}$ $F_{A=B}$
$A_3>B_3$	$\emptyset \emptyset$	$\emptyset \emptyset$	$\emptyset \emptyset$	$\emptyset \quad \emptyset \quad \emptyset$	1	0 0
$A_3<B_3$	$\emptyset \emptyset$	$\emptyset \emptyset$	$\emptyset \emptyset$	$\emptyset \quad \emptyset \quad \emptyset$	0	1 0
$A_3=B_3$	$A_2>B_2$	$\emptyset \emptyset$	$\emptyset \emptyset$	$\emptyset \quad \emptyset \quad \emptyset$	1	0 0
$A_3=B_3$	$A_2<B_2$	$\emptyset \emptyset$	$\emptyset \emptyset$	$\emptyset \quad \emptyset \quad \emptyset$	0	1 0
$A_3=B_3$	$A_2=B_2$	$A_1>B_1$	$\emptyset \emptyset$	$\emptyset \quad \emptyset \quad \emptyset$	1	0 0
$A_3=B_3$	$A_2=B_2$	$A_1<B_1$	$\emptyset \emptyset$	$\emptyset \quad \emptyset \quad \emptyset$	0	1 0
$A_3=B_3$	$A_2=B_2$	$A_1=B_1$	$A_0>B_0$	$\emptyset \quad \emptyset \quad \emptyset$	1	0 0
$A_3=B_3$	$A_2=B_2$	$A_1=B_1$	$A_0<B_0$	$\emptyset \quad \emptyset \quad \emptyset$	0	1 0

续表

输 入				输 出		
$A_3 B_3$	$A_2 B_2$	$A_1 B_1$	$A_0 B_0$	$(A>B)_i$ $(A<B)_i$ $(A=B)_i$	$F_{A>B}$	$F_{A<B}$ $F_{A=B}$
$A_3=B_3$	$A_2=B_2$	$A_1=B_1$	$A_0=B_0$	1 0 0	1	0 0
$A_3=B_3$	$A_2=B_2$	$A_1=B_1$	$A_0=B_0$	0 1 0	0	1 0
$A_3=B_3$	$A_2=B_2$	$A_1=B_1$	$A_0=B_0$	0 0 1	0	0 1
$A_3=B_3$	$A_2=B_2$	$A_1=B_1$	$A_0=B_0$	0 0 0	1	1 0
$A_3=B_3$	$A_2=B_2$	$A_1=B_1$	$A_0=B_0$	0 1 1	0	0 1
$A_3=B_3$	$A_2=B_2$	$A_1=B_1$	$A_0=B_0$	1 0 1	0	0 1
$A_3=B_3$	$A_2=B_2$	$A_1=B_1$	$A_0=B_0$	1 1 0	0	0 0
$A_3=B_3$	$A_2=B_2$	$A_1=B_1$	$A_0=B_0$	1 1 1	0	0 1

2. 数据比较器的应用

(1) 串联扩展



低位7485	高位7485					
$F_{A>B}$ $F_{A<B}$ $F_{A=B}$	$(A>B)_i$ $(A<B)_i$ $(A=B)_i$			$F_{A>B}$ $F_{A<B}$ $F_{A=B}$		
1 0 0	1	0	0	1	0	0
0 1 0	0	1	0	0	1	0
0 0 1	0	0	1	0	0	1
0 0 0	∅	∅	∅	∅	∅	∅
0 1 1	∅	∅	∅	∅	∅	∅
1 0 1	∅	∅	∅	∅	∅	∅
1 1 0	∅	∅	∅	∅	∅	∅
1 1 1	∅	∅	∅	∅	∅	∅

低4位7458

高4位7458

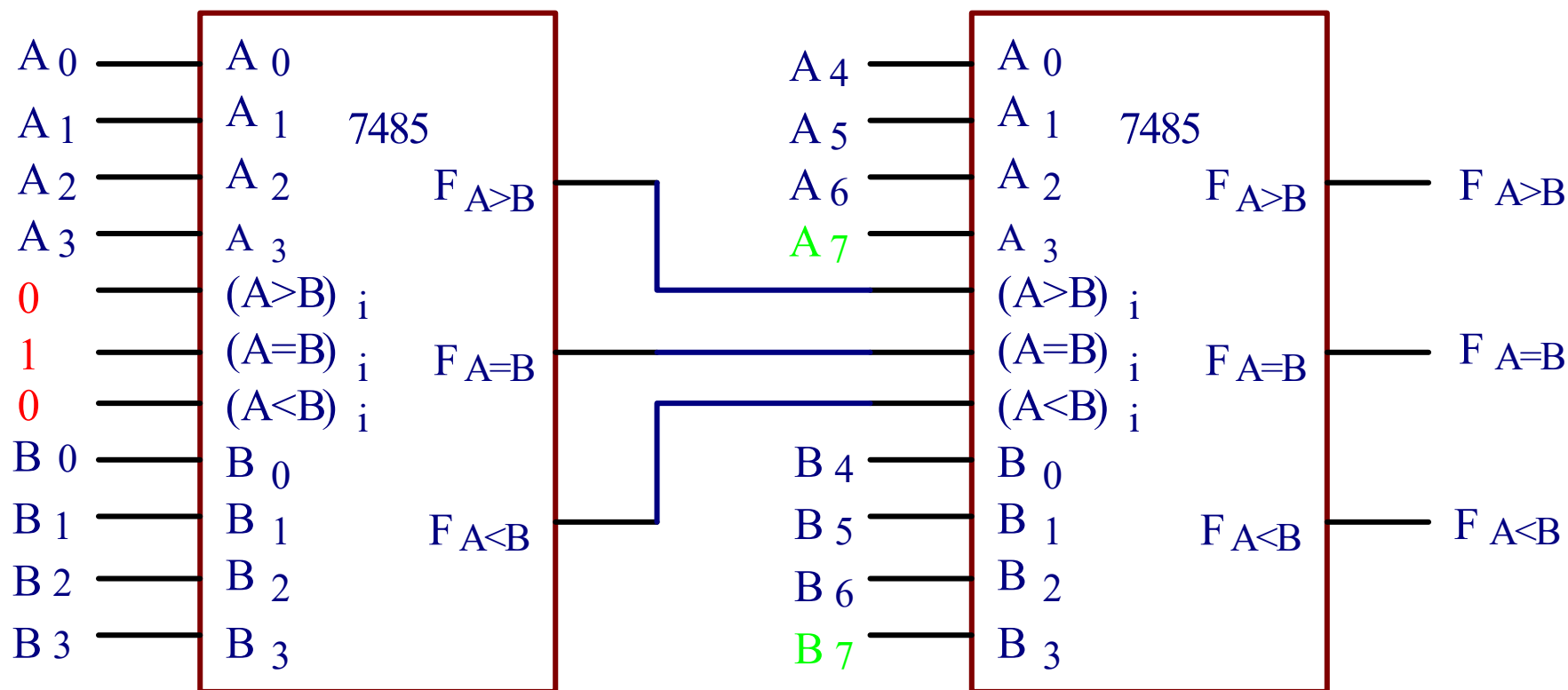
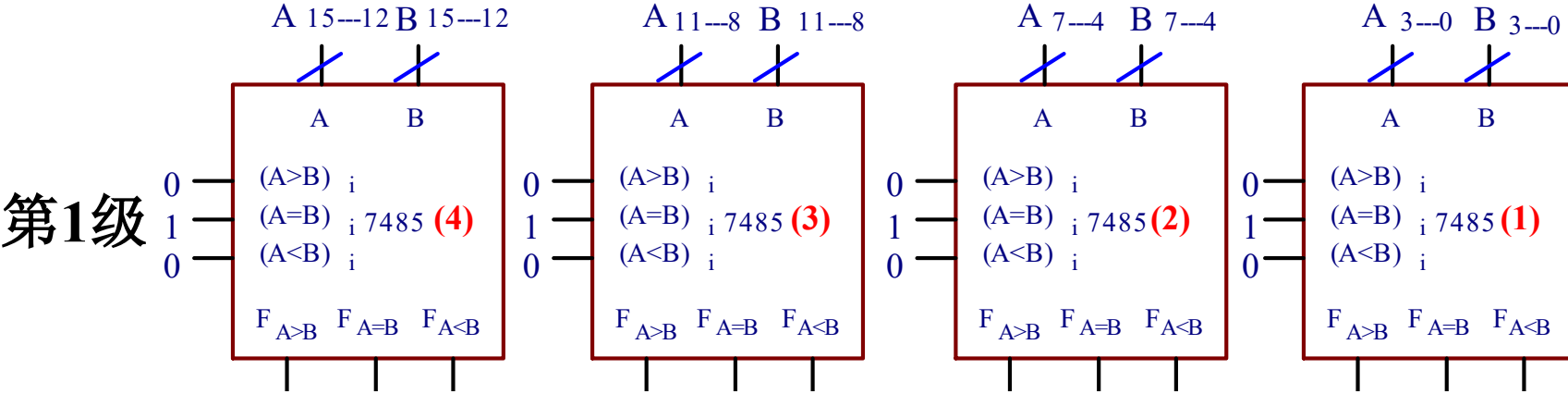
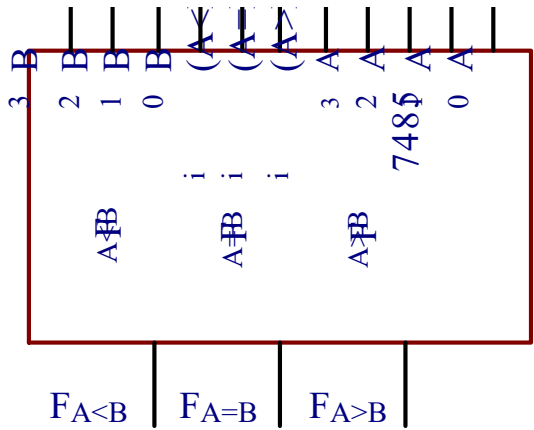


图 3.2.34

(2) 并联方式



第2级



第1级 7485(4)				第2级7485		
最高4位比较	$F_{A>B}$	$F_{A<B}$	$F_{A=B}$	A_3 B_3	$F_{A>B}$ $F_{A<B}$ $F_{A=B}$	
$A_{15}\sim A_{12}>B_{15}\sim B_{12}$	1	0	0	1 0	1 0 0	
$A_{15}\sim A_{12}<B_{15}\sim B_{12}$	0	1	0	0 1	0 1 0	
$A_{15}\sim A_{12}=B_{15}\sim B_{12}$	0	0	1	Ø Ø	与最高4位无关	
	0	0	0	Ø Ø		
	0	1	1	Ø Ø		
	1	0	1	Ø Ø		
	1	1	0	Ø Ø		
	1	1	1	Ø Ø		

第1级 7485(3)				第2级7485		
次高4位比较	$F_{A>B}$	$F_{A<B}$	$F_{A=B}$	A_2 B_2	$F_{A>B}$ $F_{A<B}$ $F_{A=B}$	
$A_{11}\sim A_8>B_{11}\sim B_8$	1	0	0	1 0	1 0 0	
$A_{11}\sim A_8<B_{11}\sim B_8$	0	1	0	0 1	0 1 0	
$A_{11}\sim A_8=B_{11}\sim B_8$	0	0	1	Ø Ø	与次高4位无关	
<div></div>	0	0	0	Ø Ø		
<div></div>	0	1	1	Ø Ø		
<div></div>	1	0	1	Ø Ø		
<div></div>	1	1	0	Ø Ø		
<div></div>	1	1	1	Ø Ø		

第1级 7485(2)				第2级7485		
次低4位比较	$F_{A>B}$	$F_{A<B}$	$F_{A=B}$	A_1 B_1	$F_{A>B}$ $F_{A<B}$ $F_{A=B}$	
$A_7\sim A_4>B_7\sim B_4$	1	0	0	1 0	1 0 0	
$A_7\sim A_4<B_7\sim B_4$	0	1	0	0 1	0 1 0	
$A_7\sim A_4=B_7\sim B_4$	0	0	1	Ø Ø	与次低4位无关	
	0	0	0	Ø Ø		
	0	1	1	Ø Ø		
	1	0	1	Ø Ø		
	1	1	0	Ø Ø		
	1	1	1	Ø Ø		

第1级 7485(1)				第2级7485		
最低4位比较	$F_{A>B}$	$F_{A<B}$	$F_{A=B}$	A_0 B_0	$F_{A>B}$ $F_{A<B}$ $F_{A=B}$	
$A_3\sim A_0>B_3\sim B_0$	1	0	0	1 0	1 0 0	
$A_3\sim A_0<B_3\sim B_0$	0	1	0	0 1	0 1 0	
$A_3\sim A_0=B_3\sim B_0$	0	0	1	Ø Ø	0 0 1	
	0	0	0	Ø Ø		
	0	1	1	Ø Ø		
	1	0	1	Ø Ø		
	1	1	0	Ø Ø		
	1	1	1	Ø Ø		

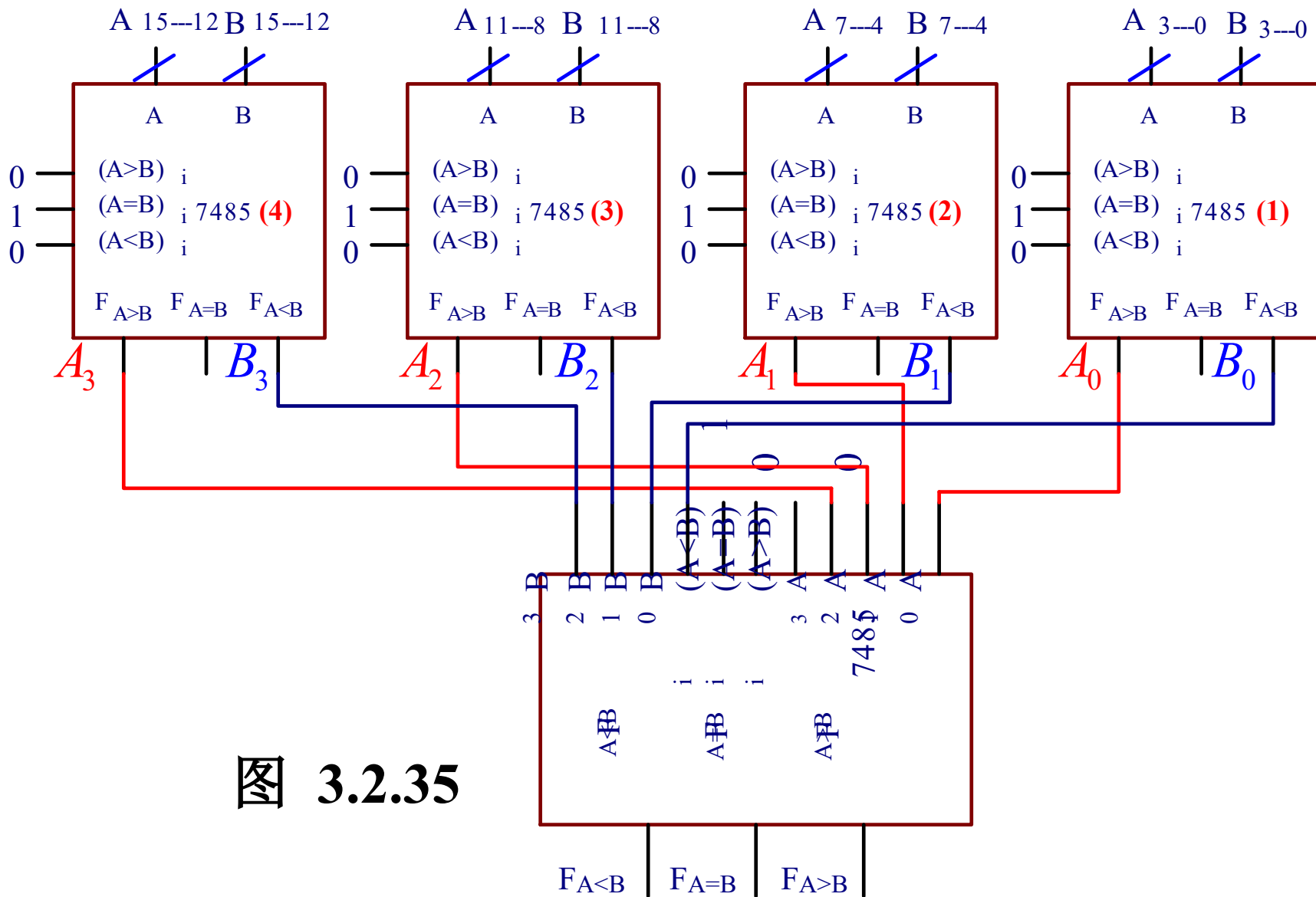
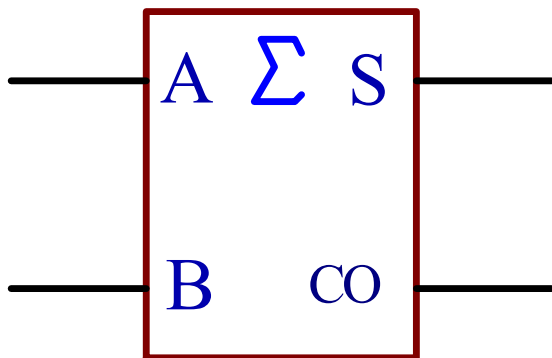


图 3.2.35

五、全加器

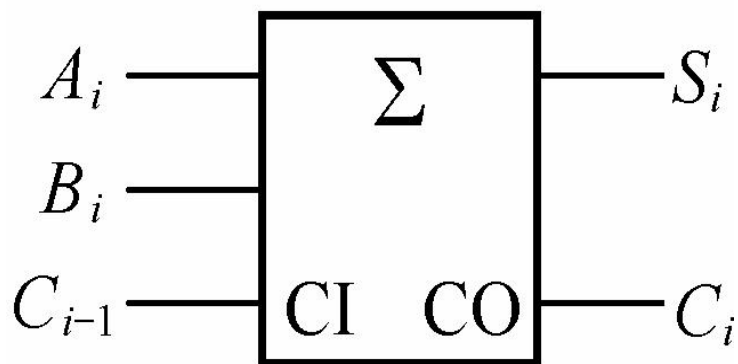
- 1.四位串行进位全加器
- 2.四位超前进位全加器

0. 回顾：半加器与全加器



$$S = \bar{A}B + A\bar{B} = A \oplus B$$

$$CO = AB$$



$$S_i = A_i \oplus B_i \oplus C_{i-1}$$

$$C_i = A_i B_i + C_{i-1} (A_i \oplus B_i)$$

1. 四位串行进位全加器

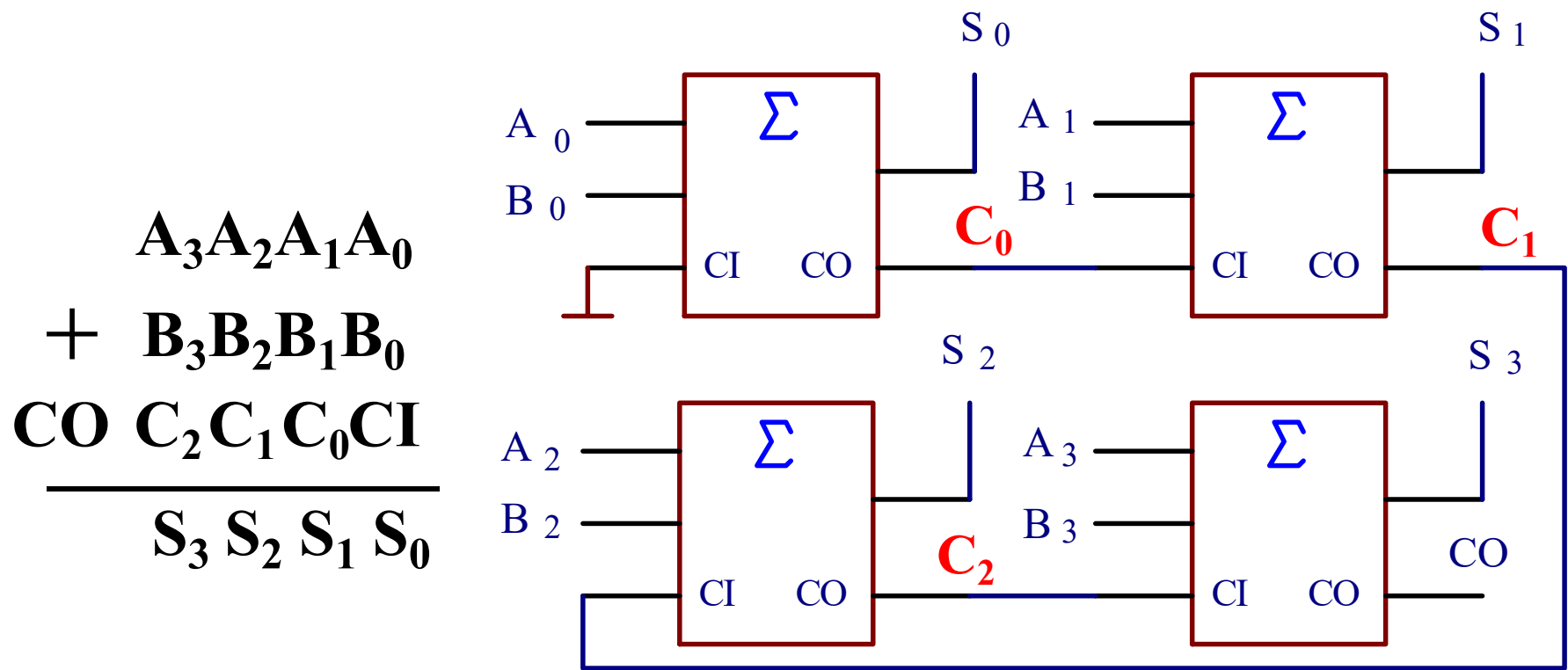


图 3.2.36

$A_3 A_2 A_1 A_0$	$S_0 = f_0 (A_0, B_0, CI)$	3变量
$+ B_3 B_2 B_1 B_0$	$C_0 = g_0 (A_0, B_0, CI)$	
$\frac{CO \ C_2 C_1 C_0 CI}{S_3 \ S_2 \ S_1 \ S_0}$	$S_1 = f_1 (A_1, B_1, A_0, B_0, CI)$	5变量
	$C_1 = g_1 (A_1, B_1, A_0, B_0, CI)$	
$S_2 = f_2 (A_2, A_1, A_0, B_2, B_1, B_0, CI)$		7变量
$C_2 = g_2 (A_2, A_1, A_0, B_2, B_1, B_0, CI)$		
$S_3 = f_3 (A_3, A_2, A_1, A_0, B_3, B_2, B_1, B_0, CI)$		9变量
$CO = g_3 (A_3, A_2, A_1, A_0, B_3, B_2, B_1, B_0, CI)$		

变量数增加，
函数复杂

2. 四位超前进位全加器74283

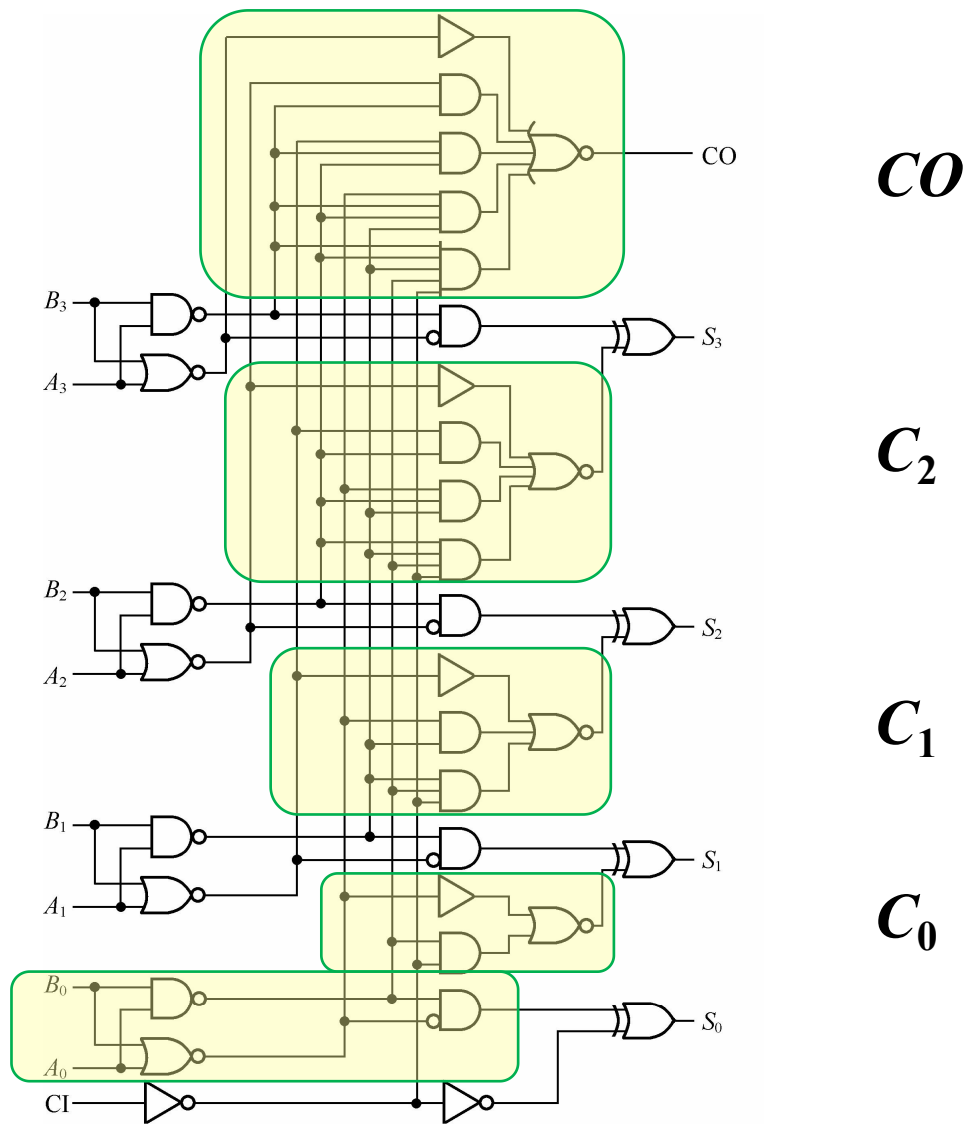
$$S_3 = A_3 \oplus B_3 \oplus C_2$$

$$S_2 = A_2 \oplus B_2 \oplus C_1$$

$$S_1 = A_1 \oplus B_1 \oplus C_0$$

$$S_0 = A_0 \oplus B_0 \oplus CI$$

$$A_0 \oplus B_0$$



(a) 逻辑图

$$\begin{array}{r}
 \mathbf{A_3A_2A_1A_0} \\
 + \mathbf{B_3B_2B_1B_0} \\
 \mathbf{CO \ C_2C_1C_0CI} \\
 \hline
 \mathbf{S_3 \ S_2 \ S_1 \ S_0}
 \end{array}$$

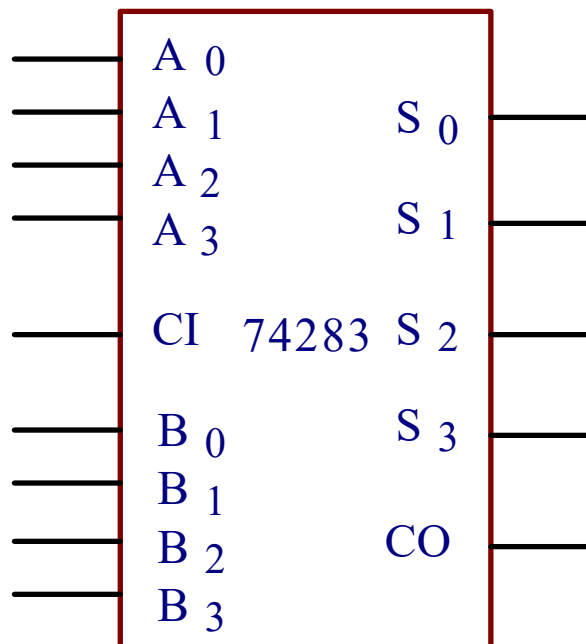


图 3.2.38 (b) 简化符号

六、基于MSI的 组合逻辑电路设计

例 已知BCD码 $(A_3A_2A_1A_0.a_3a_2a_1a_0)_{8421BCD}$ ，试设计一个电路将该数四舍五入。

S1.判断BCD码小数部分 $(a_3a_2a_1a_0)_{8421BCD}$ 是否大于等于5

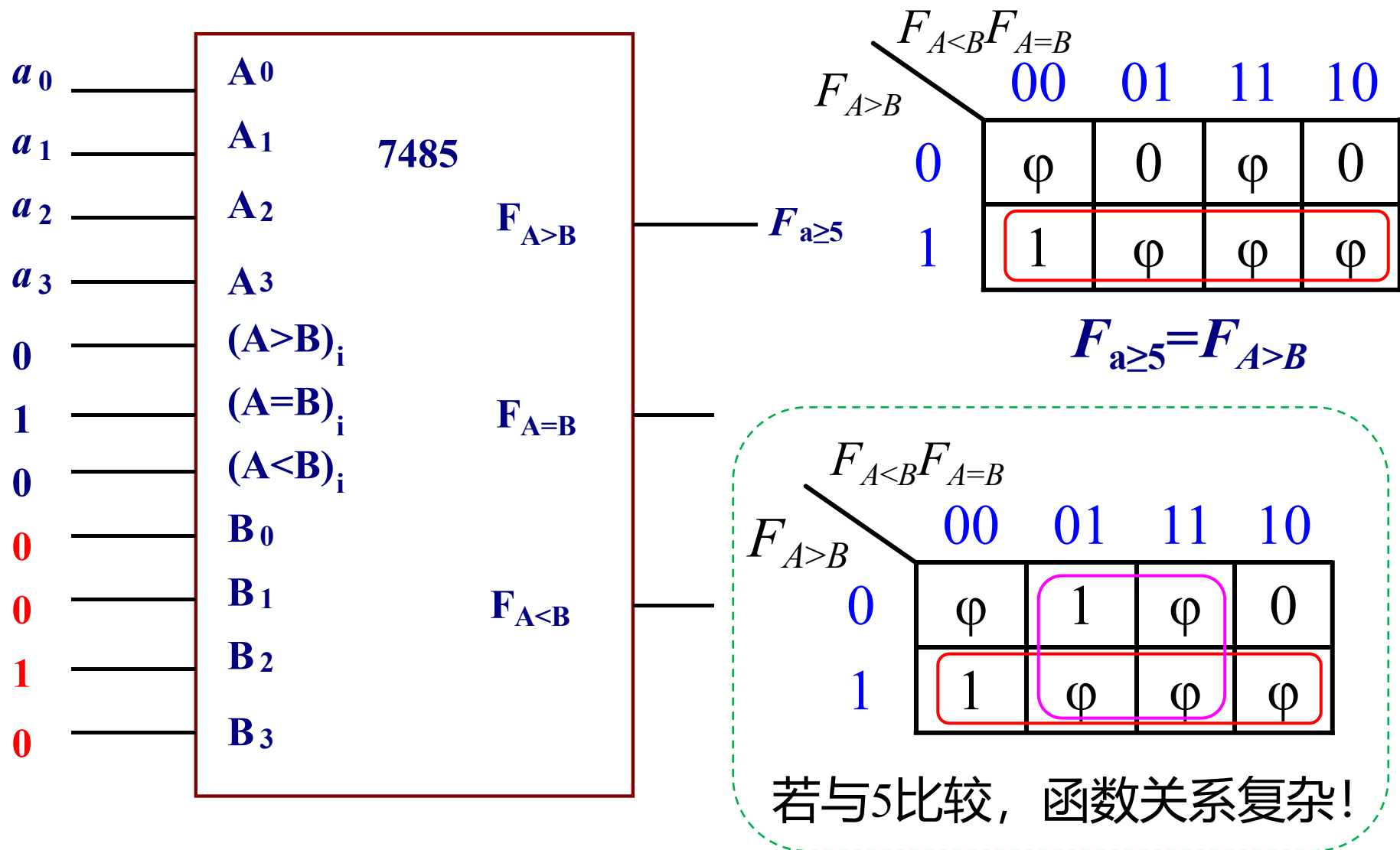
S2.对BCD码整数部分 $(A_3A_2A_1A_0)_{8421BCD}$ 执行加法（0或1）操作

S3.判断中间结果是否合法

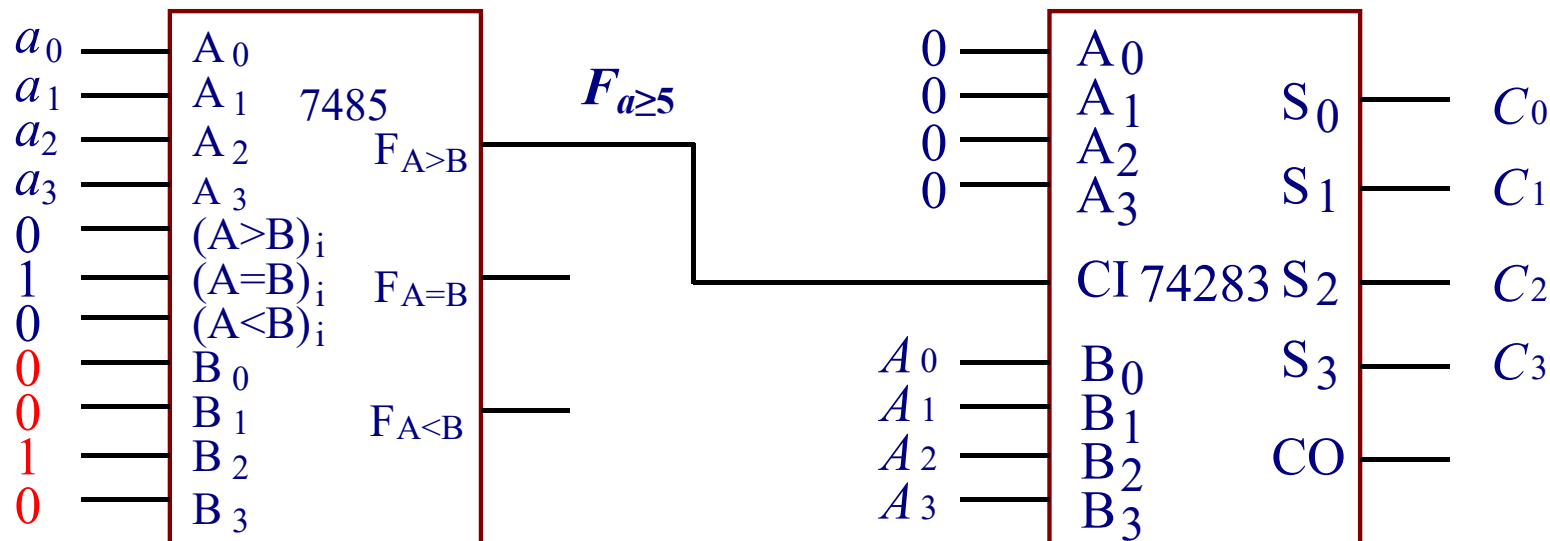
S4.对中间结果进行修正（加0000或0110）

$$\begin{array}{r}
 A_3A_2A_1A_0 \\
 + \quad \quad 0/1 \\
 \hline
 C_3C_2C_1C_0 \\
 + \quad 0000/0110 \\
 \hline
 F_4F_3F_2F_1F_0
 \end{array}$$

S1. 判断BCD码小数部分 $(a_3a_2a_1a_0)_{8421BCD}$ 是否大于等于5



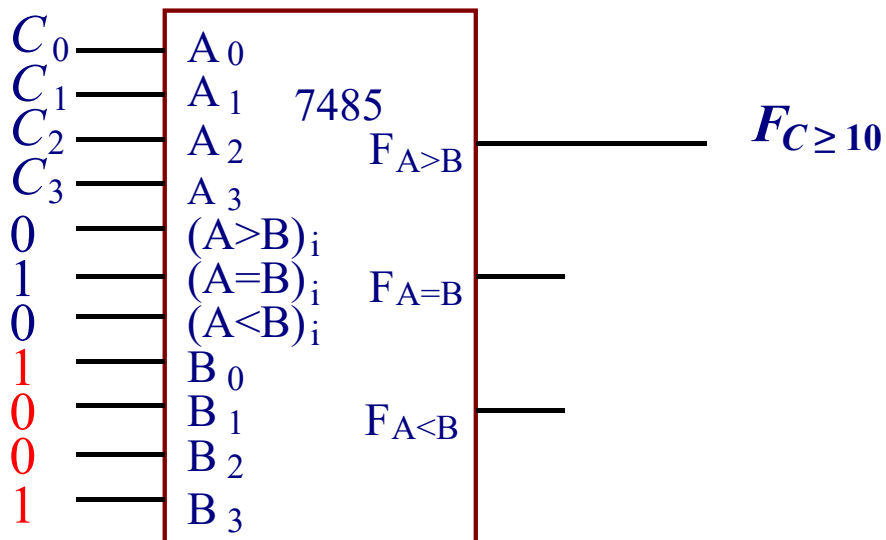
S2.对BCD码整数部分 $(A_3A_2A_1A_0)_{8421BCD}$ 执行加法（0或1）操作



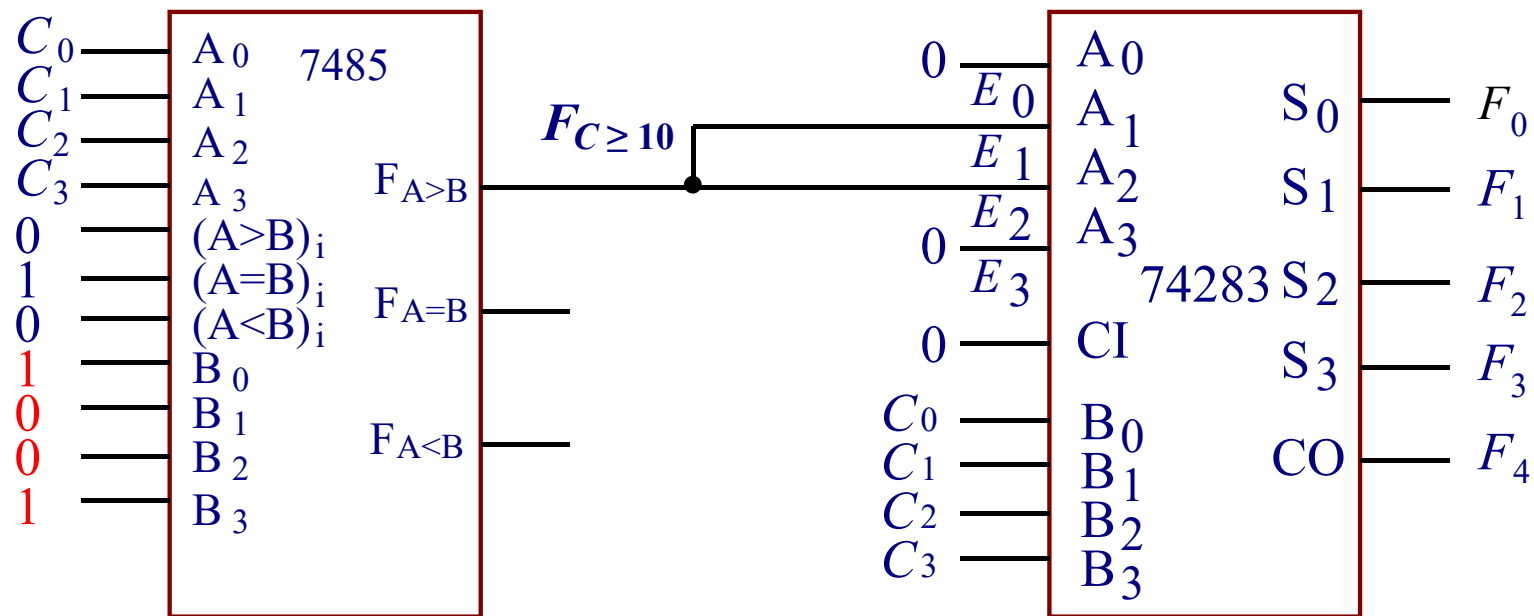
$F_{a \geq 5}$	CI
0	0
1	1

$$CI = F_{a \geq 5}$$

S3.判断中间结果是否合法



S4.对中间结果进行修正（加0000或0110）

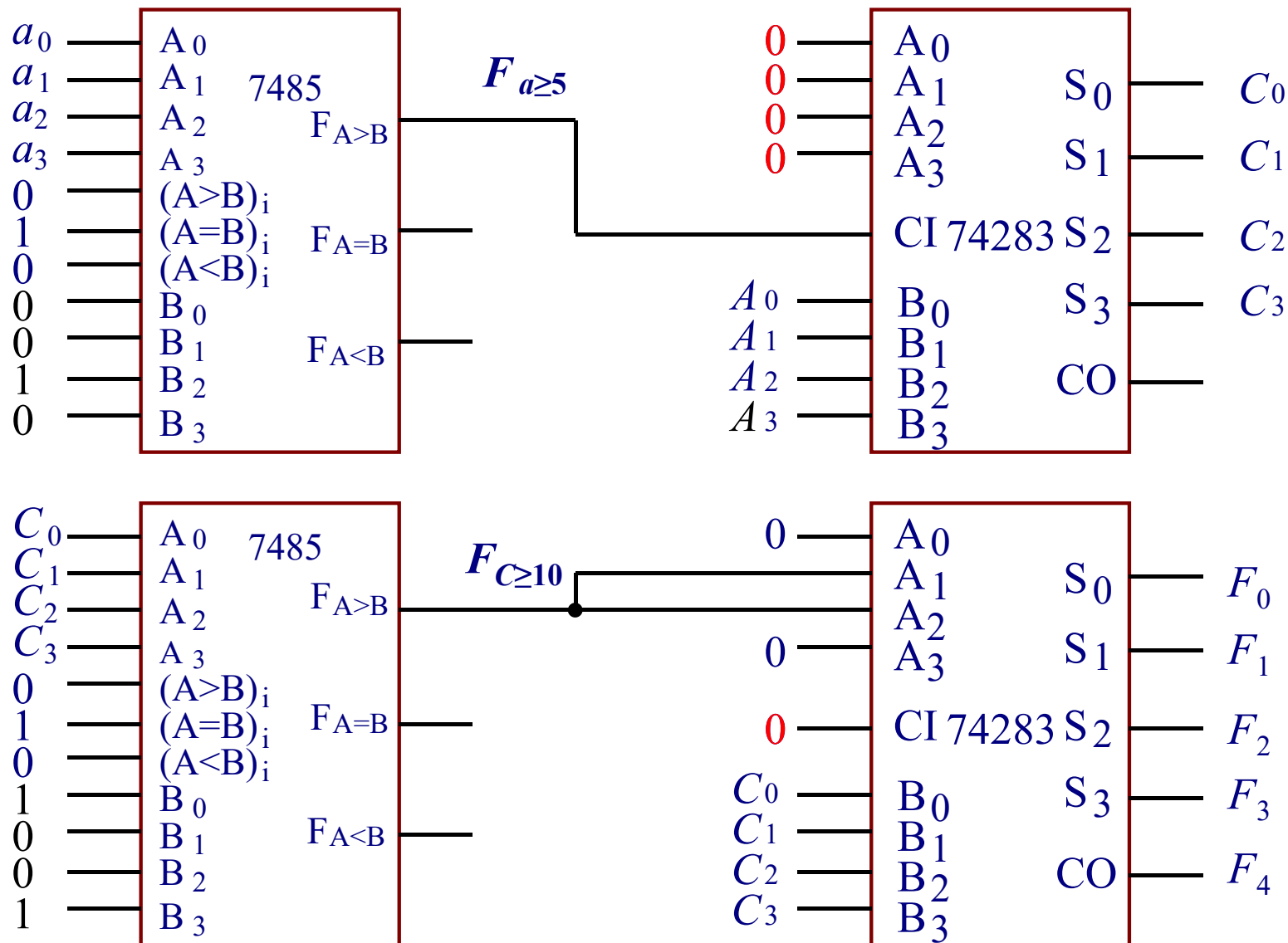


$F_{C \geq 10}$	$E_3 E_2 E_1 E_0$
0	0 0 0 0
1	0 1 1 0

$$E_2 = E_1 = F_{C \geq 10}$$

$$E_3 = E_0 = 0$$

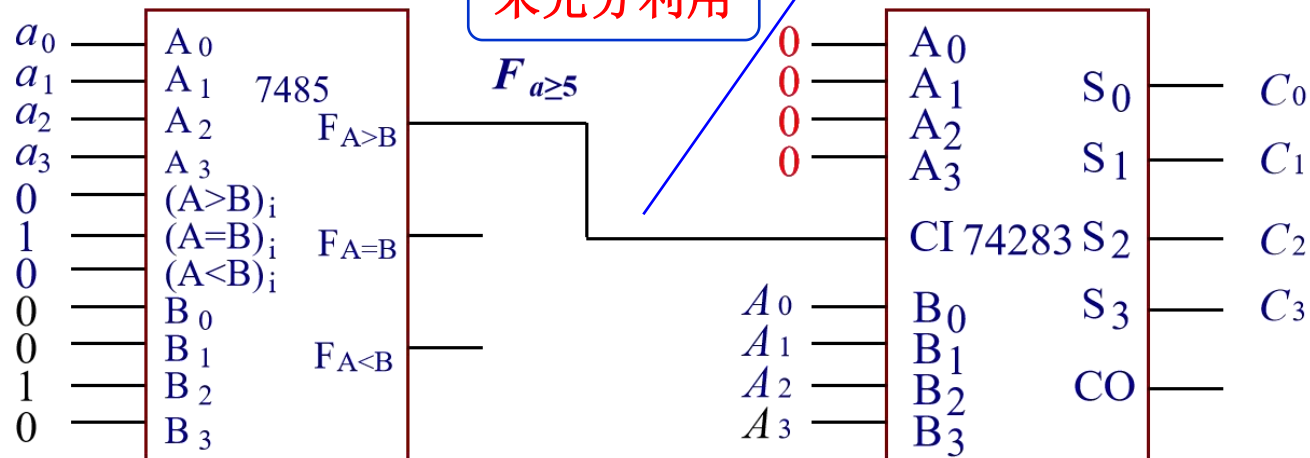
电路整体:



再思考：电路优化

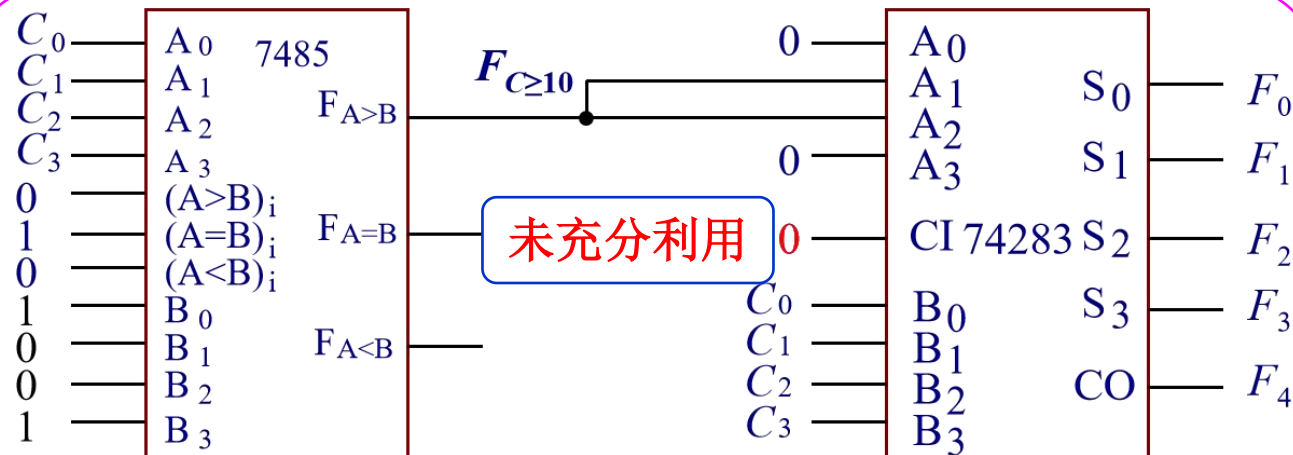
能否实现四舍五入的同时进行修正？

未充分利用



$$\begin{array}{r}
 A_3 A_2 A_1 A_0 \\
 + \quad 0/1 \\
 \hline
 C_3 C_2 C_1 C_0 \\
 + \quad 0000/0110 \\
 \hline
 F_4 F_3 F_2 F_1 F_0
 \end{array}$$

未充分利用



$A_3A_2A_1A_0$ $F_{A=9}$

0 0 0 0 0

⋮

1 0 0 0 0

1 **0** **0** **1** **1**

1 0 1 0 φ

1 **0** **1** **1** φ

1 1 0 0 φ

1 **1** **0** **1** φ

1 1 1 0 φ

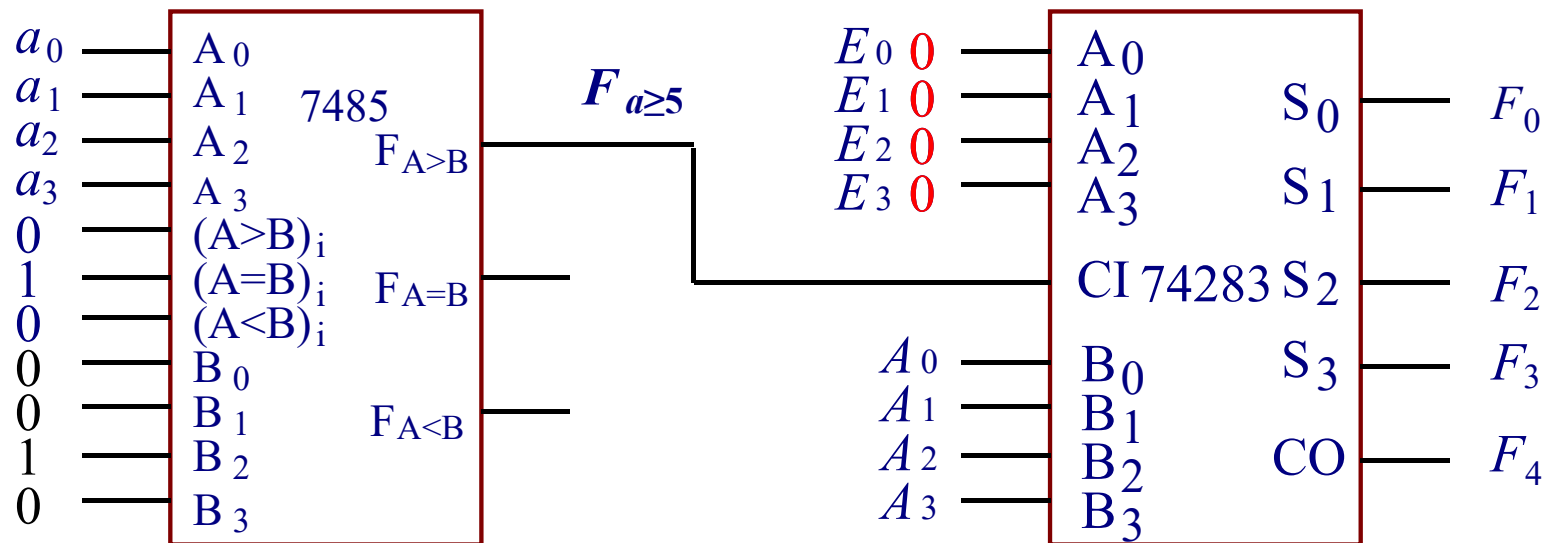
1 **1** **1** **1** φ

A_1A_0		00	01	11	10
A_3A_2	00				
	01				
	11	φ	φ	φ	φ
	10		1	φ	φ

$$F_{A=9} = A_3A_0$$

$F_{A=9}$	$F_{a \geq 5}$	$F_{C \geq 10}$
0	0	0
0	1	0
1	0	0
1	1	1

$$\begin{aligned}
 F_{C \geq 10} &= F_{A=9}F_{a \geq 5} \\
 &= A_3A_0F_{a \geq 5}
 \end{aligned}$$



$F_{C \geq 10}$	$E_3 E_2 E_1 E_0$
0	0 0 0 0
1	0 1 1 0

$$E_2 = E_1 = F_{C \geq 10} = A_3 A_0 F_{a \geq 5}$$

$$E_3 = E_0 = 0$$

优化后的电路：

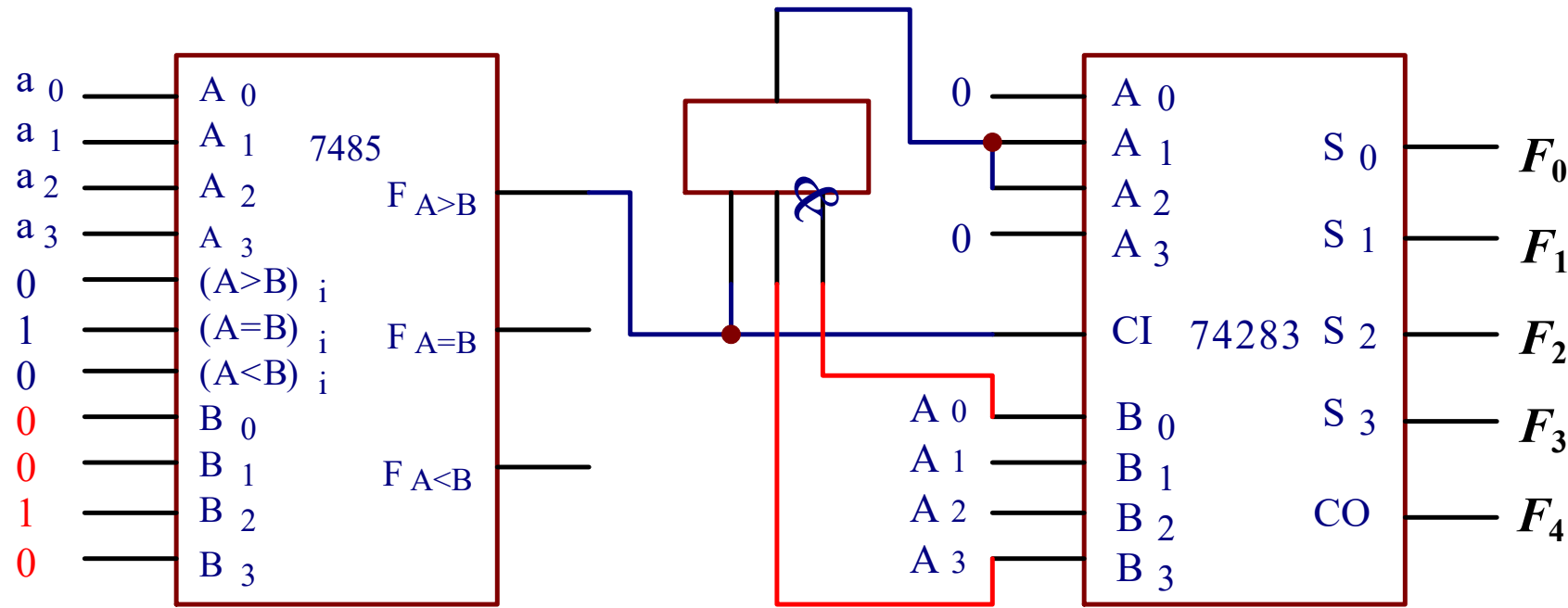
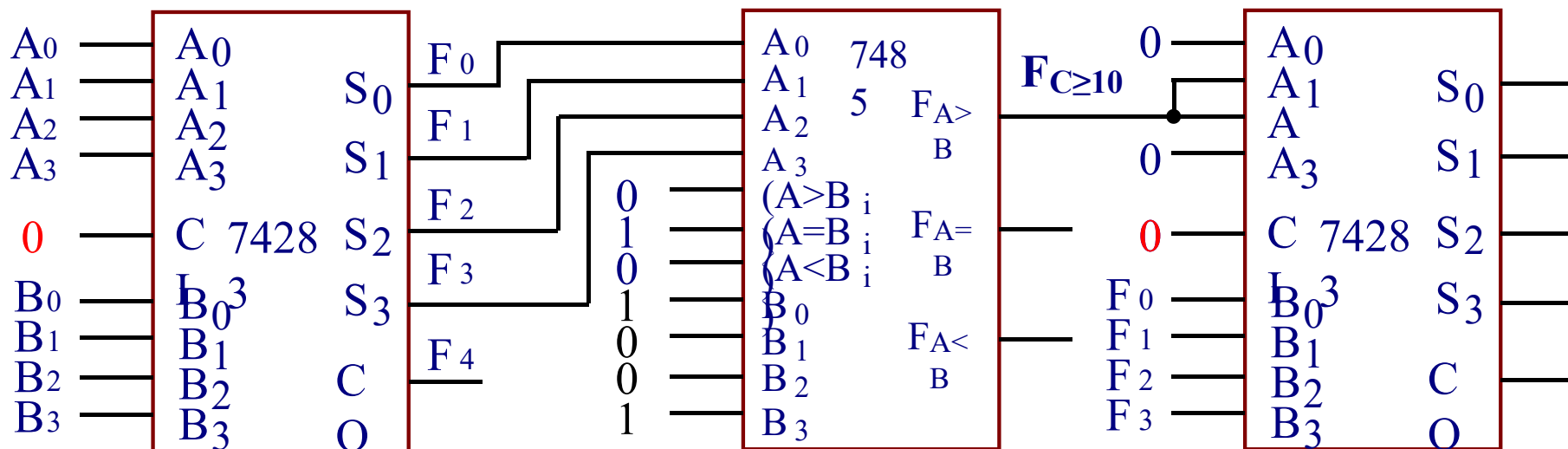


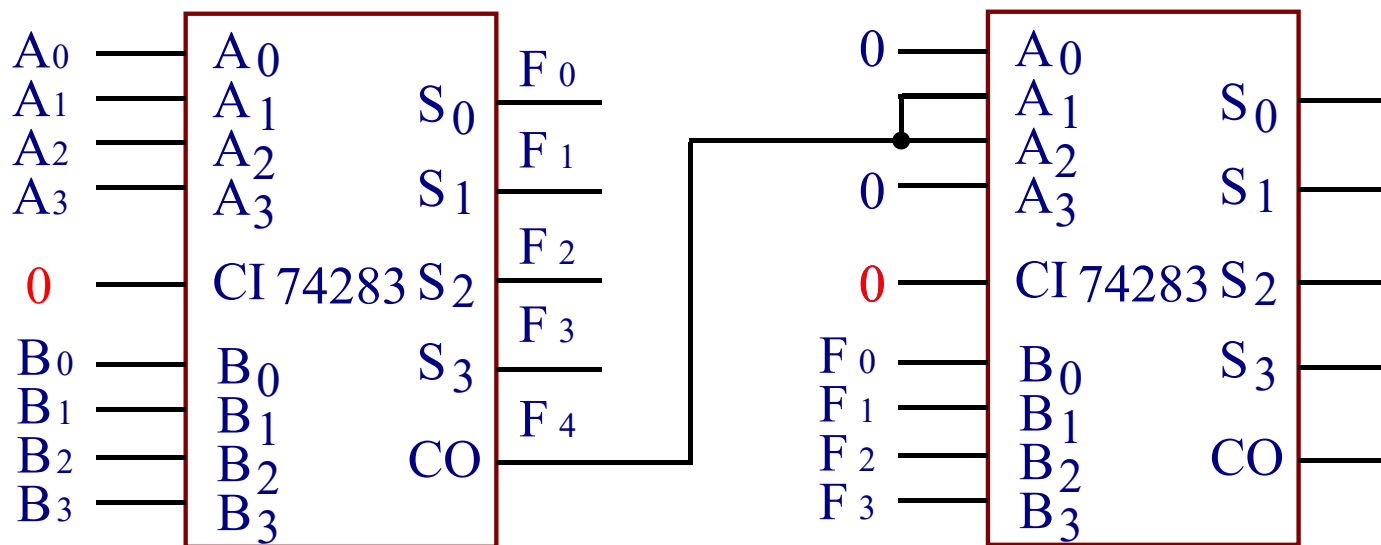
图 3.2.43

思考题1: $(A_3A_2A_1A_0)_{8421BCD} + (B_3B_2B_1B_0)_{8421BCD} = (000C_4C_3C_2C_1C_0)_{8421BCD}$,
若产生非法码, 要进行加0110修正, 在以下图中标注输出端 $C_4C_3C_2C_1C_0$ 。



作答

思考题2: $(A_3A_2A_1A_0)_{8421BCD} + (B_3B_2B_1B_0)_{8421BCD} = (000C_4C_3C_2C_1C_0)_{8421BCD}$,
若产生进位, 要进行加0110修正, 在以下图中标注输出端 $C_4C_3C_2C_1C_0$ 。



作答

作业题

3.13(1)(3)

3.18

3.20