



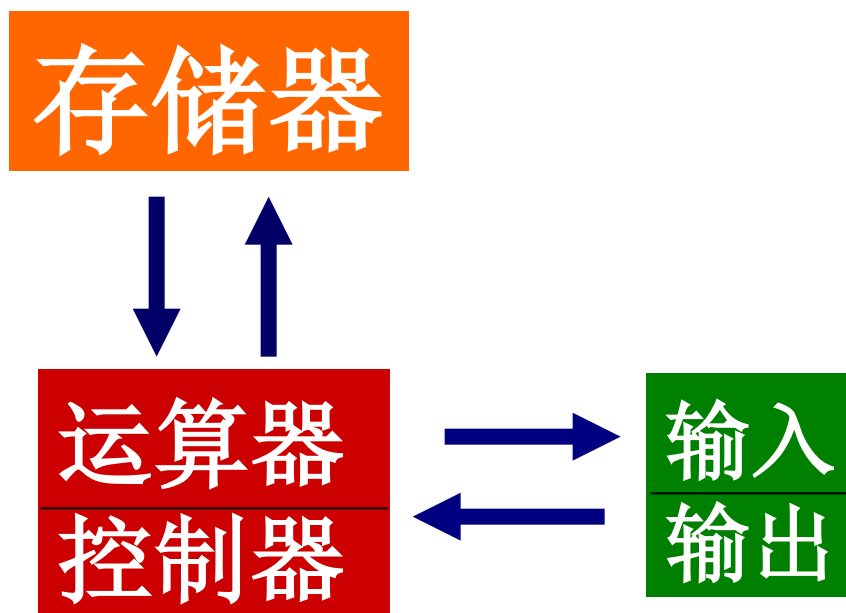
# 第5章

## 总 线



# 冯·诺依曼计算机体系结构

## 五个部分：





**总线（Bus）**是计算机各种功能部件之间传送信息的公共通信干线，是由导线组成的传输线束。

按传输的信息种类分：

数据总线、地址总线和控制总线

**数据总线DB**用于传送数据信息。可以是CPU把数据传送到存储器或I/O接口等部件，也可以其它部件的数据传送到CPU。

**地址总线AB**是专门用来传送地址的。只能从CPU传向外部存储器或I/O端口。

**控制总线CB**用来传送控制信号和时序信号。可以是微处理器送往存储器和I/O接口电路的，如读/写信号、中断响应信号等；也可以是其它部件反馈给CPU的，比如：中断申请信号、总线请求信号等。

按连接的对象及所处位置分：

芯片级总线、系统总线、局部总线、外部总线

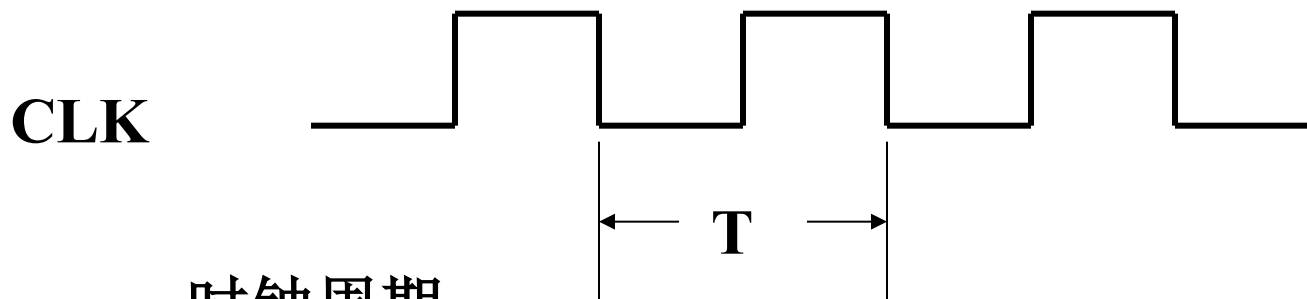


## 总线周期:

**时钟周期(CLK):** CPU时钟信号的脉冲周期, 也称机器周期;

**总线周期:** CPU从存储器或者输入/输出(I/O)端口存取1个字节或字的时间, 由若干个时钟周期组成;

**指令周期:** CPU读取并执行一条指令所花费的时间, 涉及取指令、译码和执行操作。



时钟周期:

T状态: 就是指时钟周期

因此, 指令周期>总线周期>时钟周期



## 总线性能指标:

- 总线宽度(bit): 一次可以同时传送的数据位数;
- 总线的工作频率(Hz): 总线每秒内能传输数据的次数;
- 传输率(B/s): 每秒钟可以传输的字节数

$$\text{传输率} = (\text{宽度}/8) \times \text{工作频率}$$



## 典型的微处理器外部引脚(P183)

- 数据线引脚：  $D_{63} \sim D_0$  共64位；
- 地址线引脚：  $A_{31} \sim A_0$  共32位；
  - 其中32位地址信号中，  $A_2 \sim A_0$  组合成信号  $\overline{BE}_7 \sim \overline{BE}_0$ 。
  - $\overline{BE}_7 \sim \overline{BE}_0$ ： 字节允许信号（存储体选中信号）
  - 外围电路对  $\overline{BE}_7 \sim \overline{BE}_0$  译码以产生
- 系统控制信号引脚：
  - INTR： 可屏蔽中断请求信号
  - NMI： 非屏蔽中断请求信号



## 典型的微处理器外部引脚

- 总线周期定义信号引脚

“周期” 是一段时间

*CPU通过总线与存储器、I/O交换一个数据所需要的时间称为总线周期*

$\overline{D/C} = 1$  表明该总线周期,传输的是数据

$= 0$  表明该总线周期,传输的是指令代码

$\overline{M/IO} = 1$  表明该总线周期,CPU与存储器交换信息

$= 0$  表明该总线周期,CPU与I/O接口交换信息

$\overline{W/R} = 1$  表明该总线周期,CPU进行写操作

$= 0$  表明该总线周期,CPU进行读操作

这三个信号的组合, 决定当前总线周期所完成的操作

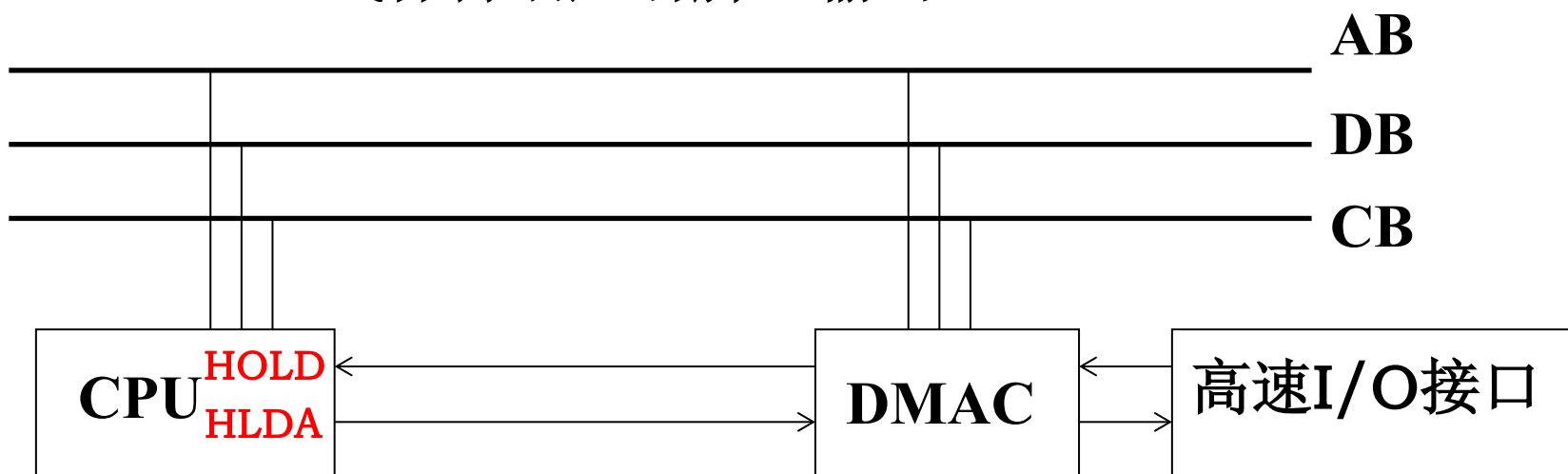


## 典型的微处理器外部引脚

- 总线仲裁信号信号引脚

**HOLD:** 总线保持请求引脚（输入）

**HLDA:** 总线保持响应引脚（输出）



































## 典型的总线标准:

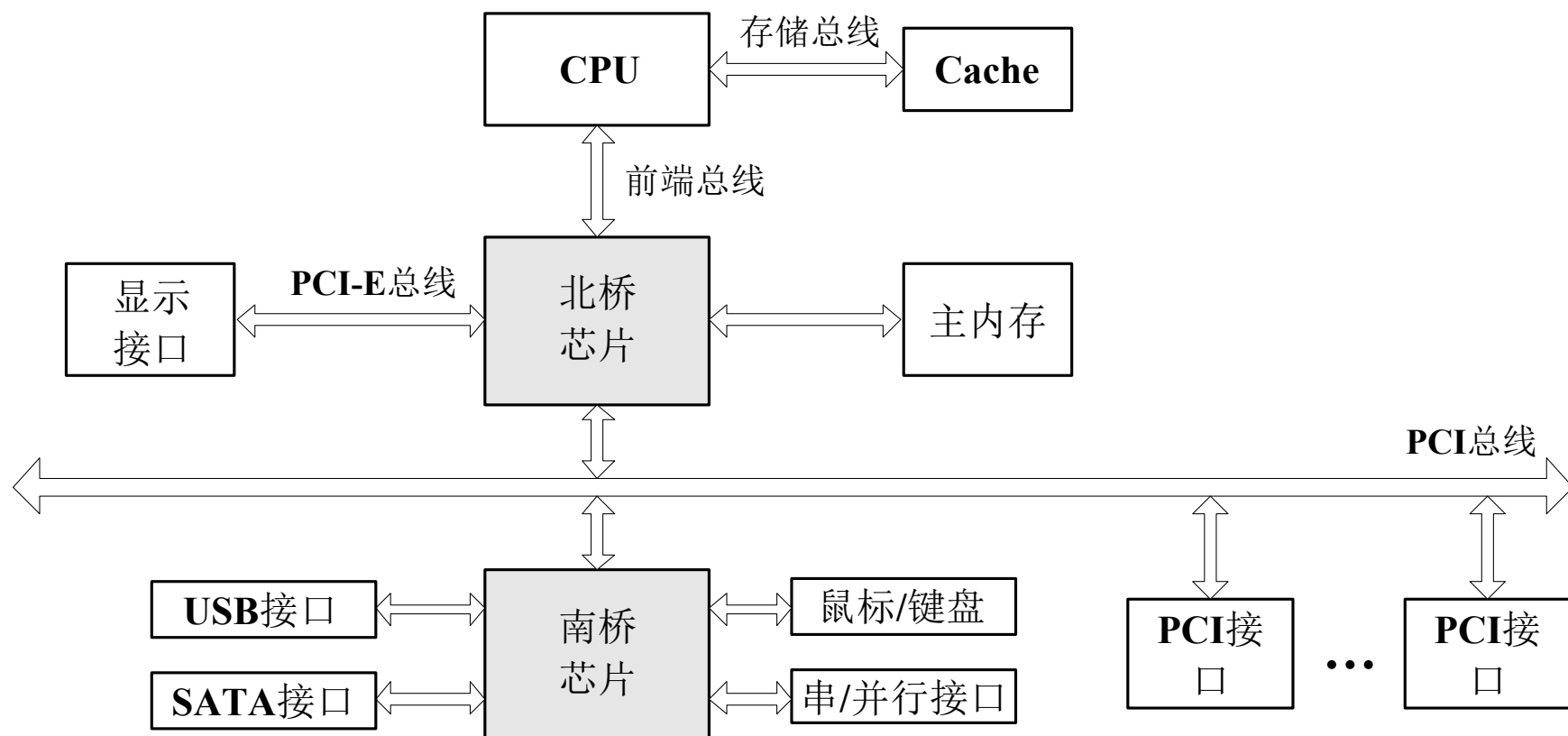
- 系统总线

PC总线→AT(ISA)总线→EISA(Extend ISA)总线→VESA

USB 1.0 / USB 1.1	USB 2.0	USB 3.0 USB 3.1 Gen1 USB 3.2 Gen1	USB 3.1 USB 3.1 Gen2 USB 3.2 Gen2 x1	USB 3.2 USB 3.2 Gen2 x2	USB4
1.5 Mbps 12 Mbps	480 Mbps	5 Gbps	10 Gbps	20 Gbps	40 Gbps
					
 Type-A  Type-B	 Type-A  Type-B	 Type-A  Type-B	 Type-A  Type-B	—	—
 Mini-A  Mini-B	 Mini-A  Mini-B	—	—	—	—
 Micro-A  Micro-B	 Micro-A  Micro-B	 Micro-B	—	—	—
—	 Type-C	 Type-C	 Type-C	 Type-C	 Type-C



## 现代微机中的多总线结构:



北桥芯片与CPU内存、高速缓存、局部总线等高速设备相连，管理微机体系中的高速设备；南桥芯片与IDE、ISA等低速设备相连，管理微机体系中的低速设备。

1. 微处理器通过 [填空1] 总线向存储器和I/O接口电路传输地址信号，通过 [填空2] 总线向存储器和I/O接口电路传输数据信号。
2. 总线的宽度指的是：总线一次可以同时传送的数据位数。  
假设一条总线的宽度为16位，频率为100MHz，则该总线的传输率为 [填空3] MB/s。

作答

若80486的总线周期定义信号 $M/\overline{IO}=0$ ， $D/\overline{C}=1$ ， $W/\overline{R}=0$ ，则表示当前总线周期正在进行( )操作。

- ☐ A 存储器读
- ☐ B 存储器写
- ☒ C I/O 读
- ☐ D I/O写

提交