

《 数字电路与逻辑设计 A 》 期末试卷 A

院(系)_____ 班级_____ 学号_____ 姓名_____

题号	一	二	三	四	五	六	七	八	九	总分
得分										

得 分

一、填空题（每空 1 分，共 25 分）

1. $(215.625)_{10} = (\underline{11010111.101})_2 = (\underline{D7.A})_{16}$ 。

2. $(569)_{10} = (\underline{1100\ 1101\ 1010})_2$ 余 3 循环码。

3. 若 $F(A,B,C) = \sum(3,4,6)$ ，则 $F'(A,B,C) = \sum(\underline{0,2,5,6,7})$ 。

4. 如图 1 所示门电路，MOSFET 工作在导通或截止状态，当输入端 A、B 中有一个或一个以上为低电平“0”时，与低电平相连的 T_p 管 导通， T_N 管 截止，使输出 F 为 高 电平；只有当两个输入端均为高电平“1”时， T_{P1} 、 T_{P2} 均 截止， T_{N1} 、 T_{N2} 都 导通，输出 F 为 低 电平。

5. 一个 n 位 D/A 转换器，其分辨率是 $\frac{1}{2^n - 1}$ 。

6. A/D 转换器中，若 Δ 是量化单位，当采用“舍尾”方法划分量化电平时，最大量化误差为 1 Δ ；而采用“四舍五入”方法划分

量化电平，则最大量化误差为 $\frac{1}{2} \Delta$ 。

7. 逐次逼近式 ADC，转换位数为 n，则转换时间为 (n+1) T_{cp} 。

8. 已知 4 位倒 T 型 DAC，输入数字量为 $(1101)_2$ ， $U_{REF}=8V$ ， $R_f=R$ ，则输出模拟量 $u_o=\underline{6.5} V$ 。

9. 与 PLA 的与阵列、或阵列都可编程不同，PROM 的与阵列 固定（或不可编程），或阵列 可编程。

10. 将 $8k \times 8$ 位 ROM 扩展为 $16k \times 16$ 位 ROM，需要 4 片 $8k \times 8$ 位 ROM。

11. 用 Verilog 门原语表达图 2 所示电路，对应语句是 and (out, in1, in2)。

12. 模块是 Verilog 的基本描述单位，用于描述某个设计的功能

或结构及其与其它模块通信的外部接口，包括数据流方式、行为方式、结构方式及上述方式的混合。

13. 数据处理器和 控制器 是数字系统中最基本的两大部件。

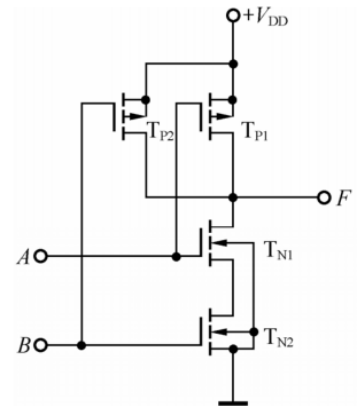


图 1

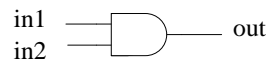


图 2

14. ASM 图是硬件算法的符号表示法，它由 状态框、条件框 和 判断框 这三个基本符号组成。

得 分	二、（10 分）用卡诺图化简下面的逻辑函数： $F(A,B,C,D) = ABC\bar{C} + A\bar{B}\bar{C} + \bar{A}\bar{B}C\bar{D} + A\bar{B}C\bar{D}$ ，且 $ABCD$ 不可同时为 1 或同时为 0。

答：

CD \ AB	00	01	11	10
00	ϕ			1
01				
11	1	1	ϕ	
10	1	1		1

-----卡诺图 8 分

$F = A\bar{C} + \bar{B}\bar{D}$ -----2 分

得 分	三、（6 分）D 触发器组成的电路、输入波形分别如图所示。若电路初态为 0，试画出 Q 端波形。（必须写出激励、次态方程）。

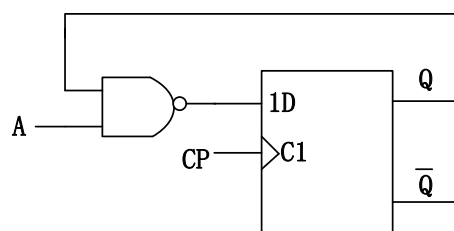


图 4-1

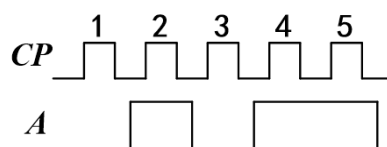
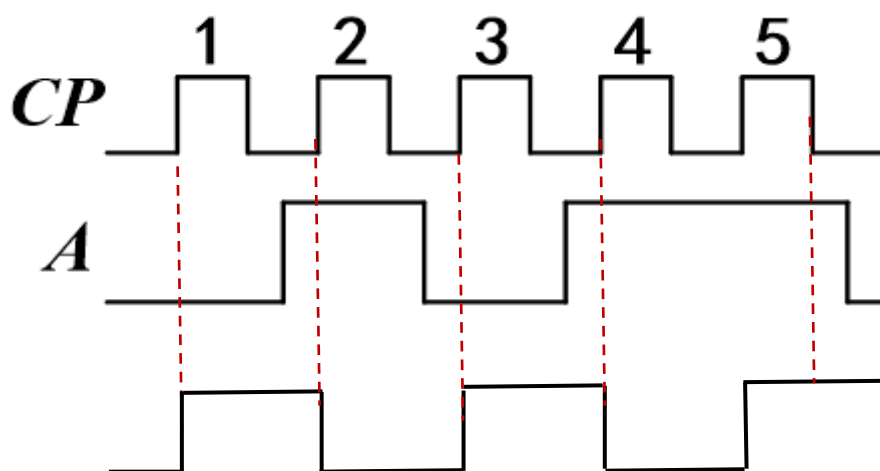


图 4-2

答：



波形 4 分

$$D = \overline{A \cdot Q^n} = \begin{cases} 1, A = 0 \\ \overline{Q^n}, A = 1 \end{cases} \quad 1 \text{ 分}$$

$$Q^{n+1} = D = [D = \overline{A \cdot Q^n}]CP \uparrow = \begin{cases} 1, A = 0 \\ \overline{Q^n}, A = 1 \end{cases} CP \uparrow \quad 1 \text{ 分}$$

得 分

四、(8分) 分析图5电路的逻辑功能，改用两片74151实现，要求：(1) 写出两个输出函数的最小项表达式 (2) 画出相应的电路。注意：A 权重最高，C 权重最低。

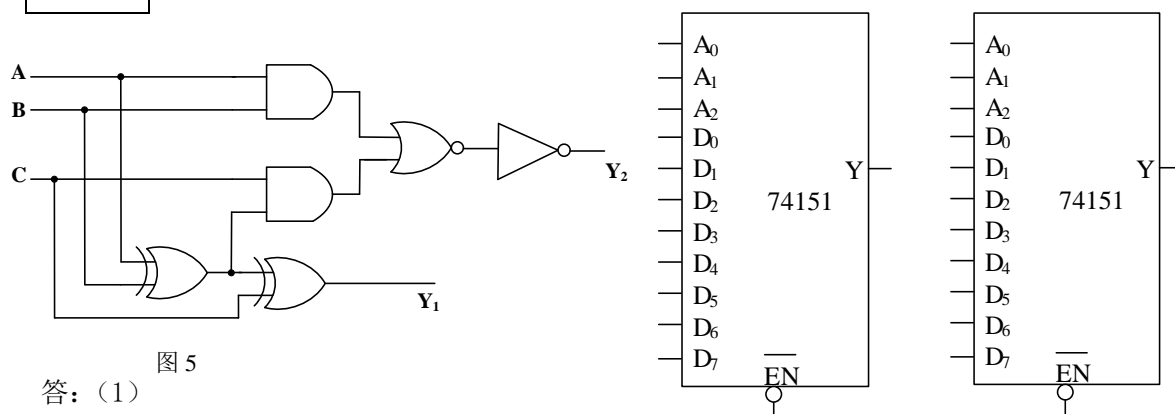


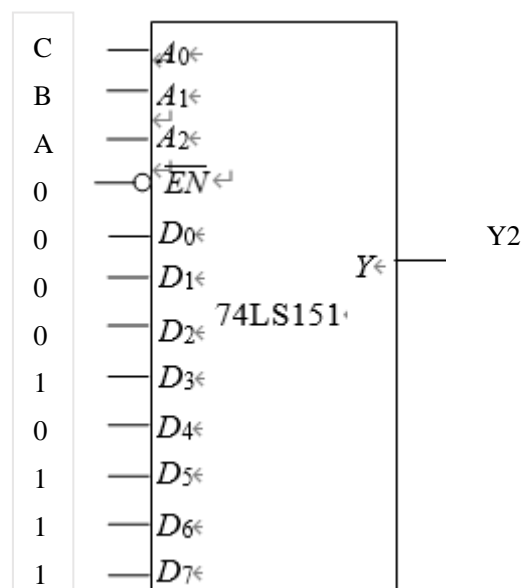
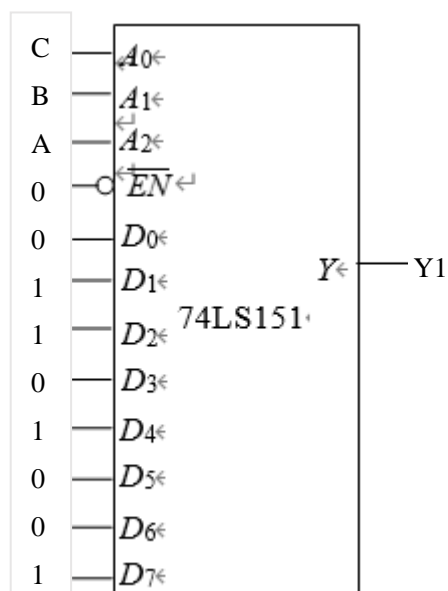
图5

答：(1)

$$Y_1 = \sum(1, 2, 4, 7) \text{-----} 2 \text{分}$$

$$Y_2 = \sum(3, 5, 6, 7) \text{-----} 2 \text{分}$$

(2)



每图2分

得 分

五、(8 分) 设计一个组合逻辑电路，设输入信号 ABC 为三位二进制数，判断该数 (1) 是否能被 3 整除，若能，则输出 F1=1；(2) 是否是质数，若是，则输出 F2=1。要求：(1) 列真值表。(2) 写出 F1 和 F2 的最简与或表达式。(不需要画电路图)

答：

A	B	C	F1	F2
0	0	0	1	0
0	0	1	0	0
0	1	0	0	1
0	1	1	1	1
1	0	0	0	0
1	0	1	0	1
1	1	0	1	0
1	1	1	0	1

$F_1 = \overline{A}\overline{B}\overline{C} + \overline{A}BC + ABC\overline{C}$ -----2分

$F_2 = \overline{A}B + AC$ -----2分

F1、F2 中错 1 个扣 1 分，扣完 2 分为止，F1、F2 的公式 2+2 分表格 2+2 分

得 分

六、(12 分) 两片 74161 级联电路如图 6 所示，要求采用反馈置零法设计模长为 (197)₁₀ 的计数器，试完成该电路设计 (可添加必要的门电路)。

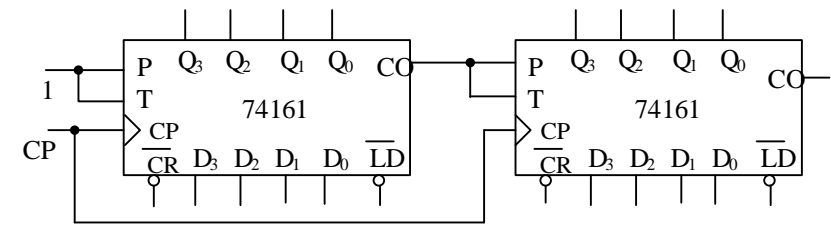
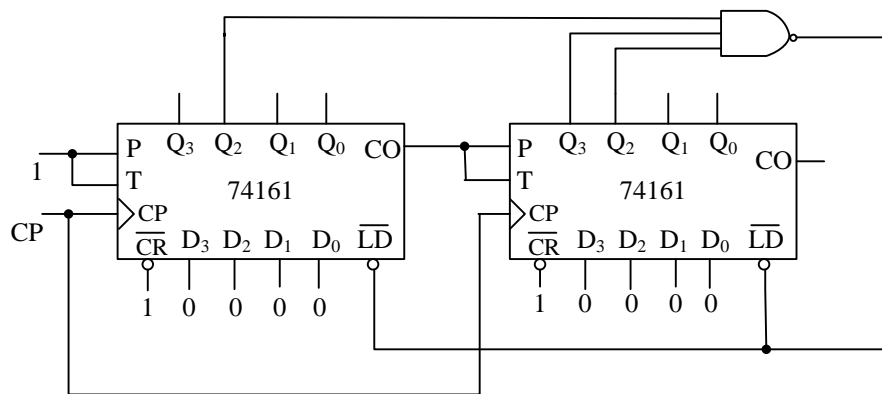


图 6

答：

自觉遵守
考试规则，
诚信考试，
绝不作弊



数据端 4 分，置数端设计 7 分，清零端 1 分。

得 分

七、(13 分) 电路如图 7 所示，请 (1) 列出 74194 的状态转移表，(2) 写出输出端 Q_3 产生的序列信号？

答：1、状态转移表 (11 分)

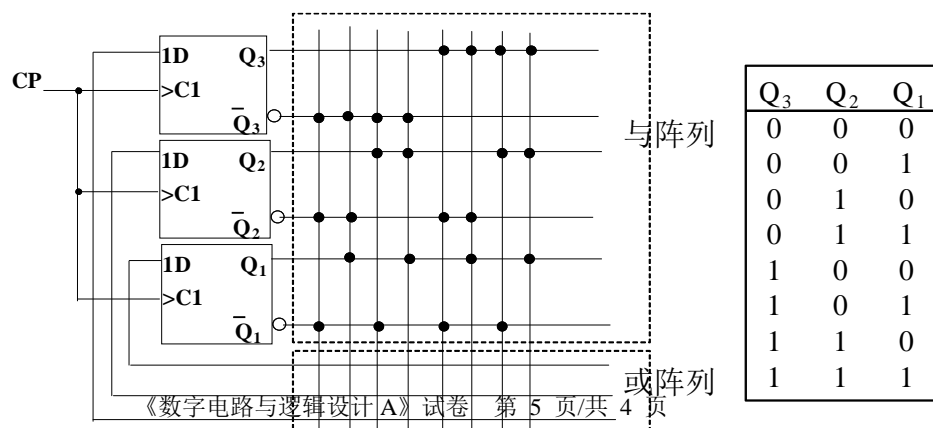
Q_0	Q_1	Q_2	Q_3
0	0	0	0
1	0	0	0
0	1	0	0
1	0	1	0
1	1	0	1
1	1	1	0
0	1	1	1
1	0	1	1
0	1	0	1
0	0	1	0
0	0	0	1

Q_3 端产生的序列信号：0001011101 (2 分)

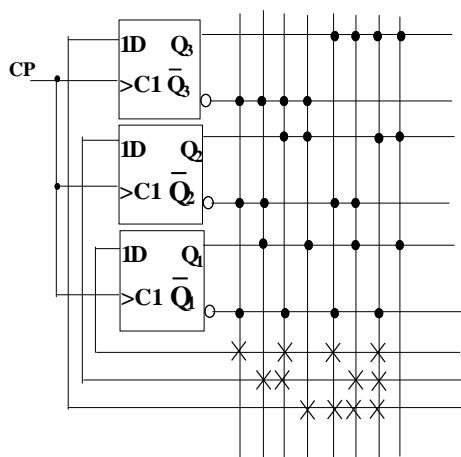
得 分

八、(6 分) 用 D 触发器和 PROM 实现的同步加法计数器的状态转移表如图 8 所示，

试将下列电路图补充完整。



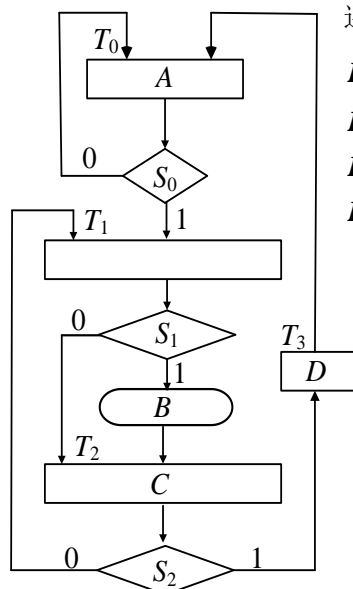
答:



D1 绘制正确得 2 分，D2 绘制正确得 2 分，D3 绘制正确得 2 分。

得 分

九、(12 分) 某数字系统的 ASM 图如图 9 所示，若采用 DFF、每态一个触发器的方法实现该系统的控制器，试写出控制器输出的控制信号和 D 触发器激励函数的逻辑表达式。解：



$$D_0 = T_0 \cdot \overline{S_0} + T_3 \quad 2\text{分}$$

$$D_1 = T_0 \cdot S_0 + T_2 \cdot \overline{S_2} \quad 2\text{分}$$

$$D_2 = T_1 \quad 2\text{分}$$

$$D_3 = T_2 S_2 \quad 2\text{分}$$

$$A = T_0 \quad 1\text{分}$$

$$B = T_1 \cdot S_1 \quad 1\text{分}$$

$$C = T_2 \quad 1\text{分}$$

$$D = T_3 \quad 1\text{分}$$

图 9