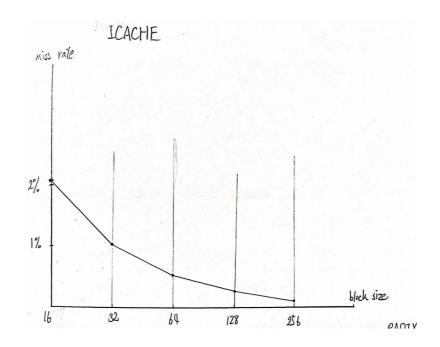
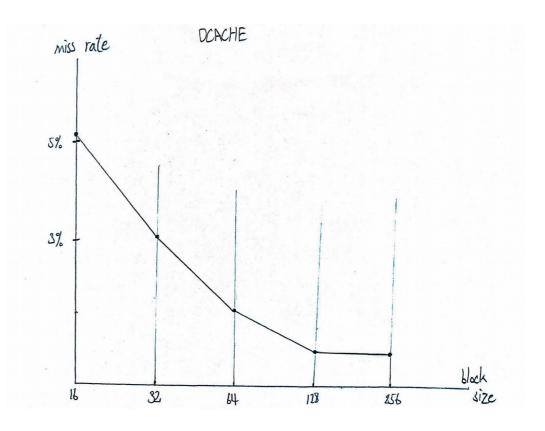
組員: 劉柏宇 0616223, 吳炯毅 0616059

### 1. basic

**ICACHE:** 



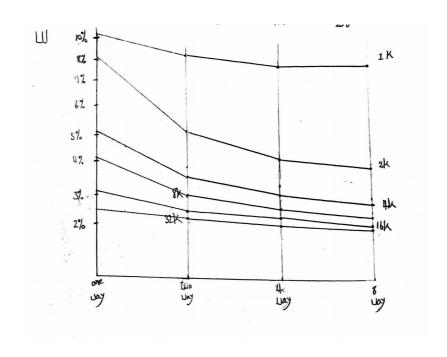
### DCACHE:



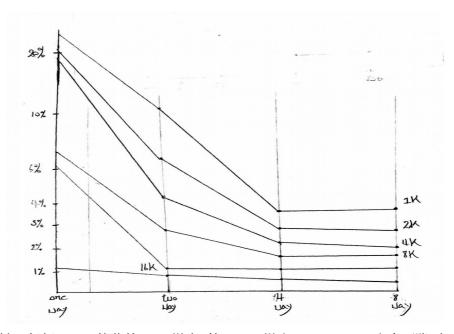
因為 block size 增加, 有可能會造成 miss rate 減少, 但一般來說, block size 跟 miss rate 不是絕對的負相關, 有可能是因為 data 太少所造成的巧合。那不同 cache size 一般來說會造成 miss rate 下降, 但測試結果全部一樣, 可能也是因為特別 data, 或 data 太少。

### 2. advance

LU:



## RADIX:



隨著 way 的增加, 每個 index 能收的 data 變多, 總 index 變少, miss rate 一定會下降, 但會多花時間 access, 符合預測。

# total bit:

	1-way	2-way	3-way	4-way
1K	8560	8576	8592	8608
2K	17088	17120	17152	17184
4K	34112	34176	34240	34304
8K	68096	68224	68352	68480
16K	135936	136192	136448	136704
32K	271360	271872	272348	272896