計算機基礎期末レポート

61908697 佐々木良輔 2020 年 7 月 31 日

1. 課題1

以下の論理関数 F,G,H について真理値表を作成せよ.

- $F = (A + B) \cdot \overline{C}$
- $G = A + B \cdot \overline{C}$
- $\bullet \ \ H = \overline{(A+B)} \cdot C$

以下にF, G, Hの真理値表を示す.

表 1 F の真理値表

A	В	C	A + B	\overline{C}	F
0	0	0	0	1	0
0	0	1	0	0	0
0	1	0	1	1	1
0	1	1	1	0	0
1	0	0	1	1	1
1	0	1	1	0	0
1	1	0	1	1	1
1	1	1	1	0	0

表 2 G の真理値表

A	B	C	\overline{C}	$B \cdot \overline{C}$	G
0	0	0	1	0	0
0	0	1	0	0	0
0	1	0	1	1	1
0	1	1	0	0	0
1	0	0	1	0	1
1	0	1	0	0	1
1	1	0	1	1	1
_1	1	1	0	0	1

表 3 Hの真理値表

\overline{A}	В	C	A + B	$\overline{A+B}$	Н
0	0	0	0	1	0
0	0	1	0	1	1
0	1	0	1	0	0
0	1	1	1	0	0
1	0	0	1	0	0
1	0	1	1	0	0
1	1	0	1	0	0

以下の論理関数 $F,\,G,\,H$ を NAND ゲートだけの式に変換せよ. NOT ゲートは NAND ゲート に書き換えなくてよい.

- $F = \overline{A} \cdot B + \overline{C} \cdot (A + B)$
- $\bullet \ G = \overline{A} \cdot B + C \cdot (A + \overline{B})$
- $\bullet \ H = A \cdot \overline{B} + C \cdot (\overline{A} + B)$

2.1 F について

$$F = \overline{A} \cdot B + \overline{C} \cdot (A + B)$$
$$= \overline{A} \cdot B + \overline{C} \cdot A + \overline{C} \cdot B$$

両辺を 2 重否定し

$$\overline{\overline{F}} = \overline{\overline{\overline{A} \cdot B} + \overline{C} \cdot A + \overline{C} \cdot B}$$

ド・モルガンの定理から

$$\overline{\overline{F}} = \overline{\overline{\overline{A} \cdot B} \cdot \overline{\overline{C} \cdot A} \cdot \overline{\overline{C} \cdot B}}$$

2.2 *G* について

$$G = \overline{A} \cdot B + C \cdot (A + \overline{B})$$
$$= \overline{A} \cdot B + C \cdot A + C \cdot \overline{B}$$

両辺を 2 重否定し

$$\overline{\overline{G}} = \overline{\overline{\overline{A} \cdot B + C \cdot A + C \cdot \overline{B}}}$$

ド・モルガンの定理から

$$\overline{\overline{G}} = \overline{\overline{\overline{A} \cdot B} \cdot \overline{C \cdot A} \cdot \overline{C \cdot \overline{B}}}$$

2.3 *H* について

$$H = A \cdot \overline{B} + C \cdot (\overline{A} + B)$$
$$= A \cdot \overline{B} + C \cdot \overline{A} + C \cdot B$$

両辺を 2 重否定し

$$\overline{\overline{H}} = \overline{\overline{A \cdot \overline{B} + C \cdot \overline{A} + C \cdot B}}$$

ド・モルガンの定理から

$$\overline{\overline{H}} = \overline{\overline{A \cdot \overline{B}} \cdot \overline{C \cdot \overline{A}} \cdot \overline{C \cdot B}}$$

3. 課題3

以下の論理関数 F,G,H をカルノー図を用いて論理圧縮せよ.

- $F(x_1, x_0) = \sum (0, 2, 3)$
- $G(x_2, x_1, x_0) = \sum (0, 2, 4, 5, 6, 7)$
- $H(x_3, x_2, x_1, x_0) = \sum_{i=0}^{\infty} (0, 1, 2, 3, 4, 6, 8, 9, 10, 11, 12, 14)$

3.1 F について

カルノー図を図 1 に示す. ここで赤いループは $\overline{x_0}$, 青いループは x_1 なので

$$F(x_1, x_0) = \overline{x_0} + x_1$$

となる.

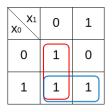


図 1 F のカルノー図

3.2 *G* について

カルノー図を図 2 に示す. ここで赤いループは $\overline{x_0}$, 青いループは x_2 なので

$$G(x_2, x_1, x_0) = \overline{x_0} + x_2$$

X1X0 X2	00	01	11	10
0	1	0	0	1
1	1	1	1	1

図 2 G のカルノー図

3.3 *H* について

カルノー図を図 3 に示す. ここで赤いループは $\overline{x_0}$, 青いループは $\overline{x_2}$ なので

$$H(x_3, x_2, x_1, x_0) = \overline{x_0} + \overline{x_2}$$

となる.

X1X0 X3X2	00	01	11	10
00	1	1	1	1
01	1	0	0	1
11	1	0	0	1
10	1	1	1	1

図 3 H のカルノー図

4. 課題4

以下の機能を持つ論理関数 F,G の論理式を示せ.

論理関数F

4 本の信号線 $x_3,\,x_2,\,x_1,\,x_0$ を用いて 0 から 15 の 2 進数を表し, 10 以上なら F=1, それ以外で F=0 とする.

論理関数G

上の 2 進数が 6 以下なら G=1, それ以外で G=0 とする.

4.1 F について

F の真理値表を表 4 に示す. したがってカルノー図は図 4 のようになる. ここで赤いループは x_3x_1 , 青いループは x_3x_2 なので

$$F(x_3, x_2, x_1, x_0) = x_3 x_1 + x_3 x_2$$

表 4 F の真理値表

x_3	x_2	x_1	x_0	表す整数	F
0	0	0	0	0	0
0	0	0	1	1	0
0	0	1	0	2	0
0	0	1	1	3	0
0	1	0	0	4	0
0	1	0	1	5	0
0	1	1	0	6	0
0	1	1	1	7	0
1	0	0	0	8	0
1	0	0	1	9	0
1	0	1	0	10	1
1	0	1	1	11	1
1	1	0	0	12	1
1	1	0	1	13	1
1	1	1	0	14	1
_1	1	1	1	15	1

X1X0 X3X2	00	01	11	10
00	0	0	0	0
01	0	0	0	0
11	1	1	1	1
10	0	0	1	1

図 4 F のカルノー図

4.2 *G* について

F の真理値表を表 5 に示す. したがってカルノー図は図 4 のようになる. ここで赤いループは $\overline{x_3x_1}$, 青いループは $\overline{x_3x_2}$, 緑のループは $\overline{x_3}x_1\overline{x_0}$ なので

$$G(x_3, x_2, x_1, x_0) = \overline{x_3} \overline{x_1} + \overline{x_3} \overline{x_2} + \overline{x_3} \overline{x_1} \overline{x_0}$$

表 5 G の真理値表

x_3	x_2	x_1	x_0	表す整数	G
0	0	0	0	0	1
0	0	0	1	1	1
0	0	1	0	2	1
0	0	1	1	3	1
0	1	0	0	4	1
0	1	0	1	5	1
0	1	1	0	6	1
0	1	1	1	7	0
1	0	0	0	8	0
1	0	0	1	9	0
1	0	1	0	10	0
1	0	1	1	11	0
1	1	0	0	12	0
1	1	0	1	13	0
1	1	1	0	14	0
1	1	1	1	15	0

X1X0 X3X2	00	01	11	10
00	1	1	1	1
01	1	1	0	1
11	0	0	0	0
10	0	0	0	

図 5 G のカルノー図

図 6 のように NOR ゲートに A, B と, その入力に Y, Y', X, X' と名前をつける. Y と X は ACTIVE HIGH とする.

まず Y を 1 にすることを考える. Y が 1 になると A の出力 Q は 0 になり, X' も 0 になる. このとき X が 0 であるので B の出力 \overline{Q} は 1 になる. したがって Y' は 1 になり, 出力 Q は 0 のままである. 以上から入力 Y は RESET 信号に相当する.

次に X を 1 にすることを考える. X が 1 になると B の出力 \overline{Q} は 0 になり, Y' も 0 になる. このとき Y が 0 であるので A の出力 Q は 1 になる. したがって X' は 1 になり, 出力 \overline{Q} は 0 のままである. 以上から入力 X は SET 信号に相当する.

また Y と X は ACTIVE HIGH なので両方が LOW のとき状態は変化しない. そして Y と X が両方 HIGH のとき、出力 Q と \overline{Q} は同時に 0 になるのでこれは禁止状態である. 以上からこの回路の動作は表 6 のようになる. また図 7 に X, Y の入力に対する出力 Q の波形を示す.

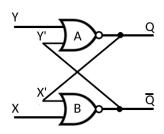


図 6 回路図

表	表 6 回路の動作			
X	Y	$Q \overline{Q}$		
L	Н	リセット		
Η	L	セット		
Η	Η	禁止状態		
L	L	前の状態		

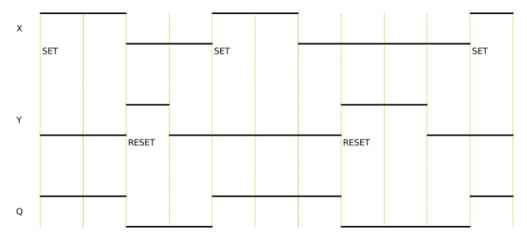


図7 入力波形と出力波形

表 7 NOR ゲート

入力1	入力 2	出力
0	0	1
0	1	0
1	0	0
1	1	0

7 セグメント LED の LED, L2, L5, L6 の真理値表を表 8 に示す。したがって L2, L5, L6 のカルノー図は図 8 から図 10 に示すとおりである。図 8 において赤いループは $\overline{c_0}$, 青いループは c_1 なので

$$L2(c_2, c_1, c_0) = \overline{c_0} + c_1$$

となる. また図 9 において赤いループは $c_1\overline{c_0}$, 青いループは c_2 なので

$$L5(c_2, c_1, c_0) = c_1\overline{c_0} + c_2$$

となる. また図 10 において赤いループは c_1 , 青いループは c_0 , 緑のループは c_2 なので

$$L6(c_2, c_1, c_0) = c_2 + c_1 + c_0$$

表 8 L2, L5, L6 の真理値表

c_2	c_1	c_0	目	L2	L5	L6
0	0	0	1	1	0	0
0	0	1	2	0	0	1
0	1	0	4	1	1	1
0	1	1	3	1	0	1
1	0	0	6	1	1	1
1	0	1	*	*	*	*
1	1	0	5	1	1	1
1	1	1	*	*	*	*

C1C0 C2	00	01	11	10	
0	1	0	1	1	
1	1	*	*	1	

図 8 L2 のカルノー図

C ₁ C ₀	00	01	11	10
0	0	0	0	1
1	1	*	*	1

図 9 L5 のカルノー図

C ₁ C ₀	00	01 11		10	
0	0	1	1	1	
1	1	*	*	1	

図 10 L6 のカルノー図

図 11 に内部状態を割り付けた状態遷移図を示す.隣接する状態のハミング距離はすべて 1 になっている.よって真理値表は表 9 のようになる.したがって N_0 のカルノー図は図 12 のように

なる. 図 12 において赤いループは SC_0 , 青いループは $\overline{SC_1}$, 緑のループは $\overline{S}C_2\overline{C_0}$ なので

$$N_0(S, C_2, C_1, C_0) = \overline{S}C_2\overline{C_0} + SC_0 + \overline{SC_1}$$

となる. また L_0 真理値表を表 $10,\,L_3$ 真理値表を表 11 に示す. したがって L_0 のカルノー図は図 $13,\,L_3$ のカルノー図は図 14 のようになる. 図 13 において赤いループは SC_1C_0 なので

$$L_0(S, C_2, C_1, C_0) = SC_1C_0$$

となる. また図 14 において赤いループは $\overline{C_2}C_1C_0$ なので

$$L_3(S, C_2, C_1, C_0) = \overline{C_2}C_1C_0$$

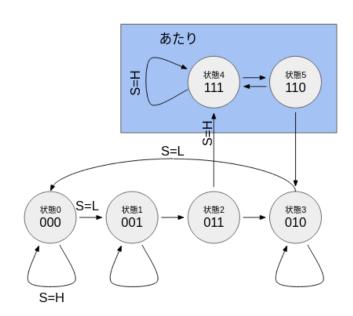


図 11 状態遷移図

C1C0 SC2	00	01	11	10
00	1	1	0	0
01	*	*	0	1
11	*	*	1	0
10	0	1	1	0

図 12 N₀ のカルノー図

C1C0 SC2	00	01	11	10
00	0	0	0	0
01	*	*	0	0
11	*	*	1	0
10	0	0	1	0

図 13 L_0 のカルノー図

C1C0 C2	00	01	11	10
0	0	0	1	0
1	*	*	0	0

図 14 L_3 のカルノー図

表 9 真理値表

入力 S	C_2	C_1	C_0	N_2	N_1	N_0
0	0	0	0	0	0	1
0	0	0	1	0	1	1
0	0	1	0	0	0	0
0	0	1	1	0	1	0
0	1	0	0	*	*	*
0	1	0	1	*	*	*
0	1	1	0	1	1	1
0	1	1	1	1	1	0
1	0	0	0	0	0	0
1	0	0	1	0	0	1
1	0	1	0	0	1	0
1	0	1	1	1	1	1
1	1	0	0	*	*	*
1	1	0	1	*	*	*
1	1	1	0	0	1	0
1	1	1	1	1	1	1

表 10 L_0 の真理値表

入力 S	C_2	C_1	C_0	L_0
1	0	0	0	0
1	0	0	1	0
1	0	1	0	0
1	0	1	1	1
1	1	0	0	*
1	1	0	1	*
1	1	1	0	0
1	1	1	1	1

表 11 L_3 の真理値表

C_2	C_1	C_0	L_3
0	0	0	0
0	0	1	0
0	1	0	0
0	1	1	1
1	0	0	*
1	0	1	*
1	1	0	0
1	1	1	0

ソースコード 1 の C 言語コードを MIPS アセンブリに変換する. ただし変数 x,y,z はレジスタ s0,s1,s2 に格納される. この動作は x に 0 を入れ, その後 x に y を z 回足すことで実現できる. 変換後のアセンブリコードをソースコード 2 に示す.

ソースコード 1 С 言語コード

1 x = y * z;

ソースコード 2 MIPS アセンブリコード

- 1 addi \$s0, \$zero, 0
- $2\,$ LOOP: add $\$s0,\ \$s0,\ \$s1$
- 3 addi \$s2, \$s2, -1
- 4 bne \$s2, \$zero, LOOP

```
5
6 # x = 0;
7 # loop:
8 # x += y;
9 # z--;
10 # if(z != 0) goto loop;
```

以下の機械語を MIPS アセンブリに逆アセンブルする. no.1 の命令は op コードが 0x23 なので lw 命令である. no.2 の命令は op コードが 0x00, funct が 0x20 なので add 命令である. no.3 の命令は op コードが 0x2b なので sw 命令である. また 0x08 は t0 レジスタ, 0x09 は t1 レジスタ, 0x12 は s2 レジスタである. よって MIPS アセンブリはソースコード 3 のようになる.

	-DC 12 1/2 1/2 1/2					
				addr	ess/immi	diate
no.	op	rs	rt	rd	shamt	funct
1	0x23	0x09	0x08		0x190	
2	0x00	0x12	0x08	0x08	0x00	0x20
3	0x2b	0x09	0x08		0x190	

表 12 機械語

ソースコード 3 MIPS アセンブリコード

```
1 lw $t0, 400($t1)
2 add $t0, $s2, $t0
3 sw $t0, 400($t1)
```

10. 課題10

ソースコード 4 の C 言語コードを MIPS アセンブリに変換する. ただし変数 i, k, A はレジスタ t0, s5, s6 に格納される. この動作は i に 0 を代入し, i と k の大小比較, A[i] への値の格納をした後に再び大小比較することで実現できる. また A[i] のメモリ番地は (A のベースアドレス) + (i*4) で得られる. 変換後のアセンブリコードをソースコード 5 に示す.

```
ソースコード 4 C 言語コード

for (i = 0; i < k; i++) A[i] = i;

ソースコード 5 MIPS アセンブリコード
```

```
move $t0, $zero
         j TEST
3 LOOP: sll $t1, $t0, 2 #A[i]への値格納
         add $t1, $t1, $s6
         sw $t0, 0($t1)
        addi $t0, $t0, 1
7 TEST: slt $t1, $t0, $s5 #大小比較
        bne $t1, $zero, LOOP
10
        # i = 0;
        # goto test;
        # loop:
       # A[i] = i;
        # i++;
        # test:
15
        # if (i < k) goto loop;</pre>
```

1台の計算機で実行すると 100 秒かかる計算があり、そのうち 90 秒に相当する部分は並列化できる。これを 5 台の計算機で並列化したとき、ベースラインより実行時間が長くならない最低の周波数とその時の消費電力を求める。ただし周波数と電圧は表 13 の組を取る。まず 5 台すべて 100% の周波数で用いた場合、実行時間 T_5 は

$$T_5 = (100 - 90) + \frac{90}{5} = 28 \text{ s}$$

となる. ここで T_5 がベースラインを超えない最低の周波数の割合 p_{th} は

$$100 = (100 - 90) + \frac{90}{5} \times \frac{1}{p_{th}}$$
$$p_{th} = 0.25$$

よってベースラインを超えない最低の周波数は 32% である.このときの電圧は 71% である.したがってベースラインでの消費電力を P_{base} , 周波数を F_{base} , 電圧を V_{bsae} とすると,並列化したときの消費電力 $P_{parallel}$ は

$$\begin{split} \frac{P_{parallel}}{P_{base}} &= 5 \times \frac{F_{base} \times 0.32 \times (V_{base} \times 0.71)^2}{F_{base} \times V_{base}^2} \\ P_{parallel} &= 0.807 P_{base} \end{split}$$

したがってベースラインに比べて消費電力は 81% になる.

表 13 周波数と電圧

周波数 / %	電圧 / %
100	100
86	98
71	87
57	79
46	77
32	71
21	66

以上.