

复习题

1. CPU 有 16 根地址线, 8 根数据线。并用 MREQ (低电平有效) 作访存控制信号, R/W 作读写命令信号 (高电平为读。低电平为写)。市场上现有下列存储芯片: ROM (2K×8 位, 4K×4 位, 8K×8 位), RAM (1K×4 位, 2K×8 位, 4K×8 位), 及 74138 译码器和其他门电路。试从上述规格中选用合适芯片, 设计出 CPU 和存储芯片的连接图, 根据产品需要要求。

- (1) 最小 4K 地址为系统程序区, 4096-12287 地址范围为用户程序区。
- (2) 指出选用的存储芯片类型及数量, 并给出每片 RAM 的地址范围。
- (3) 详细画出 CPU 与存储器的连接图。
- (4) 如果运行时发现不论往哪片 RAM 写入数据后, 以 2000H 为起始地址的存储芯片都有与其相同的数据, 分析故障原因。
- (5) 根据 (3) 的连接图, 若出现地址线 A12 与 CPU 断线。并搭接到高电平上, 将出现什么后果? 。

解.

(1) 地址空间分配图:

系统程序区 (ROM 共 4KB): 0000H-0FFFH

用户程序区 (RAM 共 8KB): 1000H-2FFFH

(2) 选片: ROM: 选择 4K×4 位芯片 2 片, 位并联

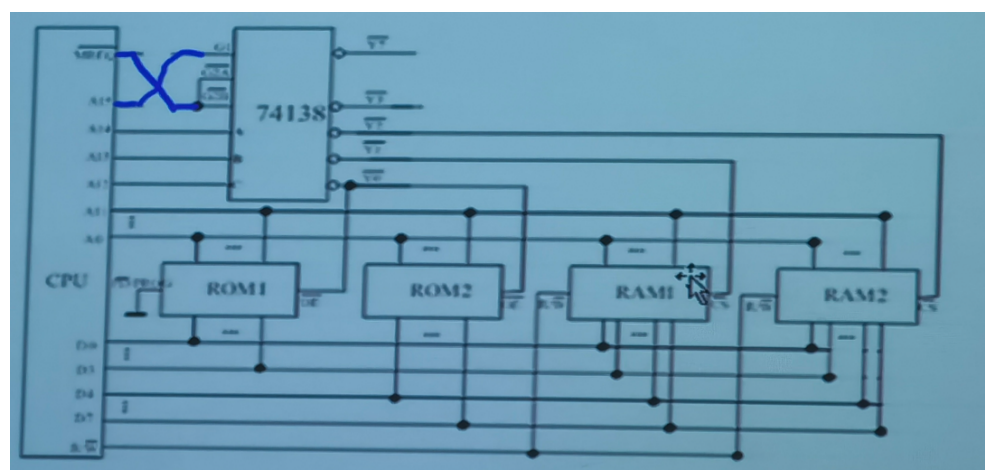
RAM: 选择 4K×8 位芯片 2 片, 字串联 (RAM1 地址范围为: 1000H-1FFFH,

RAM2 地址范围为 2000H-2FFFH)

(3): 各芯片二进制地址分配如下:

	A15	A14	A13	A12	A11	A10	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0
ROM1,2	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
RAM1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
RAM2	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0

CPU 和存储器连接逻辑图及片选逻辑如下图所示:



(4) 如果运行时发现不论往哪片 RAM 写入数据后, 以 2000H 为起始地址的存储芯片(RAM2)都有与其相同的数据, 则根本的故障原因为: 该存储芯片的片选输入端很可能总是处于低电平。假设芯片与译码器本身都是好的, 可能的情况有:

- 1) 该片的 CS 端与 WE 端连错或短路;
- 2) 该片的 CS 端与 CPU 的 MREQ 端错连或短路;
- 3) 该片的 CS 端与地线错连或短路。

(5) 如果地址线 A12 与 CPU 断线, 并搭接到高电平上, 将会出现 A12 恒为“1”的情况。此时存储器只能寻址 A12=1 的地址空间(RAM1), A12=0 的地址空间 (ROM 和 RAM2) 将永远访问不到。若对 A12=0 的地址空间 (ROM 和 RAM2) 进行访问。只能错误地访问到 A12=1 的对应空间 (RAM1) 中去。

2. 设磁盘存储器转速为 6000 转/分, 分 10 个扇区, 每扇区存储 2KB, 主存与磁盘存储器数据传送的宽度为 16 位 (即每次传送 16 位)。假设一条指令最长执行时间是 10us, 是否可采用一条指令执行结束时响应 DMA 请求的方案。为什么? 若不行, 应采取什么方案?

解: 先算出磁盘传送速度, 然后和指令执行速度进行比较得出结论。

磁道容量=2KB×10=20KB

数据传输速率=20KB×6000 转/分

=20KB ×100 转/秒=2000KB/秒

一次传输的传送时间=2B/2000KB/秒≈1us

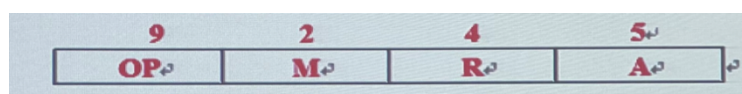
由上计算知: 1 us<<10us, 所以不能采用一条指令执行结束响应 DMA 请求的方案。

应采取每个 CPU 机器周期未查询及响应 DMA 请求的方案。

3. 某计算机字长 20 位, 且存储字长等于指令字长, 主存容量为 512K 字, 采用单字长单地址指令, 共有 315 条指令, 来用四种寻址方式 (立即、直接、基址、相对), CPU 中有 16 个通用寄存器。

- (1) 设计指令格式。
- (2) 该指令直接寻址的最大范围。

解: (1) —地址指令格式为



OP 操作码字段, 共 9 位, 可反映 315 种操作

M 寻址方式特征字段, 共 2 位, 可反映 4 种寻址方式;

R 寄存器地址字段, 共 4 位, 可寻址 16 个通用寄存器。

A 形式地址字段。共 20-9-2-4=5 位

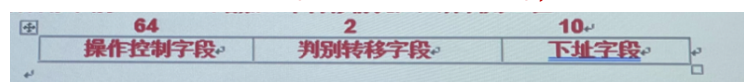
- (2) 直接寻址的最大范围为 $2^5=32$

4. 微程序控制器有 6 个控制字段，分别可以激活 9、3、16、4、7、25 种微命令(来用水平型微指令)，有 3 个转移控制状态，微指令格式中的下址字段 10 位。试分别采用直接编码和字段直接编码方式设计微指令的操作控制字段，设计微指令格式，并计算控存容量。

解：(1) 直接编码

操作控制字段=9+3+16+4+7+25=64 位，

判别转移字段：3+1=4 (增加 1 不转移情况)，所以用 2 位

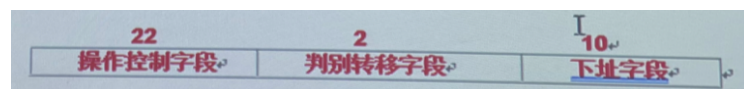


控存容量： $2^{10} \times 76$ 位

(2)

操作控制字段=字段 1 (9+1=10, 4 位) + 字段 2 (3+1=4, 2 位) + 字段 3 (16+1=17, 5 位) + 字段 4 (4+1=5, 3 位) + 字段 5 (7+1=8, 3 位) + 字段 6 (25+1=26, 5 位) =22 位 (各字段增加 1 不操作情况)。

判别转移字段：3+1=4，所以用 2 位



控存容量： $2^{10} \times 34$ 位

5. 一个 16K×16 位的动态 RAM 芯片，其内部结构排列成 512×512 形式。存取周期为 0.2us。试问采用集中刷新、分散刷新及异步刷新三种方式的刷新间隔各为多少？(设刷新周期为 4ms)

解：(1) $512 \times 0.2\mu s = 102.4\mu s < 4ms$ ，所以集中刷新间隔为：4ms

(2) 分散用新闻隔为：512 个存取周期 (但存取周期为 0.4us)，即 204.8us。

(3) $4ms/512 = 7.8\mu s$ ，即每隔 7.8us 刷新一行，但整体异步刷新间隔仍为 4ms。

6. 在一个 64 位的总线系统中，总线的时钟频率为 100MHz，假设总线最短传输周期为 8 个时钟周期，试计算总线的最大数据传输率。若想提高数据传输率，可采取什么措施？

解：总线宽度 =64 位/8=8B

时钟周期=1/100MHz=0.01us

总线最短传输周期 =0.01us×8=0.08us

总线最大数据传输率 = 8B/0.08us=100MB/s

若想提高总线的数据传输率，可提高总线的时钟频率，或减少总线周期中的时钟个数，或增加总线宽度。

解： 启动取指令微程序

(PC→MAR, 读出机器指令→IR, PC 增量, 为下条指令准备地址。

① 根据 IR 中的指令码, 通过微地址形成电路产生该指令的微程序的起始微地址, 并送入 uMAR 中。

② uMAR 中的微地址经译码、驱动, 从被选的控存单元中取出一条微指令并送入 uIR。

③ uIR 中的微指令的操作控制字段经译码或直接产生一组微命令并送往有关的功能部件, 控制其完成所规定的微操作。

4) uIR 中微指令的地址控制字段及有关状态条件送往微地址形成电路, 产生下条微指令的地址, 再去读取并执行下条微指令。如此循环, 直到一条机器指令的微程序全部执行完毕。

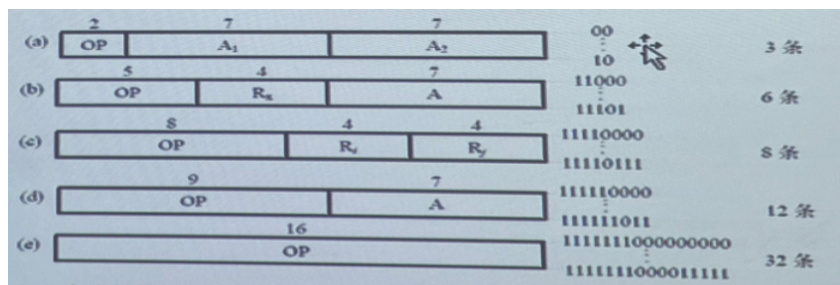
9. 某机字长 16 位, 存储器直接寻址空间为 128 字, 变址时的位移量为 -64~+63, 16 个通用寄存器均可作为变址寄存器。设计一套指令系统格式, 满足下列寻址类型的要求:

- (1) 直接寻址的二地址指令 3 条;
- (2) 变址寻址的一地址指令 6 条;
- (3) 寄存器寻址的二地址指令 8 条;
- (4) 直接寻址的一地址指令 12 条,
- (5) 零地址指令 32 条。

试问还有多少种代码未用? 若安排寄存器寻址的一地址指令, 还能容纳多少条?

解

(1) 在直接寻址的二地址指令中, 根据题目给出直接寻址空间为 128 字, 则每个地址码为 7 位, 其格式如图 (a) 所示。3 条这种指令的操作码为 00、01 和 10, 剩 11 可作为下一种格式指令的操作码扩展用。



(2) 在变址寻址的一地址指令中, 根据变址时的位移量为 -64~+63, 形式地址 A 取 7 位。根据 16 个通用寄存器可作为变址寄存器, 取 4 位作为变址寄存器 R_x 的编号。剩下的 5 位可作操作码, 其格式如图 (b) 所示。6 条这种指令的操作码为 11000~11101, 剩下的两个编码 11110 和 11111 可作为扩展用。

(3) 在寄存器寻址的二地址指令中, 两个寄存器地址 R_i 和 R_j 共 8 位, 剩下的 8 位可作操作码, 比格式 (2) 的操作码扩展了 3 位, 其格式如图 (c) 所示。8 条这种指令的操作码为 11110000~11110111。剩下的 11111000~11111111 八个编码可作为扩展用。

(4) 在直接寻址的一地址指令中, 除去 7 位的地址码外, 可有 9 位操作码, 比格式 (3) 的操作码扩展了 1 位, 与格式 (3) 剩下的 8 个编码组合, 可构成 16 个 9 位编码。以 11111 作为格式 (4) 指令的操作码特征位, 12 条这种指令的操作码为 111110000~111111011, 如图 (d) 所示。剩下的 111111100~111111111 可作为扩展用。

(5) 在零地址指令中, 指令的 16 位都作为操作码, 比格式 (4) 的操作码扩展了 7 位, 与上述剩下的 4 个操作码组合后, 共可构成 4×27 条指令的操作码。32 条这种指令的操作码可取 1111110000000000~111111000011111, 如图所示。还有 $2^9 - 32 = 480$ 种代码未用, 若安排寄存器寻址的一地址指令, 除去末 4 位为寄存器地址外, 还可容纳 30 条这类指令。

10. 设机器字长为 32 位 (含 1 位符号位), 若一次移位需 $2\mu s$, 一次加法需 $2\mu s$ 试问原码一位乘、补码一位乘、原码加减交替除和补码加减交替除法最多各需多少时间?

解: 原码一位乘最多需时 $= 2\mu s \times 31$ (加) $+ 2\mu s \times 31$ (移位) $= 124\mu s$

补码一位乘最多需时 $= 2\mu s \times 32$ (加) $+ 2\mu s \times 32$ (移位) $= 128\mu s$

原码加减交替除最多需时 $= 2\mu s \times (31+1)$ (上商) $+ 2\mu s \times 31$ (移位) $= 126\mu s$

补码加减交替除最多需时 $= 2\mu s \times (31+1)$ (上商) $+ 2\mu s \times 31$ (移位) $= 126\mu s$

11. 设某机器的主频为 80MHz , 机器周期含 5 个时钟周期, 每个指令周期中含 4 个机器周期, 求该机的平均指令执行速度为多少 MIPS? 若机器的主频变为 100MHz , 每个指令周期中含机器周期数及机器周期含时钟周期数不变, 该机的平均指令执行速度又为多少 MIPS?

解: 主频为 80MHz 时, 平均指令执行速度 $= 80\text{M} / (5 \times 4) = 4\text{MIPS}$

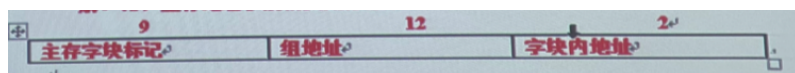
主频为 100MHz 时, 平均指令执行速度 $= 100\text{M} / (5 \times 4) = 5\text{MIPS}$

12. 主存容量为 8M 字, Cache 容量为 32K 字, 每字块有 4 个字, 试设计一个二路组相联映射的 Cache 结构。

(1) 画出主存地址字段中各段的位数;

(2) 如果 Cache 的存取周期为 10ns , 命中率为 0.9, 希望采用 Cache 后的加速比达到 8, 则主存的存取周期应达到多少?

解: (1) 主存地址字段格式划分如下:



(2) 已知 Cache 的存取周期 $TC=10\text{ns}$, 命中率 $H=0.9$, 设主存的存取周期为 TM , 则有:

$$S = TM/T = TM / (H \cdot TC + (1-H) \cdot TM) = TM / (0.9 \times 10 + (1-0.9) \times TM) = 8,$$

解得: $TM=350\text{ns}$