دانشگاه اصفهان–دانشکده مهندسی کامپیوتر

معماری کامپیوتر

استاد: دکتر بیکی

طراحی پردازنده‌ای ساده مانند پردازنده MIPS

اعضای گروه:

متین اعظمی

عسل خائف

شیدا عابدپور

اردیبهشت ۱۴۰۲

Instruction	Opcode/Function	Syntax	Format	Usage	Description
add	0010	ArithLog	R	add $t0, t1, $t2	$t0 <- $t1 + $t2
sub	0011	ArithLog	R	sub $t0, t1, $t2	$t0 <- $t1 - $t2
mul	0100	DivMult	R	mul $t0, t1, $t2	$t0 <- $t1 * $t2
div	0101	DivMult	R	div $t0, t1, $t2	$t0 <- $t1 / $t2
bnq	0010	Branch	I	bnq $t0, t1, imm	($t0 != $t1)? pc <- (pc + 2) + (imm * 4)
lw	0011	LoadStore	I	lw $t0, imm($t1)	$t0 <- Mem (imm + $t1)
sw	0100	LoadStore	I	sw $t0, imm($t1)	Mem (imm + $t1) <- $t0
andi	0000	ArithLogI	I	andi $t0, t1, imm	$t0 <- $t1 & imm
ori	0001	ArithLogI	I	ori $t0, t1, imm	$t0 <- $t1 | imm
and	0000	ArithLog	R	and $t0, t1, $t2	$t0 <- $t1 & $t2
or	0001	ArithLog	R	or $t0, t1, $t2	$t0 <- $t1 | $t2

R-Type instructions: 6

I-Type instructions: 5

instruction formats: all 20bit wide

1. R-Type

op	rs	rt	rd	func
4	4	4	4	4

* op in all R-Type instructions is "0000"

2. I-Type

op	rs	rt	imm
4	4	4	8

Truth Table:

func	0010	0011	0100	0101	0000	0001		xxxx	xxxx	xxxx	xxxx	xxxx
op	0000	0000	0000	0000	0000	0000	0000	0001	0010	0011	0100	0101
instruction	*add*	*sub*	*mul*	*div*	*and*	*or*	*R-type*	*andi*	*ori*	*bnq*	*lw*	*sw*
regDst	1	1	1	1	1	1	1	0	0	x	0	x
aluSrc	0	0	0	0	0	0	0	1	1	0	1	1
memtoReg	0	0	0	0	0	0	0	0	0	0	1	x
regWrite	1	1	1	1	1	1	1	1	1	0	1	0
memWrite	0	0	0	0	0	0	0	0	0	0	0	1
branch	0	0	0	0	0	0	0	0	0	1	0	0
jump	0	0	0	0	0	0	0	0	0	0	0	0
ExtOp	x	x	x	x	x	0	x	1	0	1	1	1
ALUop<symbolic>	Add	Sub	Mul	Div	And	Or	R-type	And	Or	Sub	Add	Add
ALUop<2>	0	0	1	1	0	0	1	0	0	0	0	0
ALUop<1>	1	1	0	0	0	0	1	0	0	1	1	1
ALUop<0>	0	1	0	1	0	1	0	0	1	1	0	0