

Architettura degli Elaboratori

Simone Lidonnici

8 aprile 2024

Indice

E	Esercizi	2
E.1	Esercizi sulla CPU	2
E.1.1	Divisione in bit delle istruzioni	2
E.1.2	Segnali ALU	2
E.1.3	Numeri dei registri	3
E.1.4	Segnali attivi per ogni istruzione	3
E.1.5	Circuito completo senza pipeline	4
E.2	Esercizi sulla pipeline	4
E.2.1	Dove si applica il forwarding	4

E

Esercizi

E.1 Esercizi sulla CPU

E.1.1 Divisione in bit delle istruzioni

Nome	Campi						Commenti
Dimensione del campo	6 bit	5 bit	5 bit	5 bit	5 bit	5 bit	Le istruzioni in MIPS sono a 32 bit
Formato R	op	rs	rt	rd	shamt	funct	Formato delle istruzioni aritmetiche
Formato I	op	rs	rt	indirizzo/costante			Formato delle istruzioni di trasferimento dati, di salto condizionato e immediate
Formato J	op	indirizzo di destinazione					Formato delle istruzioni di salto incondizionato

E.1.2 Segnali ALU

Istruzione	ALUOP		Campi funct					Segnali ALU				Operazione
lw e sw	0	0	-	-	-	-	-	0	0	1	0	ADD
beq	-	1	-	-	-	-	-	0	1	1	0	SUB
add	1	-	-	0	0	0	0	0	0	1	0	ADD
sub	1	-	-	0	0	1	0	1	1	1	0	SUB
and	1	-	-	0	1	0	0	0	0	0	0	AND
or	1	-	-	0	1	0	1	0	0	0	1	OR
slt	1	-	-	1	0	1	0	0	1	1	1	SLT

E.1.3 Numeri dei registri

Registri utili:

Registro	Numero
\$at	1
\$v0	2
\$a0	4
\$t0	8
\$s0	16

Registri totali:

Registro	Numero
\$at	1
\$v0	2
\$v1	3
\$a0	4
\$a1	5
\$a2	6
\$a3	7
\$t0	8
\$t1	9
\$t2	10
\$t3	11
\$t4	12
\$t5	13
\$t6	14
\$t7	15
\$s0	16
\$s1	17
\$s2	18
\$s3	19
\$s4	20
\$s5	21
\$s7	22
\$s8	23
\$t8	24
\$t9	25
\$k0	26
\$k1	27
\$gp	28
\$sp	29
\$fp	30
\$ra	31

E.1.4 Segnali attivi per ogni istruzione

Istruzione	RegDst	RegWrite	ALUSrc	ALUOP	MemRead	MemWrite	MemToReg	Branch	Jump
Tipo R	1	1	0	1 -	-	0	0	0	0
Tipo I	0	1	1	1 -	-	0	0	0	0
lw	0	1	1	0 0	1	0	1	0	0
sw	-	0	1	0 0	0	1	-	0	0
beq	-	0	0	- 1	-	0	-	1	0
j	-	0	-	- -	-	0	-	-	1

