



TECHNICKÁ UNIVERZITA V LIBERCI
Fakulta mechatroniky, informatiky
a mezioborových studií



Programovatelné zakázkové integrované obvody

Milan Kolář

Ústav mechatroniky a technické informatiky



evropský
sociální
fond v ČR



EVROPSKÁ UNIE



MINISTERSTVO ŠKOLSTVÍ,
MLÁDEŽE A TĚLOVÝCHOVY



OP Vzdělávání
pro konkurenceschopnost

Projekt ESF CZ.1.07/2.2.00/28.0050
**Modernizace didaktických metod
a inovace výuky technických předmětů.**

INVESTICE DO ROZVOJE VZDĚLÁVÁNÍ



Dělení FPLD

FPLD – Field Programmable Logic Device:

- **PLD (Programmable Logic Device)**

SPLD (Simple PLD)

- pevně daná struktura typu: vstup - pole **AND** - pole **OR** - výstup

- PROM (Programmable Read Only Memory),

- PAL (Programmable Array Logic),

- GAL (Generic Array Logic),

- PLA (Programmable Logic Array),

CPLD (Complex PLD)

- složitější architektury vycházející z SPLD (vrstevnaté, s centrální propojovací maticí).

- **FPGA (Field Programmable Gate Array)**

- pravidelná struktura programovatelných log. bloků s vodorovnými či svislými propojovacími linkami a propojovacími maticemi.

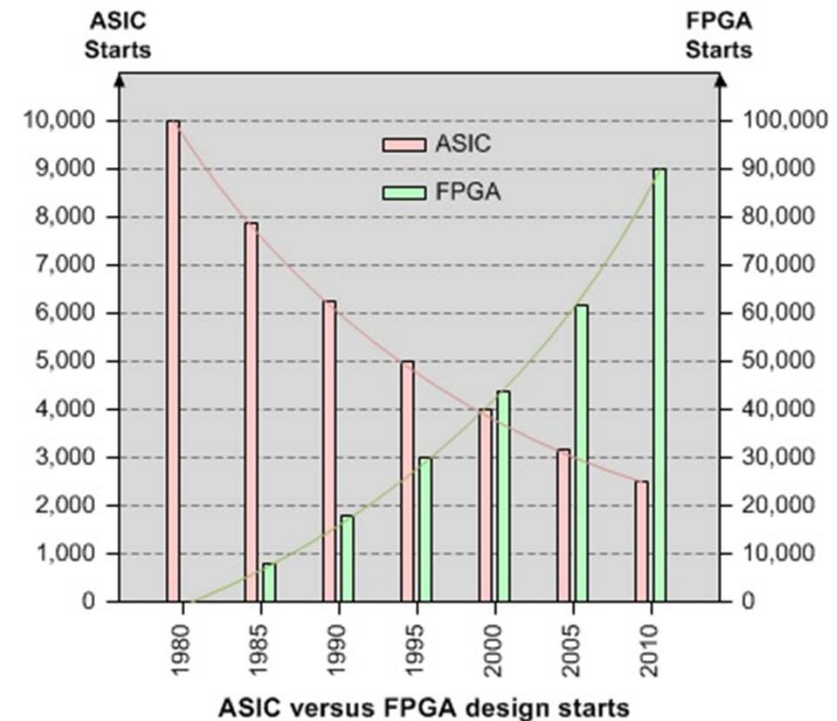


Nejvýznamnější výrobci FPLD

1. AMD-Xilinx (53 %)
2. Intel (36 %)
3. Microsemi (7 %)
4. Lattice Semiconductor (3 %)
5. QuickLogic (<1 %)

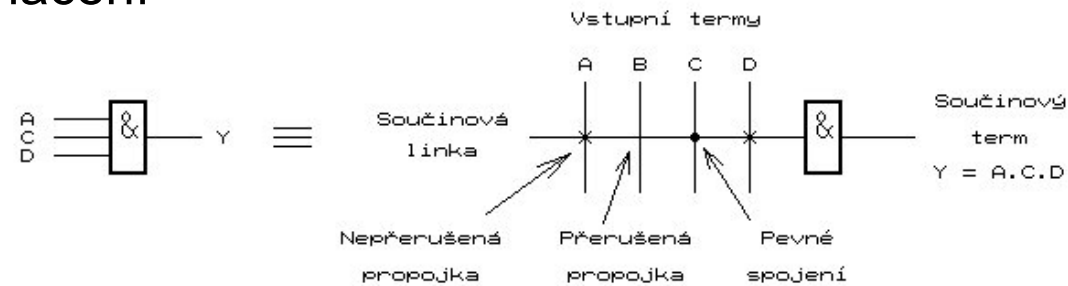
Návrhové systémy:

Vivado (AMD-Xilinx),
Quartus (Intel),
Diamond (Lattice),
Libero (Microsemi),
HDL Designer (Mentor Graphics).

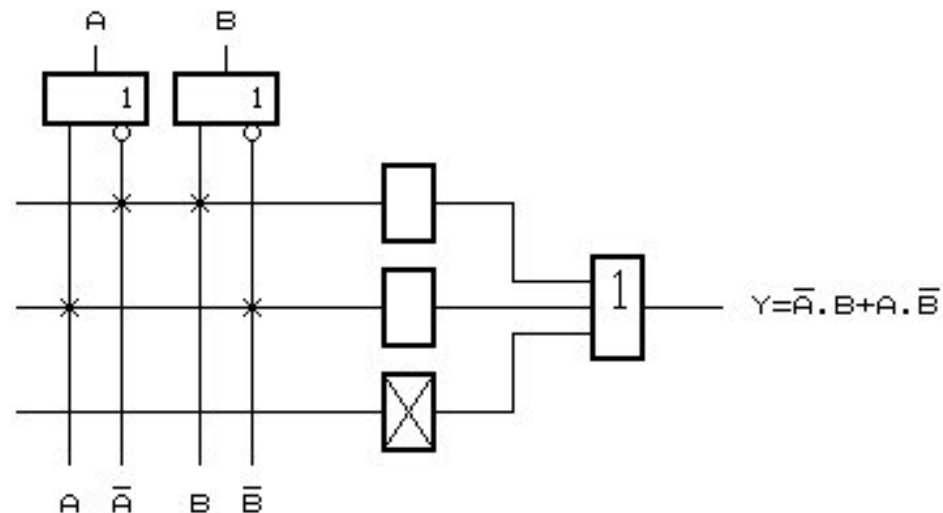


Principy obvodů PLD

Symbolika značení





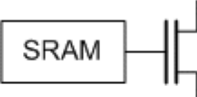


Příklad realizace funkce XOR





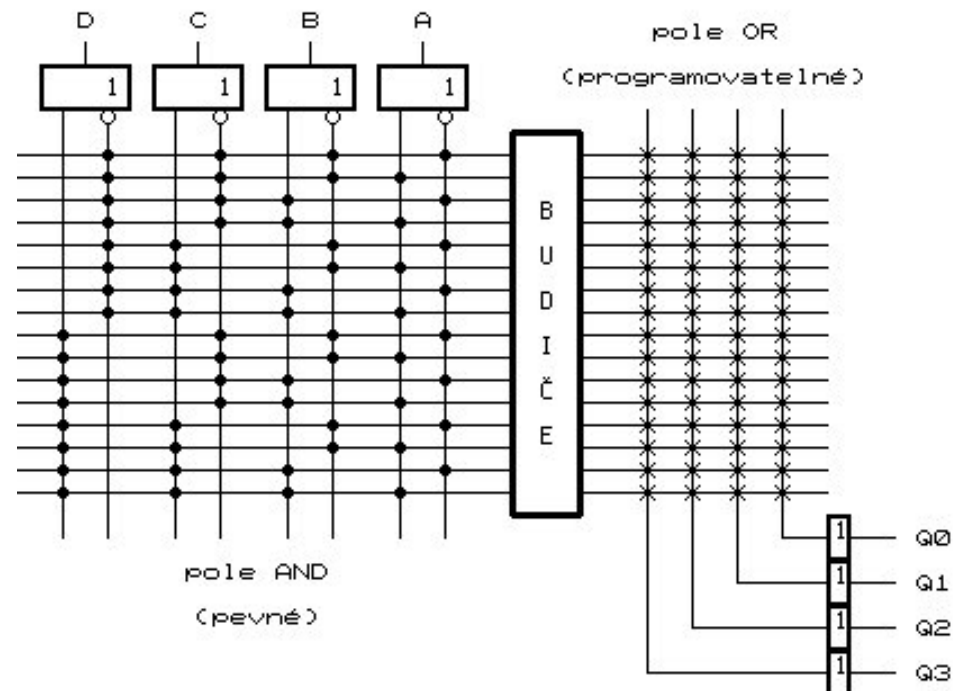
Typy propojek

Technology	Symbol	Predominantly associated with ...
Fusible-link		SPLDs
Antifuse		FPGAs
EPROM		SPLDs and CPLDs
E ² PROM/ FLASH		SPLDs and CPLDs (some FPGAs)
SRAM		FPGAs (some CPLDs)

Obvody PROM

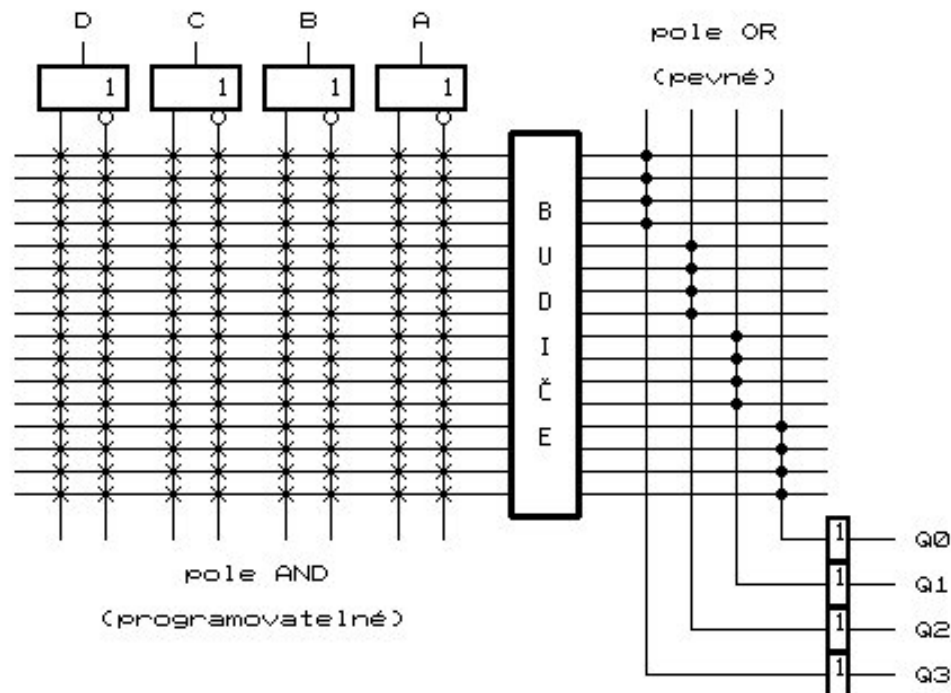
- programovatelné pole OR
- počet programovatelných bodů: $N = m \cdot 2^n$
- EEPROM (Electrically Erasable PROM)
- použití jako paměť konstant

n ... počet vstupů
m ... počet výstupů



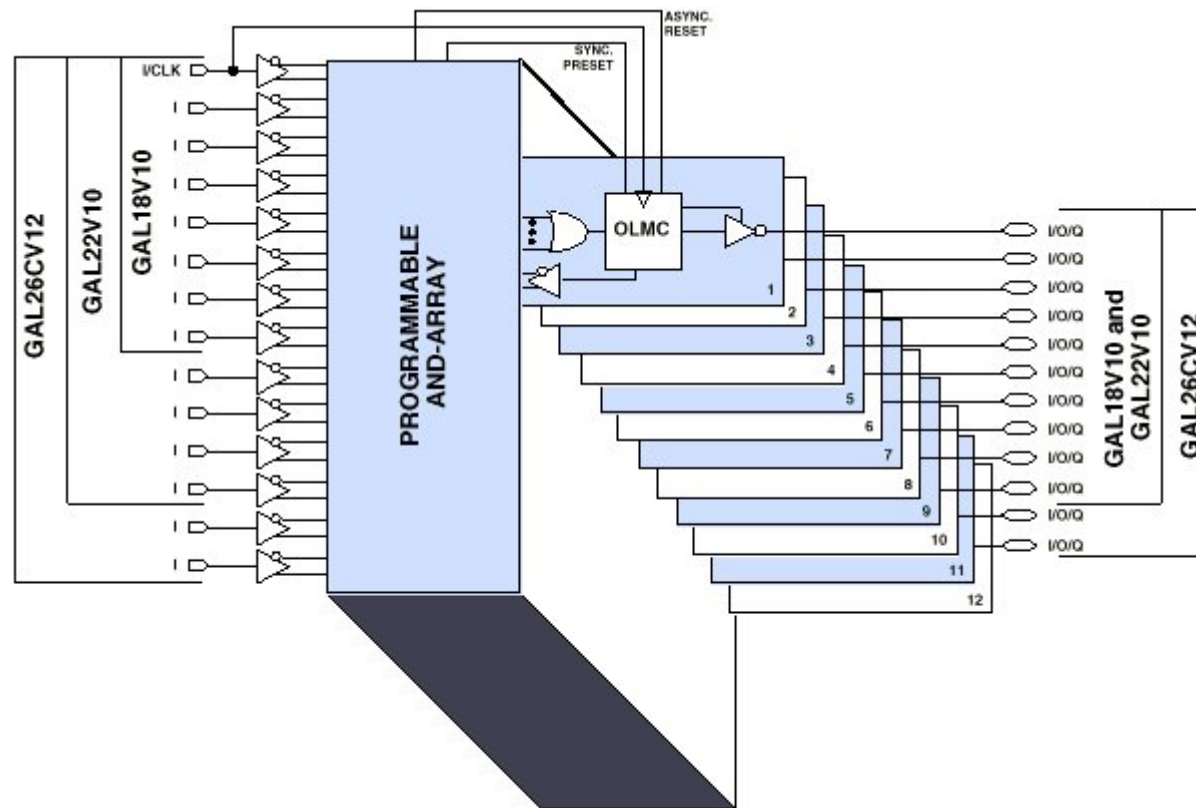
Obvody PAL

- programovatelné pole AND
- počet programovatelných bodů: $N = 2m.k.n$
- omezený počet součinných termů k
- na výstupu mohou obsahovat klopné obvody



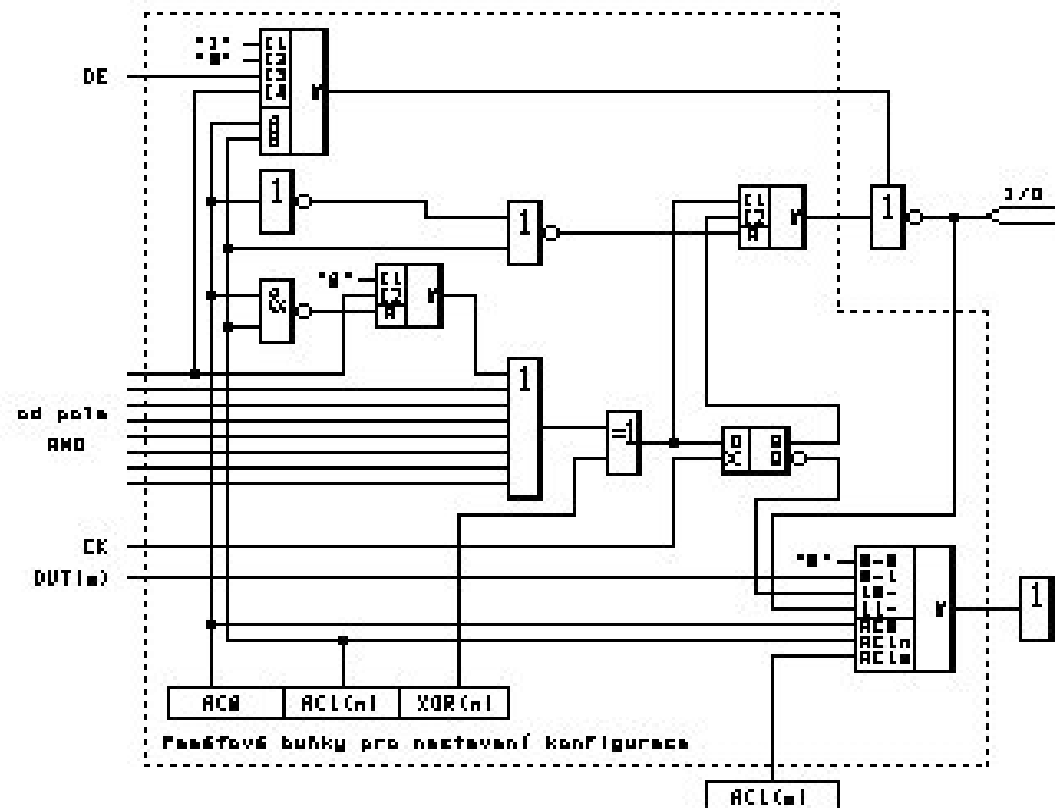
Obvody GAL

- vychází z obvodů PAL
- na výstupu makrobuňka OLMC (Output Logic Macro Cell)



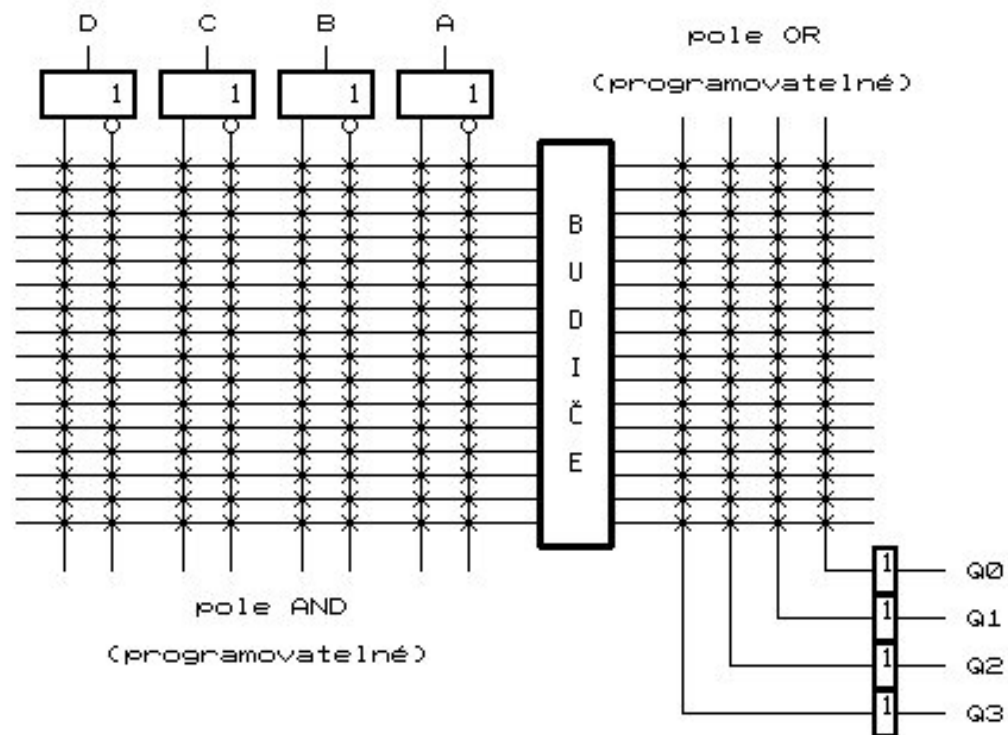
Makrobuňka obvodů GAL

- každý I/O lze konfigurovat jako vstup, výstup nebo třístavový výstup
- některé z konfigurovatelných parametrů pouze globální



Obvody PLA

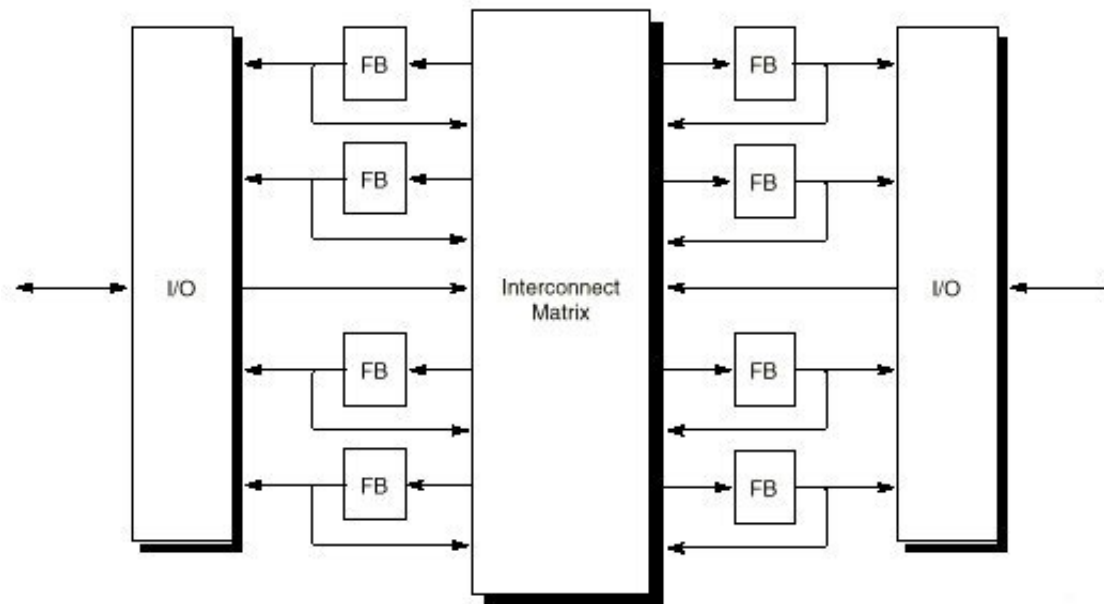
- programovatelné pole AND i OR
- počet programovatelných bodů: $N = m.k + 2k.n$
- odstraňuje omezení v počtu součinných termů





Obvody CPLD

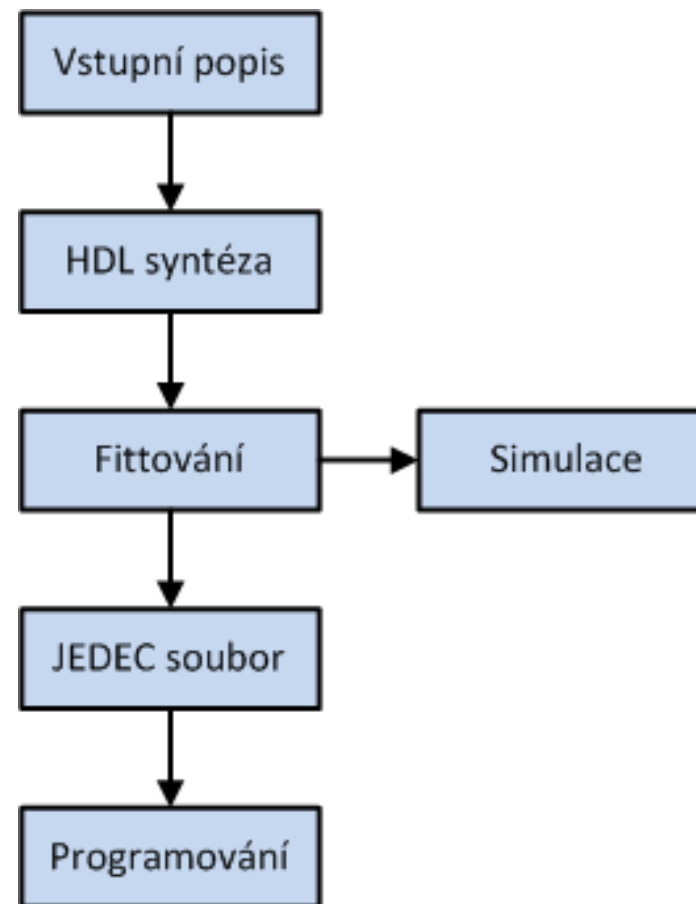
- složitostí mezi PLD a FPGA;
- obsahují centrální propojovací matici, která spojuje jednodušší funkční bloky (obdoba SPLD);
- elektricky reprogramovatelné (EECMOS);
- I/O buňky programovatelné, vesměs obousměrné.





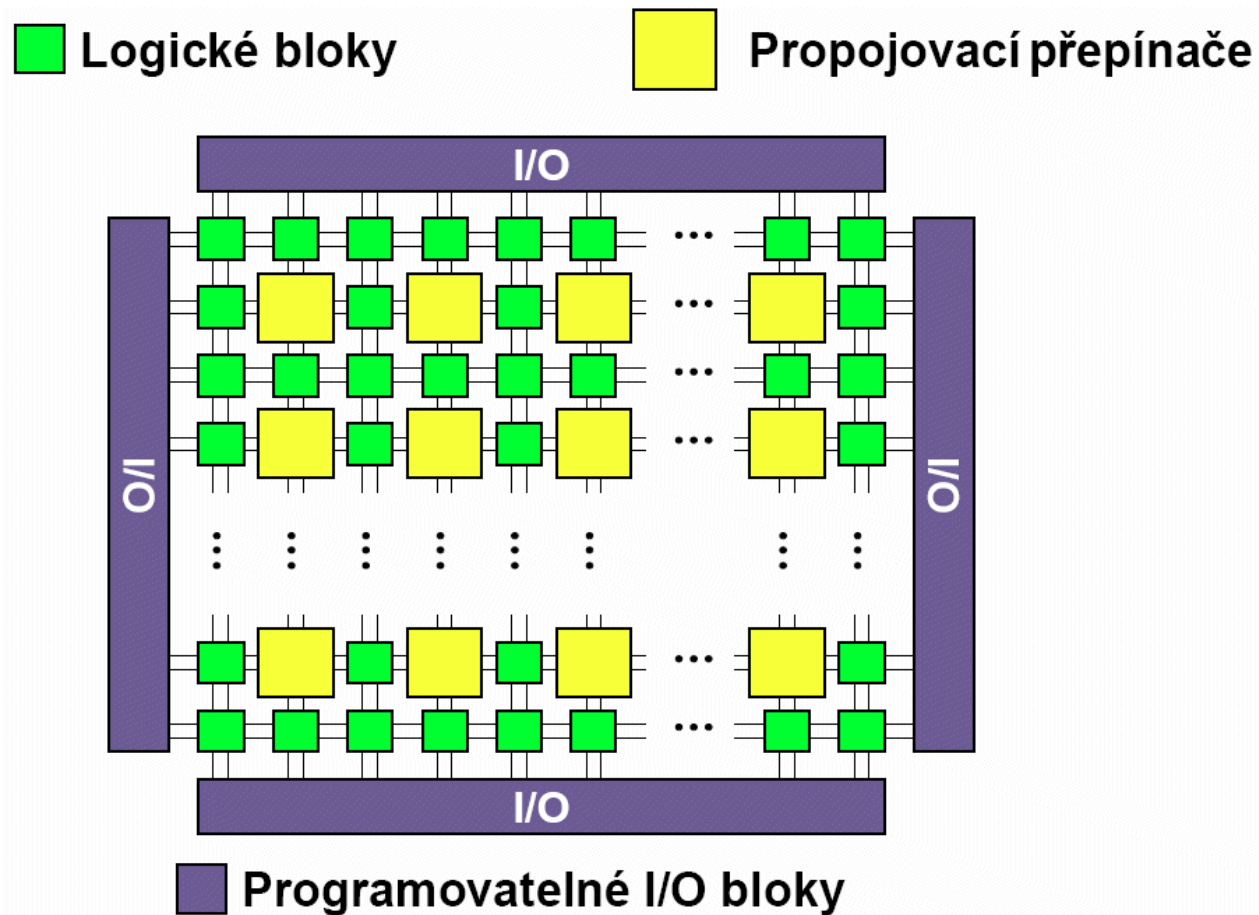
Metodika návrhu obvodů PLD

- definice funkce
 - logické rovnice
 - stavový diagram
 - pravdivostní tabulka
 - indexové rovnice
- generace logických funkcí
- výběr obvodu PLD
- simulace funkce
- generace JEDEC souboru
- programování (v programátoru nebo přímo v systému)
- testování



Obvody FPGA

Maticová struktura logických bloků a propojovacích vodičů





Části obvodů FPGA

Obvody FPGA obsahují:

- logické prvky (LE – logic element, LC – logic cell),
- programovatelné propojky (matice),
- I/O prvky s registry,
- globální distribuce a řízení hodinových signálů,
- paměti SRAM (embedded RAM),
- DSP bloky,
- procesorová jádra,
- PLL (fázové závěsy),
- ochrana proti kopírování,
- firmware (výbava pro natažení konfigurace, monitorování stavu)