

### **Zadání – dělička frekvence**

Popište děličku frekvence s jedním vstupem a jedním výstupem. Na vstup přichází hodinový kmitočet (se střídou 1:1). Na výstupu je signál s 20x nižší frekvencí (opět se střídou 1:1).

### **Možné řešení:**

```
library ieee;
use ieee.std_logic_1164.all;

entity clock is
    port(in1  : in std_logic;
         out1 : out std_logic);
end clock;

architecture ar of clock IS
    signal clk : std_logic;
    signal delic : integer range 0 to 9;

begin
    process (in1)
    begin
        if (in1'event and in1 = '1') then
            delic <= delic+1;
            if delic = 9 then
                delic <= 0;
                clk <= not clk;
            end if;
        end if;
        out1 <= clk;
    end process;
end ar;
```