



TECHNICKÁ UNIVERZITA V LIBERCI
Fakulta mechatroniky, informatiky
a mezioborových studií



Technologie výroby integrovaných obvodů

Milan Kolář

Ústav mechatroniky a technické informatiky



evropský
sociální
fond v ČR



EVROPSKÁ UNIE



MINISTERSTVO ŠKOLSTVÍ,
MLÁDEŽE A TĚLOVÝCHOVY



OP Vzdělávání
pro konkurenceschopnost

Projekt ESF CZ.1.07/2.2.00/28.0050
**Modernizace didaktických metod
a inovace výuky technických předmětů.**

INVESTICE DO ROZVOJE VZDĚLÁVÁNÍ



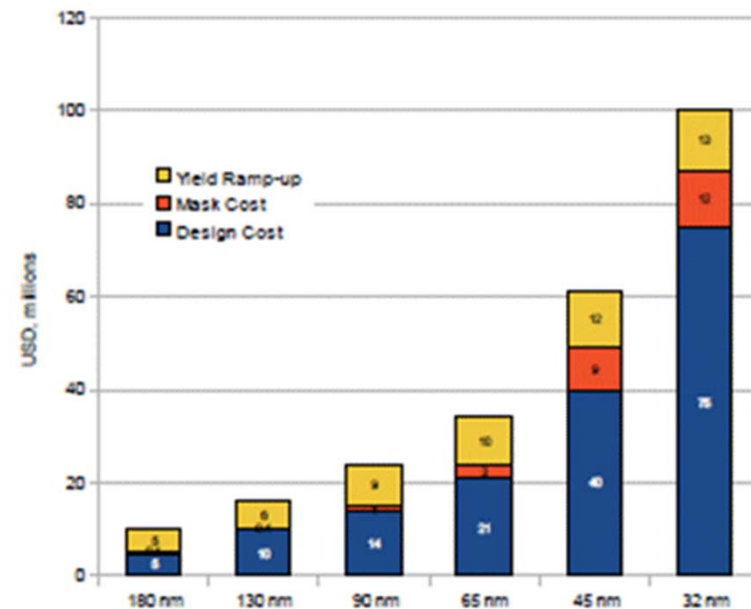
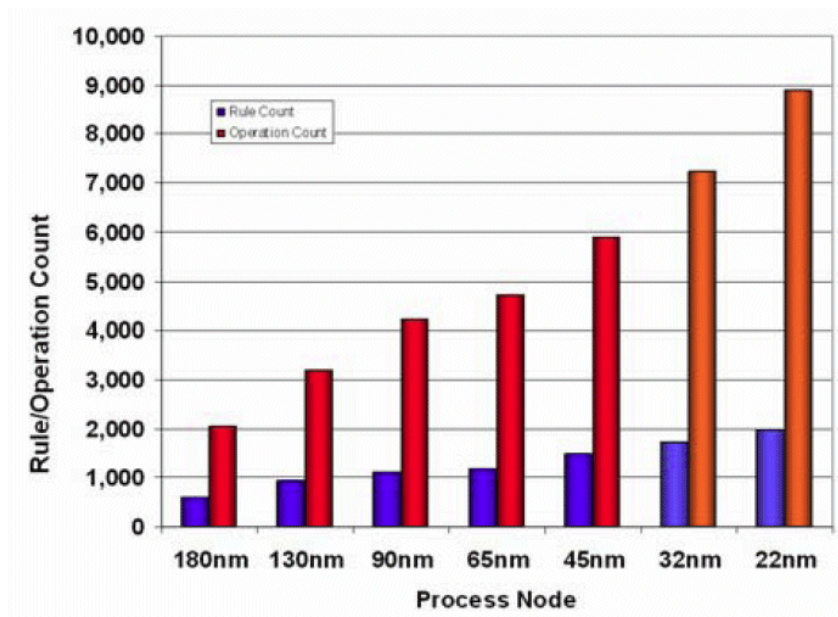
Technologie výroby

Technologie založeny na **fotolitografickém procesu** - technologické operace na oblasti vymezené maskami (difuze, iontová implantace, leptání), rentgenová litografie, nově se používá bezmasková elektronová litografie.

Je velice problematické a drahé dosahovat litografickými metodami rozlišovací schopnosti pod 10 nm. V budoucnu se očekává přechod od litografického opracovávání homogenního materiálu (někdy označováno jako metody „top-down“) k metodám využívajících schopnosti samouspořádání zejména u organických molekul (označováno jako metody „bottom-up“).

Přecházíme od mikroelektroniky a nanoelektroniky k **molekulární elektronice** (na pomezí elektroniky, chemie a biologie).

Růst nákladů na vývoj

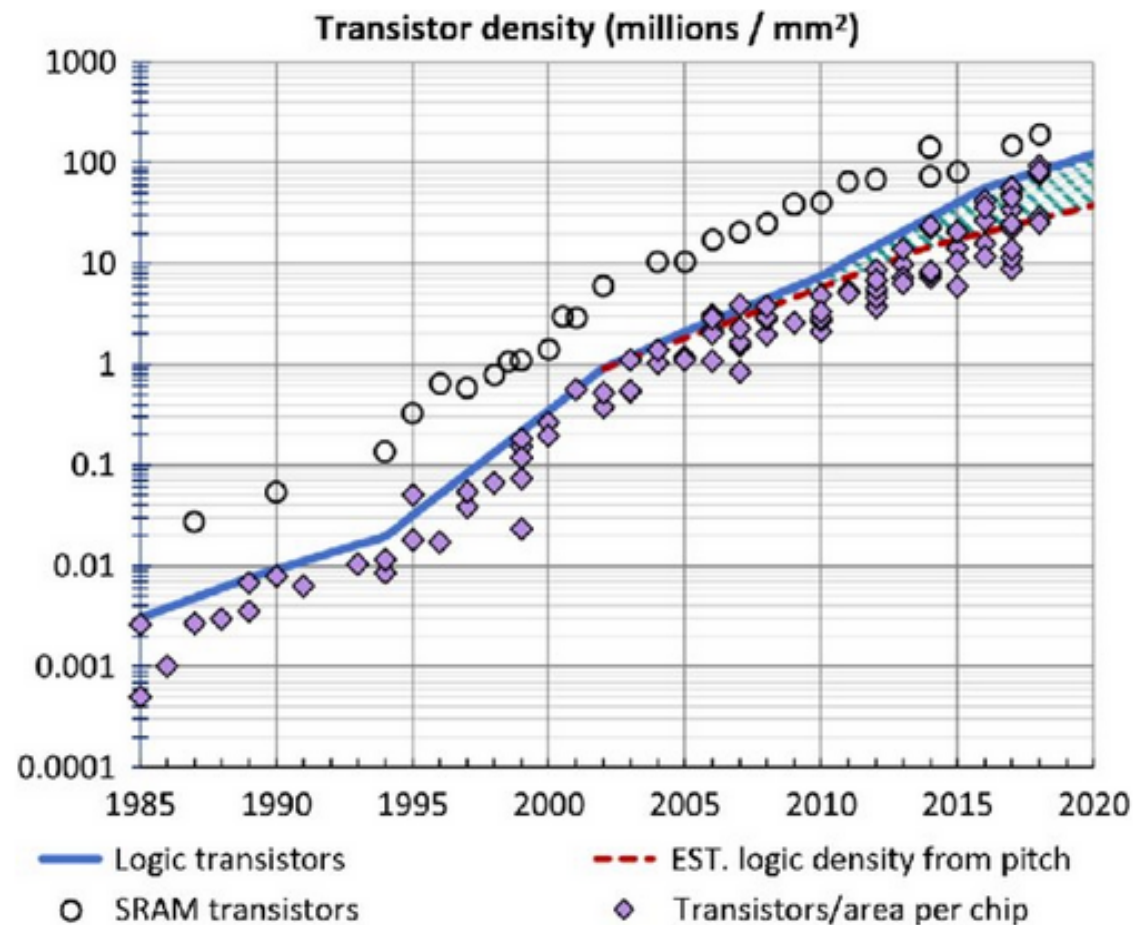


Rockův zákon (někdy označován jako druhý Moorův zákon): Investice do nových zařízení na výrobu čipů se zdvojnásobuje každé čtyři roky.



Efektivnost nových technologií

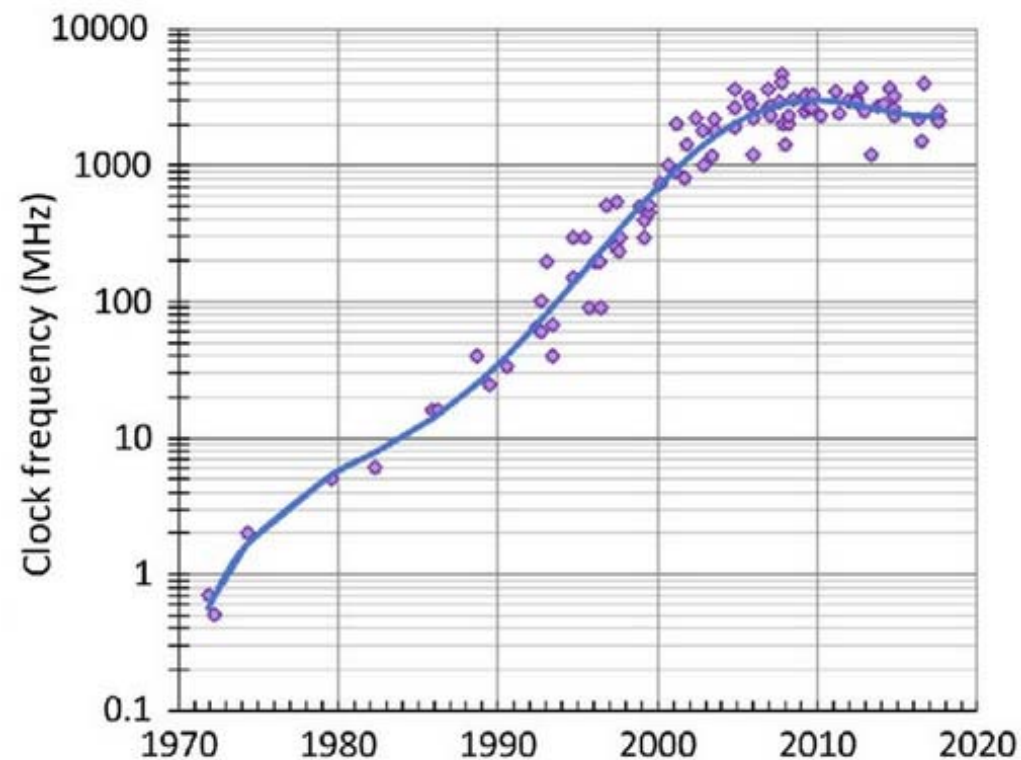
Výrazně se zvyšují počty tranzistorů, ale klesá cena za tranzistor





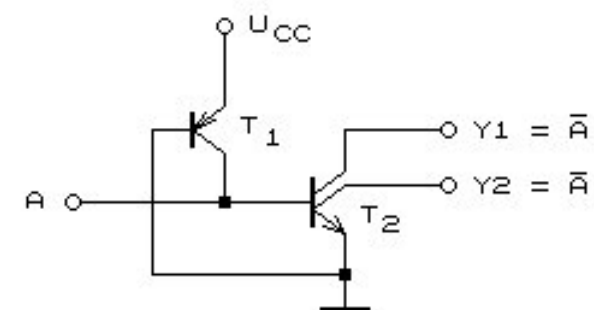
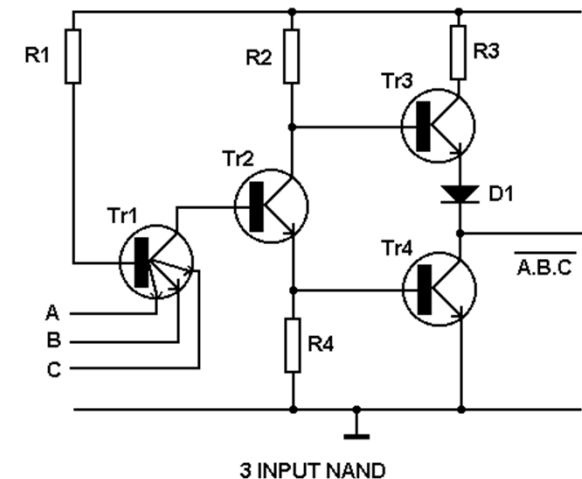
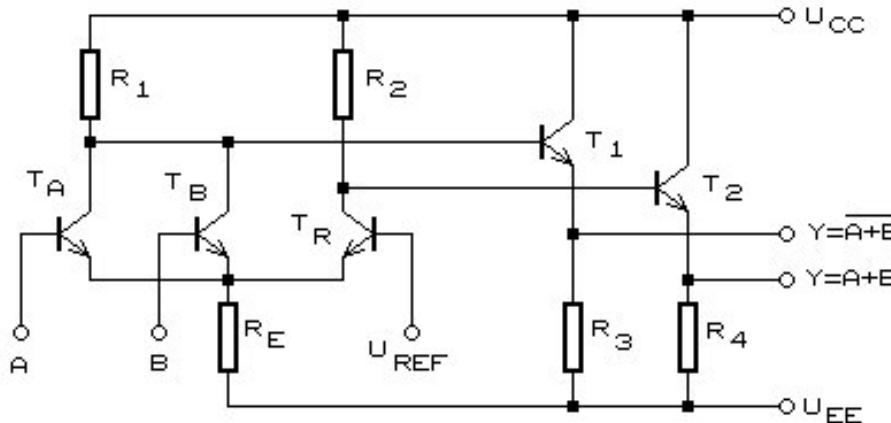
Efektivnost nových technologií

Nezvyšují se hodinové frekvence systémů, přesto roste výkonnost
(vlivem paralelnosti architektur)



Bipolární technologie výroby

- dělení podle realizace základních logických členů:
 - TTL, ECL, I²L



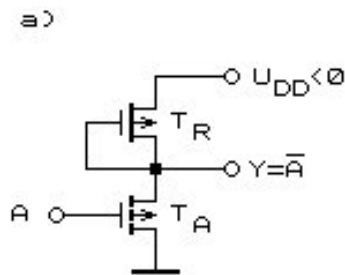


Unipolární technologie výroby

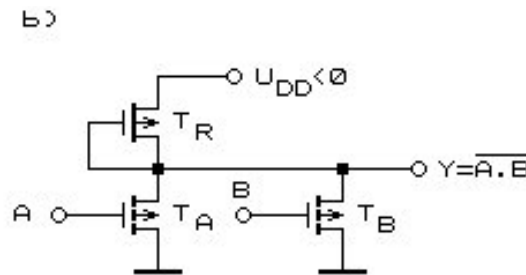
- Charakteristické vlastnosti:
 - jedna součástka (MOSFET) ve funkci spínače, odporu, kapacitoru
 - velká hustota integrace
 - velmi malý příkon (závislé na frekvenci)
 - široký rozsah napájecího napětí
 - nízké nároky na stabilitu napájecího napětí
 - velké výstupní větvení
 - malý výstupní výkon (výstupní proud)
 - citlivá na rušivá napětí
 - zpoždění závislé na zatížení
- Druhy unipolárních obvodů:
 - PMOS, NMOS, CMOS, BiCMOS

Technologie PMOS a NMOS

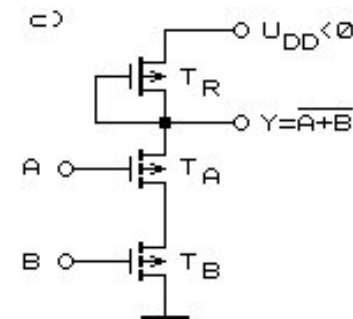
- PMOS a) invertor



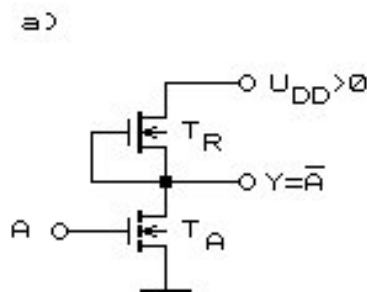
- b) NAND



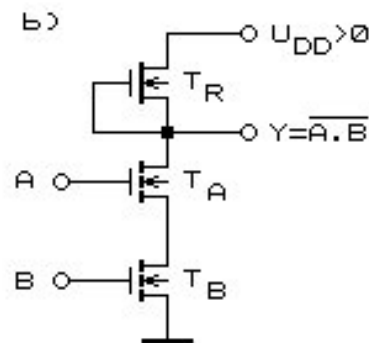
- c) NOR



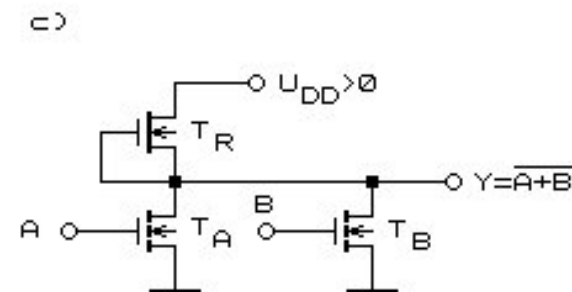
- NMOS a) invertor



- b) NAND



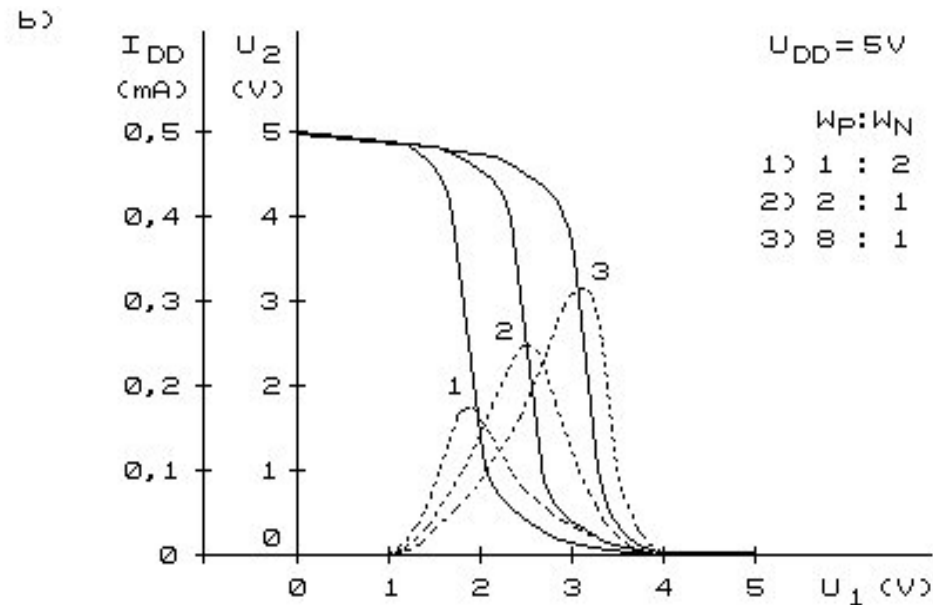
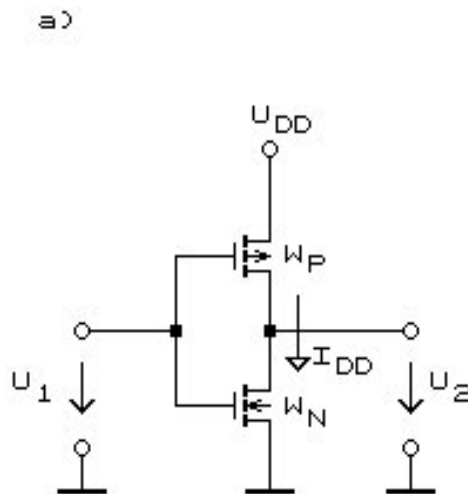
- c) NOR



Technologie CMOS

Invertor

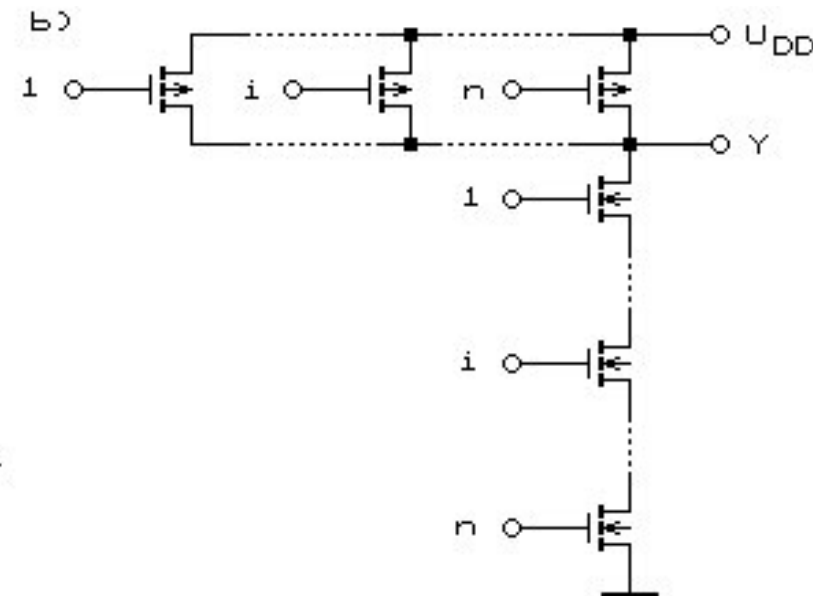
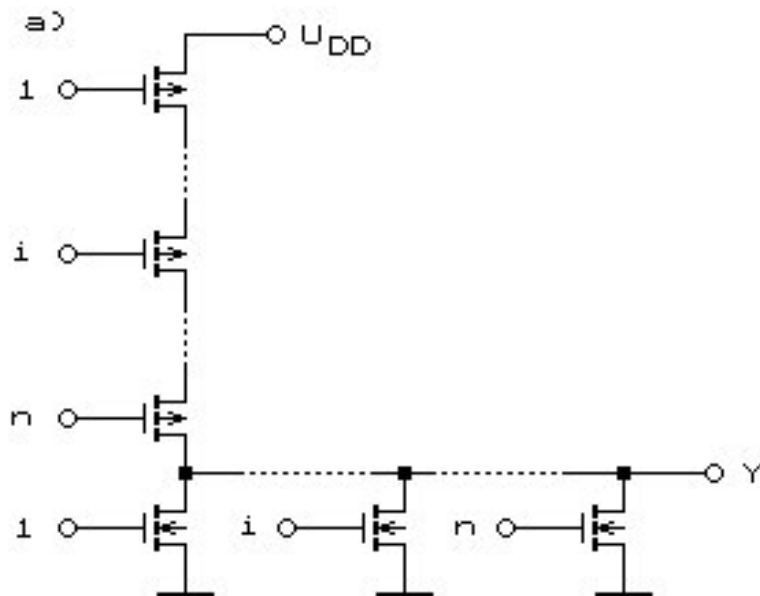
kanál tranzistoru N dvakrát vodivější vůči tranzistoru s kanálem P





Technologie CMOS (pokračování)

Logické členy NOR a NAND

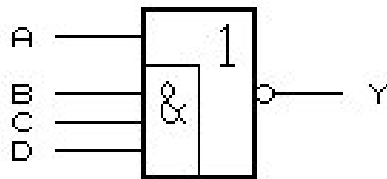




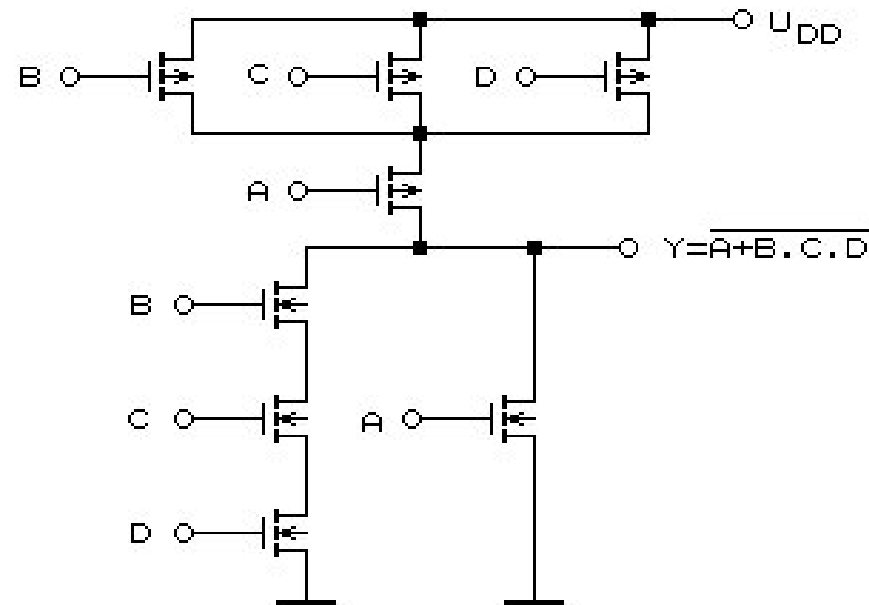
Technologie CMOS (pokračování)

Člen AND-OR-INVERT

a)



b)

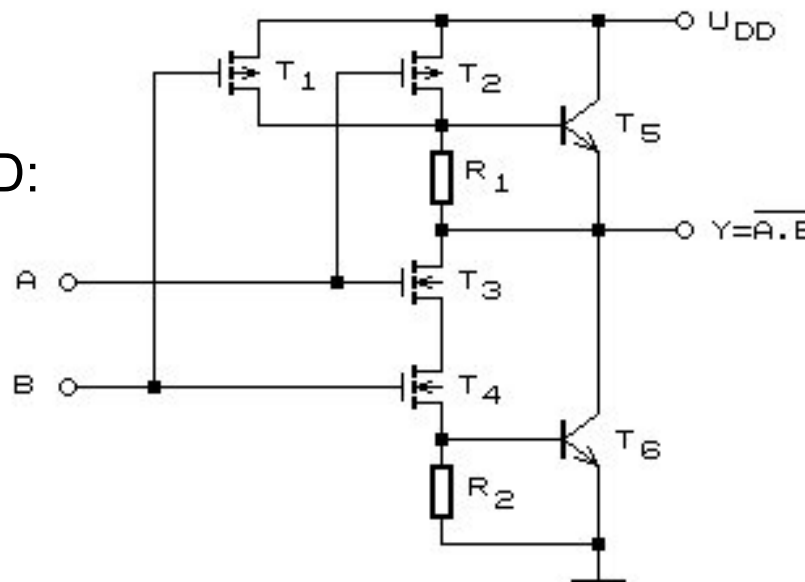




Technologie BiCMOS

- velká rychlost, velký výstupní výkon (vhodné pro RF obvody),
- malá spotřeba v klidovém stavu,
- zpoždění téměř nezávislé na zatížení,
- technologicky náročné (aktuálně 55–130 nm), GaAs.

NAND:





Snižování napájecího napětí

Trend související s použitou výrobní technologií:

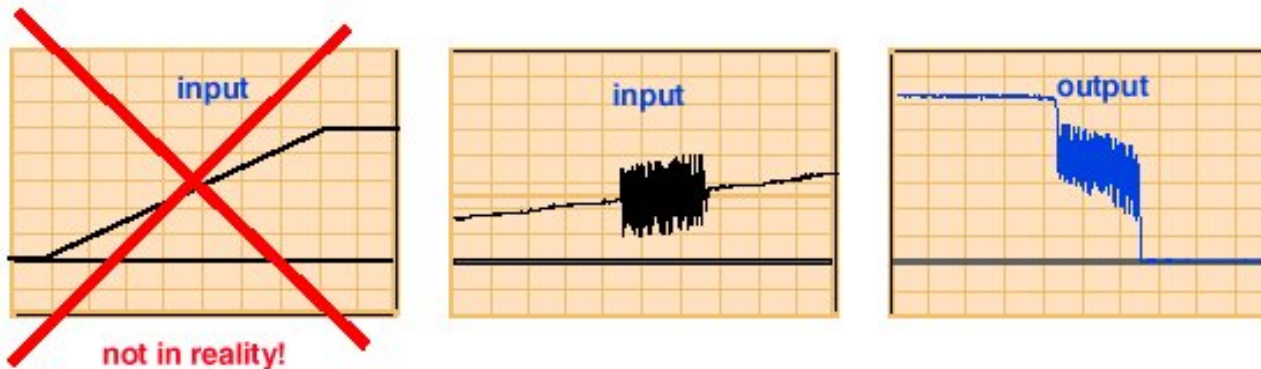
3,3 V (u technologie cca 350 nm), 2,5 V (220 nm), 1,8 V (150 nm),
1,5 V (130 nm), 1,2 V (90 nm), 1,0 V (65 nm), 0,9 V (40 nm),
0,85 V (28 nm).

- Nutné pro snižování ztrátového výkonu (tepla),
- vede na zvyšování počtu napájecích napětí (při zachování kompatibility s okolím),
- zhoršují se dynamické parametry obvodů,
- snižuje se odolnost proti elektromagnetickému rušení,
- na sběrnicích se preferují diferenční napěťové standardy.

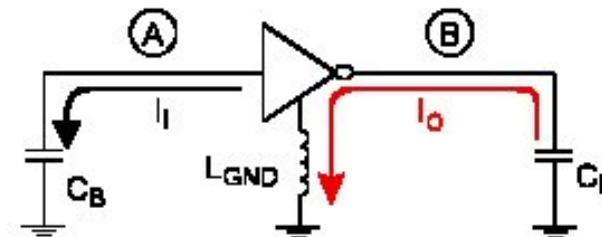
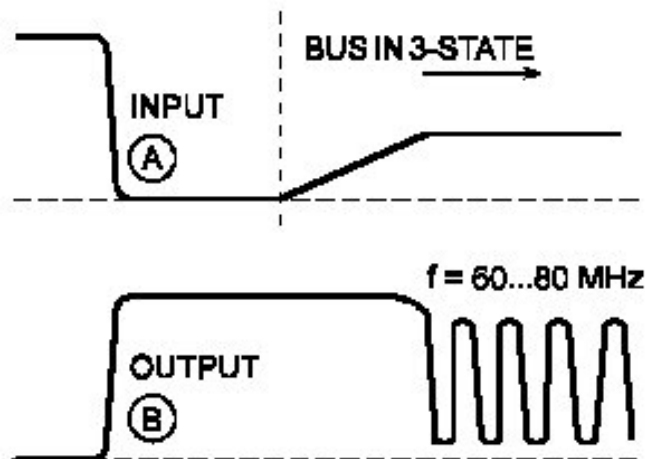


Pomalý vst. signál + vysoká impedance

Pomalou se měnící vstupní signál



Nebezpečí oscilací vlivem třístavových sběrnic





Prodlužování hran (impulsů)

Vlivem zatěžovacích parazitních kapacit (zejména spojů a hradel)
dochází k prodlužování hran signálů

náboj: $Q = C \cdot \Delta U = I_C \cdot \Delta t$

Proud potřebný pro nabíjení či vybíjení kapacity C

$$I_C = C \frac{\Delta U}{\Delta t} \Rightarrow \Delta t = C \frac{\Delta U}{I_C} \quad \dots \text{doba náběhu (doběhu)}$$

Příklad: Napěťový skok 2 V, maximální výstupní proud 2 mA, zatěžovací
kapacita 10 pF:

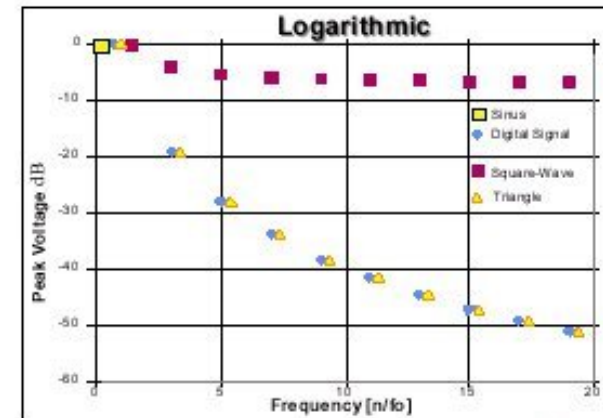
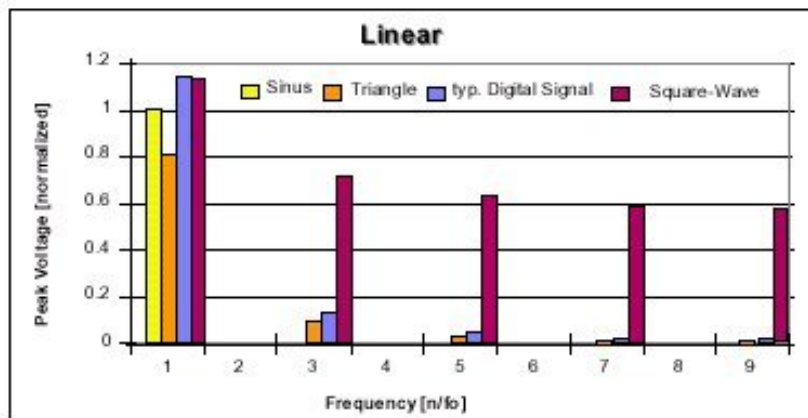
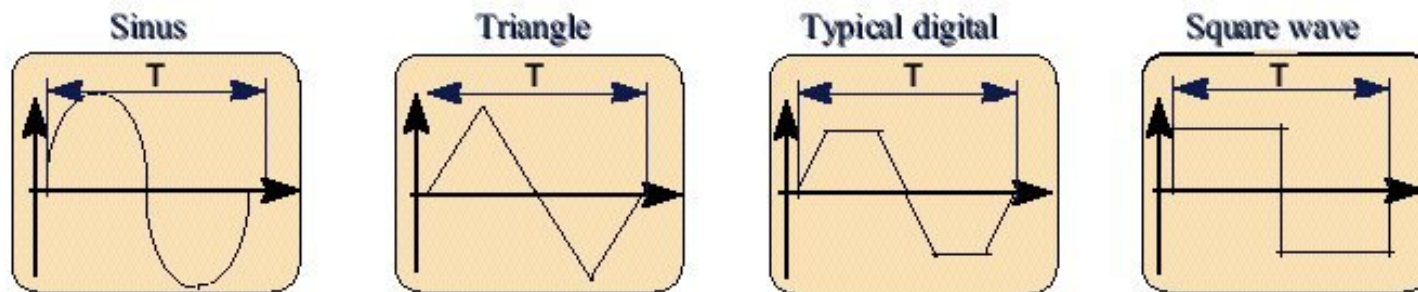
$$\Delta t = 10^{-11} \frac{2}{2 \cdot 10^{-3}} = 10^{-8} \text{ s} = 10 \text{ ns}$$



Kmitočtové spektrum čísl. signálů

Každou periodickou funkci lze vyjádřit Fourierovou řadou:

$$u(t) = U_0 + \sum U_{mk} \sin(k\omega_0 t + \varphi_k)$$





Standardy vstupů a výstupů

Single-Ended I/O

LVTTL (3.0V/2.5V/1.8V)

LVC MOS (3.0V/2.5V/1.8V/1.5V/1.2V)

PCI (Peripheral Component Interconnect)

PCI-X (PCI Extended)

Differential I/O

LVDS (mini-LVDS, BLVDS)

SSTL (3V/2V/1.8V) – Series Stub Terminated Logic

HSTL (1.8V/1.5V/1.2V) – High-Speed Transceiver Logic

LVPECL - Low Voltage Positive Emitter Coupled Logic

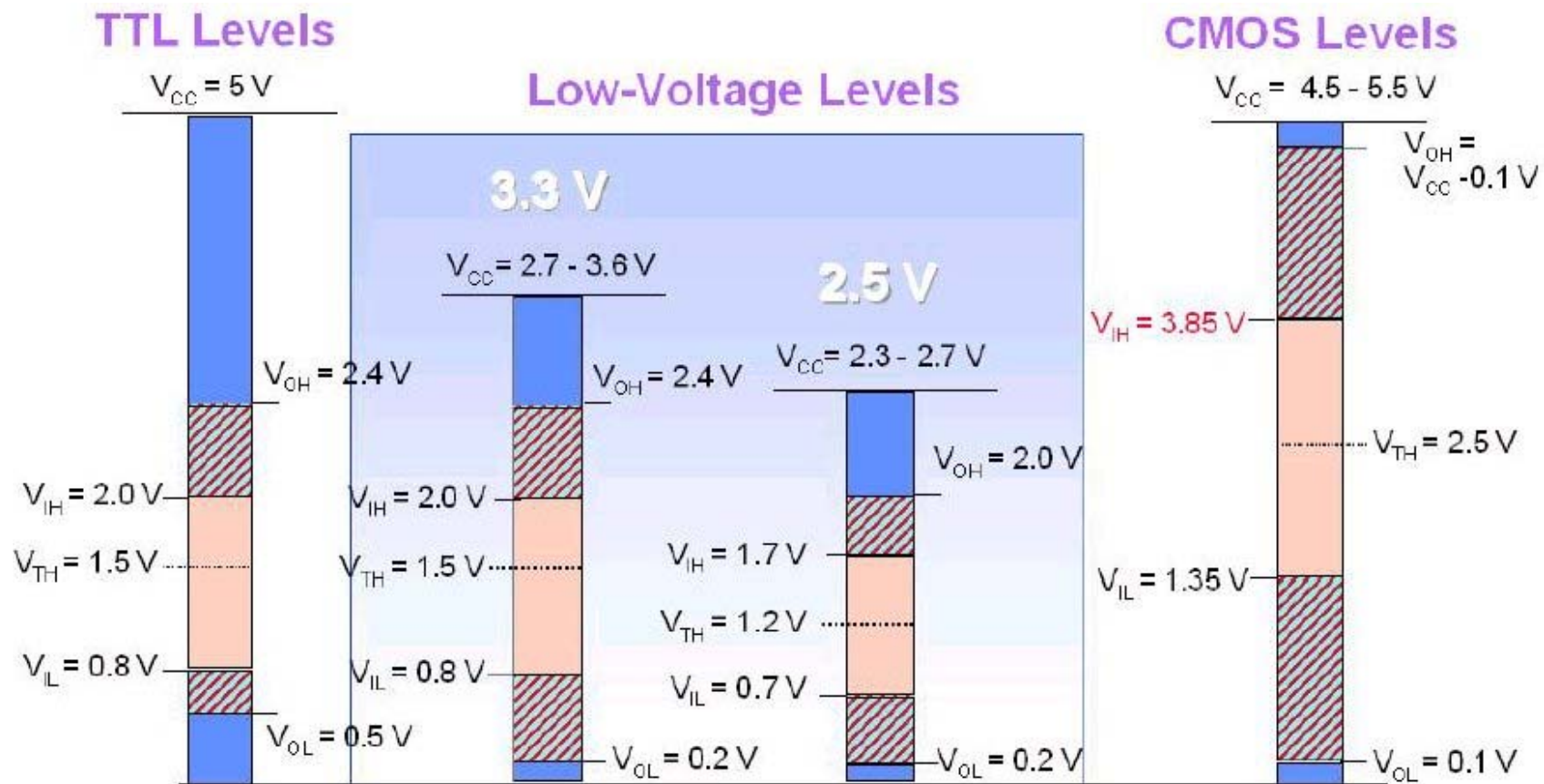
RS DS – Reduced Swing Differential Signaling

PPDS – Point-to-Point Differential Signaling



Napět'ové úrovně – kompatibilita ?

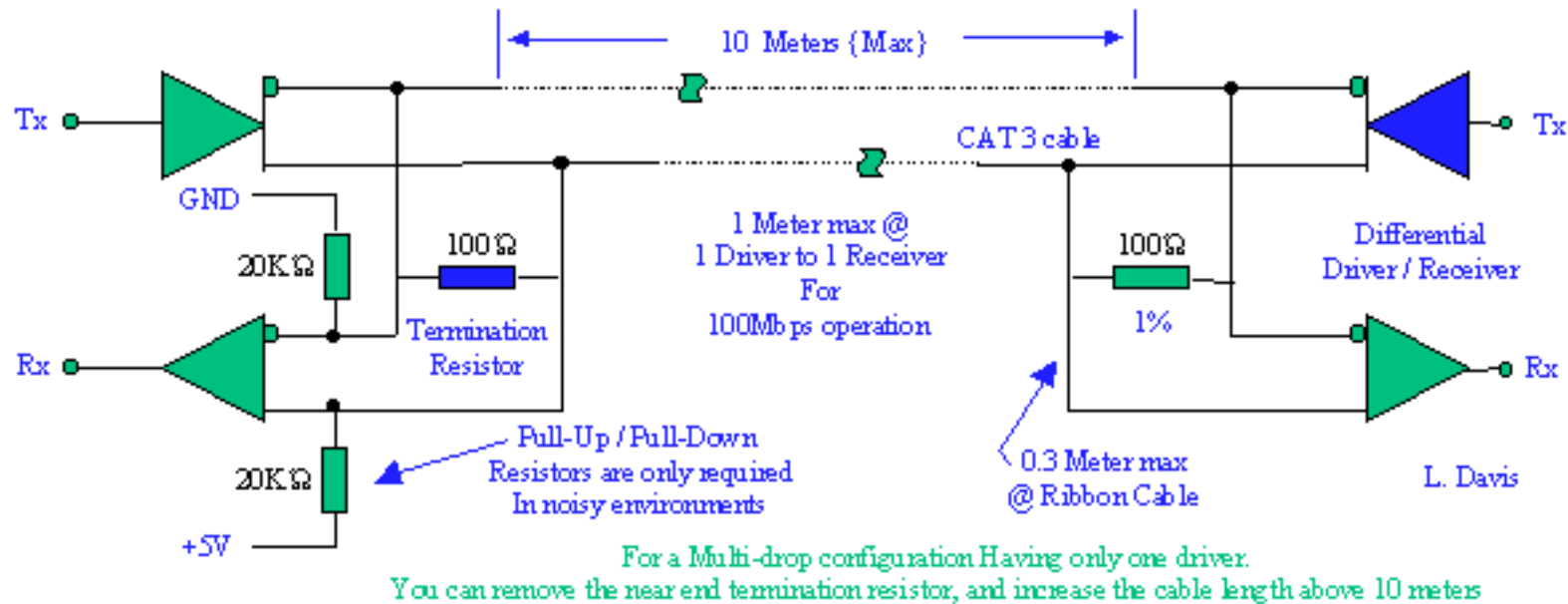
Nutno porovnat minimální a maximální hodnoty jednotlivých log. úrovní



Standard LVDS

Low Voltage Differential Signaling – diferenční I/O standard pro vysokorychlostní přenosy (napěťové úrovně $0 \div 2,4$ V, max. rychlost 3,125 Gbps, výstupní rozkmit ± 350 mV)

($U_{OL} = 1,07$ V, $U_{IL} = 1,15$ V, $U_{TH} = 1,2$ V, $U_{IH} = 1,25$ V, $U_{OH} = 1,32$ V)

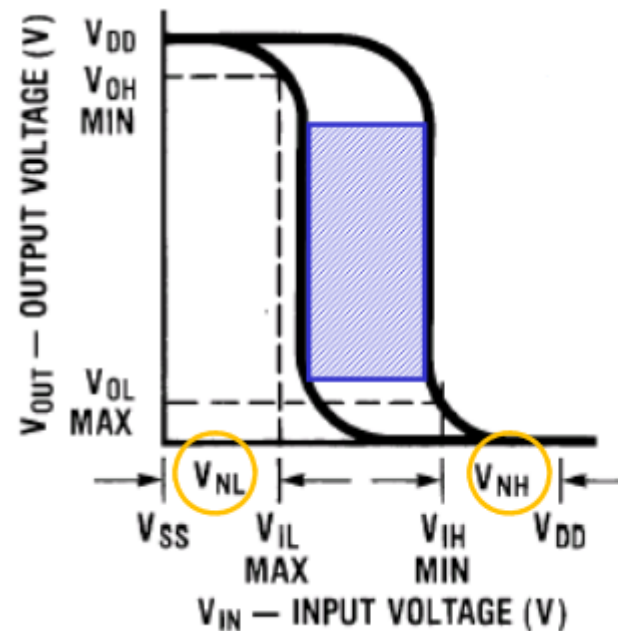




Šumová imunita (odolnost)

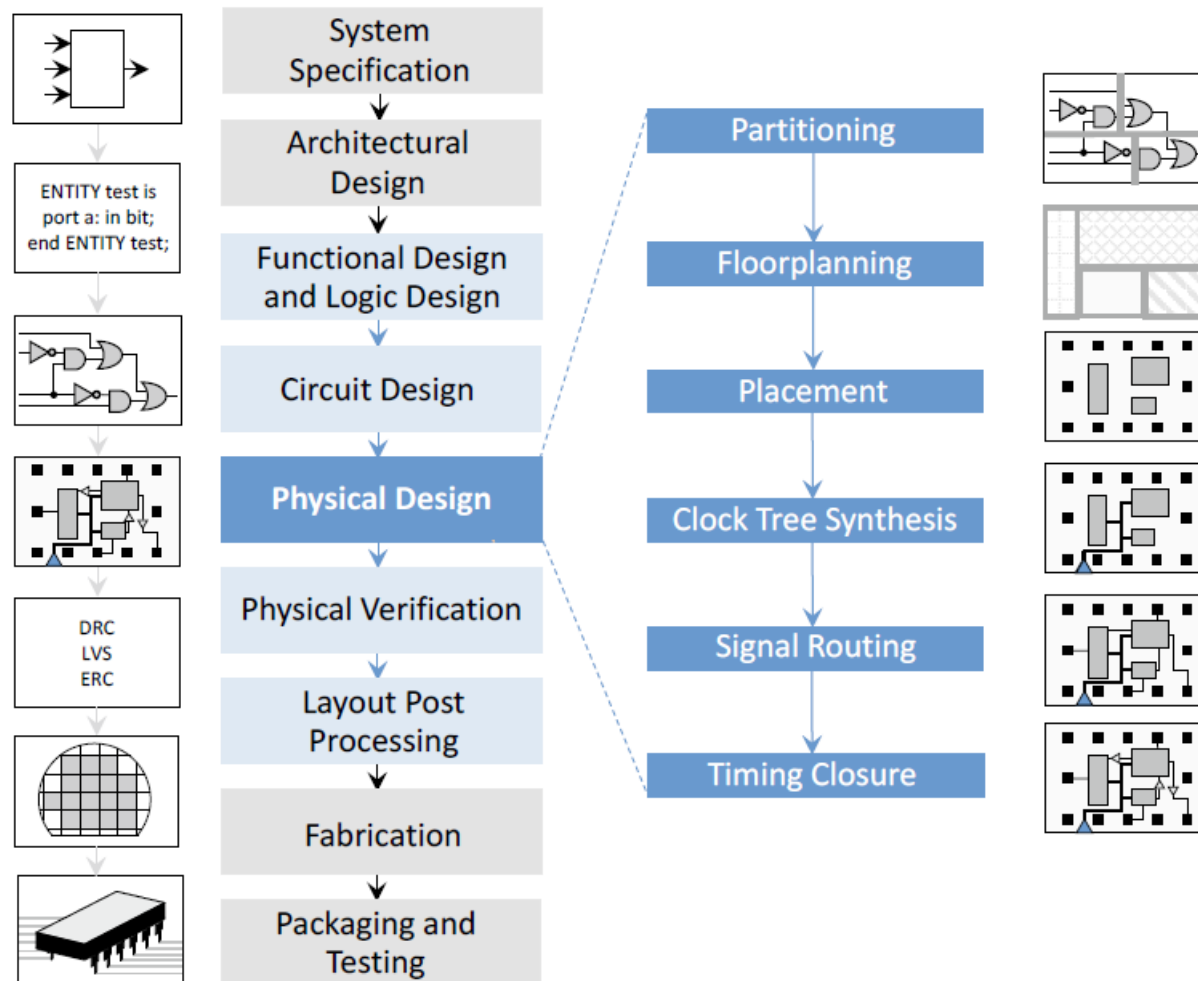
Šumová imunita (velikost vstupního napětí, které nevyvolá změnu na výstupu) je dána tolerančními pásmy elektrických veličin na vstupu a na výstupu.

U obvodů CMOS je cca 30% U_{DD}





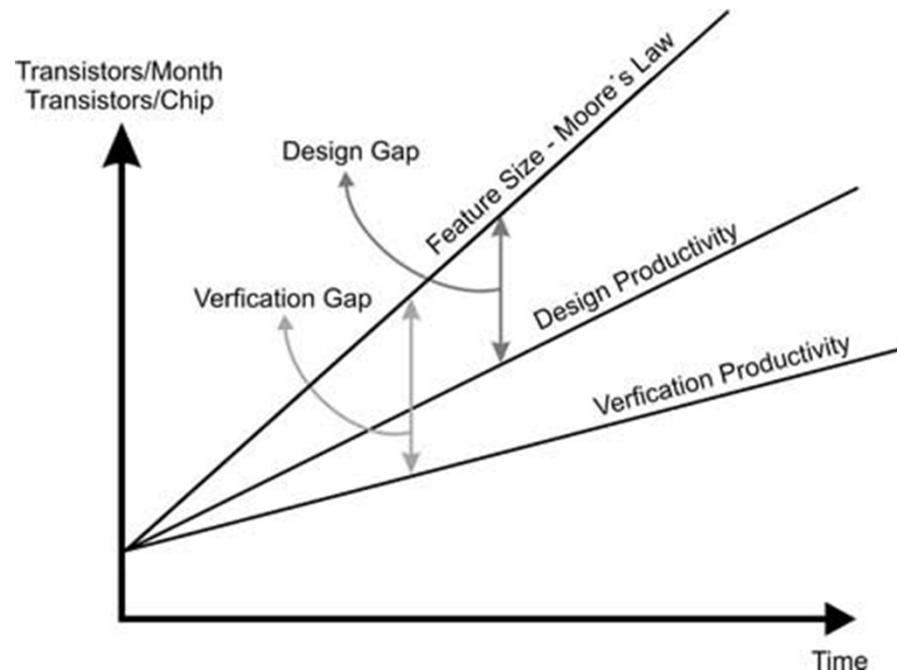
Hlavní fáze návrhu VLSI obvodu





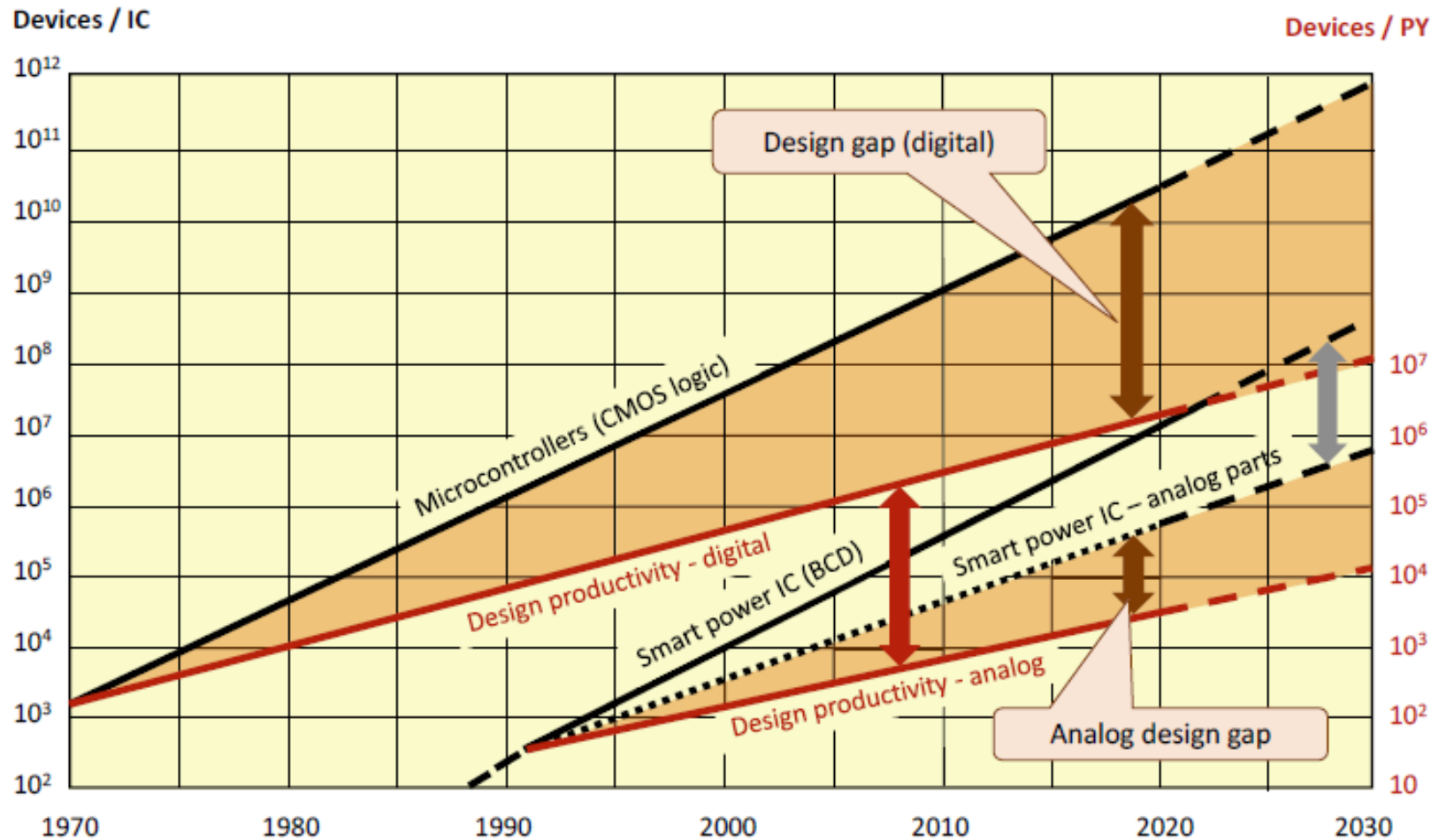
Design gap

- Narůstá rozdíl mezi možnostmi technologie a možnostmi návrhu čipu
- nutný pokrok v návrhovém SW, využití umělé inteligence;
 - návrh negativně ovlivňují nepravidelné struktury (nelze kopírovat);
 - malá změna ve vstupních parametrech návrhu způsobuje mnohdy velkou změnu v ploše čipu (časově náročné).





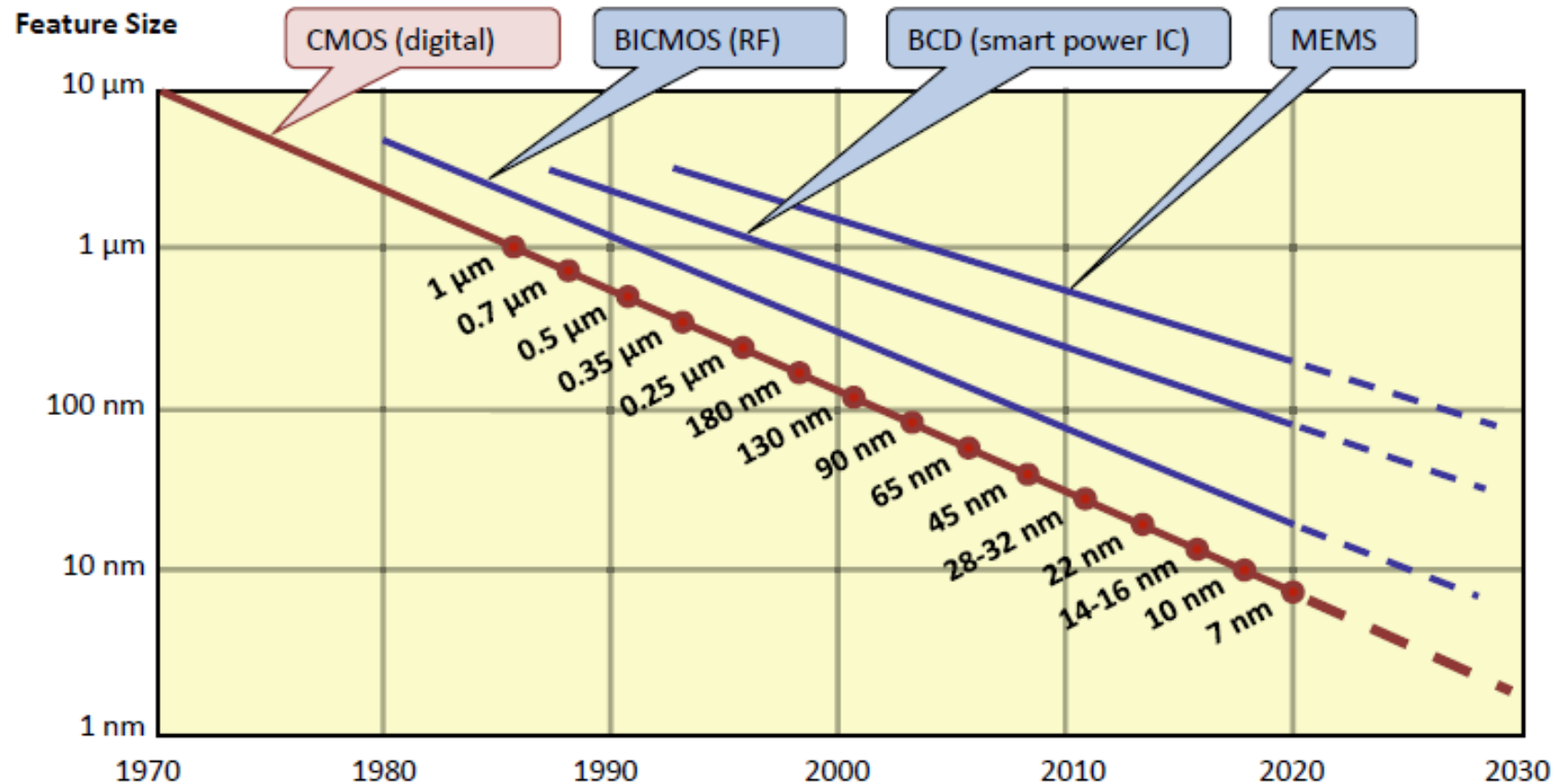
Design gap





Vývoj technologií

Nejmenší výrobitelné prvky v průběhu času v různých technologiích





Specifika systémů VLSI

- Vodiče se chovají jako RC články,
 - pokles strmosti hran,
 - malá rychlost šíření signálu,
- omezené možnosti odvodu tepla z čipu,
- vodič (sběrnice) - dražší než tranzistor,
- neustálé zhoršování poměru spínací rychlosti tranzistorů a rychlostí přenosu signálů.



Specifika VLSI systémů (pokrač.)

Příklad: α -násobné zmenšení rozměrů

- ⇒ α^2 -krát menší plocha,
- ⇒ α^2 -krát je třeba snížit množství vyzářené energie (rozptyl energie předpokládáme konstantní),
- ⇒ α -násobné snížení napájecího napětí,
- ⇒ nezměněná intenzita elektrického pole (a tím i pohyblivost elektronů),
- ⇒ α -krát menší šířky kanálů tranzistorů,
- ⇒ **α -krát vyšší spínací rychlost aktivních prvků,**

- ⇒ α -krát nižší délka vodičů, ale α -krát vyšší odpor vodičů na jednotku délky,
- ⇒ snížení parazitních kapacit vodičů i hradel,
- ⇒ α^3 -krát nižší spínací energie budících prvků (tranzistorů),
- ⇒ **snížení rychlosti šíření signálu po čipu.**



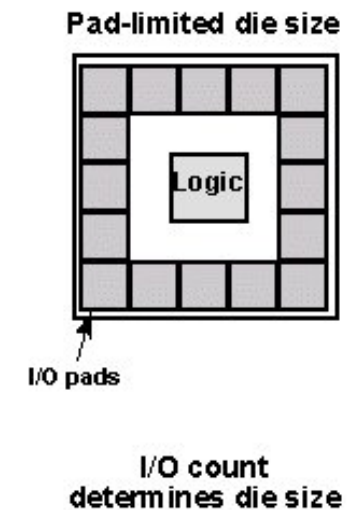
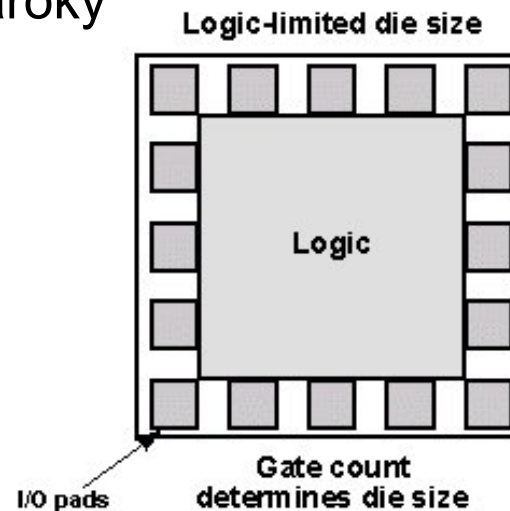
Řešení problému zpoždění signálu

- Technologická
 - snižování parazitních R a C (poly-Si → Al → Cu),
 - zvýšení spínacího výkonu tranzistorů,
 - programovatelná technologie řízení spotřeby (podle požadovaných dynamických vlastností logických buněk).
- Architektonická
 - minimální délky spojů (respektování principu lokality),
 - návrh plně synchronních systémů,
 - dělení rozsáhlých bloků kombinační logiky.



Vnější komunikace (mezičipová)

- omezený počet vývodů (2D struktury),
- rozdílné energetické poměry vně a uvnitř čipu
 - nutné I/O obvody
 - přídavné časové zpoždění
 - prostorové nároky
 - energetické nároky
- problém okraje





Řešení problému vnější komunikace

- Technologická
 - zdokonalení metod pouzdření,
 - maximální využití obvodu čipu,
 - multiplexované vývody, transceivery se serializátory/deserializátory,
 - využití třírozměrných struktur.
- Architektonická
 - požadavky funkční logiky na data jsou v rovnováze s přenosovou kapacitou vývodů,
 - využití výpočetního potenciálu na čipu (vícenásobné využití vstupních dat - princip lokality na systémové úrovni).



Snižování napájecího příkonu

- **Technologická**

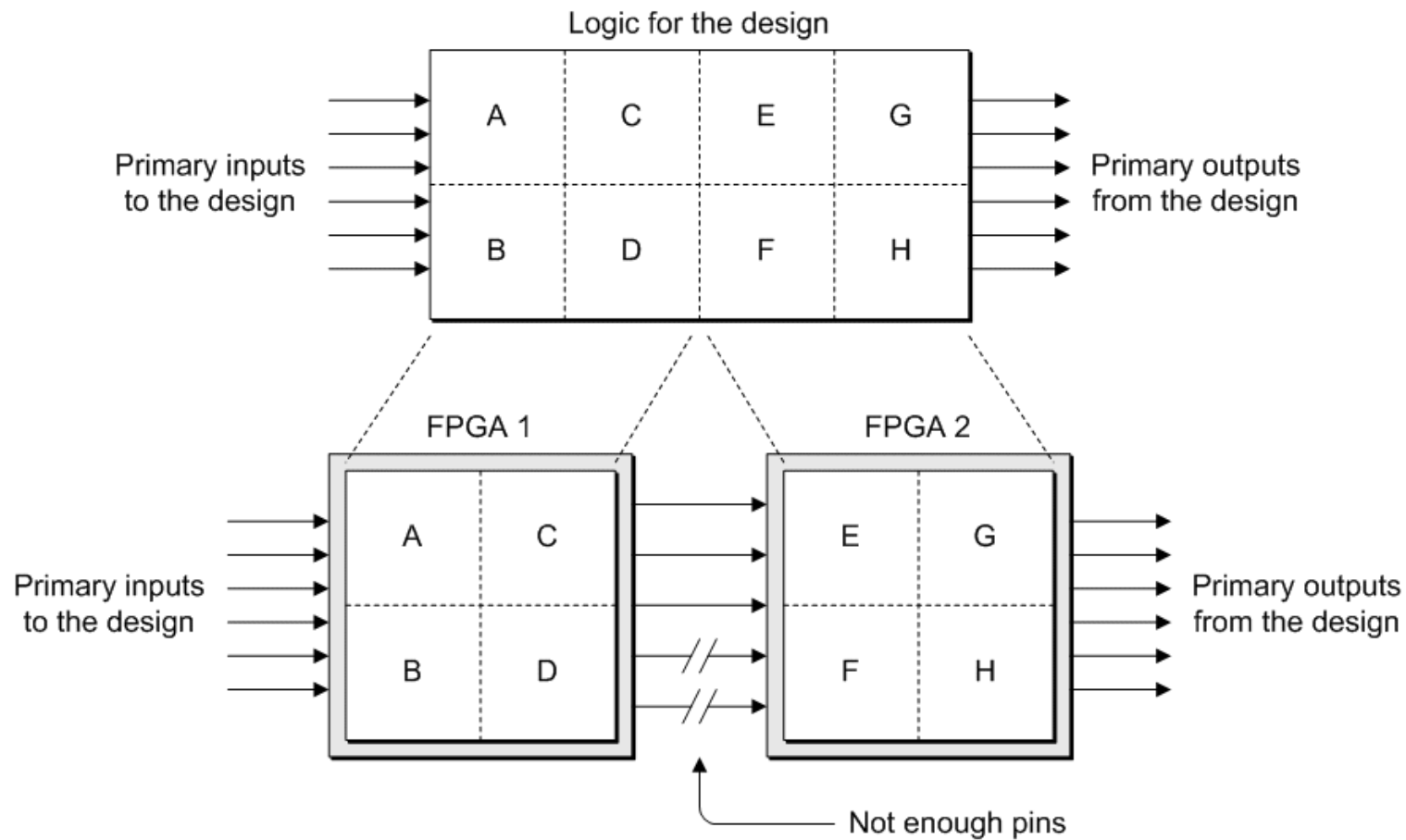
- snížení napájecího napětí (dáno především rozměry technologie),
- odpojování nepoužité logiky,
- programovatelná technologie řízení spotřeby (podle požadovaných dynamických vlastností logických buněk),
- použití dvouhranových klopných obvodů.

- **Architektonická**

- výběr algoritmu (paralelní vs. sériové) – množství zabrané logiky,
- velikost pracovní frekvence,
- blokování hodinových rozvodů do momentálně neaktivních částí,
- strmost náběžných/sestupných hran signálů (u I/O buněk),
- ošetření nepoužitých vstupů.



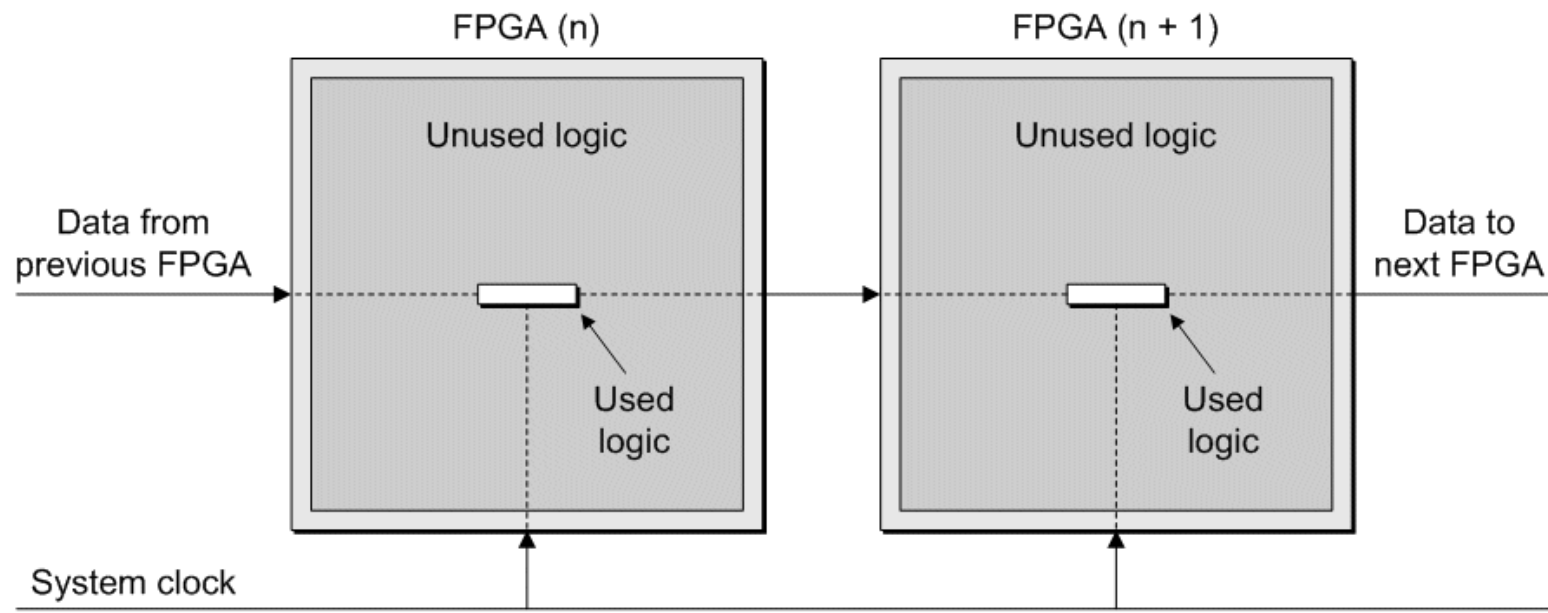
Rozdělení systému na více FPGA



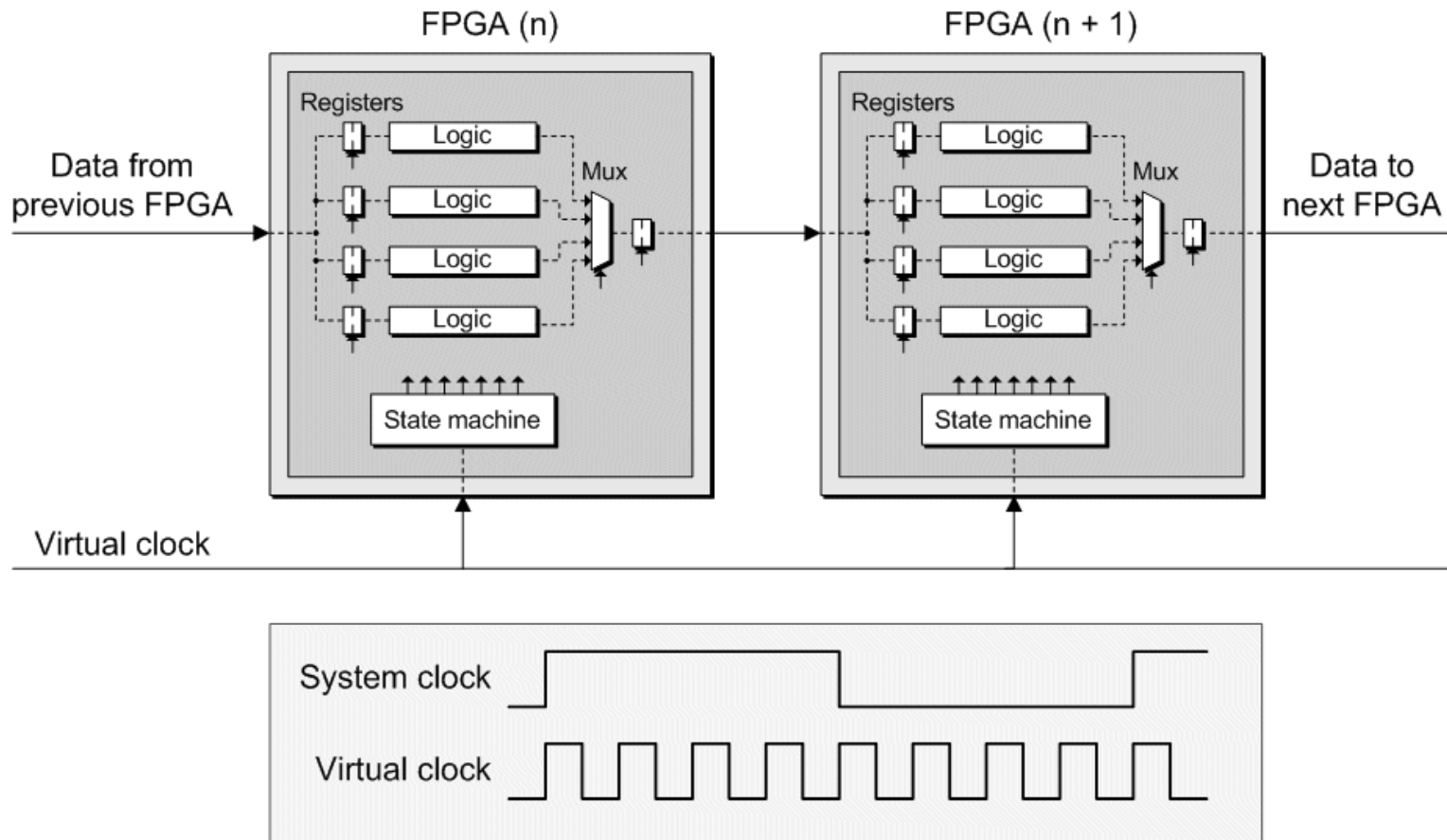


Využitelnost logiky FPGA

Máme-li omezený počet vývodů



Využitelnost logiky FPGA





Protokoly komunikace

Pro zvyšující se potřebu přenosu velkého množství dat se využívají rychlé **sériové diferenční linky** (většinou malý počet vodičů, ale složitější protokol):

- Serial Rapid IO (sRIO)
- PCI Express (v. 1.1 a 2.0),
- Ethernet (0,1 – 1 - 10 Gbps),
- USB (v. 2.0 a 3.x).

Pro HW podporu rychlých I/O portů jsou FPGA vybaveny **tranceivery** – zajišťují přístup k médiu, jsou vybaveny kodéry a dekodéry, synchronizačními obvody, serializéry a deserializéry či obvody pro řízení úrovní signálů.



Budoucí vývoj technologií

Již cca 50 let platí Moorův zákon (počet tranzistorů na čipu se zdvojnásobuje cca 2x za 1,5 roku).

Nejmenší rozměr struktury se zmenšuje s indexem 0,5/3roky,

Plocha čipu se zvětšuje cca 1,5x za 3 roky.

Zpoždění ve spojích je o 1-2 řády větší než na tranzistoru.

Aplikace vrstevnatých 3D struktur (problémy s chlazením).

Aplikace nových PV sloučenin - na bázi gallia (GaN - nitrid gallia, GaAs – arsenid gallia), karbidu křemíku (SiC), hafnia (Hf), aj.

Přechod od mikroelektroniky, přes nanoelektroniku k molekulární elektronice (jiné fyzikální principy, interdisciplinární charakter).