

# Metodika návrhu v systému QUARTUS Prime Lite Edition

## Vytvoření nového projektu

- a) založení nového projektu (menu File / New Project Wizard...)
  - nastavíme pracovní adresář (např. D:\projekt)
  - zvolíme jednoslovný název (bez diakritiky, pouze písmena, číslice a příp. podtržítka) stejný pro projekt i top-level entitu
  - zvolíme typ projektu „Empty project“
  - máme-li zdrojový soubor (\*.vhd nebo \*.bdf) vybereme ho (File name, a následně Add)
  - specifikace Device family (Family: MAX 10 (DA), Device: 10M50DAF484C7G)
  - EDA Tools Settings (nic neměníme) - Finish;
- b) vytvoření zdrojového souboru (pokud ho již nemáme):
  - založení nového souboru (menu File / New / Design Files – VHDL File nebo File / New / Design Files - Block Diagram/Schematic File);
  - vytvoření popisu VHDL nebo zadání schématu  
Insert – Symbol... v položce Libraries: primitives / logic, příp. pin;  
(speciální uživatelské bloky jsou v položce Libraries: others / opencore\_plus);
  - uložení souboru (menu File / Save) – „jméno.vhd“ nebo „jméno.bdf“  
(jméno volíme shodné se zadaným jménem TopLevel entity projektu);
- c) spuštění překlada (menu Processing / Start Compilation;

## Zadávání stavových automatů

- a) založení nového souboru (menu File / New / Design Files - State Machine File)
- b) spuštění průvodce stavovým automatem (pravé tlačítko myši, State Machine Wizard) a založení nového návrhu (Create a new state machine design):
  - výběr resetovacího módu a typů výstupů (asynchronní; výstupy bez registrů);
  - vložení všech stavů a vstupních portů;
  - vyplnění přechodové funkce (symboly použitelné v podmínce přechodové funkce:  
== (rovná se), != (nerovná se), < (menší), > (větší), <= (menší nebo rovno), >=,  
& (AND), | (OR), ^ (XOR), ~& (NAND), ~| (NOR), ~^ (XNOR), ~ (NOT));
  - vložení výstupních portů a vyplnění výstupní funkce;
- c) vygenerování souboru v jazyku HDL (pravé tlačítko myši, Generate HDL File...)
  - doporučeno zvolit jazyk VHDL;
- d) spuštění překlada (menu Processing / Start Compilation).

## Nahrání do hradlového pole

- a) specifikace FPGA – již zadáno v projektu, příp. zkontrolovat - menu Assignments / Device (Family: MAX10 (DA), Device: 10M50DAF484C7G);
- b) přiřazení pinů (menu Assignments / Pin Planner) – aby se automaticky načetly IO signály, je nutné mít projekt již zkompileovaný, zápis do polí „Location“ (PIN\_číslo, stačí vkládat jen číslo) a „I/O Standard“ (zvolíme 3.3-V LVTTTL, u tlačítek KEY0 a KEY1 volíme 3.3V Schmitt Trigger);
- c) po změně typu FPGA nebo čísel pinů je třeba projekt znovu zkompileovat (menu Processing / Start Compilation);
- d) spuštění nahrávání (menu Tools / Programmer). Pokud není přednastaven programovací kabel: tlačítko Hardware Setup ..., Currently selected hardware: USB-Blaster [USB-0]. dále vybrat soubor k programování (\output\_files\ \*.sof), zatrhnout Program/Configure, nakonec tlačítko Start.

## Přiřazení pinů FPGA k jednotlivým periferiím na výukovém přípravku DE10-Lite

Popis	Označení	Číslo pinu FPGA	Směr v FPGA
Odrušená tlačítka	KEY0, KEY1	B8, A7	vstupní (stisk - log. 0)
Přepínače	SW0 - SW9	C10,C11,D12,C12,A12,B12,A13,A14,B14,F15	vstupní (dole log. 0)
LED diody	LED0 – LED9	A8,A9,A10,B10,D13,C13,E14,D14,A11,B11	výstupní (svítí v log. 1)
HEX0 (7-segment)	a,b,c d,e,f,g,dp	C14,E15,C15,C16,E16,D17,C17,D15	výstupní (svítí v log. 0)
HEX1 (7-segment)	a,b,c d,e,f,g,dp	C18,D18,E18,B16,A17,A18,B17,A16	výstupní (svítí v log. 0)
HEX2 (7-segment)	a,b,c d,e,f,g,dp	B20,A20,B19,A21,B21,C22,B22,A19	výstupní (svítí v log. 0)
HEX3 (7-segment)	a,b,c d,e,f,g,dp	F21,E22,E21,C19,C20,D19,E17,D22	výstupní (svítí v log. 0)
HEX4 (7-segment)	a,b,c d,e,f,g,dp	F18,E20,E19,J18,H19,F19,F20,F17	výstupní (svítí v log. 0)
HEX5 (7-segment)	a,b,c d,e,f,g,dp	J20,K20,L18,N18,M20,N19,N20,L19	výstupní (svítí v log. 0)
Hodinový signál	CLK_50	P11, N14	vstupní (50 MHz)

U všech vstupů a výstupů volíme „I/O Standard“ **3.3-V LVTTL**; jen u tlačítek KEY0 a KEY1 volíme **3.3 V Schmitt Trigger**, aby se tlačítka chovala jako odrušená.

### Simulace

- a) založení nového souboru pro simulaci (menu File / New / Verification/Debugging Files – University Program VWF);
- b) vložení signálů
  - menu Edit / Insert – Insert Node or Bus...
  - tlačítko Node Finder... (Named: \* , Filter: Pins: All ) - tlačítko List  
(ze seznamu vlevo vybereme signály, které chceme zobrazit v simulaci, a přeneseme do seznamu vpravo a potvrdíme i v nadřazeném dialogu);
  - nastavení koncového času simulace (menu Edit / Set End Time...), např. jednotky  $\mu$ s;
  - nastavení velikosti rastru (menu Edit / Grid Size...), např. desítky ns;
  - zoomování okénka dle potřeby (např. menu View / Fit to window);
  - zadání požadovaných průběhů vstupních signálů pomocí myši, příp. periodických (hodin) pomocí dialogu;
  - uložení souboru (menu File / Save As...) – „jméno“.vwf  
doporučeno zvolit jméno stejné se jménem projektu;
- c) spuštění simulace (menu Simulation / Run Functional Simulation);
- d) spuštění simulace (menu Processing / Start Simulation);
- e) výstupní průběhy se vytvoří v samostatném souboru \*.sim.vwf.