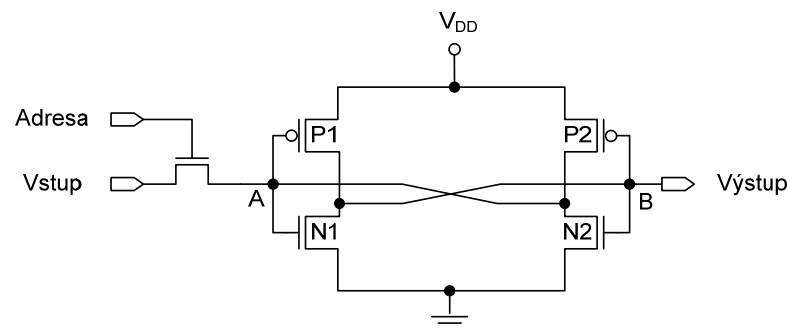




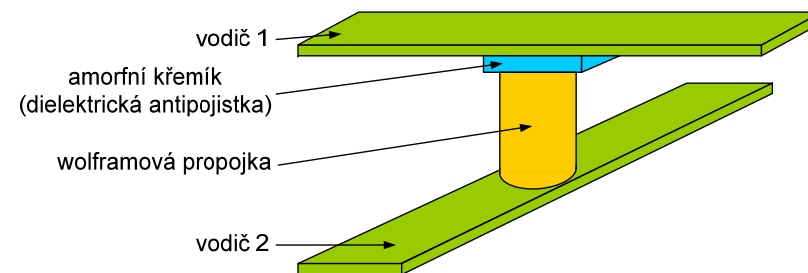
Programovatelné přepínače

V FPGA se nejčastěji používají programovatelné přepínače na principu:

- *SRAM* (nejčastěji z 5-6 tranzistorů);
- *antipojistky* (anti-fuses) - amorfní křemík v místě křížení dvou vodičů – nevodivá dielektrická vrstva se zvýšeným napětím prorazí (odpor 100MΩ/50Ω); PLICE (Actel), ViaLink (QuickLogic);
- *EEPROM/flash* – u FPGA v omezené míře.



Buňka SRAM



Antipojistka



Vlastnosti propojek

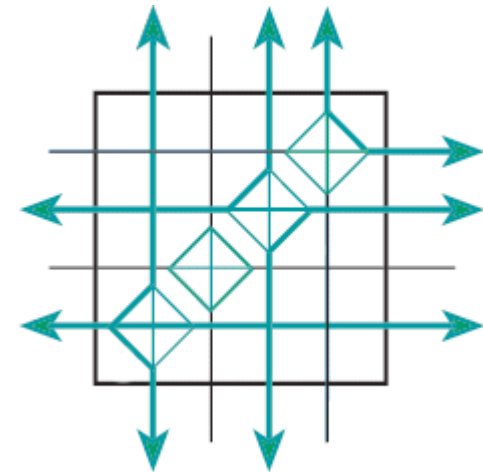
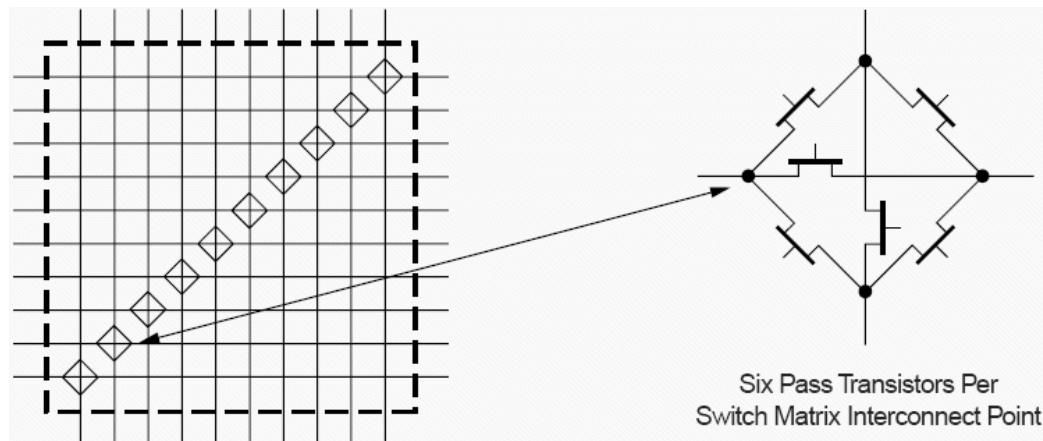
Vlastnosti	SRAM	Antipojistky	EEPROM/flash
Reprogramovatelnost	ano (v systému)	ne	ano (v systému nebo v programátoru)
Volatilní (nutné napájení)	ano	ne	ne
Vyžaduje externí konfigurační soubor	ano	ne	ne
Ochrana proti kopírování	vyhovující (lze zašifrovat)	dobrá	dobrá
Velikost konfigur. buňky	velká (5 tranzistorů)	velmi malá	malá (2 tranzistory)
Spotřeba el. energie	vyšší	nízká	střední
Odolnost vůči záření	horší	výborná	střední
Okamžitě použitelné	ne	ano	ano
Programování v systému	ano	ne	ano



Programovatelné matice

PSM (Programmable Switch Matrix)

Propojuje vertikální a horizontální linie vodičů



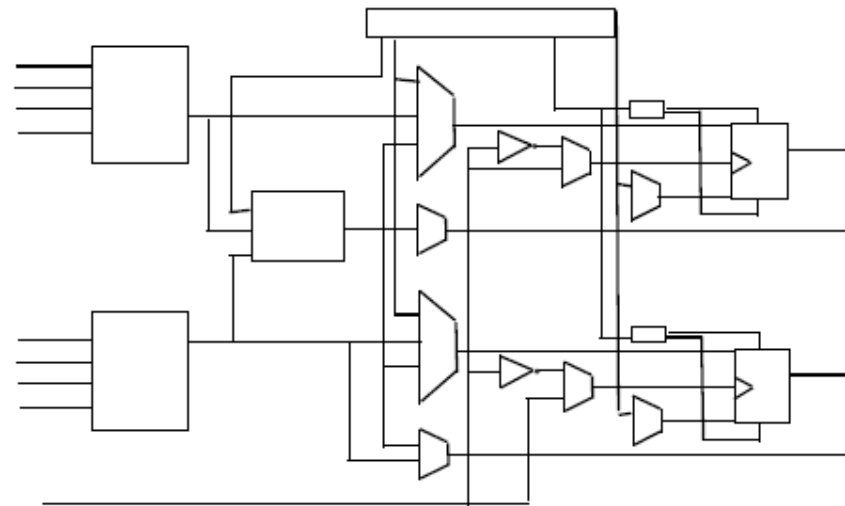


Hrubozrnné struktury

Obvody s "*hrubozrnnou*" strukturou (Course Grained)

Vlastnosti:

- velké množství logiky v každém modulu
- menší možná využitelnost logiky
- větší a těžko předvídatelné zpoždění
- větší spotřeba energie
- vhodné pro větší funkce
- typické pro PLD, CPLD



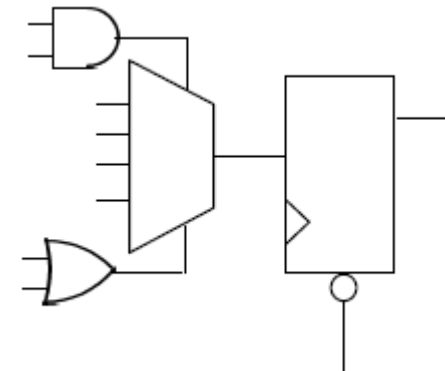


Jemnozrnné struktury

Obvody s "*jemnozrnnou*" strukturou (Fine Grained)

Vlastnosti:

- jednodušší logické moduly
- lepší využitelnost logiky
- snadnější syntéza
- lépe odhadnutelné zpoždění
- obtížnější realizace větších funkcí
- typické pro FPGA

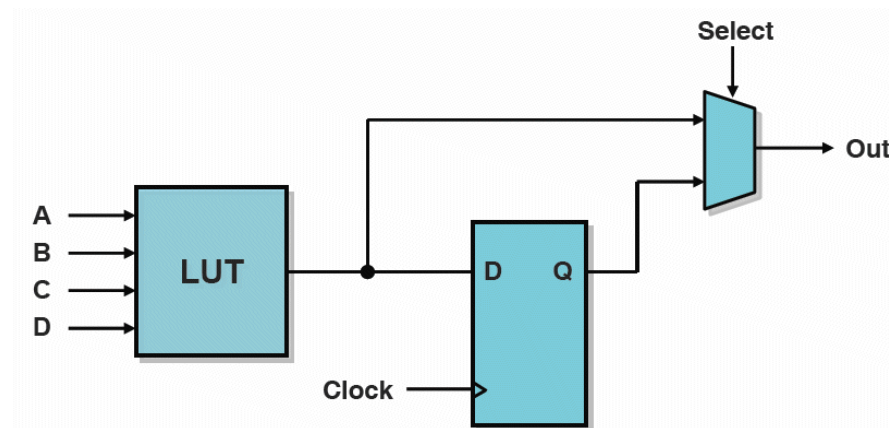




Velikost FPGA

Velikost se uvádí v *počtu logických elementů* (LE)

- LE jsou různě složité,
- nejčastěji LE obsahuje 4vstupový LUT (Look Up Table) a KO (klopný obvod). Rozšiřují se 6vstupové LUTy se dvěma výstupy.



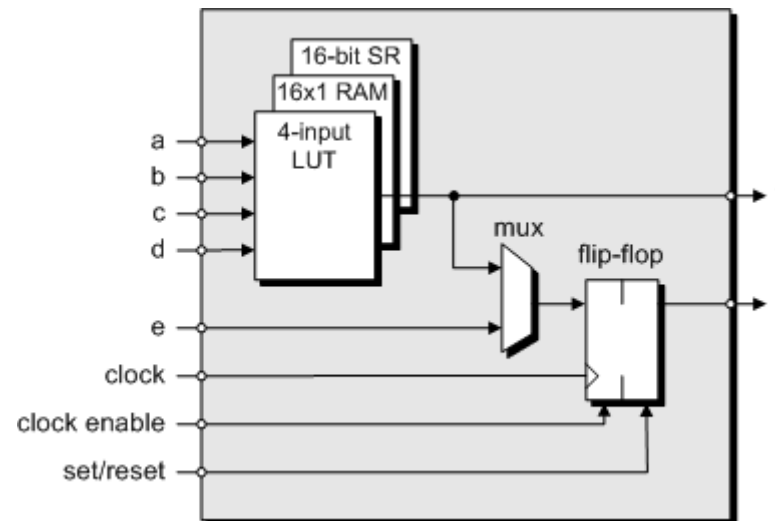


Logická buňka (AMD-Xilinx)

Příklad logické buňky – skládá se z konfigurovatelného LUTu a klopného obvodu.

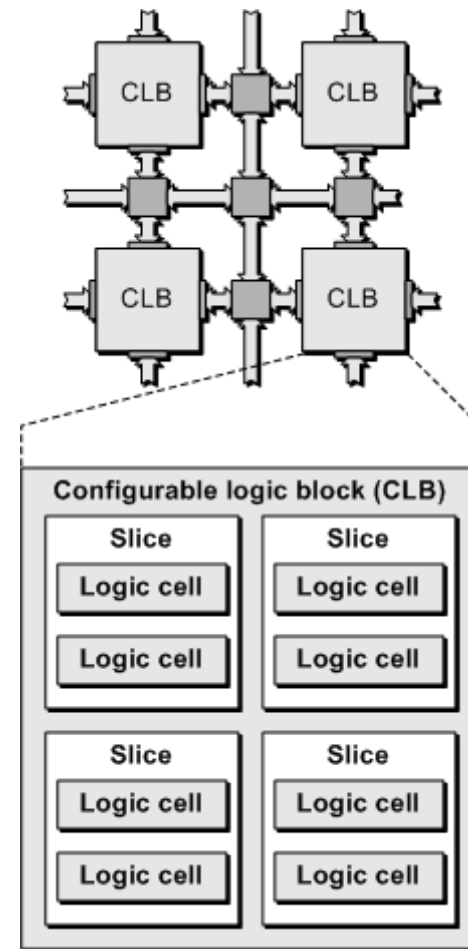
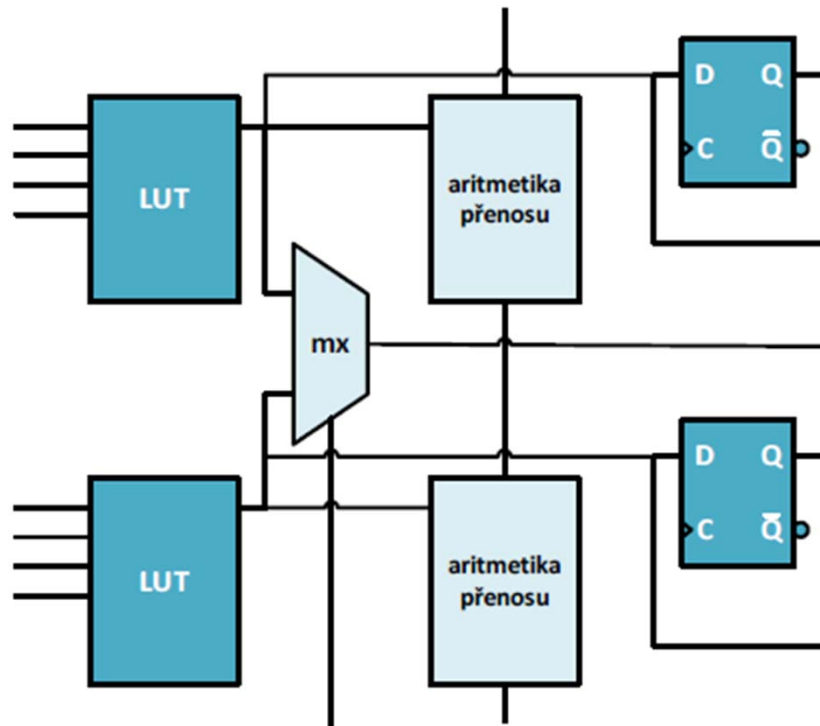
Mnohafunkční LUT může pracovat jako:

- 16bitový posuvný registr
- 16bitová paměť RAM
- 4vstupový LUT



CLB vs. Slice vs. LC (LE)

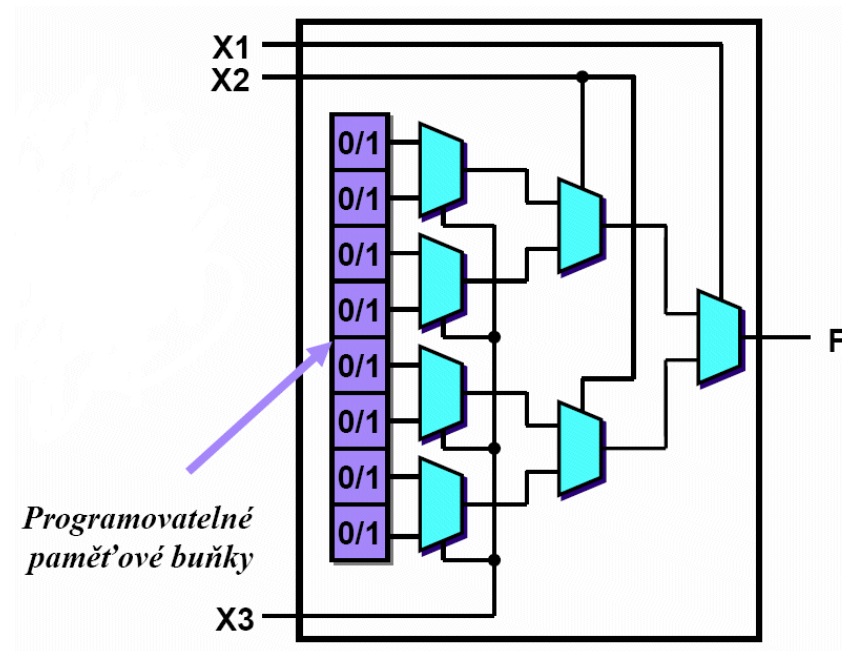
CLB – Configurable Logic Block



LUT

Look Up Table (LUT) - blok pro implementaci kombinační logiky

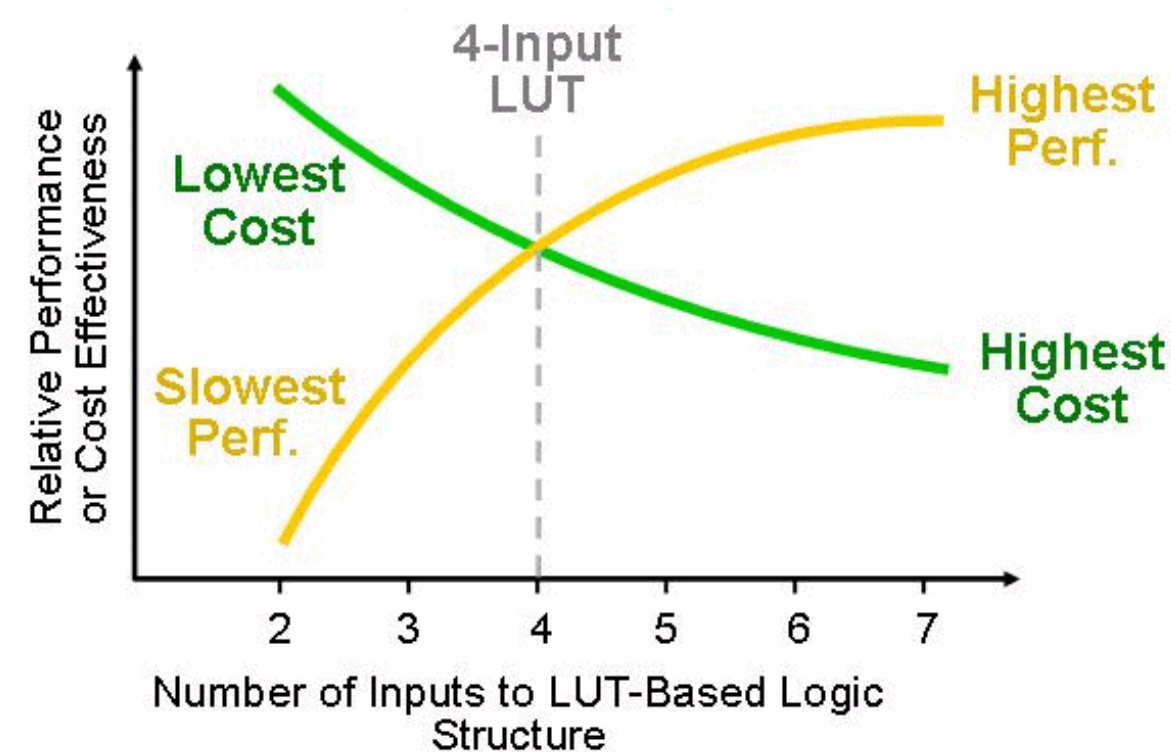
- na principu SRAM
- na principu multiplexorů





Počet vstupů LUT ?

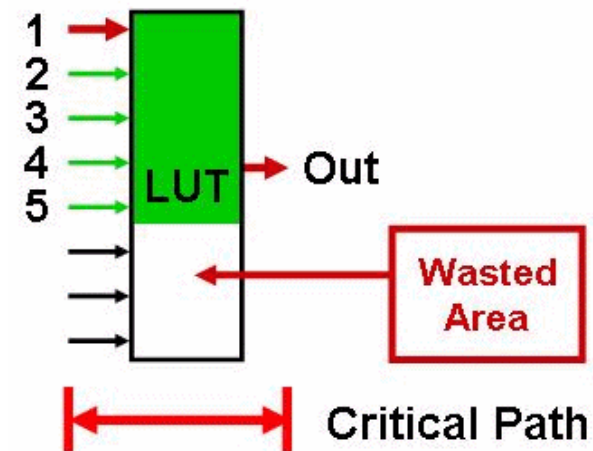
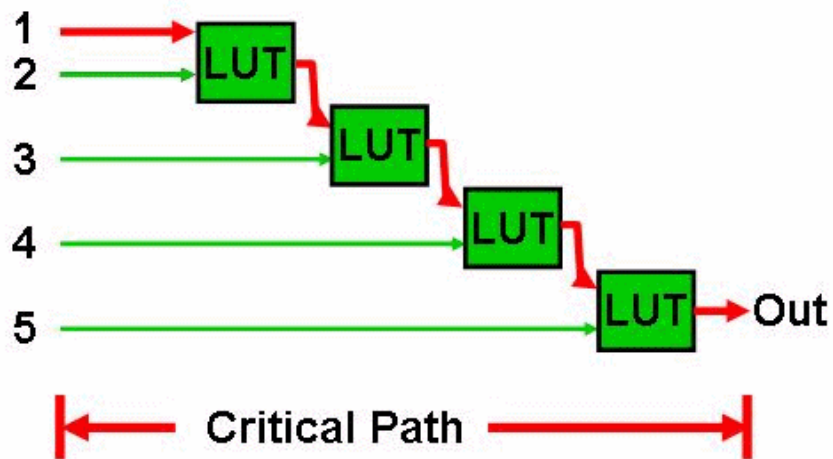
Většina FPGA obvodů má 4-vstupové LUT





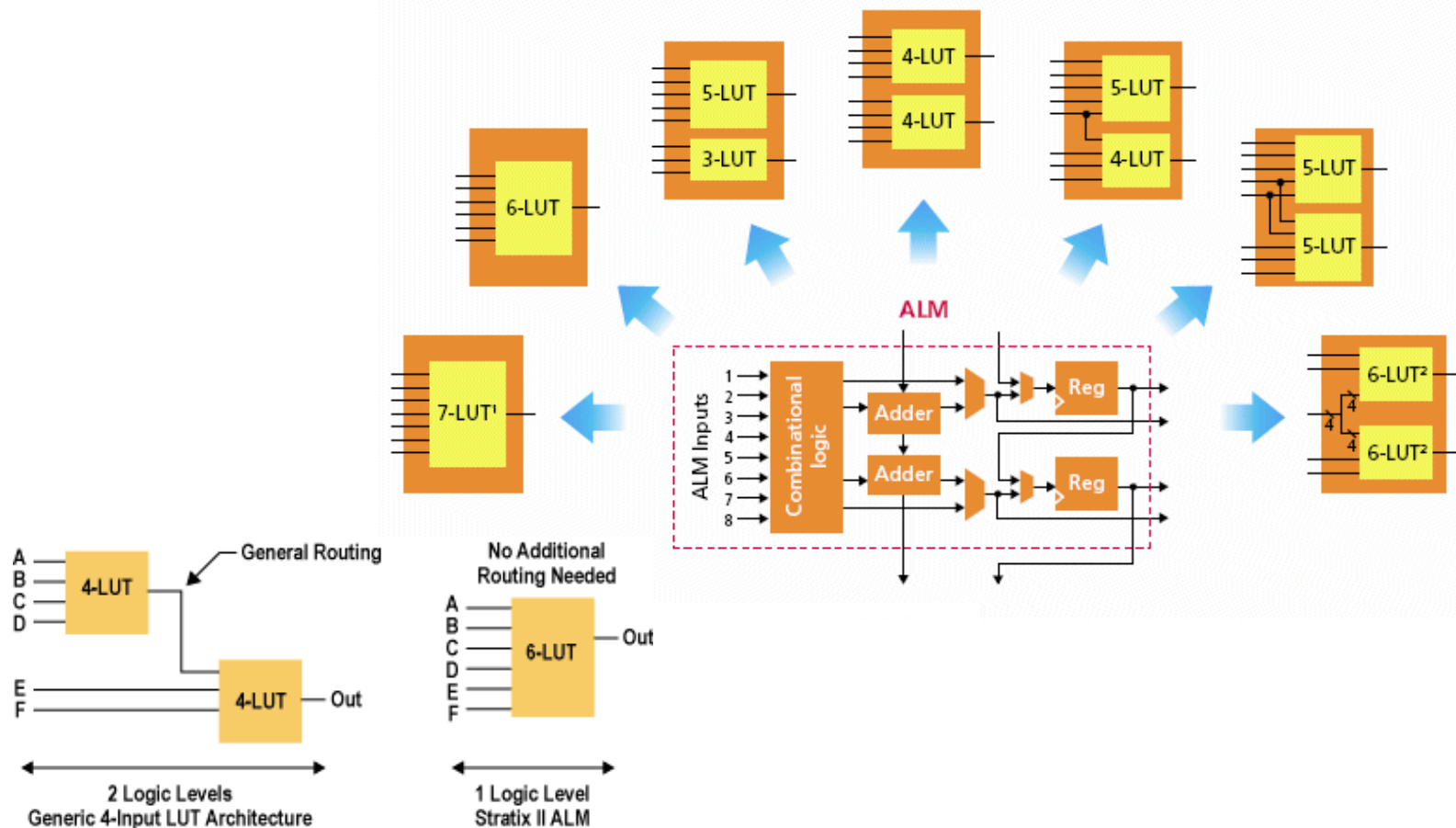
Jaký počet je nejvýhodnější ?

Kompromis mezi délkou kritické cesty a využitím logiky LUTů



Používání adaptivní logiky

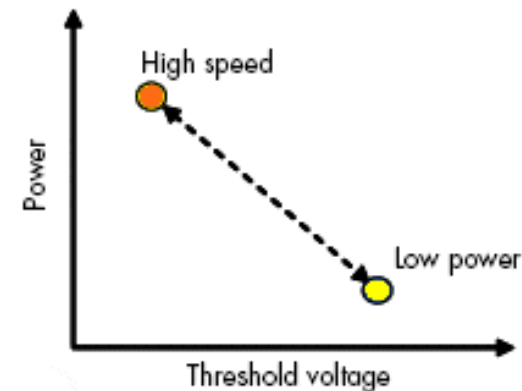
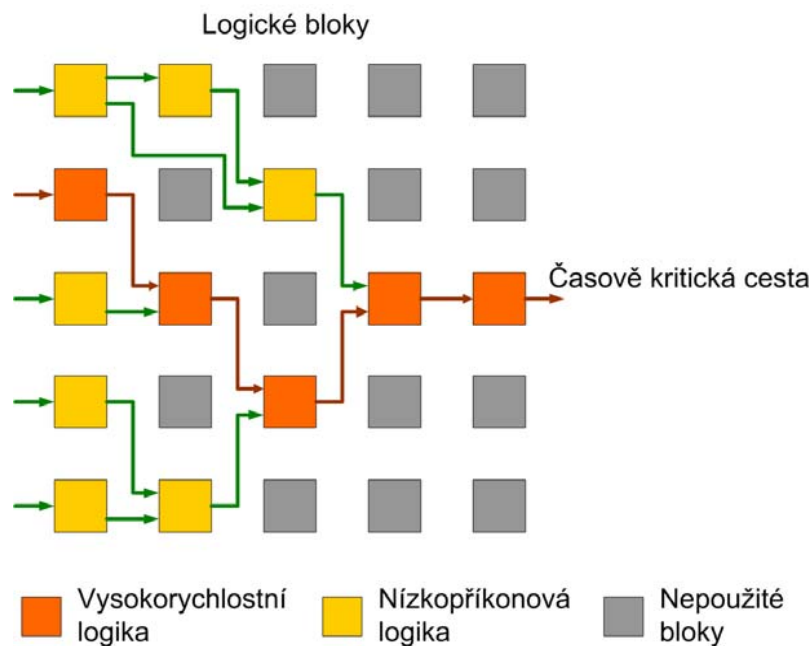
ALM (Adaptive Logic Modules) – v FPGA je pouze část těchto buněk





Programovatelné napájení logiky

Programovatelné řízení napájení s několika úspornými módy (buňky v kritické cestě jsou nejrychlejší, ale mají největší spotřebu; ostatní buňky mohou být v úsporných módech).





Vstupně výstupní buňky

Zajišťují tok dat mezi vnitřní logikou a I/O piny;

- přizpůsobují logické úrovně vně a uvnitř čipu,
- zesilují výstupní signály,
- podporují řadu vstupně-výstupních napěťových standardů.

Buňky jsou rozděleny do *bank* – každou banku lze připojit na jiný napájecí zdroj.

Většina buněk může být konfigurována jako vstupní, výstupní nebo obousměrné.

Struktura buňky obsahuje většinou 3 základní signálové cesty:

- *vstupní cesta* (data z pinu do vnitřní logiky),
- *výstupní cesta* (přenos dat z vnitřní logiky na výstupní pin,
- *cesta ovládající třístavový výstup*.



Vstupně výstupní buňky (pokrač.)

Ve výstupní cestě je zařazen *programovatelný výstupní driver*:

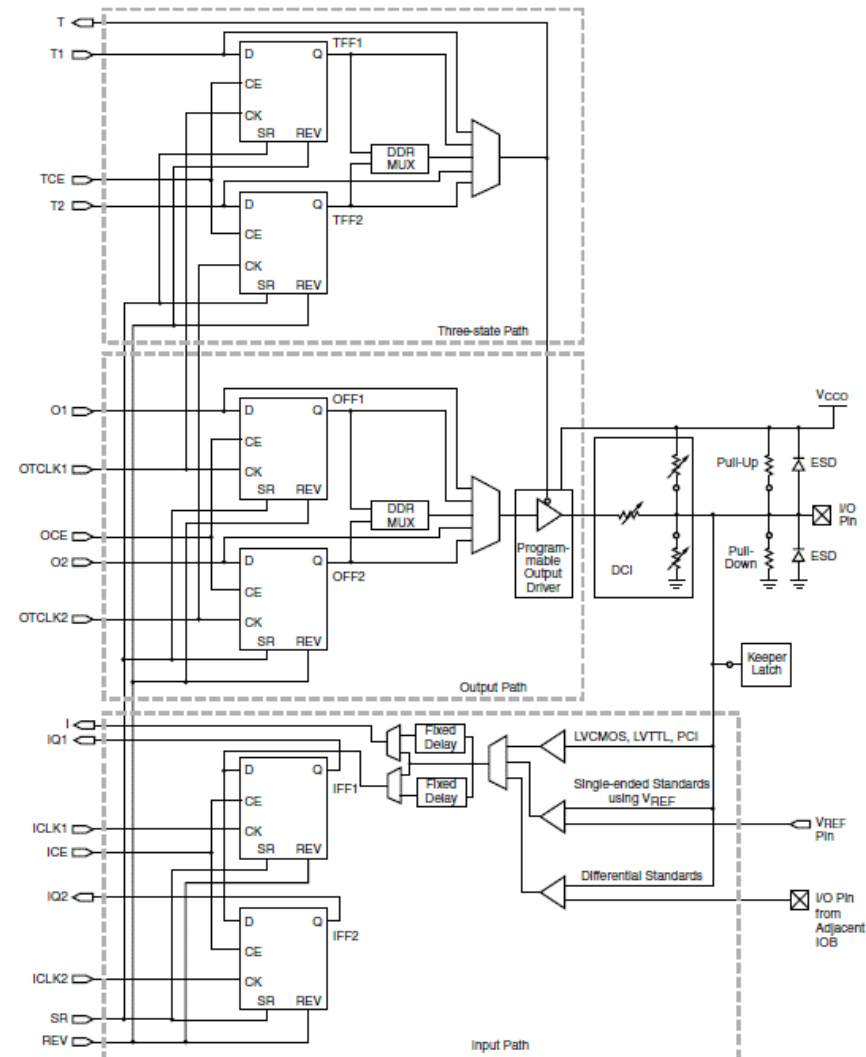
- umožňuje měnit rychlost přeběhu (2-3 stupně),
- určuje výstupní proudové zatížení (2-25 mA),
- umožňuje nastavení do stavu vysoké impedance.

Součástí I/O buňky jsou:

- pull-up a pull-down rezistory,
- ochrany proti kladnému i zápornému přepětí,
- obvody zajišťující impedanční přizpůsobení (OCT – On-Chip Termination, DCI – Digitally Controlled Impedance),
- obvod přidržení úrovně (bus hold, keeper, aktivní terminátor).

Vstupně výstupní buňka

Xilinx Spartan 3





Použití RAM v FPGA

- 1) **Klopné obvody** v logických buňkách (pro menší množství dat, rychlý přístup);
- 2) **Distribuovaná paměť** – využití paměťových buněk v LUTech (omezená velikost, náročné na propojovací síť);
- 3) **Bloková (embedded) paměť** – speciální paměťové bloky vložené do struktury FPGA (snadno konfigurovatelné, plně dvouportové, rychlé, efektivní z hlediska nároků na plochu);
- 4) **Externí paměti** – pro uložení velkých objemů dat (nejčastěji dynamické paměti, podpora DDR řadičů v FPGA).

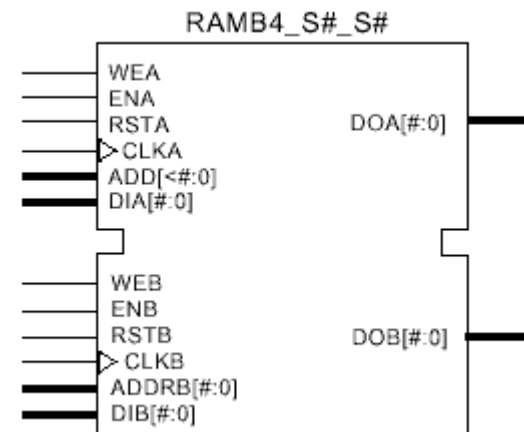


Embedded RAM

Speciální vložené bloky konfigurovatelné RAM v FPGA;

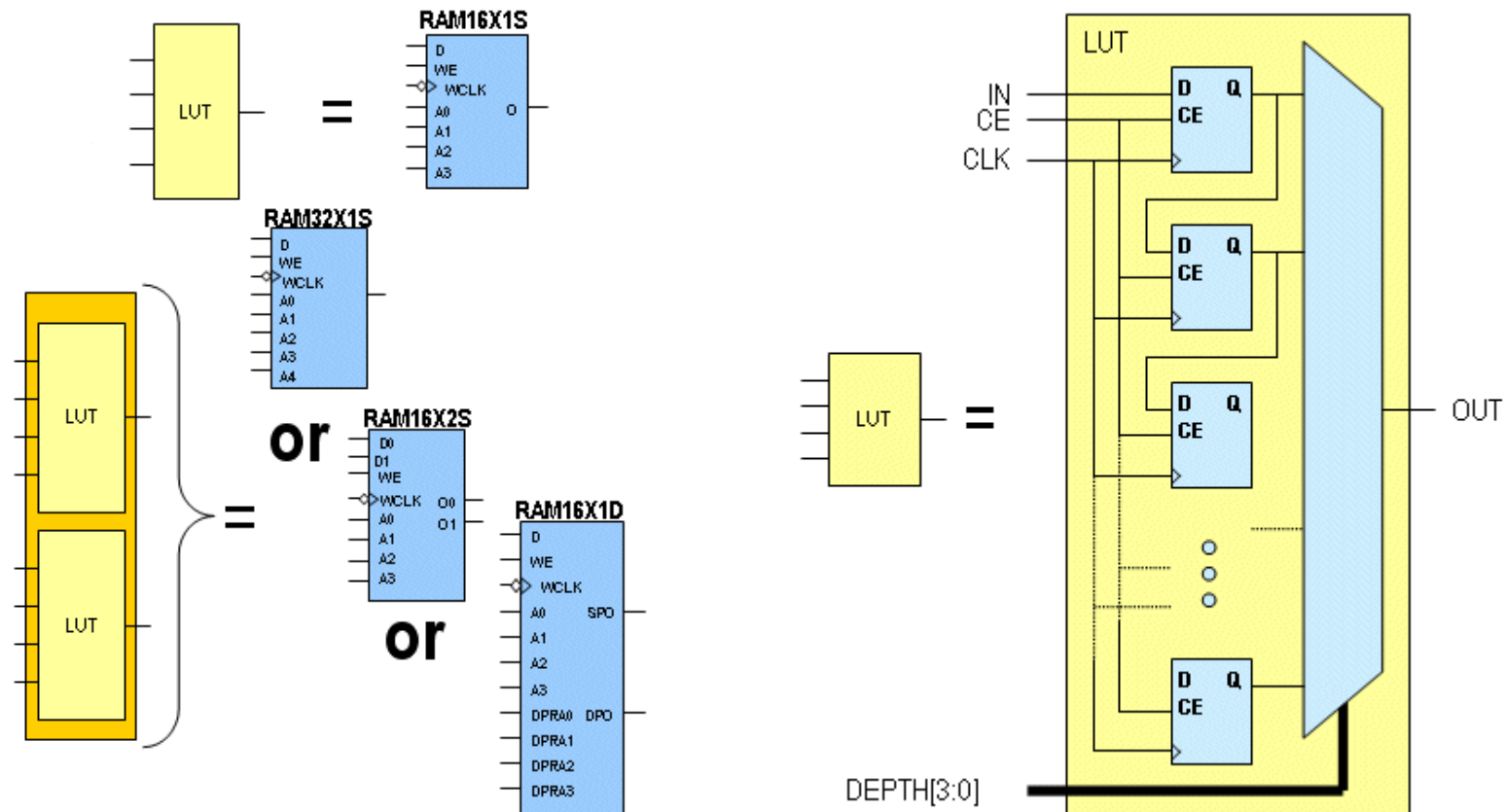
Možnosti:

- změny organizace (např. 4Kx1 nebo 256x16),
- krátká vybavovací doba (rychlé dekodéry adres),
- obsah je možno definovat při konfiguraci (ROM),
- možno použít jako FIFO (dual clock),
- jednoportové / dvouportové,
- asynchronní / synchronní.



Distribuovaná RAM

Možno často konfigurovat jako jednoportová nebo dvouportová paměť nebo posuvný registr

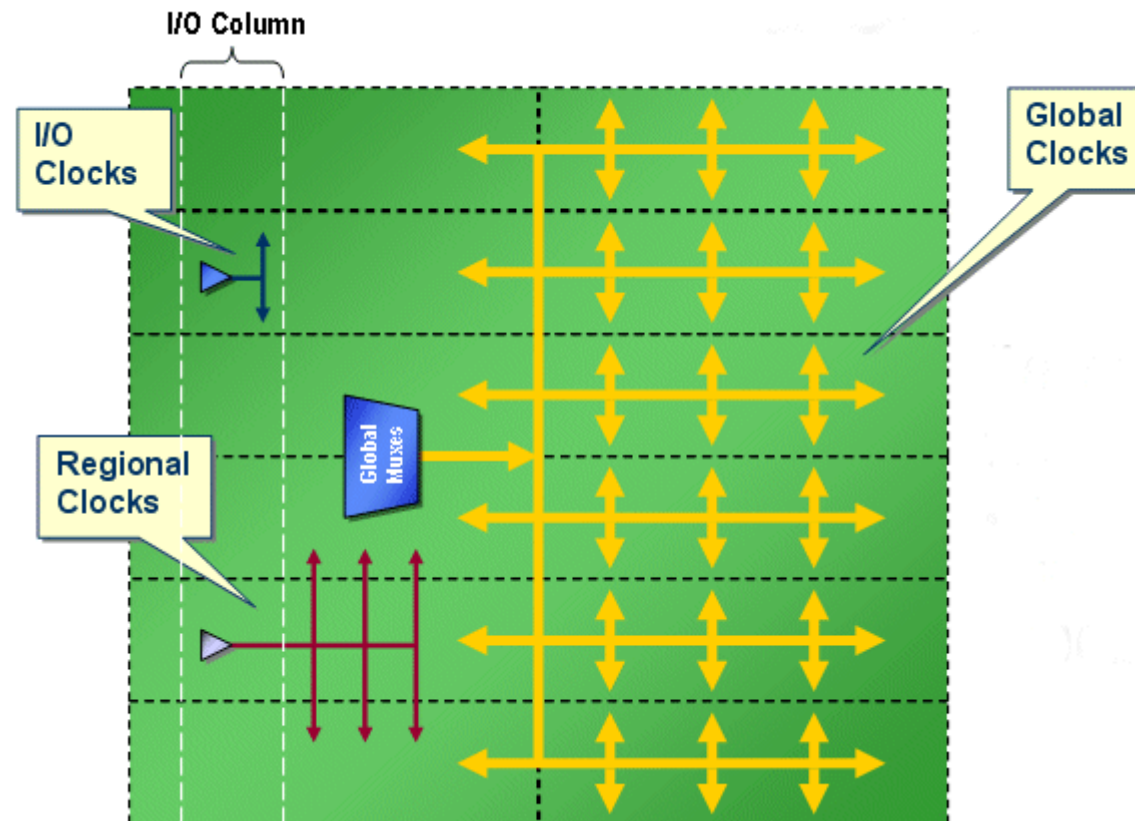




Typy rozvodů hodinového signálu

Snaha o minimální skluz.

Nejčastěji 3 typy rozvodů (I/O rozvody jsou nejrychlejší):





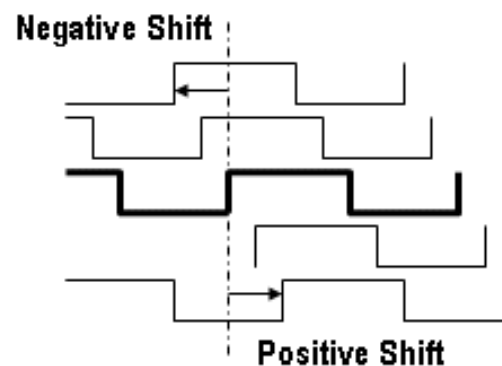
Programovatelné fázové závěsy

dorovnávají zpoždění, dělí nebo násobí frekvenci, mění střidu, zajišťují fázové posuny (rozlišení řádově pod 100 ps);

jitter – kolísání (nestabilita) zdroje hodinového signálu (odchylka od ideální náběžné hrany).

Snaha o nulový skluz hran hodinového signálu v celém FPGA.

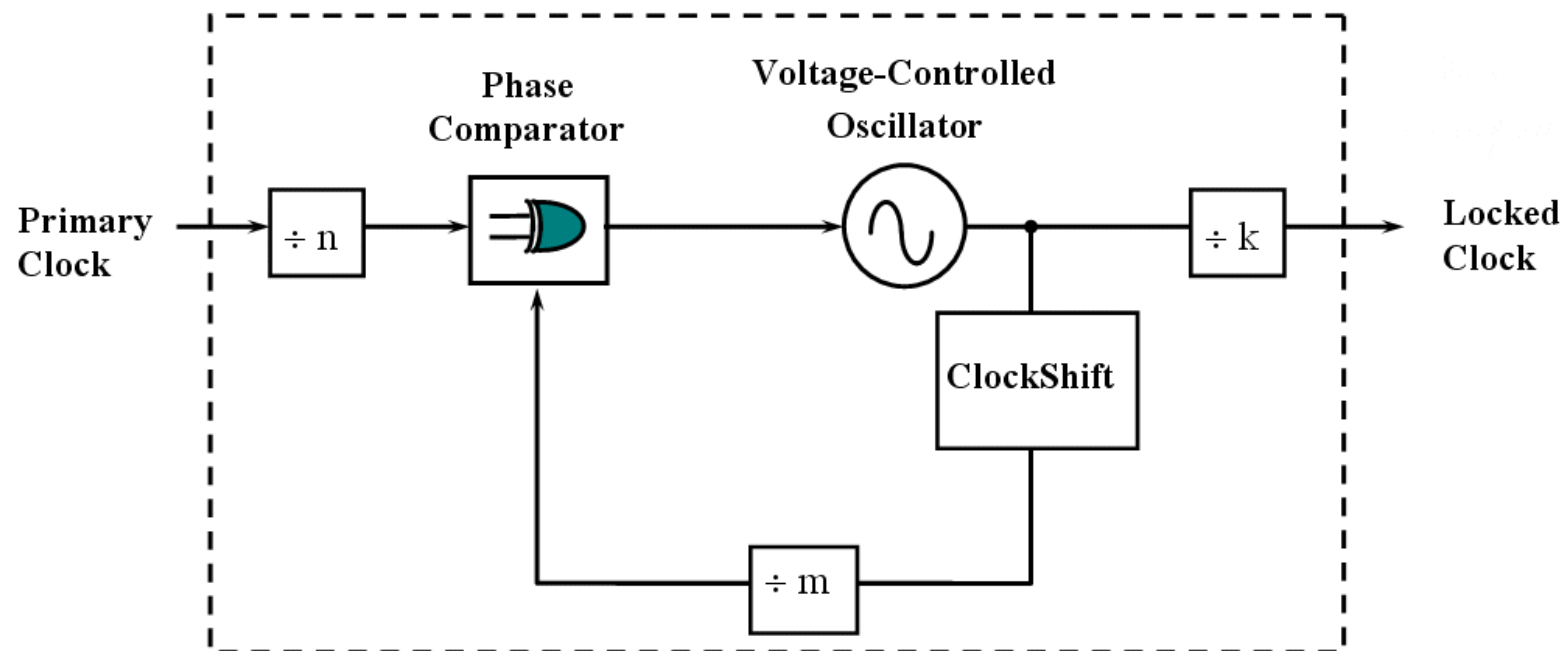
Digital Clock Management (Xilinx), sysCLOCK (Lattice), PLL (Phase Locked Loop), DLL (Delay Locked Loop).





Princip PLL

Fázový závěs s fázovým komparátorem a napětím řízeným oscilátorem





Vyrovnávání fázových posunů

PD (Phase Detector) – pozoruje všechna zpoždění a určuje, který výstup nejlépe porovnává zpoždění na 360°

