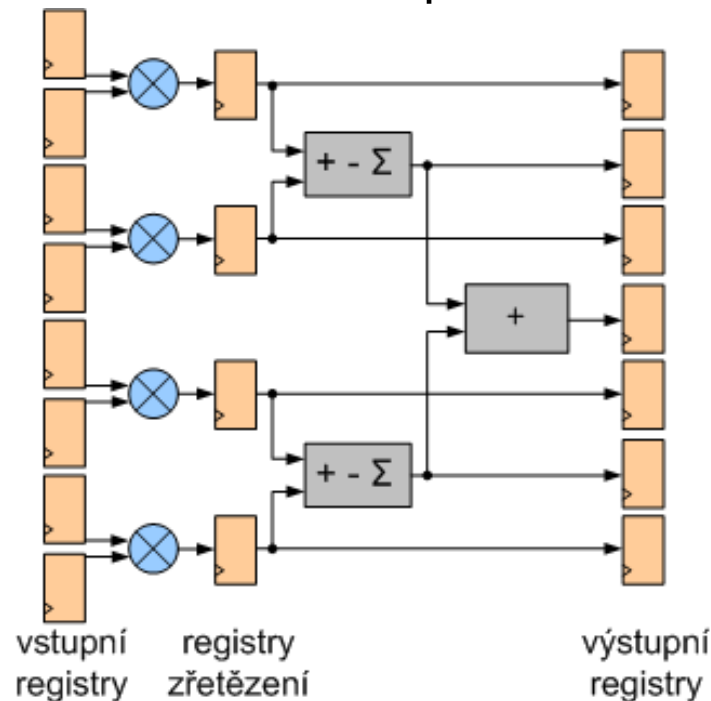


# DSP bloky - princip

Speciální bloky optimalizované na DPS aplikace (FIR, FFT,...),

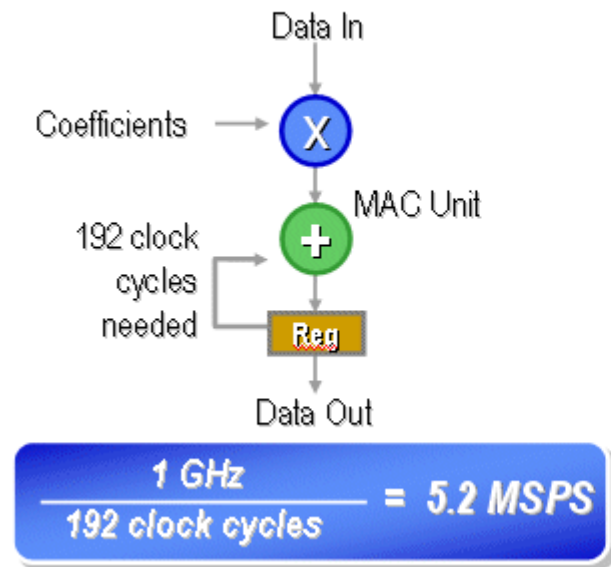
- složeny z násobiček, sčítaček (příp. odečítaček) a registrů;
- jednotlivé bloky jsou mezi sebou vzájemně provázané;
- operace převážně ve formátu pevné řádové čárky.



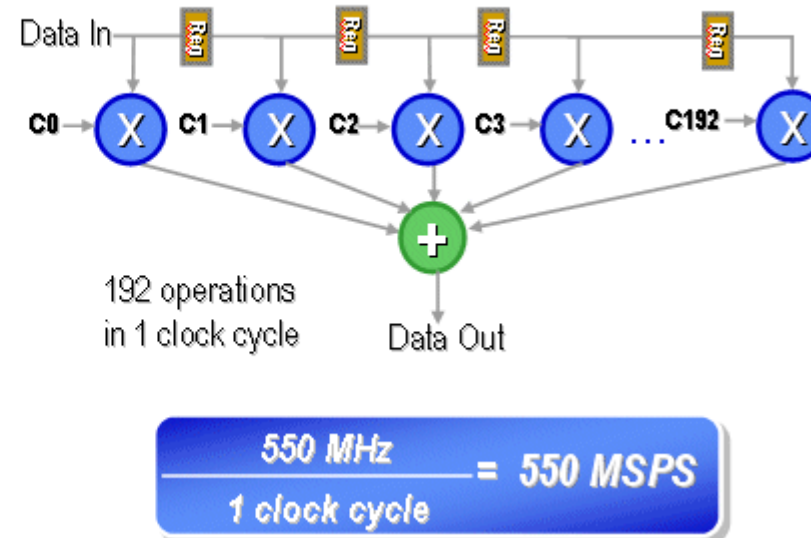
# DSP bloky - srovnání

V FPGA lze realizovat např. filtry mnohonásobně rychleji  
ve srovnání se signálovým procesorem

## Programmable DSP - Sequential



## FPGA - Fully Parallel Implementation



MSPS (Million Samples per Second)



# Výkon FPGA (DSP bloků)

**MMAC/s** (Million Multiplies Accumulates per Second)

pohybuje se v rozmezí řádově od  $10^1$  do  $10^4$  (milion násobení a mezisoučtů za sekundu).

často se redukuje na **max. teoretický výkon**

= počet násobiček  $\times$  max. hod. frekvence násobičky.

Např. LatticeECP-DSP20 má 28 násobiček (18x18)

a max. hod. frekvence je 250 MHz  $\Rightarrow$  7000 MMAC/s



# Vysokorychlostní transceivery

Přechod od paralelních sběrnic k vysokorychlostním sériovým rozhraním (lepší časové parametry, integrita signálů, diferenční přenos v párech).

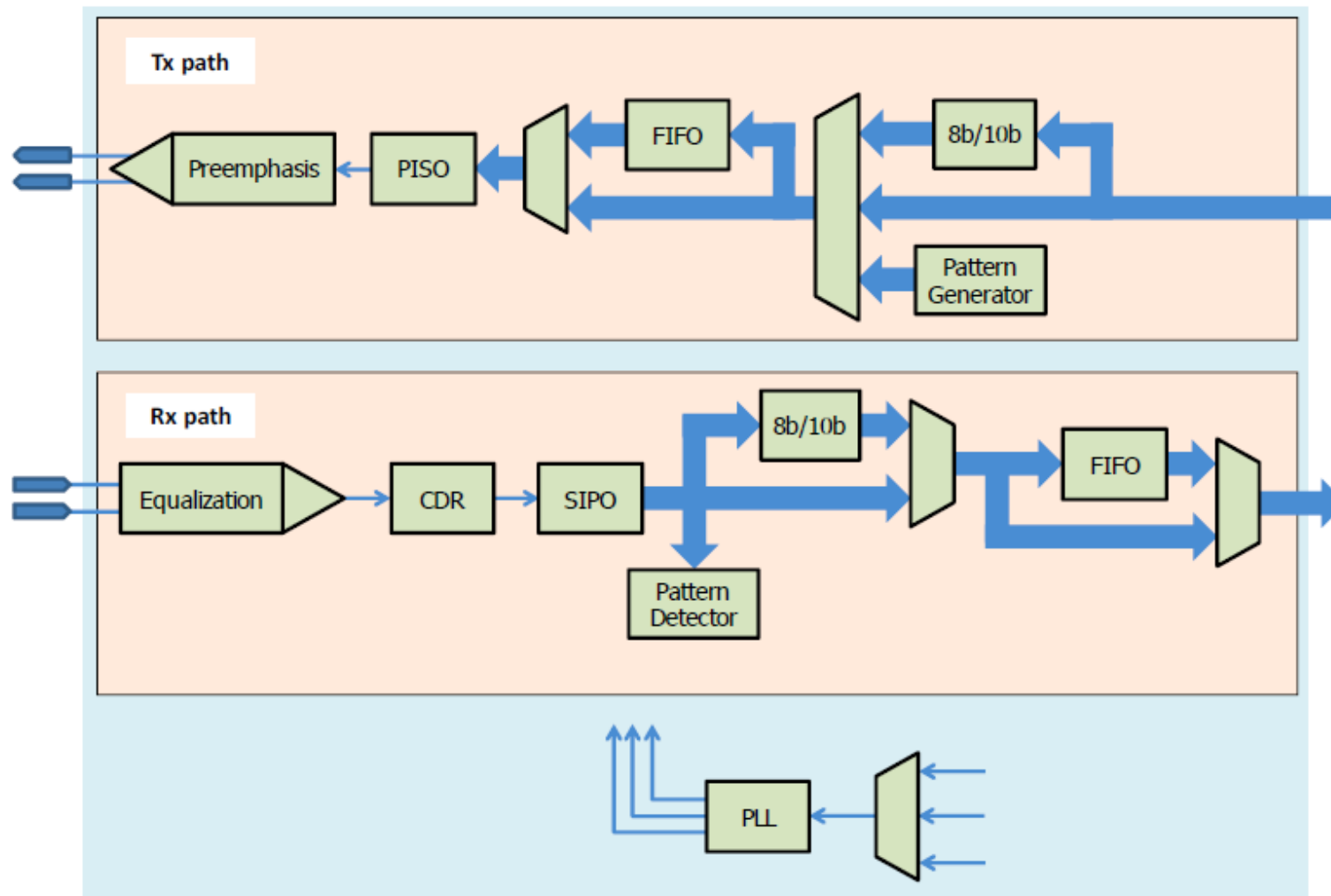
Signály se převádí z/do paralelního rozhraní (8–128 bitů), příp. se ještě linkově kódují (pro potlačení stejnosměrné složky a zajištění dostatečné hustoty hran v signálu).

Přenosové rychlosti cca od 0,5 do 58 Gb/s (podle typu FPGA).  
Na vstupu bývají bloky pro obnovu synchronizace CDR (Clock and Data Recovery).

Součástí bývají bloky PLL (společné pro více transceiverů) pro generování rychlých hodinových signálů.



# Vysokorychlostní transceivery





# Spojení FPGA + MCU

Elektronické systémy často používají jak levnější a univerzální procesor (včetně periférií), tak rychlý hardware (FPGA)

⇒ realizace obojího uvnitř FPGA

- úspora plochy na DPS, současný společný vývoj systému.

## Procesory:

*hardwarové* (ARM Cortex, PowerPC, Excalibur, AVR) – na čipu FPGA zintegrováno CPU jádro (řadiče, ALU), jako paměť slouží embedded RAM, periférie často v log. poli;

*softwarové* (NIOS V (na bázi RISC-V), MicroBlaze, LatticeMico) – sice pomalejší (cca o polovinu vůči HW), ale architekturu lze přizpůsobit potřebám; možno použít i více CPU současně; lze implementovat do různých typů FPGA.

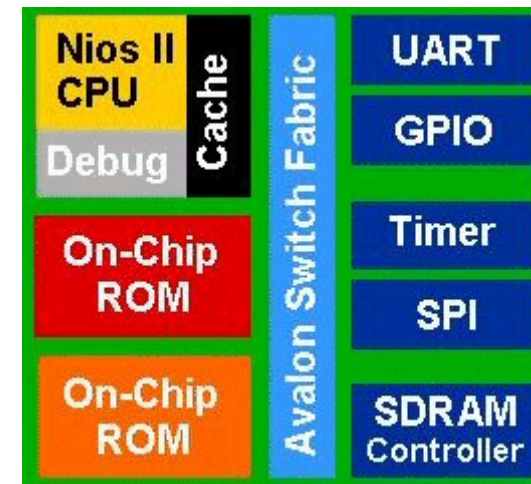
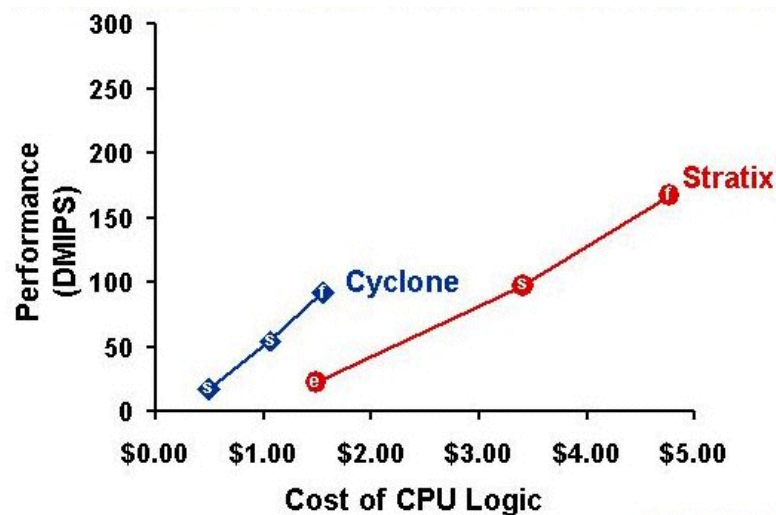
# Processor NIOS II (Intel)

Softwarový 32-bitový procesor, RISC

32 všeobecných registrů, 32 externích přerušení

Varianty Fast – Standard – Economy, výkonost až 250 DMIPS;

Operace: aritmetické (+, -, \*, /), relační (=, ≠, ≥, <) s typy signed a unsigned, logické (AND, OR, NOR, XOR), posuny a rotace.









# Napájecí napětí

Napájení se rozděluje do 3 skupin:

- napájení vlastního jádra s log. bloky;
- napájení vstupně-výstupních buněk (1,2 – 3,3 V);
- napájení speciálních bloků (např. fázové závěsy).

Napětí jádra souvisí s výrobní technologií: 3,3 V (350 nm),  
2,5 V (220 nm), 1,8 V (150 nm), 1,5 V (130 nm), 1,2 V (90 nm),  
1,0 V (65 nm), 0,9 V (40 nm), 0,85 V (28 nm).

Spotřeba: statická  $P_s = \sum U_i \cdot I_i$

dynamická  $P_d = \sum C_i \cdot U_i^2 \cdot f_i$



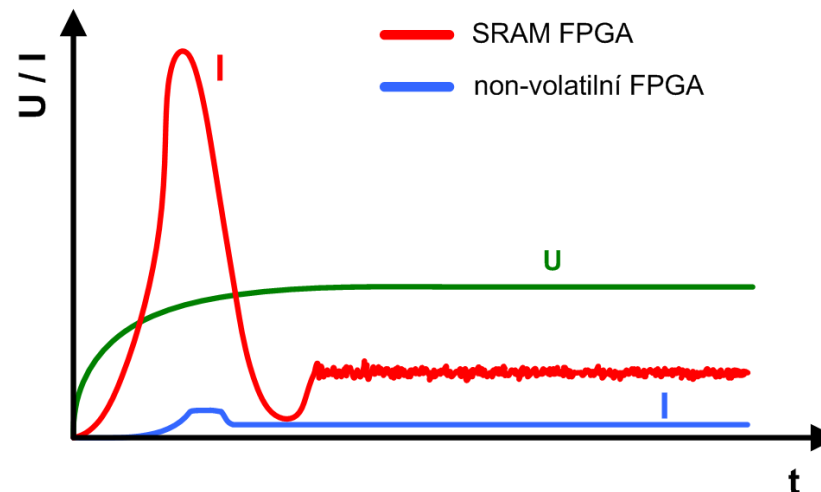
# Náběh napájecího napětí

Náběh napájecích zdrojů by měl být monotónní.

Na pořadí náběhu zdrojů většinou nezáleží.

Obvody POR (Power On Reset).

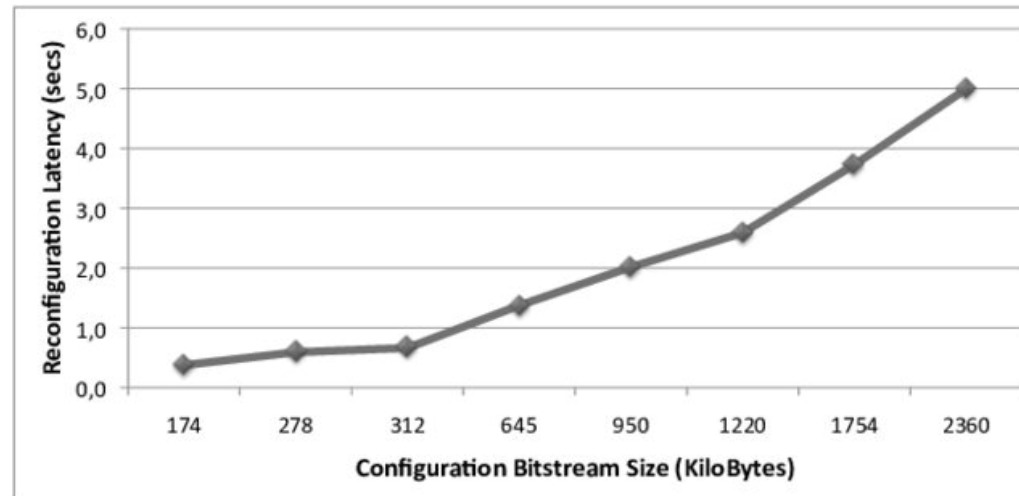
Zdroje řešeny buď *spínanými* nebo *lineárními* regulátory.





# Doba konfigurace

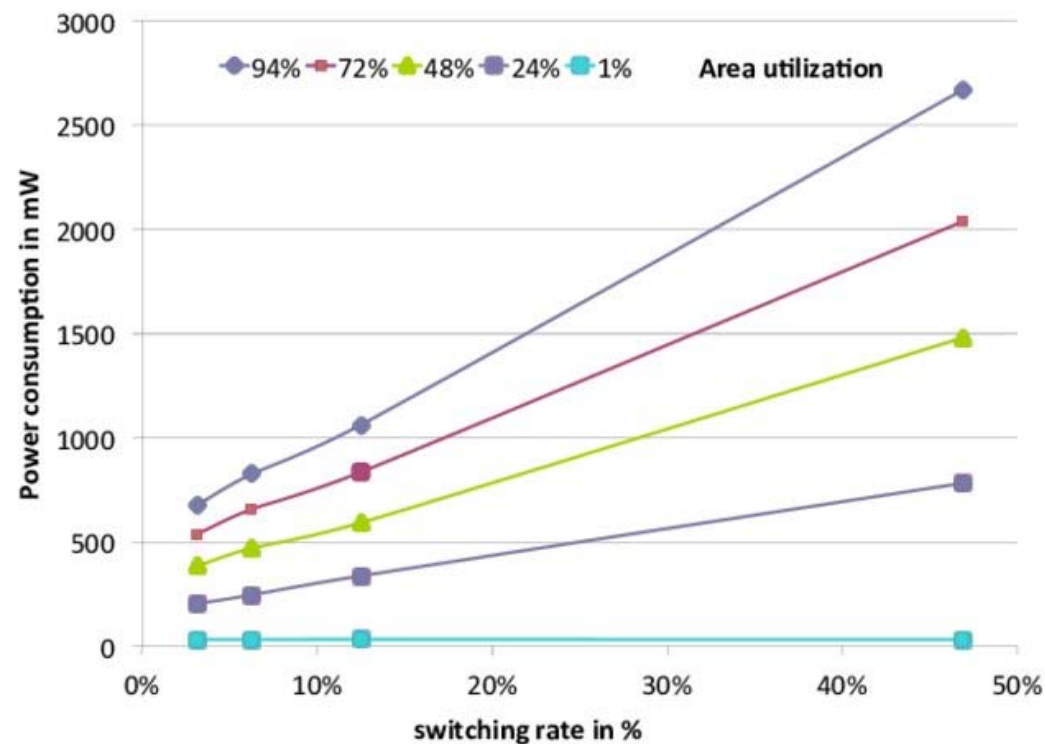
Záleží na velikosti obvodu a na paralelnosti načítání





# Souvislost P, f a využití obvodu

Vzájemný vztah příkonu, rychlosti a využití obvodu





# Virtex UltraScale+ (AMD)

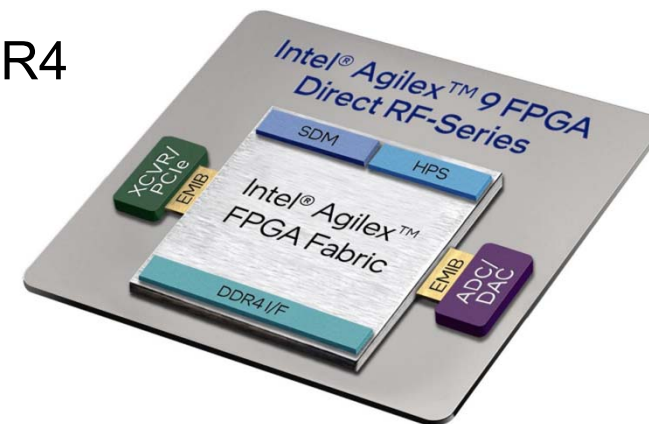
- 14/16 nm technologie, až 832 I/O pinů, napěť. úrovně 1,0-1,8 V;
- až 4,4 mil. log. buněk;
- až 95 Mb blokRAM + 432 Mb UltraRAM;
- až 11904 DSP bloků;
- až 128 transceiverů (rychlost až 32,75 Gb/s);
- Integrované řadiče PCI Express, Ethernet 100G, 150G interlaken;





# Agilex 9 (Intel)

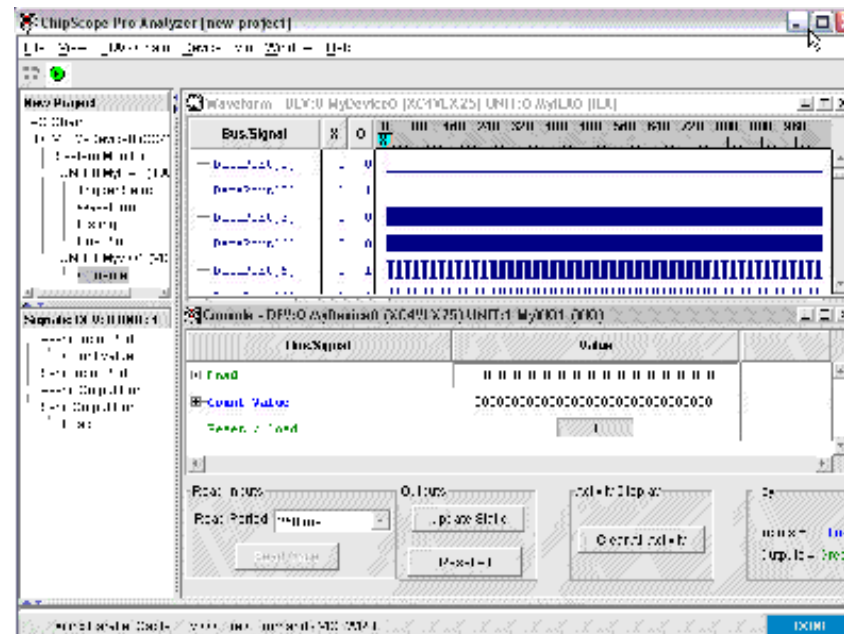
- 10 nm technologie, 768 I/O pinů, až 2,693 mil. LE;
- až 17056 DSP bloků;
- až 287 Mb embedded paměti;
- 24 PLL bloků;
- Quad-core 64bit ARM Cortex-A53;
- 384 LVDS kanálů;
- 40 transceiverů 58 Gb/s;
- Hard IP: PCIe, Ethernet, podpora DDR4



# ChipScope (AMD)

Programový blok využívající volné buňky obvodu FPGA k vytvoření logického analyzátoru (přes JTAG rozhraní)

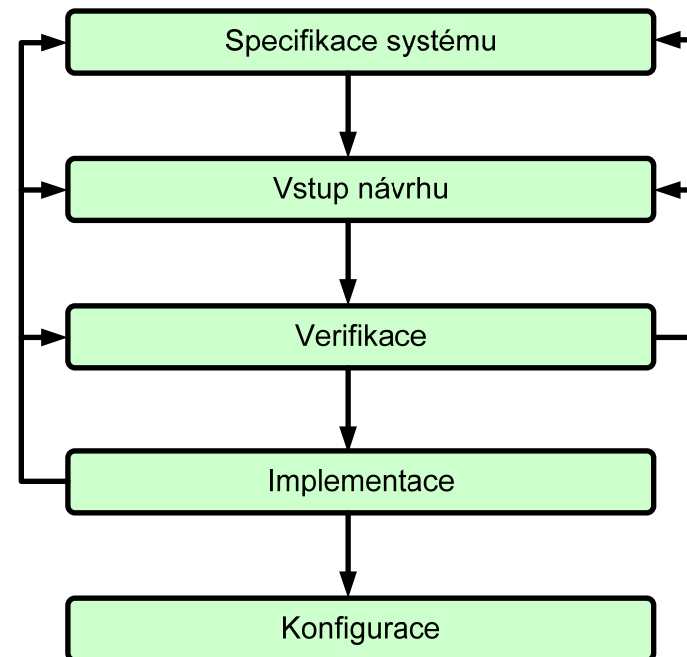
- dovoluje na monitoru sledovat vnitřní signály, sběrnice, uzly, vestavěné hw i sw procesory, ...
- zkracuje se doba vývoje (rychlejší než simulace);
- určeno pro vybraná FPGA.





# Metodika návrhu obvodů FPGA

- specifikace systému,
- vstup návrhu (popis funkce)
  - VHDL, Verilog, HDL, ...
- simulace (nejčastěji časová),
- syntéza logického obvodu,
- mapování na technologii,
- rozmístění a propojení,
- generace výstupního souboru,
- konfigurace (programování).

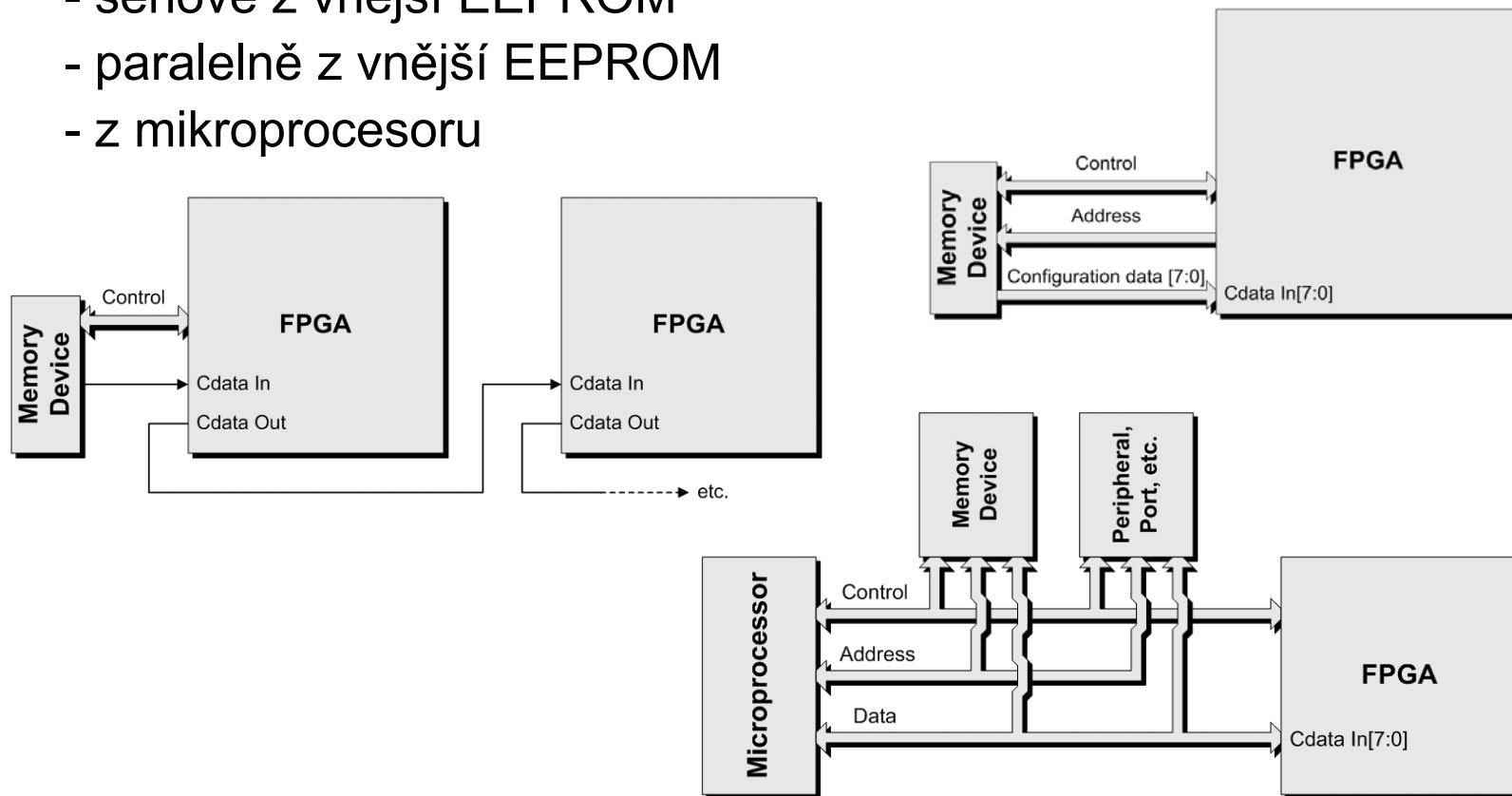




# Inicializace FPGA

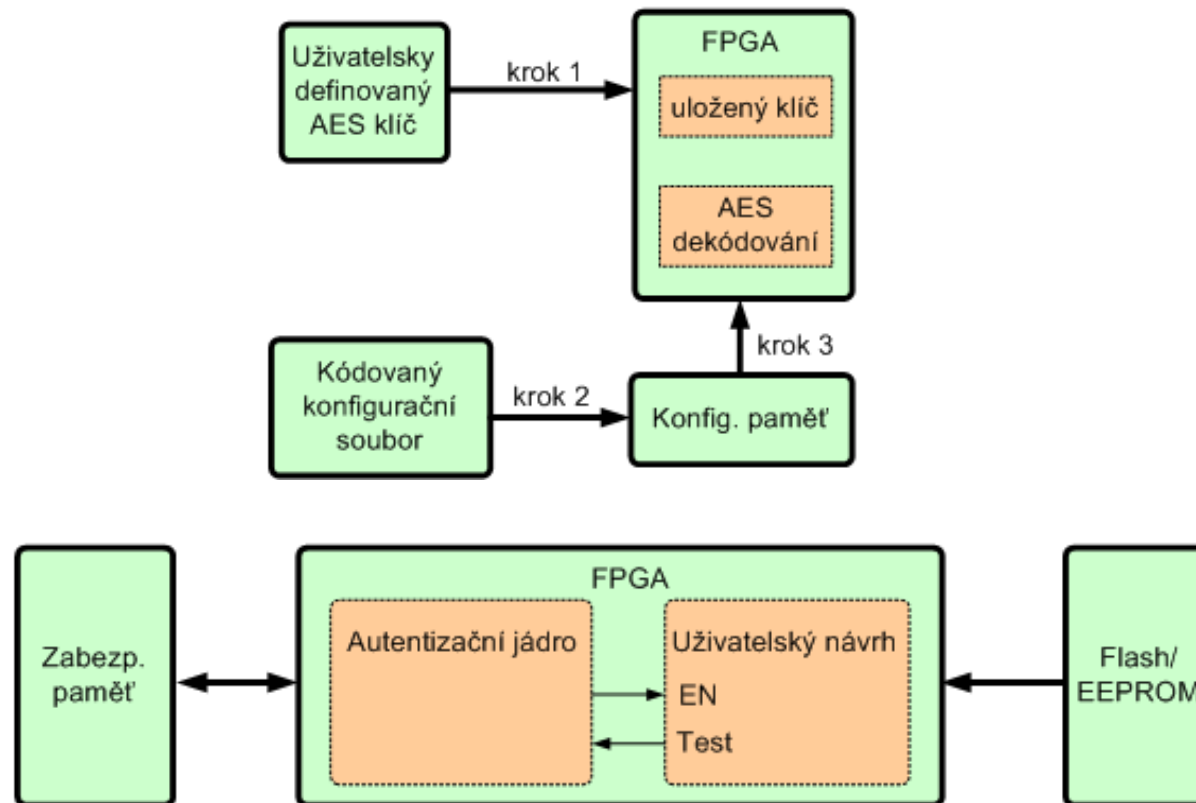
Možnosti inicializace FPGA obvodů na bázi SRAM:

- sériově z vnější EEPROM
- paralelně z vnější EEPROM
- z mikroprocesoru



# Zabezpečení dat

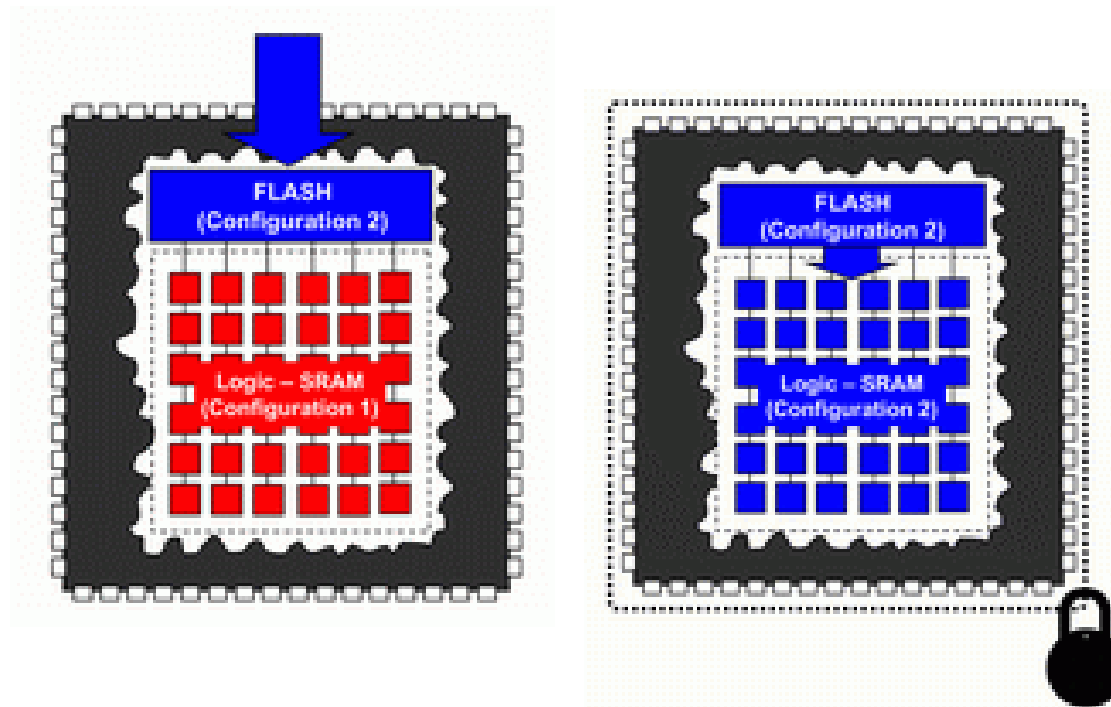
Zejména u konfiguračních dat uložených v externích pamětech





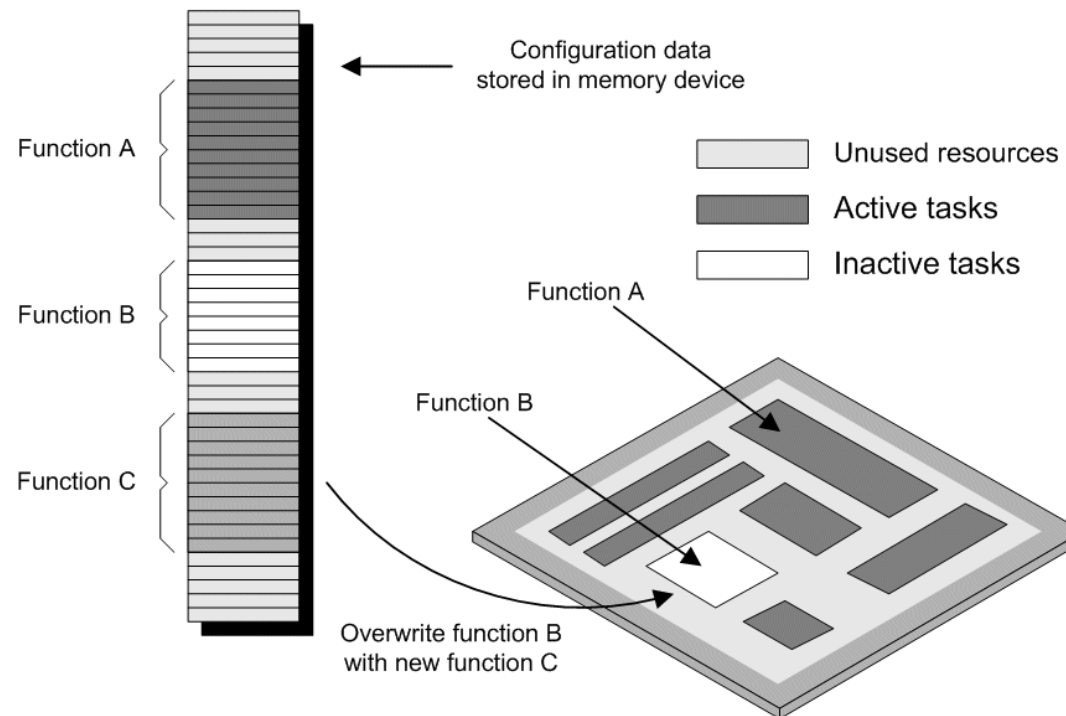
# Transparentní rekonfigurace

Za běhu aplikace je možno přehrát obsah flash paměti, pak se uzamknou piny a přehraje se nový program do RAM  
- minimální doba přerušení (cca za 1 ms) – Lattice Semiconductor



# Dynamická rekonfigurace

Za provozu lze měnit část obsahu FPGA (oblast se uzamkne, přehraje se část konfigurace, která je již připravena v paměti)  
- Atmel (AT94k), Xilinx





# Trendy vývoje FPGA obvodů

- růst velikosti FPGA obvodů (miliony logických buněk),
- stále rozsáhlejší vkládané bloky (embedded core) – RAM, DSP,
- hybridní čipy – kombinace procesorových jader (HW i SW) a programovatelné logiky,
- rekonfigurovatelná logika (on-the-fly),
- možná vzdálená změna konfigurace - šifrováno
- snižování napěťových úrovní 3.3V → 2.5V → 1.8V → 1.5V → 1.0V (jádro 1.2V → 0.9V),
- technologie 65 nm → 40 nm → 28 nm → 16 nm → 10 nm,
- frekvence řádově stovky MHz.