

FUNDAMENTOS DOS COMPUTADORES

EJERCICIOS DE SISTEMAS SECUENCIALES

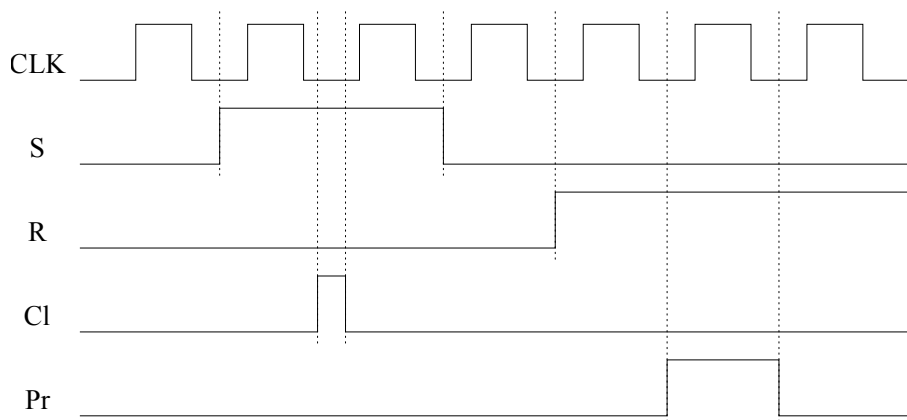
NOTA: para algunos de los problemas propuestos se indican también problemas relacionados que vienen resueltos en la bibliografía recomendada. Para saber a qué libro se corresponden los ejercicios se utilizan las siguientes referencias:

[PRO] "Problemas de circuitos y sistemas digitales". Baena, C. et al.

[FLO] "Fundamentos de sistemas digitales" (**9ª edición en español**). Floyd, T.

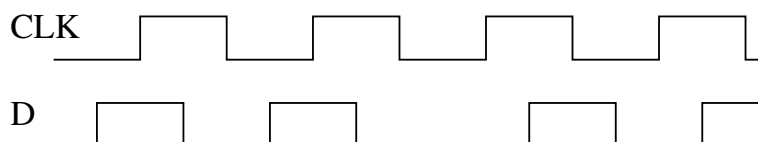
[GAR] "Problemas resueltos de electrónica digital". García Zubía, Javier

1. Las formas de onda de la siguiente figura son aplicadas a un flip-flop RS disparado por niveles y con entradas asíncronas de Preset y Clear. Obtén la forma Q resultante suponiendo que inicialmente está en baja.



Problemas relacionados: [FLO] Ejemplo 7.2 (pág. 417); problemas 4, 5 y 6 (págs. 462-463).

2. Obtén la salida Q resultante al aplicar las entradas de la siguiente figura a cada uno de estos casos. Comienza con Q a cero.
 - a) Un flip-flop D disparado por niveles.
 - b) Un flip-flop D disparado por flancos positivos.
 - c) Un flip-flop D disparado por flancos negativos.



Problemas relacionados: [FLO] Ejemplos: 7.3 (pág. 418) y 7.5 (pag. 426); problemas: 7, 10 y 11 (págs. 463-464).

3. Implementa un autómata síncrono tipo Moore con una entrada x , que detecte la secuencia 0111 y cuya salida sea 1 en el ciclo siguiente en el que aparece el último 1 de la secuencia, permaneciendo en los demás ciclos a cero. Por ejemplo:

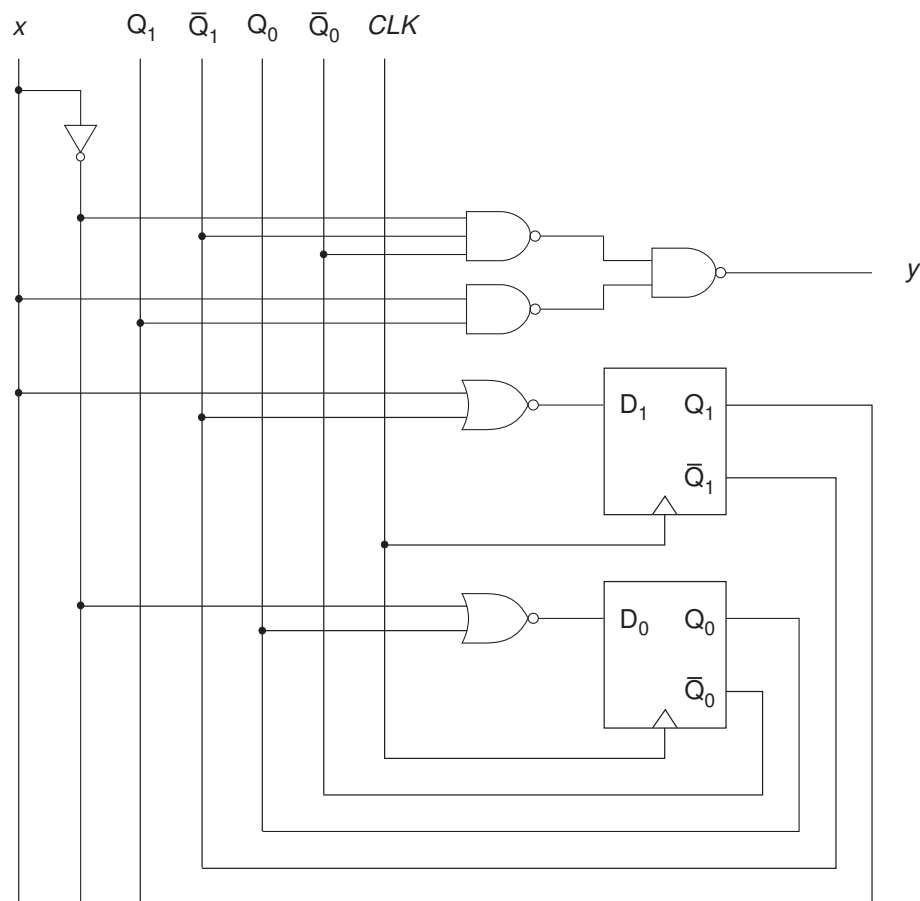
$$\begin{array}{lcl} x & \longrightarrow & 1011100110010011101 \\ y & \longrightarrow & 0000010000000000010 \end{array}$$

Problemas relacionados: Ejemplo Moore de los apuntes; [GAR] problemas desde el 8.1 al 8.7 (págs. 195 - 212). Nótese que solamente el 8.2 está implementado con biestables D, teniendo que sustituir en las otras soluciones las tablas de los biestables por las correspondientes con biestables D.

4. Implementa con biestables D un contador de 3 bits que realice la siguiente secuencia de estados: $\{\dots, 0, 2, 4, 6, 7, 5, 3, 1, \dots\}$.

Problemas relacionados: Contador $\{\dots, 0, 7, 5, 3, 4, 2, \dots\}$ de los apuntes.

5. Obtén la tabla de estados y el diagrama de estados del circuito de la siguiente figura:



Problemas relacionados: Ejercicio 1 del boletín de problemas resueltos.

6. Utilizando contadores módulo 16 con entradas de carga en paralelo (LOAD), borrado (CLEAR) y conteo (COUNT) y una salida de ACARREO, y puertas lógicas adicionales construye:

- Un contador módulo 7 que cuente de 0 a 6.
- Un contador módulo 7 que siga la secuencia: 0,1,2,12,13,14,15.

Problemas relacionados: En los apuntes contadores módulo 6 a partir del contador módulo 16 (Figura 3.26); [PRO] problema 5 (pág. 237) y problema 17 (pág. 258).

7. A partir de un contador módulo 16 con carga síncrona, diseña un contador genérico módulo $Y + 1$ (es decir, que siga la cuenta $0, 1, \dots, Y$), siendo Y una entrada de 4 bits.

Modifica el contador para que empiece en la cuenta X (otra entrada de 4 bits) y acabe en la Y (es decir, que siga la cuenta $X, X + 1, \dots, Y$). En el caso de $X > Y$ entonces el sistema después de llegar a la cuenta 15 sigue en 0 (es decir, $X, X + 1, \dots, 15, 0, 1, \dots, Y$).

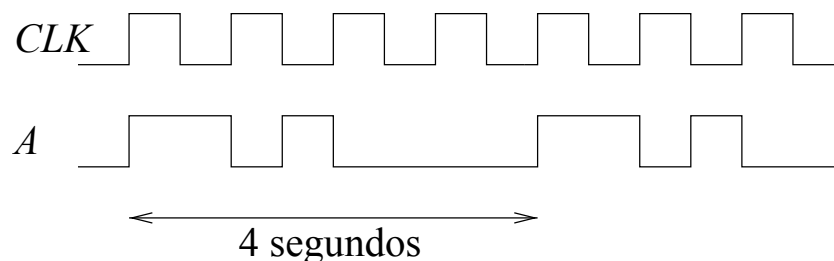
Problemas relacionados: [PRO] Problema 9.a (pág. 246).

8. Diseña un reloj digital que tenga como salidas horas, minutos y segundos a partir de una señal cuadrada de 1 Hz. La salida debe proporcionarse en **BCD**.

Problemas relacionados: Ejercicio 3 del boletín de problemas resueltos.

Nota: En la sección 8.7 de [FLO] (págs. 518 a 520) hay un ejemplo de diseño de un reloj digital.

9. Diseña un circuito que a partir de una señal cuadrada de 1 Hz (CLK) genere la señal A mostrada en la siguiente figura:



Problemas relacionados: Ejercicio 2 del boletín de problemas resueltos.

10. Diseña un circuito con una señal de reloj de período de 1 segundo, que controle un semáforo que funcione de la siguiente manera:
- 20 segundos en verde.
 - 8 segundos en amarillo, de forma intermitente (1 segundo encendido y otro apagado).
 - 20 segundos en rojo.

Además hay también un semáforo de peatones con el siguiente funcionamiento:

- en rojo mientras el de coches esté en verde o amarillo.
- en verde los 12 primeros segundos de los 20 en los que el semáforo de coches está en rojo.
- en verde intermitente (1 segundo encendido y otro apagado) los últimos 8 segundos de los 20 en los que el semáforo de coches está en rojo.

El circuito debe tener cinco líneas de salida, una para cada luz, que estarán a 1 cuando la luz deba estar encendida y a 0 en otro caso.

Problemas relacionados: [FLO] Actividad de aplicación a los sistemas digitales de los capítulos 6, 7 y 8.

11. Diseña un circuito digital para el control de la velocidad de funcionamiento del limpiaparabrisas de un coche. El circuito recibe como entrada una onda cuadrada utilizada como base de tiempos y proporciona como salida otra onda cuadrada. La frecuencia de la onda de salida dependerá de la posición de un mando de control que está accionado por el conductor para seleccionar la velocidad del limpiaparabrisas. Este se activará en los flancos positivos de la señal de salida y el mando de control puede estar en una de estas cuatro posiciones:

- $A \Rightarrow$ el limpiaparabrisas está parado.
- $B \Rightarrow$ el limpiador se activa una vez cada dos segundos.
- $C \Rightarrow$ el limpiador se activa una vez por segundo.
- $D \Rightarrow$ el limpiador se activa cuatro veces por segundo.

Como parte de la solución del ejercicio se debe calcular qué frecuencia debe tener la onda utilizada como base de tiempos para poder obtener en la salida las temporizaciones solicitadas. El circuito contará además con una entrada que indique el estado del contacto del coche, y solo funcionará cuando este esté activado.

12. Diseña un circuito que recibe un número x , $0 \leq x \leq 3$, por sus líneas de entrada $D_1 D_0$ en cada ciclo. El circuito tiene un funcionamiento por periodos de 16 ciclos. En los quince primeros ciclos va contabilizando el número de veces que recibe cada uno de los valores posibles de su entrada. Estas cuentas están siempre disponibles en las salidas $S_{x3} S_{x2} S_{x1} S_{x0}$ para cada uno de los valores posibles de la entrada ($0 \leq x \leq 3$). Por lo tanto, el circuito tiene 16 líneas de salida. Tras los quince ciclos susodichos, hay un ciclo en el que la entrada es ignorada y que se emplea para restablecer el estado interno del circuito de cara al siguiente periodo de conteo.
13. Diseña un circuito con una entrada X (4 bits en binario puro), una entrada de reloj CLK y una salida Y en formato complemento a dos con 5 bits. En cada ciclo entra un nuevo dato X y se genera una nueva salida Y como la resta del X actual y el X previo (leído en el anterior ciclo de reloj). Inicialmente los valores de la salida y de la entrada son cero.

Nota: comprueba si existen desbordamientos u *overflows* en las operaciones.

14. Diseña un circuito con una entrada de reloj (CLK), una entrada de un número BCD de 4 bits ($DATO$) y una salida ($CAPICUA$).

El circuito funcionará de la siguiente manera: en cada ciclo se recibe una cifra por la entrada $DATO$. Cada cinco ciclos el circuito indicará mediante el valor de la salida $CAPICUA$ si las últimas 5 cifras recibidas forman un número capicúa (número que tiene el mismo valor leído de derecha a izquierda o de izquierda a derecha). En los cuatro ciclos restantes la salida $CAPICUA$ valdrá cero.

Ejemplo:

Ciclo	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15 ...
$DATO$	3	7	2	6	3	2	9	5	9	2	6	0	0	0	5 ...
$CAPICUA$	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0 ...

15. Diseña el sistema de control de un panel de puntuaciones de un concurso de televisión. Al concurso se presentan 4 participantes de cada vez y un jurado formado por 3 miembros los puntúan de la siguiente forma: 5 puntos al que consideran mejor, 3 al segundo, 1 al tercero. Cada uno de los miembros del jurado introduce sus puntuaciones de forma secuencial, indicando primero el concursante al que le dan 5 puntos, a continuación el concursante al que le dan 3 y finalmente el concursante al que le dan 1.

Las entradas del sistema serán: una señal de reloj (CLK), una entrada de 2 bits (C_1C_0) que codifica el concursante al que se está votando y una señal de 1 bit ($INICIO$) que pone las puntuaciones a cero. Las salidas serán una señal de 1 bit (OK) que se pondrá a 1 cuando hayan finalizado las votaciones de los 3 miembros del jurado, y 4 señales de 4 bits que codifican la puntuación final de cada concursante.