

# LÓGICA DIGITAL (1001351)

## EXPERIMENTO NR.9

### Reconhecedor de sequência Mealy/Moore <sup>1 2</sup>

---

## 1 Instruções Gerais

- Ler atentamente todo o procedimento desta experiência antes de realizá-la;
- Grupos definidos no AVA, só incluir os nomes de quem efetivamente participou;
- Exemplo de implementação de máquinas de estado disponível no [EDAplayground](#).

## 2 Objetivos da Prática

- Projetar um circuito capaz de detectar a sequência 1-0-1;
  - Compreender as diferenças entre os modelos de Moore e de Mealy;
  - Descrever circuitos sequenciais na forma comportamental e estrutural.

## 3 Especificações

Projete quatro circuitos para identificar a sequência 1-0-1, cada qual com as seguintes combinações de estratégias de modelagem e implementação:

- Modelo Moore com implementação Comportamental;
- Modelo Moore com implementação Estrutural;
- Modelo Mealy com implementação Comportamental; e
- Modelo Mealy com implementação Estrutural.

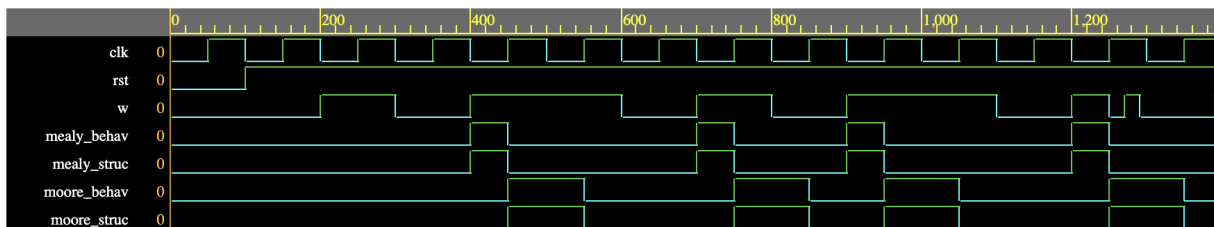
---

<sup>1</sup>Revisão 27/11/2020: Prof. Ricardo Menotti. e Prof. Maurício Figueiredo

<sup>2</sup>Revisão 20/10/2021: Prof. Ricardo Menotti. e Prof. Maurício Figueiredo

Além disso:

1. Cada circuito tem uma entrada  $w$  e uma saída  $z$ , ambos de 1 bit;
2. Os flip-flops respondem na borda positiva de  $clock$ ;
3. A saída  $z$  é igual a **1** se a entrada  $w$  evoluir no tempo de tal forma que se apresente uma sequência **1-0-1**, considerando três ciclos consecutivos de  $clock$ . Note que o último **1** de uma sequência pode ser o primeiro de uma nova sequência que também deve ser identificada (Ex. para a entrada **1-0-1-0-1** a saída deve ser **1** no segundo e terceiro **1** da sequência). Aqueles baseados em Mealy podem identificar a sequência um ciclo antes com respeito a Moore.
4. Exemplo de funcionamento:



Note que neste exemplo, a entrada  $w$  é modificada na descida do  $clock$ . Experimente testar assim e depois modifique para que a entrada também mude na subida do  $clock$ . Inclua no relatório imagens da simulação nos dois casos.

## Forneça um relatório em PDF com os seguintes itens para cada modelo (Moore/Mealy):

- a) A máquina de estados finitos;
- b) As tabelas de estados e de atribuição de estados;
- c) Os mapas de Karnaugh e as expressões resultantes;
- d) O diagrama esquemático do circuito (apenas para o estrutural);
- e) Link para a implementação e *test bench* contendo:
  - Implementação em Verilog Comportamental†;
  - Implementação em Verilog Estrutural‡;
  - Um *test bench* que instancie todas as versões e comprove seu funcionamento. É possível fazer isso automaticamente?