

Lógica Digital (1001351)

Circuitos Sequenciais: Máquinas de Estados Finitos

Prof. Edilson Kato

kato@ufscar.br

Prof. Maurício Figueiredo

mauricio@ufscar.br

Prof. Ricardo Menotti

menotti@ufscar.br

Prof. Roberto Inoue

rsinoue@ufscar.br

Departamento de Computação
Universidade Federal de São Carlos

Atualizado em: 29 de maio de 2019



Objetivos

Nesta aula vamos aprender sobre:

- ▶ Técnicas de projeto para circuitos que usam flip-flops;
- ▶ O conceito de estados e suas implementações com flip-flops;
- ▶ Controle síncrono usando um sinal de *clock*;
- ▶ Comportamento sequencial de circuitos digitais;
- ▶ Um procedimento completo para projetar circuitos sequenciais síncronos;
- ▶ O conceito de máquina de estados finitos;

Circuitos Sequenciais Síncronos

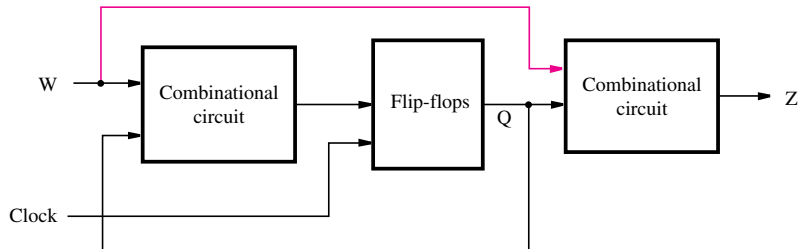


Figure 6.1 The general form of a sequential circuit.

Edward Moore e George Mealy (1950s)

Circuitos Sequenciais Síncronos

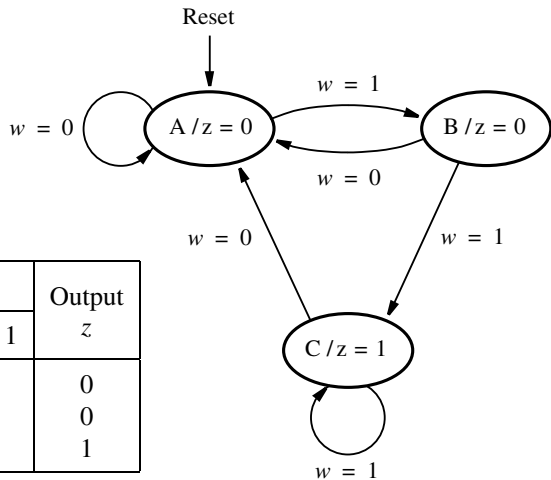
Considere uma aplicação para controlar a velocidade de um veículo. Um sensor w indica quando ele está excedendo a velocidade desejada. Se isso ocorrer durante duas ou mais medidas consecutivas, um sinal z deve ser acionado para reduzir sua velocidade. Estas são as especificações:

1. O circuito tem uma entrada, w , e uma saída, z ;
2. Todas as mudanças no circuito ocorrem na borda positiva de *clock*;
3. A saída z é igual a **1** se a entrada w for **1** durante os dois ciclos consecutivos anteriores de *clock*.

Clock cycle:	t_0	t_1	t_2	t_3	t_4	t_5	t_6	t_7	t_8	t_9	t_{10}
w :	0	1	0	1	1	0	1	1	1	0	1
z :	0	0	0	0	0	1	0	0	1	1	0

Figure 6.2 Sequences of input and output signals.

Diagrama e Tabela de Estados



Present state	Next state		Output z
	$w = 0$	$w = 1$	
A	A	B	0
B	A	C	0
C	A	C	1

Forma geral do circuito

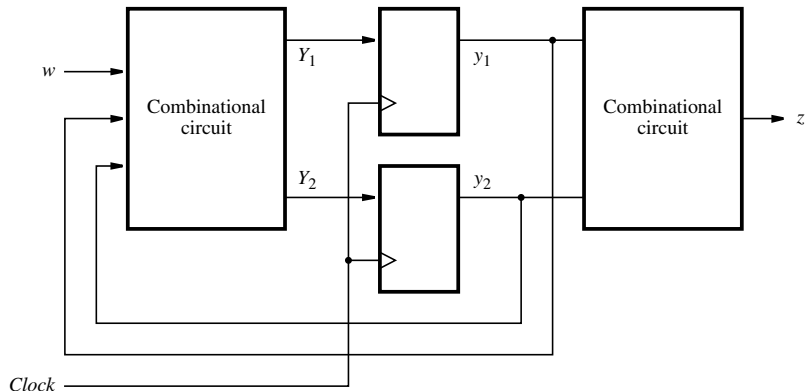


Figure 6.5 A general sequential circuit with input w , output z , and two state flip-flops.

Tabela de atribuição de estados

	Present state y_2y_1	Next state		Output z
		$w = 0$	$w = 1$	
		Y_2Y_1	Y_2Y_1	
A	00	00	01	0
B	01	00	10	0
C	10	00	10	1
	11	<i>dd</i>	<i>dd</i>	<i>d</i>

Figure 6.6 State-assigned table corresponding to Figure 6.4.

Obtendo as expressões

$y_2 y_1$		00	01	11	10
w	0	0	0	d	0
	1	1	0	d	0

Ignoring don't cares

$$Y_1 = w\bar{y}_1\bar{y}_2$$

Using don't cares

$$Y_1 = w\bar{y}_1\bar{y}_2$$

$y_2 y_1$		00	01	11	10
w	0	0	0	d	0
	1	0	1	d	1

$$Y_2 = wy_1\bar{y}_2 + w\bar{y}_1y_2$$

$$\begin{aligned} Y_2 &= wy_1 + wy_2 \\ &= w(y_1 + y_2) \end{aligned}$$

$y_2 y_1$		0	1
y_2	0	0	0
	1	1	d

$$z = \bar{y}_1y_2$$

$$z = y_2$$

Figure 6.7 Derivation of logic expressions for the table in Figure 6.6.

Circuito resultante

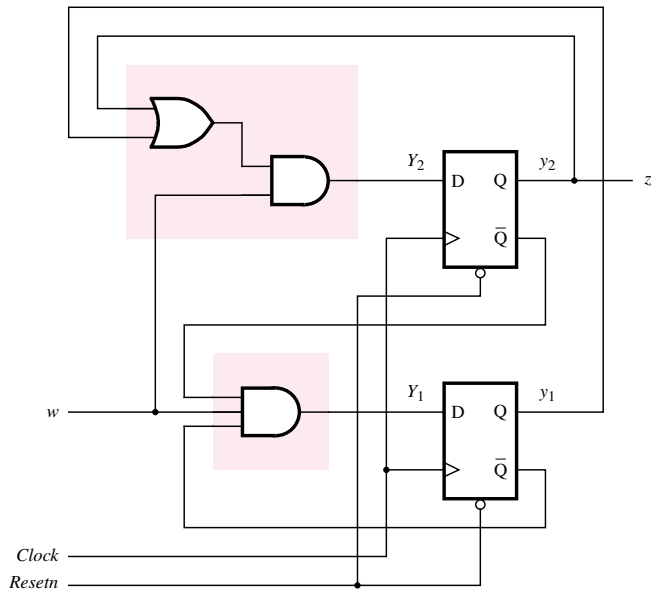


Figure 6.8 Final implementation of the sequential circuit.

Simulação

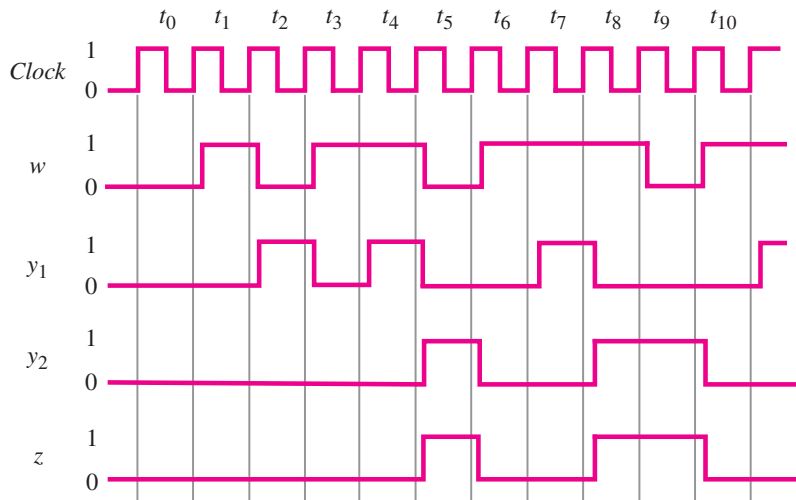


Figure 6.9 Timing diagram for the circuit in Figure 6.8.

O problema da atribuição de estados

	Present state $y_2 y_1$	Next state		Output z
		$w = 0$	$w = 1$	
		$Y_2 Y_1$	$Y_2 Y_1$	
A	00	00	01	0
B	01	00	11	0
C	11	00	11	1
	10	<i>dd</i>	<i>dd</i>	<i>d</i>

Figure 6.16 Improved state assignment for the state table in Figure 6.4.

O problema da atribuição de estados

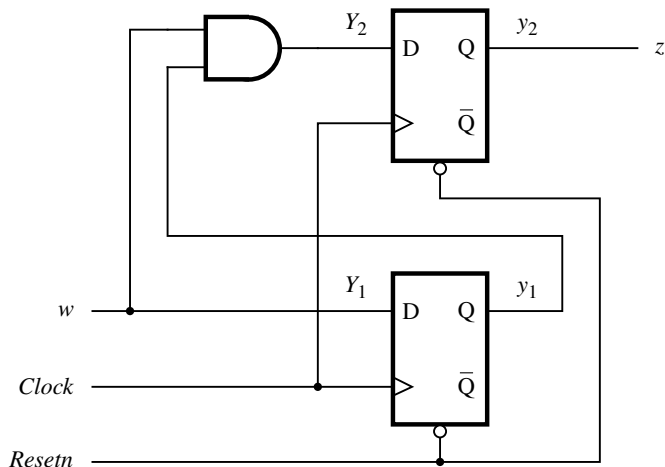


Figure 6.17 Final circuit for the improved state assignment in Figure 6.16.

Resumo da metodologia

Podemos resumir os passos para se obter um circuito sequencial síncrono da seguinte forma:

1. Obter a especificação do circuito desejado;
2. Criar uma máquina de estados para o circuito. Partindo de um estado inicial, derivar os novos estados considerando todas as combinações de entradas possíveis;
3. Criar uma tabela de estados a partir da máquina de estados;
4. Decidir o número de variáveis de estados necessário e atribuir valores a cada um deles;
5. Derivar as expressões de próximo estado e de saída;
6. Implementar os circuitos de acordo com as expressões.

Bibliografia

- Brown, S. & Vranesic, Z. - Fundamentals of Digital Logic with Verilog Design, 3rd Ed., Mc Graw Hill, 2009

Lógica Digital (1001351)

Circuitos Sequenciais: Máquinas de Estados Finitos

Prof. Edilson Kato

kato@ufscar.br

Prof. Maurício Figueiredo

mauricio@ufscar.br

Prof. Ricardo Menotti

menotti@ufscar.br

Prof. Roberto Inoue

rsinoue@ufscar.br

Departamento de Computação
Universidade Federal de São Carlos

Atualizado em: 29 de maio de 2019

