

Lógica Digital (1001351)

Estruturas de Barramentos

Prof. Edilson Kato

kato@ufscar.br

Prof. Maurício Figueiredo

mauricio@ufscar.br

Prof. Ricardo Menotti

menotti@ufscar.br

Prof. Roberto Inoue

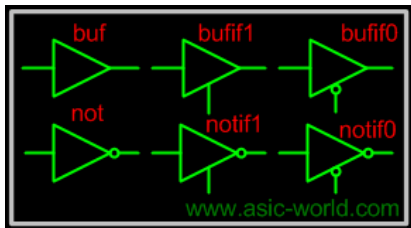
rsinoue@ufscar.br

Departamento de Computação
Universidade Federal de São Carlos

Atualizado em: 18 de junho de 2019

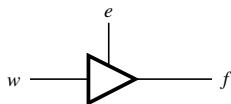


Transmission gates

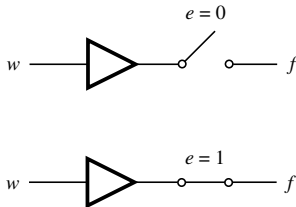


Gate	Descrição
not	N-output inverter.
buf	N-output buffer.
bufif0	Tri-state buffer, Low en.
bufif1	Tri-state buffer, High en.
notif0	Tri-state inverter, Low en.
notif1	Tri-state inverter, High en.

Buffer tristate



(a) Symbol



(b) Equivalent circuit

e	w	f
0	0	Z
0	1	Z
1	0	0
1	1	1

(c) Truth table

Figure 7.1 Tri-state driver.

Acesso ao barramento compartilhado

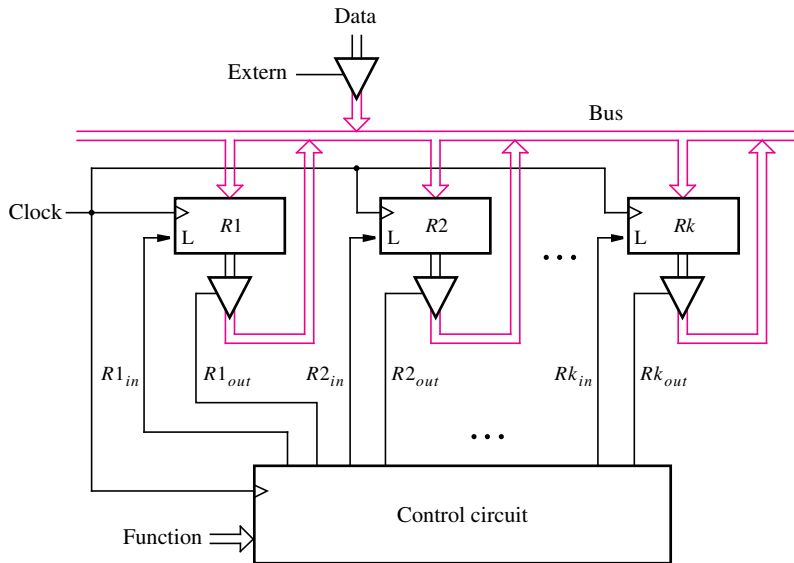


Figure 7.2 A digital system with k registers.

Bibliografia

- Brown, S. & Vranesic, Z. - Fundamentals of Digital Logic with Verilog Design, 3rd Ed., Mc Graw Hill, 2009

Lógica Digital (1001351)

Estruturas de Barramentos

Prof. Edilson Kato

kato@ufscar.br

Prof. Maurício Figueiredo

mauricio@ufscar.br

Prof. Ricardo Menotti

menotti@ufscar.br

Prof. Roberto Inoue

rsinoue@ufscar.br

Departamento de Computação
Universidade Federal de São Carlos

Atualizado em: 18 de junho de 2019

