Lógica Digital (1001351)

Análise de Circuitos Sequenciais

Prof. Edilson Kato kato@ufscar.br

Prof. Ricardo Menotti menotti@ufscar.br

Prof. Maurício Figueiredo mauricio@ufscar.br

Prof. Roberto Inoue rsinoue@ufscar.br

Departamento de Computação
Universidade Federal de São Carlos

Atualizado em: 7 de junho de 2019





Introdução

Além de saber como projetar um circuito sequencial, temos que saber como analisar o comportamento de um circuito existente, o que é muito mais simples.

Para analisar um circuito, bastar seguir na ordem inversa os mesmos passos usados na síntese. As saídas dos flip-flops representam o estado atual e suas entradas o próximo estado. A partir destas informações podemos reconstruir as tabelas de estados e posteriormente a máquina.

Um circuito com 2 flip-flops

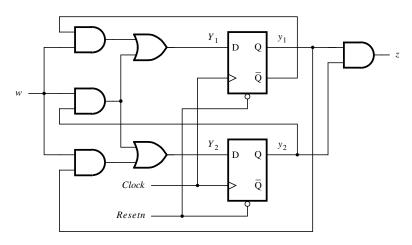


Figure 6.75 Circuit for Example 6.9.

Um circuito com 2 flip-flops

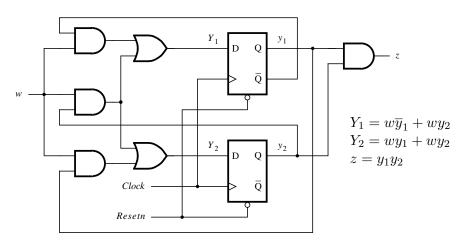


Figure 6.75 Circuit for Example 6.9.

Tabelas de estados

| Present | Next state | | |
|-----------|------------|----------|--------|
| state | w = 0 | w = 1 | Output |
| $y_2 y_1$ | Y_2Y_1 | Y_2Y_1 | Z |
| 0 0 | 0 0 | 0 1 | 0 |
| 0.1 | 0.0 | 10 | 0 |
| 10 | 0.0 | 1 1 | 0 |
| 1 1 | 0 0 | 1 1 | 1 |

(a) State-assigned table

| Present | Next state | | Output |
|---------|------------|-------|--------|
| state | w = 0 | w = 1 | z |
| A | A | В | 0 |
| В | A | C | 0 |
| C | A | D | 0 |
| D | A | D | 1 |

(b) State table



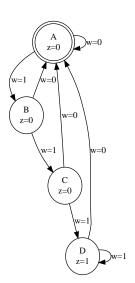
Tabelas de estados

| Present | Next state | | |
|-----------|------------|----------|--------|
| state | w = 0 | w = 1 | Output |
| $y_2 y_1$ | Y_2Y_1 | Y_2Y_1 | z |
| 0 0 | 0 0 | 0 1 | 0 |
| 0 1 | 0.0 | 10 | 0 |
| 10 | 0.0 | 1 1 | 0 |
| 11 | 0 0 | 1 1 | 1 |

(a) State-assigned table

| Present | Next | Output | |
|---------|-------|--------|---|
| state | w = 0 | w = 1 | z |
| A | A | В | 0 |
| В | A | C | 0 |
| C | A | D | 0 |
| D | A | D | 1 |

(b) State table



Definição formal

$$M=(W,Z,S,arphi,\lambda)$$
 onde

- W, Z, e S são conjuntos finitos não vazios de entradas, saídas e estados respectivamente;
- φ é a função de transição de estado, tal que $S(t+1) = \varphi[W(t),S(t)]$
- λ é a função de saída, tal que:
 - $\lambda(t) = \lambda[S(t)]$ para o modelo de Moore; e
 - $\lambda(t) = \lambda[W(t), S(t)]$ para o modelo de Mealy.

Bibliografia

▶ Brown, S. & Vranesic, Z. - Fundamentals of Digital Logic with Verilog Design, 3rd Ed., Mc Graw Hill, 2009

Lógica Digital (1001351)

Análise de Circuitos Sequenciais

Prof. Edilson Kato kato@ufscar.br

Prof. Ricardo Menotti menotti@ufscar.br

Prof. Maurício Figueiredo mauricio@ufscar.br

Prof. Roberto Inoue rsinoue@ufscar.br

Departamento de Computação Universidade Federal de São Carlos

Atualizado em: 7 de junho de 2019



