

## UNIVERSIDADE FEDERAL DE SÃO CARLOS Centro de Ciências Exatas e Tecnologia Departamento de Computação



# LÓGICA DIGITAL (1001351)

#### Experimento NR.10

Análise e simplificação de um circuito sequencial <sup>1</sup>

## 1 Instruções Gerais

- Grupos definidos no AVA, só incluir os nomes de quem efetivamente participou;
- Ler atentamente todo o procedimento desta experiência antes de realizá-la;

# 2 Objetivos da Prática

- Analisar e testar um circuito sequencial;
- Fazer a respectiva "engenharia reversa" (obter o modelo a partir da implementação);
- Simplificar uma máquina de estados finitos;
- Comparar implementações equivalentes.

<sup>&</sup>lt;sup>1</sup>Revisão 3 de novembro de 2021: Prof. Ricardo Menotti. e Prof. Maurício Figueiredo



## UNIVERSIDADE FEDERAL DE SÃO CARLOS Centro de Ciências Exatas e Tecnologia Departamento de Computação



#### 3 Procedimentos

- 1. Analise o código a seguir: https://edaplayground.com/x/FHty.
  - (a) Qual a estratégia de descrição de hardware Verilog é adotada na implementação?
  - (b) Por que é necessário o sinal de reset?
  - (c) O sinal de reset é síncrono ou assíncrono?
  - (d) Qual o modelo usado, Moore ou Mealy?
  - (e) Justifique suas respostas;
- 2. A partir do código, desenhe o diagrama esquemático do circuito;
- 3. Modifique seu test bench para que todos os estados possíveis sejam atingidos por todas as arestas/transições e forneça uma tabela de estados (A, B, C...) e suas atribuições (000, 001, ...);
- 4. Construa a máquina de estados finitos correspondente à tabela;
- 5. Simplifique a máquina de estados e construa a tabela de transições/atribuições;
- 6. Implemente a nova máquina de estados em Verilog comportamental e a partir da tabela outra em Verilog funcional;
- 7. Modifique o test bench para comparar as saídas das três implementações e acusar caso não estejam de acordo;
- 8. Elaborar relatório simplificado consistindo de: página de rosto (com identificação da prática e integrantes entre outras informações, tal como no relatório padrão) e seção de resultados contendo: diagramas esquemáticos do circuito original, máquinas de estado finito (original e simplificada), tabelas de transição (ambas), link para a implementação no EDA Playground, diagrama de formas de onda (waveform) da simulação completa, captura de imagem da placa (opcional) e comentários com as explicações solicitadas.
- 9. Envie o relatório em PDF no AVA.