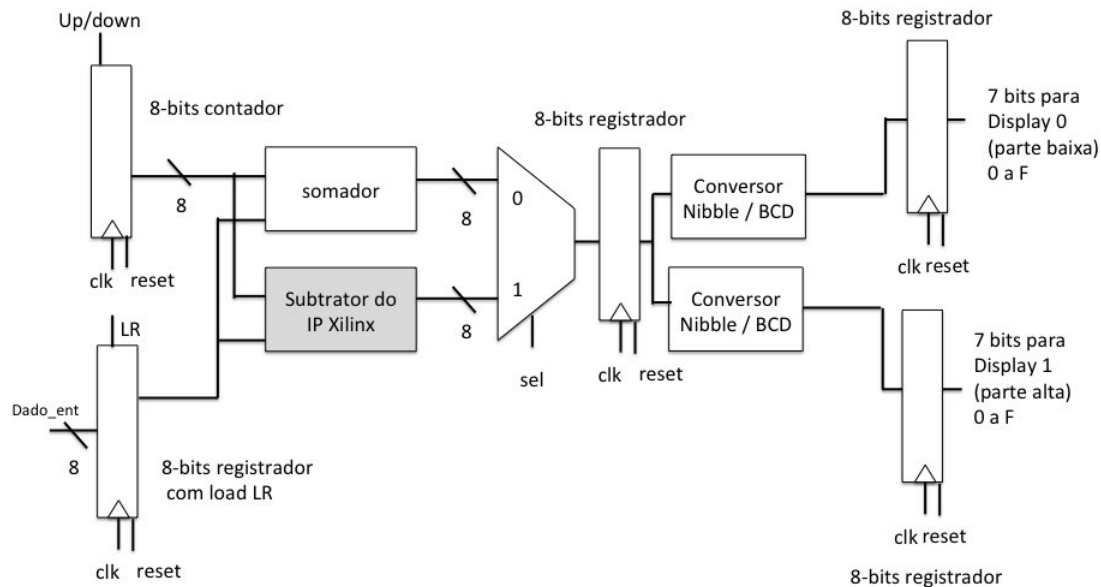


Trabalho 1 – Sistemas Digitais – 2020-2

Nome: Wellington Machado de Espindula

Matrícula:

1) Descreva o seguinte circuito digital em VHDL na ferramenta Vivado



No **testbench**:

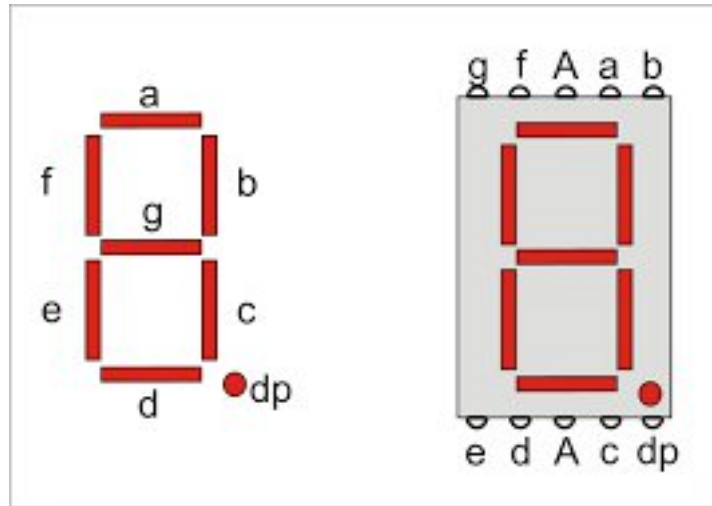
- o dado de entrada (dado_ent) deve ser os **dois dígitos menos significativos** da matrícula descritos em binário (Exemplo: 0022134 seria 34 em binário).

No **VHDL**:

- Registrador contador é inicializado com os **dois dígitos mais significativos** da matrícula descritos em binário (Exemplo: 0022134 seria 00 em binário), quando o reset='1', e pode contar para cima e para baixo (Up/Down).
- Os demais registradores devem ser inicializados em ZERO quando (reset='1').

Conversor:

- Conversor de Nibble para 7seg é uma grande tabela verdade onde cada entrada de 4 bits define os leds do display 7 segmentos que deve acender para desenha o numero em hexadecimal correspondente. O led é ligado com o valor logico 1.



Nibble				7seg						
N3	N2	N1	N0	a	b	c	d	e	f	g
0	0	0	0	1	1	1	1	1	1	0
0	0	0	1	0	0	0	0	1	1	0
0	0	1	0	1	1	0	1	1	0	1
0	0	1	1	1	1	1	1	0	0	1
0	1	0	0	0	1	1	0	0	1	1
0	1	0	1	1	0	1	1	0	1	1
0	1	1	0	1	1	0	1	1	1	1
0	1	1	1	1	1	1	0	0	0	0
1	0	0	0	1	1	1	1	1	1	1
1	0	0	1	1	1	1	1	0	1	1
1	0	1	0	1	1	1	0	1	1	1
1	0	1	1	0	0	1	1	1	1	1
1	1	0	0	1	0	0	1	1	1	0
1	1	0	1	0	1	1	1	1	0	1
1	1	1	0	1	0	0	1	1	1	1
1	1	1	1	1	0	0	0	1	1	1

Cole o VHDL completo aqui:

2) Sintetize no VIVADO o VHDL circuito e informe a frequência e a utilização dos recursos

FPGA utilizado: _____

Numero de LUTs: _____

Numero de flip-flops: _____

Quantos ciclos de relógio demora para aparecer o numero correto na saída do circuito quando o contador é atualizado? _____

3) Descreva um testbench que estimule alguns casos de operação do circuito, por exemplo que o contador conte para cima e para baixo e que haja somas e subtrações. A representação dos números é em complemento de 2.

Copie e cole aqui o Testbench:

Copie e cole aqui o gráfico das simulações com ZOOM para poder observar os resultados.

Comente os resultados:
