

AAHLS Final Project Proposal

2D Mesh Interconnection network on chip

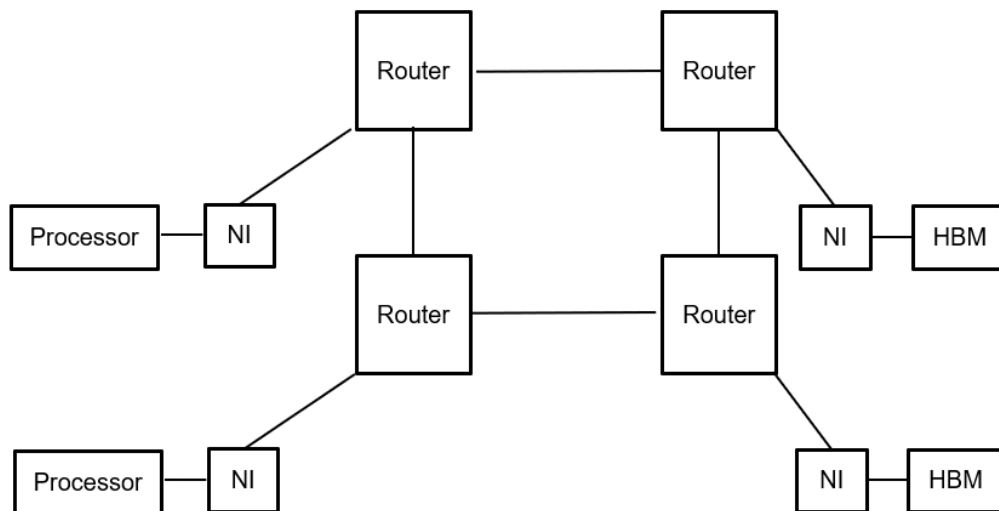
Group03 鍾宇騫 許鏡瑋

1. Project Statement

因為碩士論文希望使用 Vitis 和 U280 來設計 Interconnection Network on Chip (NoC)，因此想透過這個 final project 來了解 Vitis 是否能用於類似 RTL coding 的 structural design，並且了解 HLS 在接系統部件上的方便性(AXI HBM bank, stream)。在目標的部分，我們希望可以設計出一個包含 CPU、Memory、NoC 的系統，在上面嘗試不同的演算法，並試著在未來延伸這份 project 至實驗室的計畫，做出一個 16x16 以上的 NoC，在上面放置近百顆的 DNN processor。

2. 系統架構圖

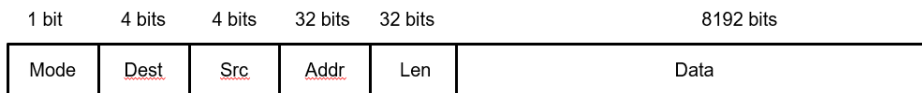
設計一個 2x2 的 2D Mesh Interconnection network，網路由四個 router 構成，個別連接一個 network interface (NI)，有兩組的 NI 會連接到 COMET CPU，兩組則是連接到 HBM Bank 0/1。



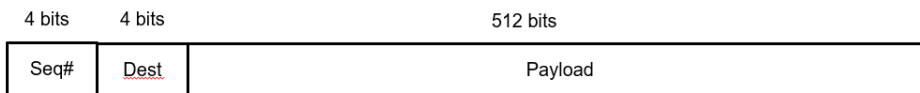
3. 資料結構

Processor 給 NI 的指令(Load/Store)是一個 Message，長度介於 73 至 73+8192 bits，NI 會將 Message 切割成固定 520 bits 的 1 到 17 個 Packet，並且為每個 packet 標記 sequence number 和目標 router ID。在傳輸過程中，Packet 到達目標 NI 的順序不固定，但是由 Packet 切成的五個 flit，必定是依照順序抵達 router。

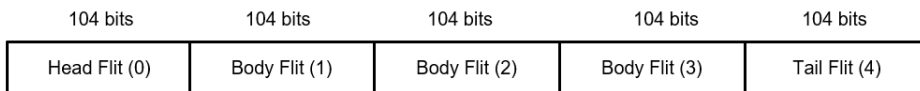
Message (73 + 8192 bits)



1 to 17 Packets



5 Flits

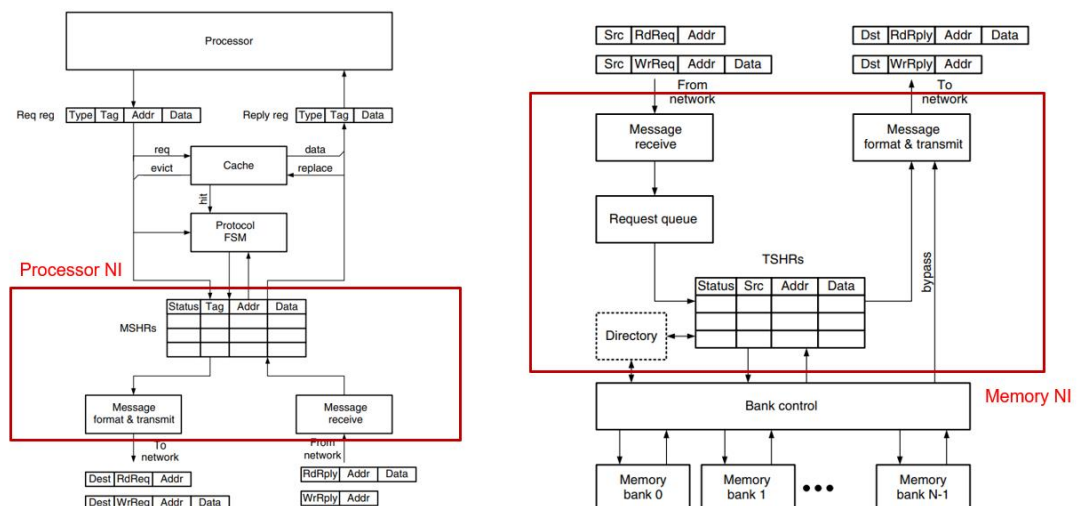


4. Network Interface

NI 根據要連結的部件會有不同的設計，以這個 project 來說分為 Processor NI 和 Memory NI。

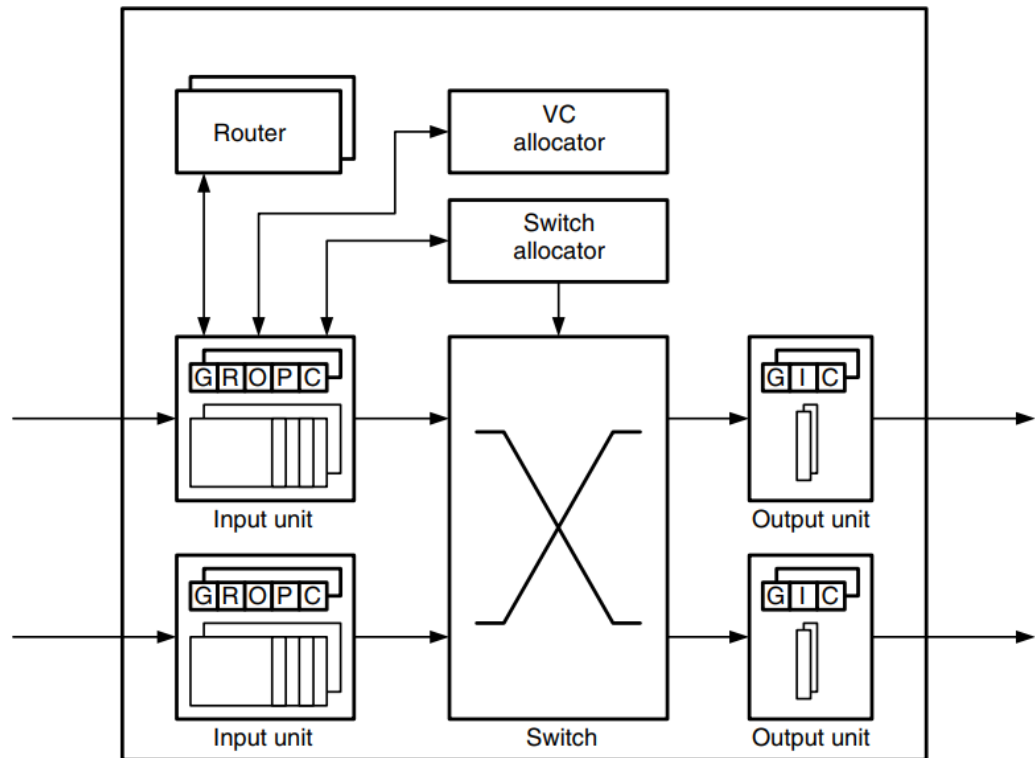
Processor NI 會存取一個 Miss Status Holding Register (MSHR)，MSHR 屬於 Memory sub system，包含 L1 Cache 和 Cache miss exception handler。COMET CPU 在執行過程中會存取 L1 Cache，如果 Cache Hit，就會將資料拿回 CPU 執行，如果 Cache Miss，就會 stall 住並等待 Cache miss exception handler 把資料從低階層的 memory 讀取回來。之後 NI 便會根據 memory subsystem 放在 MSHR 的指令去向 Interconnection network 中的 HBM 要資料。

Memory NI 則會維護一個 Transaction Status Holding Register (TSHR)，TSHR 會將網路傳來的 message decode 並儲存，以供 memory NI 對 HBM bank 做讀寫後回傳資料回 Processor。



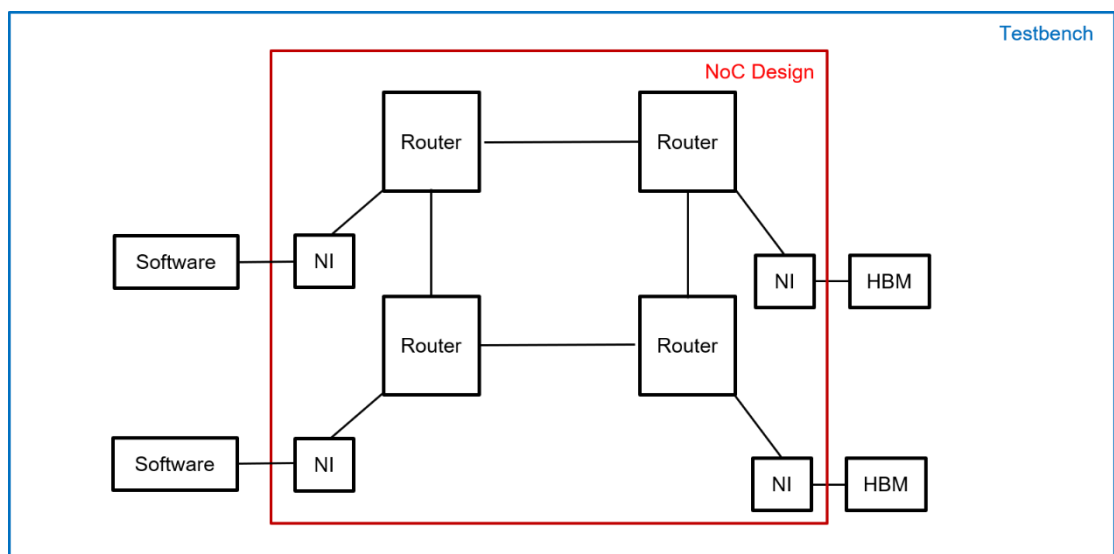
5. Router Architecture

預計使用 First Come First Serve (FCFS)和 Credit-Based 的 flow control，並且搭配 Greedy routing algorithm，先以最簡單的方式將整個網路實現，之後再做調整已得到更高的 QoS。



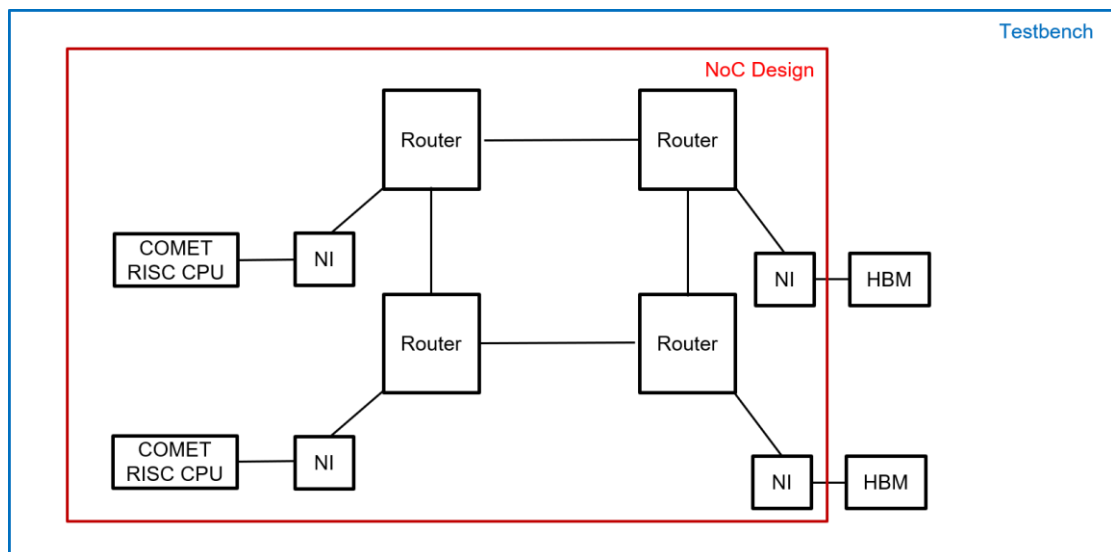
6. 階段一規劃

第一階段預計先將 Processor 和 HBM 以 Testbench 軟體模擬的方式做驗證，待網路功能正常後再將實體的 COMET CPU 和 HBM 接上。



7. 階段二規劃

待網路設計完成後，將會著手設計第三點提到的 **Processor memory sub-system**，把 CPU 和網路接起來，並在實驗室的 U280 上部署做實體的驗證。



8. Target Performance

在 2x2 的 2D mesh NoC，我們想實現 low latency system，因此要將 cache miss 的例外處理時間壓到 100 個 cycle 內(包含 HBM access time)。

9. Project Plan

Component Name	Description	Date	Student Name
Router	實現 2-router, 1-NI 的 router	5/29	鍾宇騫
NI	能夠將 message 轉換成 packet/flit 送到網路，以及相反的的狀況。	5/29	鍾宇騫
Cache sub-system	修改 COMET CPU，使其與 cache sub-system 溝通，做 cache miss 的例外處理。並且能跟 NI 交換資料。	6/5	許鏡瑋
Stage 1 NoC	如 6.組裝	6/12	鍾宇騫
Stage 2 NoC	如 7.組裝	6/12	鍾宇騫
整合至 U280		6/19	許鏡瑋

10. Reference

- (a) [Using Vivado-HLS for Structural Design: a NoC Case Study](#)
- (b) [principle and practice of interconnection network](#)