



LAB - 07

陳培殷

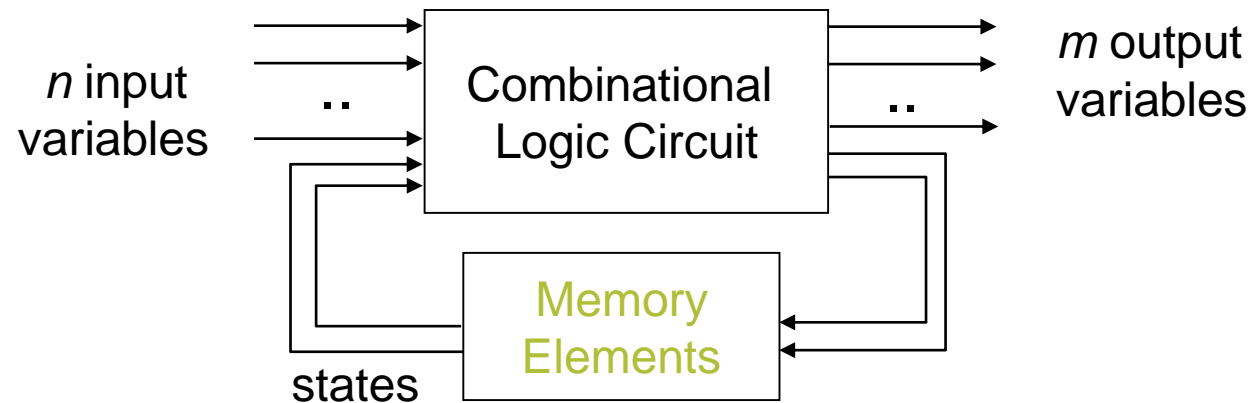
國立成功大學 資訊工程系

Outline

- Video preview for 晶片實現 + HDL介紹
- Sequential Circuit
- Lab I--Counter (sequential circuit)

Sequential Circuit

A sequential circuit is a system whose outputs at any time are determined from the present combination of inputs and the previous inputs or outputs.



- Sequential components contain memory elements
- The output values of sequential components depend on the input values and the values stored in the memory elements
- Example: Ring counter that starts the answering machine after 4 rings

Lab I (1/3)

- 請設計一個具備下列功能的計數器：

當時脈輸入訊號的**正緣**到達時

(1)若reset訊號為0，將目前狀態暫停

EX：若目前為1就輸出1，目前為2就輸出2，依此類推。

(2)若reset訊號為1，**根據sel判斷目前是要向下數或是向上數，若sel = 1則從目前的數字向上數，若sel = 0則從目前的數字向下數。**

reset -> SW0

clock -> CLOCK_50

sel -> SW1

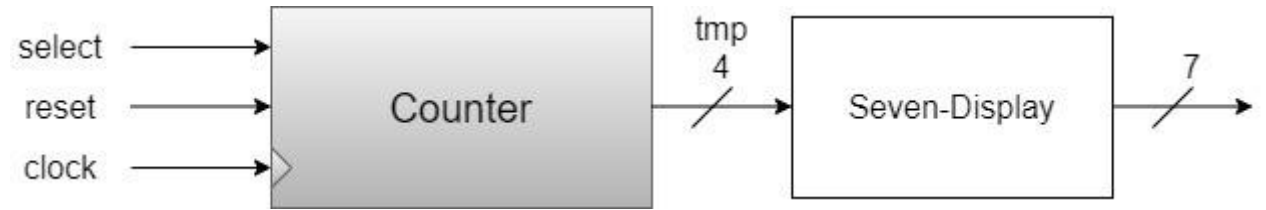
Out-> HEX00~Hex06

Lab I (2/3)

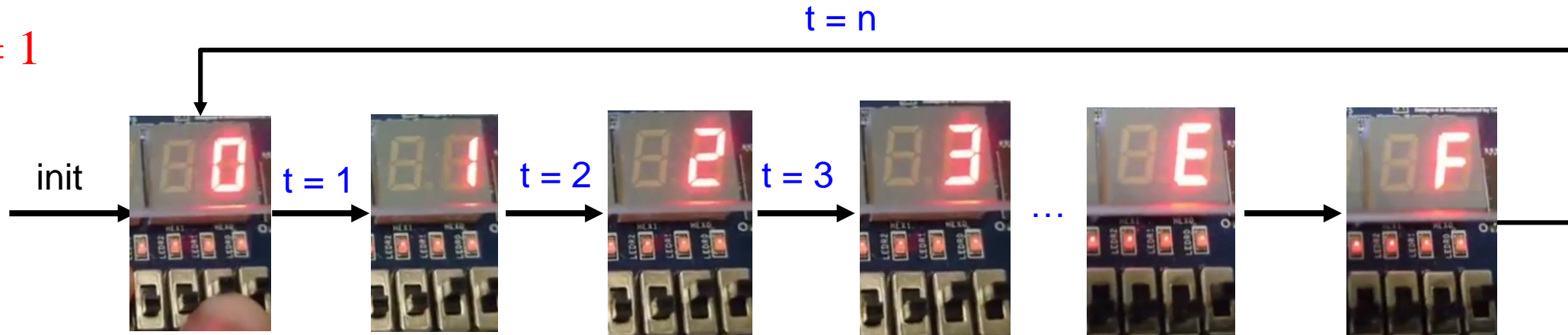
- 將輸出的數值顯示於七段顯示器
- 系統架構圖請參考右方

Input : clock , reset , sel

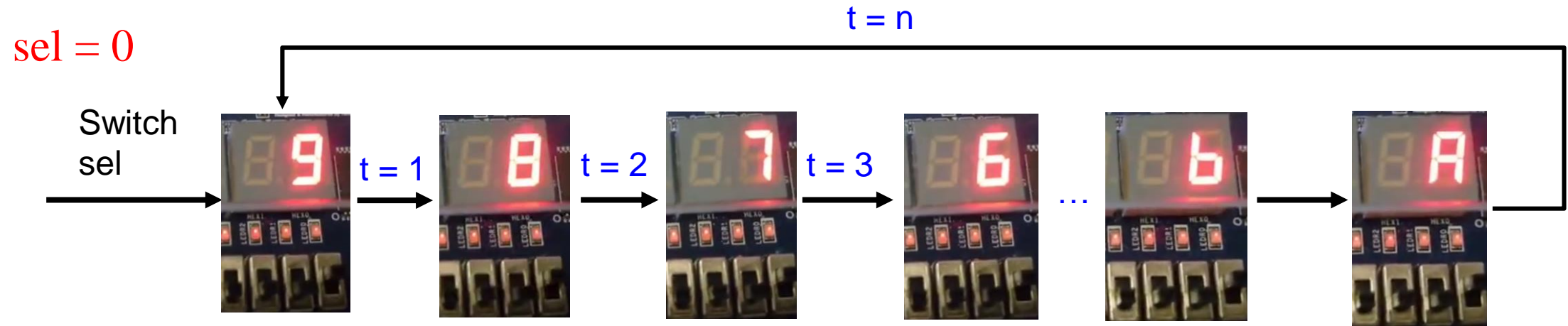
Output : tmp



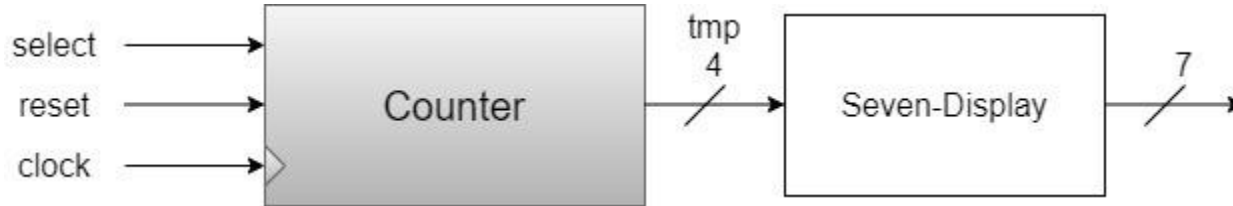
sel = 1



Lab I (2/3)



Lab - Hint(1/3)



- **module counter (sequential circuit)**
 - 依據sel計數正確的值
- **module Seven_Display (combinational circuit)**
 - 將Counter算出的值轉為output的七段顯示器
- 兩個module之間溝通方式
 - `SevenDisplay DIS (.data(tmp), .out(out));`

Lab – Hint(2/3)

■ 除頻器

- FPGA的時脈頻率為 50 MHz

 - 表示每秒可以執行 50×10^6 次

- 現假設要求變換頻率為 1 Hz

 - 表示每秒變換1次

- 但因為時脈頻率無法改變，所以需要透過除頻器將50MHz降為1Hz

- 除頻器實現方式是透過一個計數器，計算經過幾個時脈正(負)緣，當計數到 50×10^6 即代表經過一秒

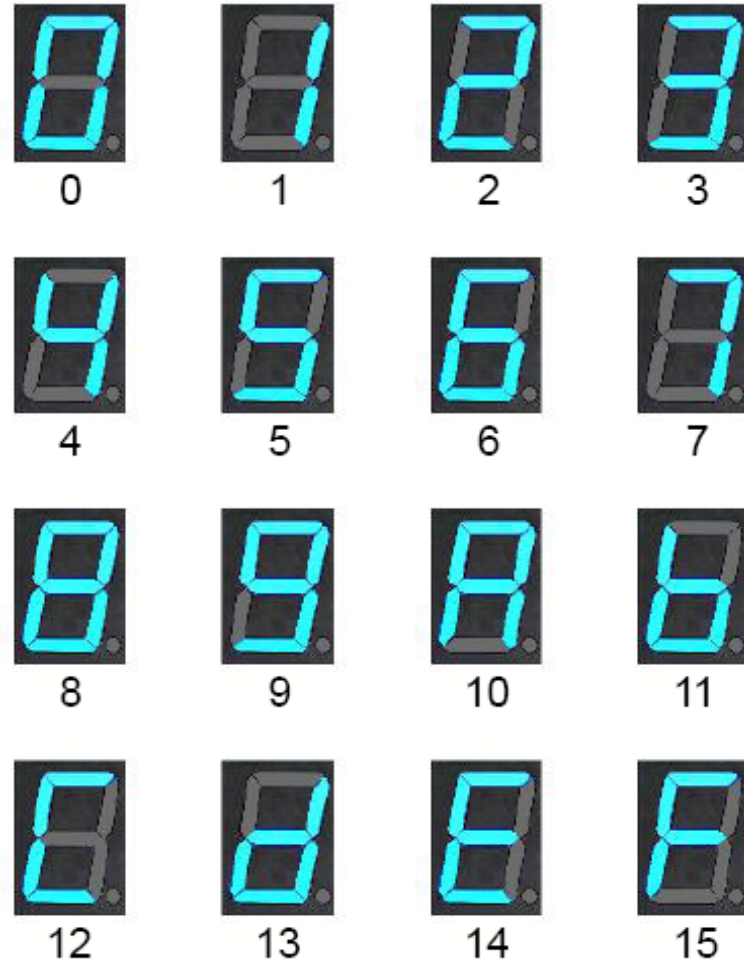
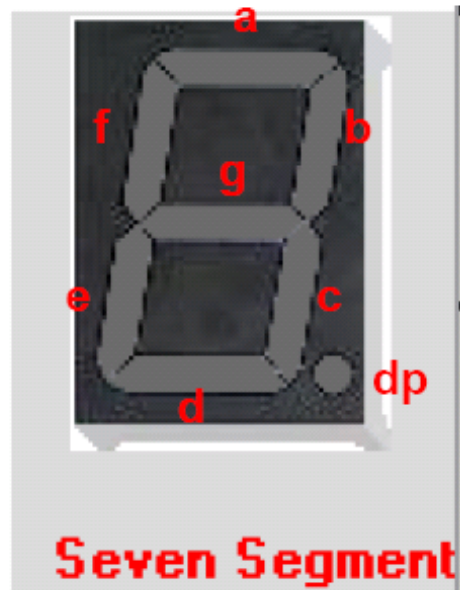
Lab – Hint(3/3)

■ 除頻器範例：

- 每0.5秒改變一次訊號(div_clk)


```
1  `define TimeExpire 32'd25000000
2
3  module clk_div(clk,rst,div_clk);
4  input clk,rst;
5  output div_clk;
6
7  reg div_clk;
8  reg [31:0]count;
9
10 always@(posedge clk)
11 begin
12     if(!rst)
13     begin
14         count <= 32'd0;
15         div_clk <= 1'b0;
16     end
17     else
18     begin
19         if(count == `TimeExpire)
20         begin
21             count <= 32'd0;
22             div_clk <= ~div_clk;
23         end
24         else
25         begin
26             count <= count + 32'd1;
27         end
28     end
29 end
30
31 endmodule
```


Seven-segment display(1/2)



Seven-segment display (2/2)

- 0 is on, 1 is off
- dp is useless in DE0-CV board

■ Ex:  0 out=7'b1000000;
g=1

■ Ex:  5 out=7'b0010010;
b=1, e=1

Notice

- wire and reg type define
 - `always begin ...裡面變數... end`，宣告 **reg** type
 - `always begin end` 外面變數，宣告 **wire** type
 - 需搭配 **assign** 使用
- `reg == register`
 - 在**組合**電路中使用 `reg type`，合成 → **線 (net)**
 - 在**循序**電路中使用 `reg type`，合成 → **Flip-flop (register)**
- Inferred latch
 - 在組合電路中，`case`、`if...else...`若**沒有寫滿**，合成後會產生latch

Notice

- 請勿命名中文資料夾或數字開頭資料夾
- 請確認 Device family 是否與 FPGA 晶片符合
 - Family: **Cyclone** / Device: **5CEBA4F23C7**
- top module name & project name 需要一致
- 燒錄檔案至 FPGA 前，Double-check **Pin Assignment**
 - 設定錯誤的 Pin，會導致 FPGA 無法正確執行
- 連接 FPGA 板後，請先確認是否可以正常燒錄與動作
 - **USB Blaster**，指定到 USB Blaster Driver 目標資料夾 C:\altera\16.0\quartus\drivers\usb-blaster

