



Department of Computer Science and Information Engineering

National Cheng Kung University

LAB - 06

陳培殷

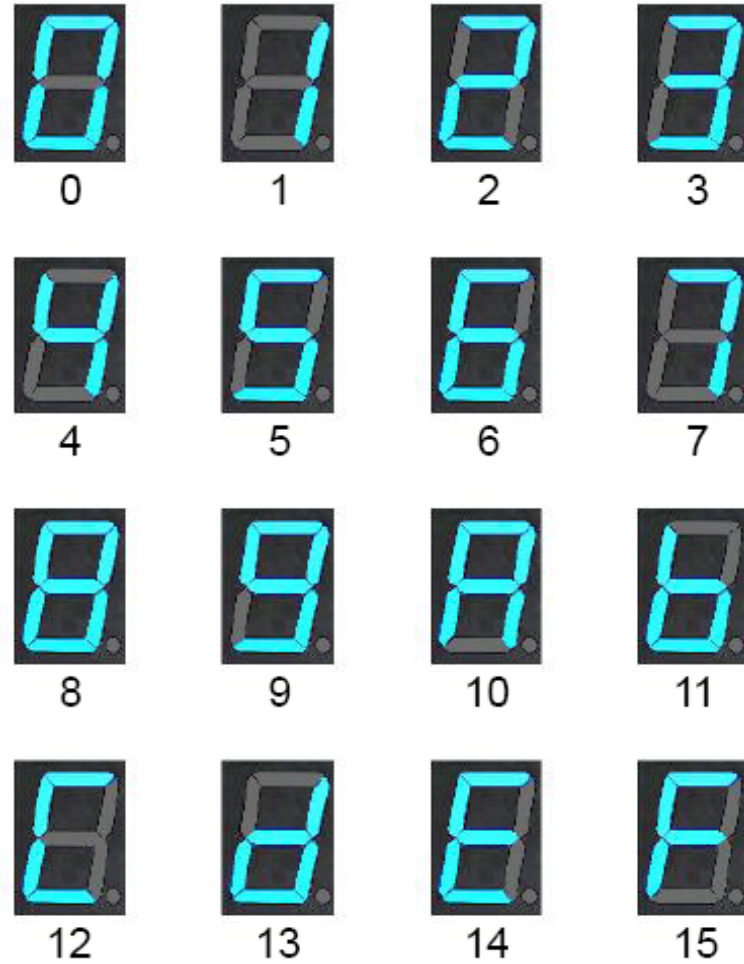
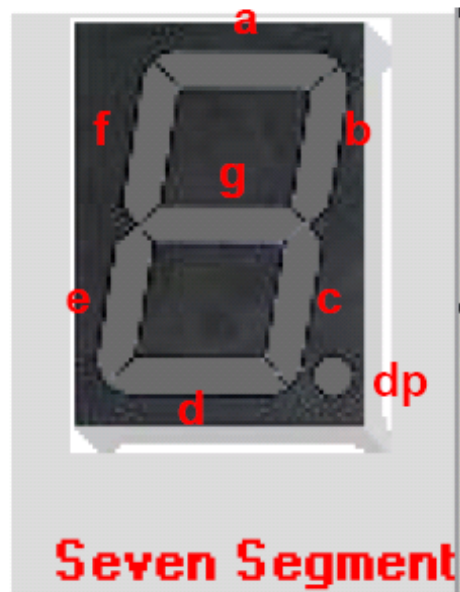
國立成功大學 資訊工程系



Outline


- Video preview for HDL介紹(Parts I~V)
- Seven-segment display
- Lab I-- 特殊功能乘法器(combinationnal circuit)
- Lab II-- 學號顯示器(combinationnal circuit)


Seven-segment display (1/2)



Seven-segment display (2/2)

- 0 is on, 1 is off
- dp is useless in DE0-CV board

■ Ex:  `out=7'b1000000;`
g=1

■ Ex:  out=7'b0010010;
b=1, e=1

Lab I

- 設計一個特殊功能乘法器並將結果以七段顯示器表示
- 功能說明：
 - 當輸入為 0~2，輸出值=輸入值
 - 當輸入為 3~5，輸出值=輸入值乘以 2 後，再減 1
 - 當輸入為 6~7，輸出值=輸入值乘以 2 後，再加 1
 - 當輸入為其他值，輸出值為 0
- 輸入為4 bits **SW0~SW3**
- 輸出為7bits (此7bits為輸入七段顯示器的訊號，用以顯示正確數字)

HEX06~HEX00

g ~ a
MSB LSB

Notice for Lab I

- 七段顯示器裝置模擬

- 輸入為 0~2

- 輸出值=輸入值
 - Ex: in=1, out=1;



- 當輸入為 3~5

- 輸出值=輸入值乘以 2 後，再減 1
 - Ex: in=4, out=7;



- 七段顯示器裝置模擬

- 輸入為 6~7

- 輸出值=輸入值乘以 2 後，再加 1
 - Ex: in=7, out=15 (F);



- 輸入為 其他值

- 輸出值為 0
 - Ex: in=12, out=0;



Lab II

- 設計一個學號顯示器 (Number_display) 電路
- 輸入 2 bits (select選擇訊號)
 - 輸入 00 電路顯示組別
 - 輸入 01 電路顯示第一位學生學號的後三碼
 - 輸入 10 電路顯示第二位學生學號的後三碼
 - 輸入 11 電路顯示錯誤
- 輸出21bits (使用三個七段顯示器，每個七段顯示器需用7bits控制亮暗)

HEX06~HEX00, HEX16~HEX10, HEX26~HEX20

Ex:

組別 012	(七段顯示器顯示 012)
學生一 王大明 學號 F12345678	(七段顯示器顯示 678)
學生二 陳小華 學號 F87654321	(七段顯示器顯示 321)
其他	(七段顯示器顯示 ERR)

Notice for Lab II

Ex:

組別 012

(七段顯示器顯示 012)

學生一 王大明 學號 F12345678

(七段顯示器顯示 678)

學生二 陳小華 學號 F87654321

(七段顯示器顯示 321)

其他

(七段顯示器顯示 ERR)



Notice

- 請勿命名中文資料夾
- Device family 請確認與 FPGA Chip 符合 (5CEBA4F23C7)
- Top module name & Project name 需要一致
- 確認 `module ... endmodule` 為keyword 變成藍色字體