

本科生期末试卷十八

一、 选择题（每小题 1 分，共 10 分）

1. 下列数中最小的数是_____。
A. $(100101)_2$ B. $(50)_8$ C. $(100010)_{BCD}$ D. $(625)_{16}$
2. _____表示法主要用于表示浮点数中的阶码。
A.原码 B.补码 C.反码 D.移码
3. $[X]_{补}=1.X_1X_2X_3X_4$ ，当满足_____时， $X > -1/2$ 成立。
A. $X_1=1$ ， $X_2\sim X_4$ 至少有一个为 1 B. $X_1=1$ ， $X_2\sim X_4$ 任意
C. $X_1=0$ ， $X_2\sim X_4$ 至少有一个为 1 D. $X_1=0$ ， $X_2\sim X_4$ 任意
4. 主存储器是计算机系统中的记忆设备，它主要用来_____。
A.存放数据 B.存放程序 C.存放微程序 D.存放数据和程序
5. 以下四种类型指令中，执行时间最长的是_____。
A.RR 型指令 B.RS 型指令 C.SS 型指令 D.程序控制指令
6. 单地址指令为了完成两个数的算术运算，除地址指明的一个操作数外，另一个操作数常采用_____寻址方式。
A.堆栈 B.立即 C.隐含 D.间接
7. 在以下描述的流水 CPU 基本概念中，正确的表述是_____。
A.流水 CPU 是以空间并行性为原理构造的处理器
B.流水 CPU 一定是 RISC 机器
C.流水 CPU 一定是多媒体 CPU
D.流水 CPU 是以时间并行性为原理构造的处理器
8. 在以下描述 PCI 总线的基本概念中，正确的表述是_____。
A.PCI 总线是一个与处理器无关的高速外围总线
B.PCI 总线的基本传输机制是猝发式传送
C.PCI 设备一定是主设备
D.系统中只允许有一条 PCI 总线
9. 下述 I/O 控制方式中，_____主要由程序实现。
A.PPU 方式 B.中断方式 C.DMA 方式 D.通道方式
10. 串行 I/O 标准接口 IEEE1394 的高速特性适合于新型高速硬盘和多媒体数据传送，它的数据传送率可以是_____。
A.100 兆位/秒 B.200 兆位/秒 C.400 兆位/秒 D.300 兆位/秒

二、 填空题（每小题 3 分，共 15 分）

1. Cache 是一种 A_____存储器，是为了解决 CPU 和 B_____之间 C_____上不匹配而采用的一项重要硬件技术。
2. 当今的 CPU 芯片除了包括定点运算器、操作控制器外，还包括 A_____、B_____运算器和 C_____管理部件。
3. 按照总线仲裁电路的 A_____不同，总线仲裁有 B_____仲裁和 C_____仲裁两种方式。
4. DMA 和 CPU 分时使用内存的三种方式是：A_____，B_____，C_____。
5. 中断处理需要有中断 A_____，中断 B_____产生，中断 C_____等硬件支持。

三、(9 分) 设机器字长 16 位，定点表示，尾数 15 位，数符 1 位，问：

- (1) 定点原码整数表示时，最大正数是多少？最小负数是多少？
- (2) 定点原码小数表示时，最大正数是多少？最小负数是多少？

四、(9 分) 某加法器进位链信号为 C_4 、 C_3 、 C_2 、 C_1 ，最低位来的进位信号为 C_0 。请分别按下述两种方式写出 C_4 、 C_3 、 C_2 、 C_1 的逻辑表达式，(1) 串行进位方式 (2) 并行进位方式

五、(10 分) 某机器中，已知配有一个地址空间为 $(0000—1FFF)_{16}$ 的 ROM 区域，现在用一个 SRAM 芯片 ($8K \times 8$ 位) 形成一个 $16K \times 16$ 位的 ROM 区域，起始地址为 $(2000)_{16}$ 。假设 SRAM 芯片有 \overline{CS} 和 \overline{WE} 控制端，CPU 地址总线 $A_{15}—A_0$ ，数据总线为 $D_{15}—D_0$ ，控制信号为 R / \overline{W} (读 / 写)， \overline{MREQ} (当存储器读或写时，该信号指示地址总线上的地址是有效的)。要求：

- (1) 满足已知条件的存储器，画出地址译码方案。
- (2) 画出 ROM 与 RAM 同 CPU 连接图。

六、(9 分) 在流水 CPU 中，将一条指令从取指到执行结束的任务分割为一系列子任务，并使各子任务在流水线的各个过程段并发地执行，从而使流水 CPU 具有更强大的数据吞吐能力。请用时空图法证明这个结论的正确性。

七、(9 分) 画出 PCI 总线结构框图，并说明“桥”的功能。

八、(10 分) 图 B18.1 所示的系统采用多级优先中断结构，它要求 CPU 在执行完当前指令时转而对中断请求进行服务。设备 A 连接于最高优先级，设备 B 次之，设备 C 又次之。IRQ 为中断请求信号，INT 为 CPU 发出的中断响应信号。

现假设： T_{DC} 为硬件中断周期时间； T_A ， T_B ， T_C 分别为设备 A，B，C 的服务程序执行时间； T_s ， T_r 为保存现场和恢复现场所需时间。

请问：这种中断结构在什么情况下达到中断饱和？

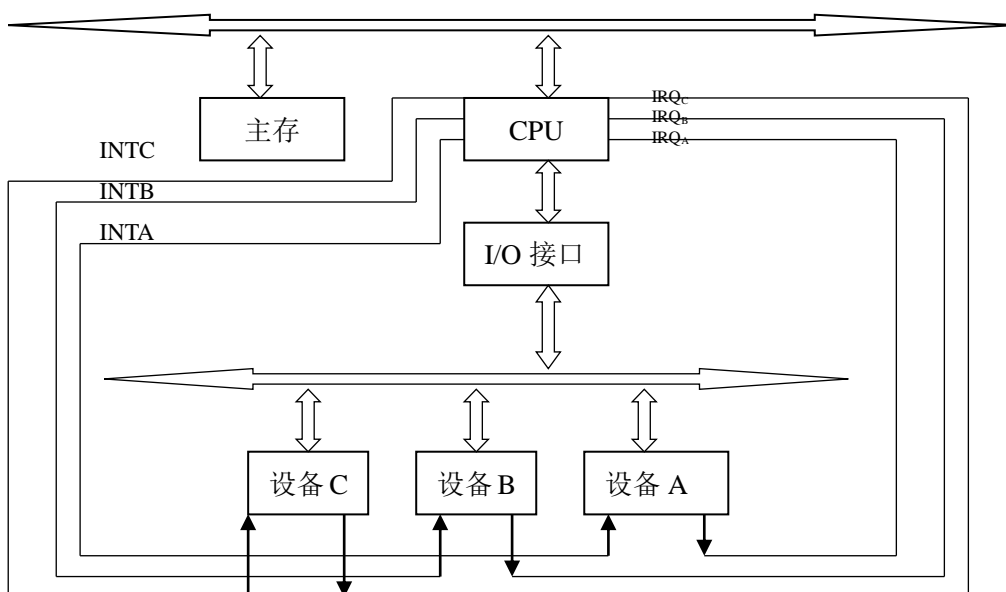


图 B18.1

九、(9 分) CD—ROM 光盘的外缘有 5mm 宽的范围因记录数据困难，一般不使用。故标准的播放时间为 60 分钟。请计算模式 1 和模式 2 情况下，光盘存储容量是多少？

十、(10 分) 图 B18.2 是分布式仲裁器的逻辑结构图，试分析其工作原理。

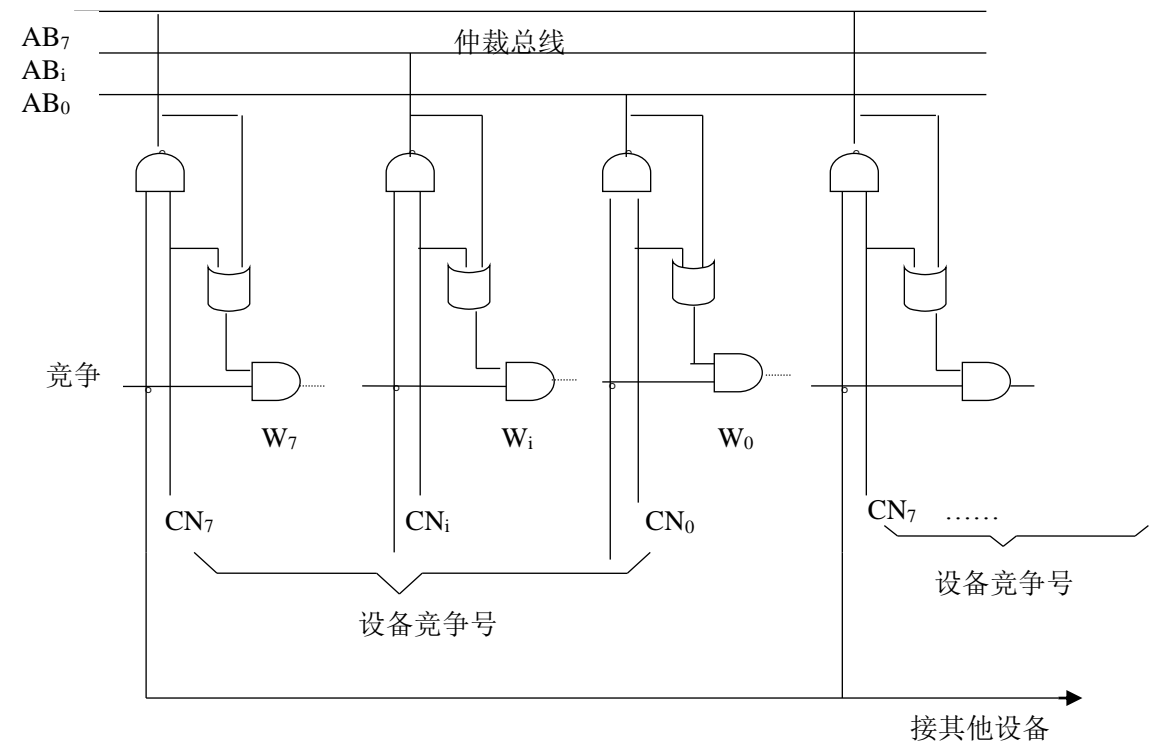


图 B18.2