

# 數位電路設計 (Digital Circuit Design)

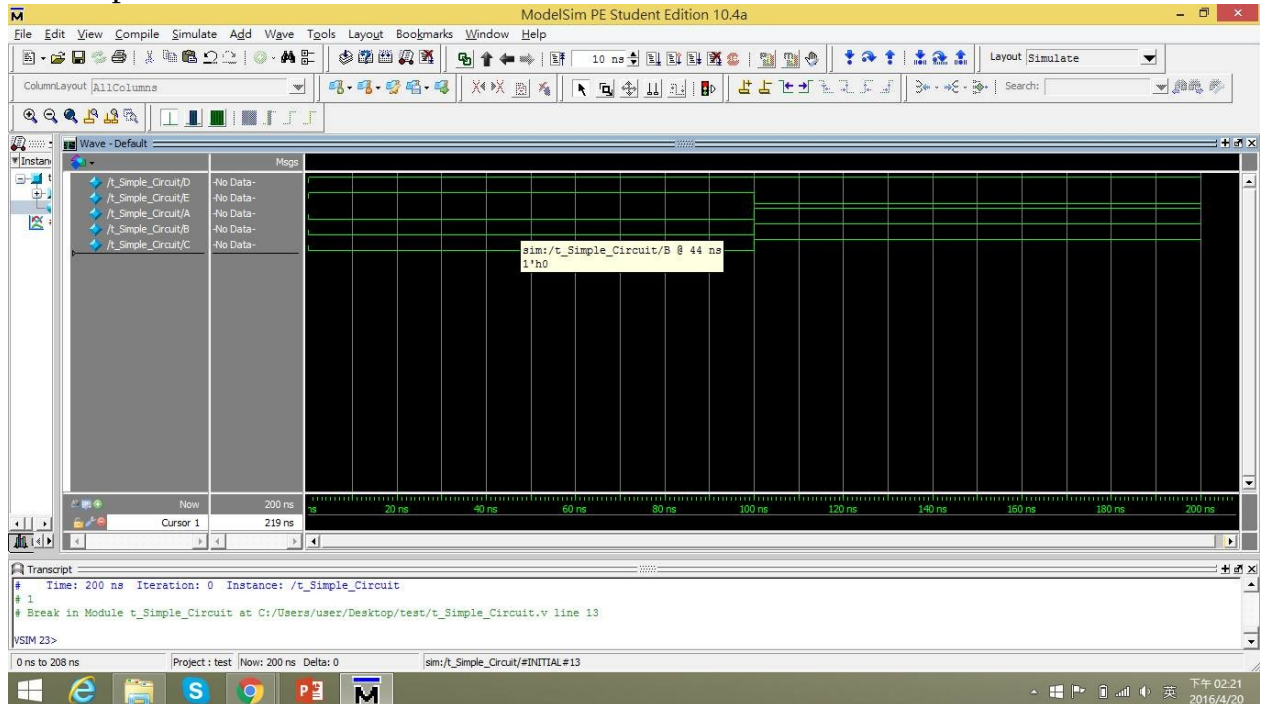
## Lab 1 : 簡易組合電路之 HDL 模組撰寫與測試

0416037 李家安

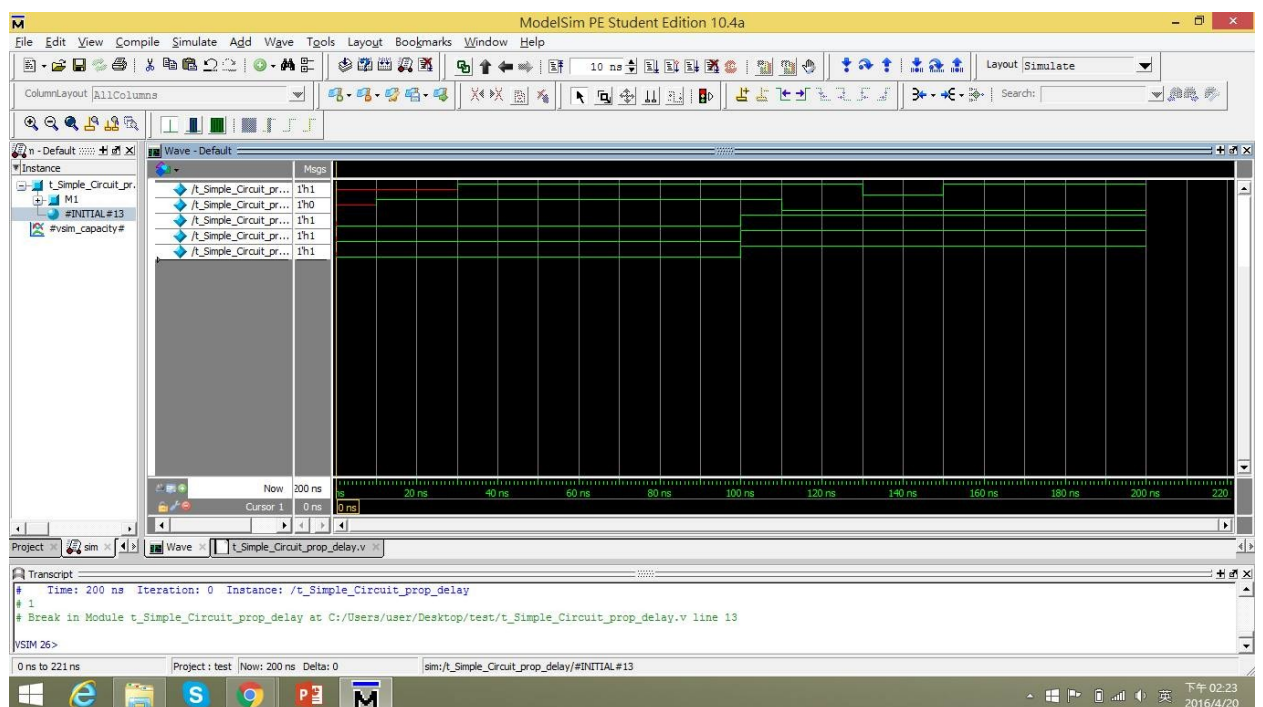
### A. 模擬並修改附檔 Simple\_Circuit\_prop\_delay.v

(a) 比較 Simple\_Circuit.v 與 Simple\_Circuit\_prop\_delay.v

#### 1. Simple\_Circuit.v



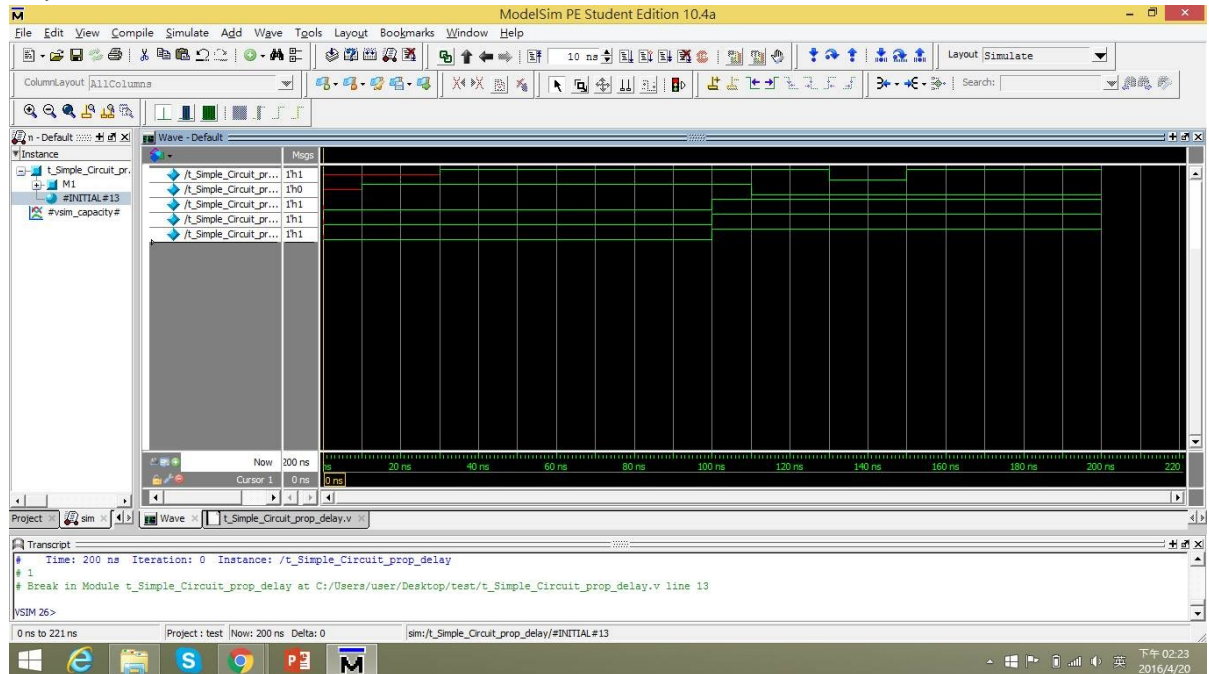
#### 2. Simple\_Circuit\_prop\_delay.v



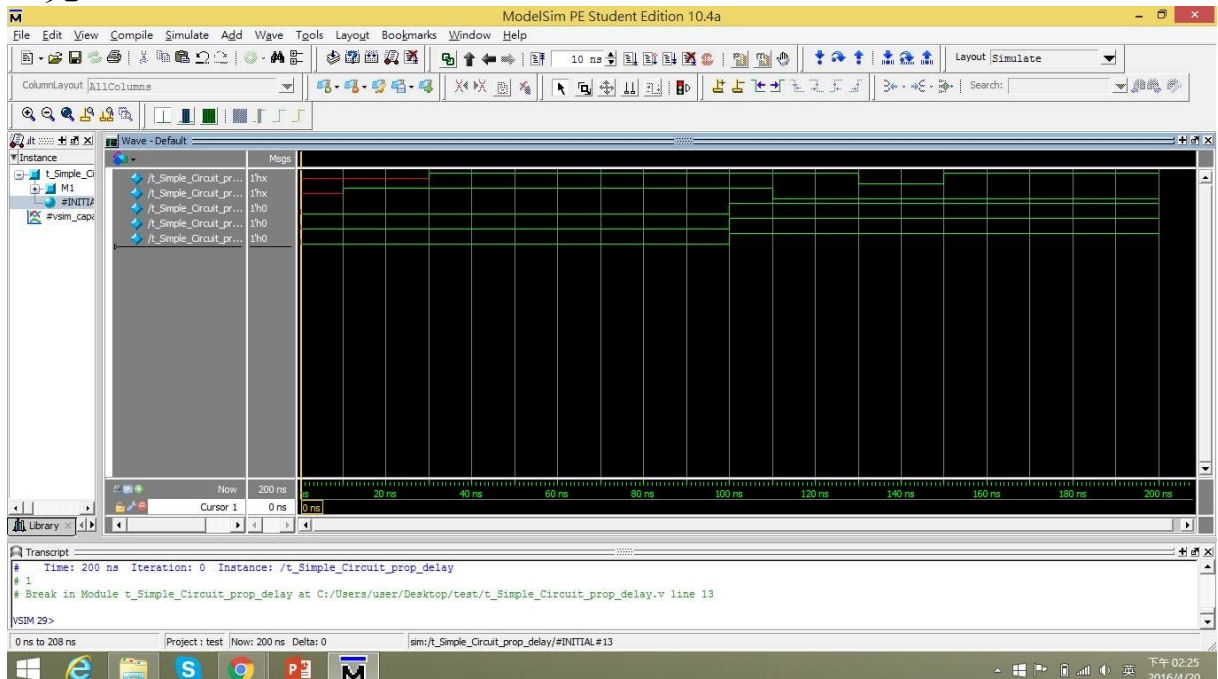
由上兩圖可看出，有 delay 的 circuit 會在每次改變電壓時，經過一段時間後才改變波形，而無 delay 的則不會。

(b) not 與 or 順序互換

## 1. 先 not

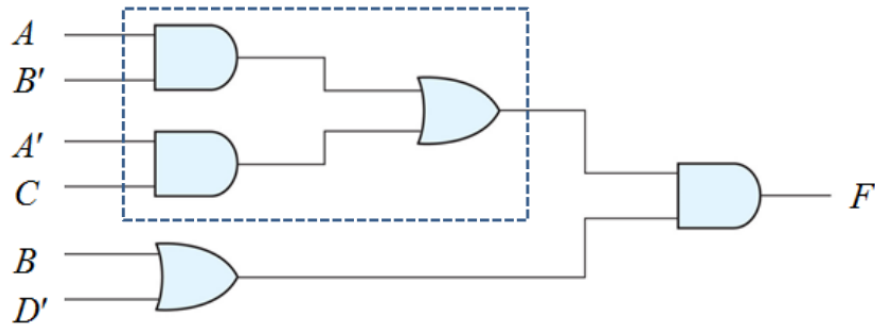


## 2. 先 or



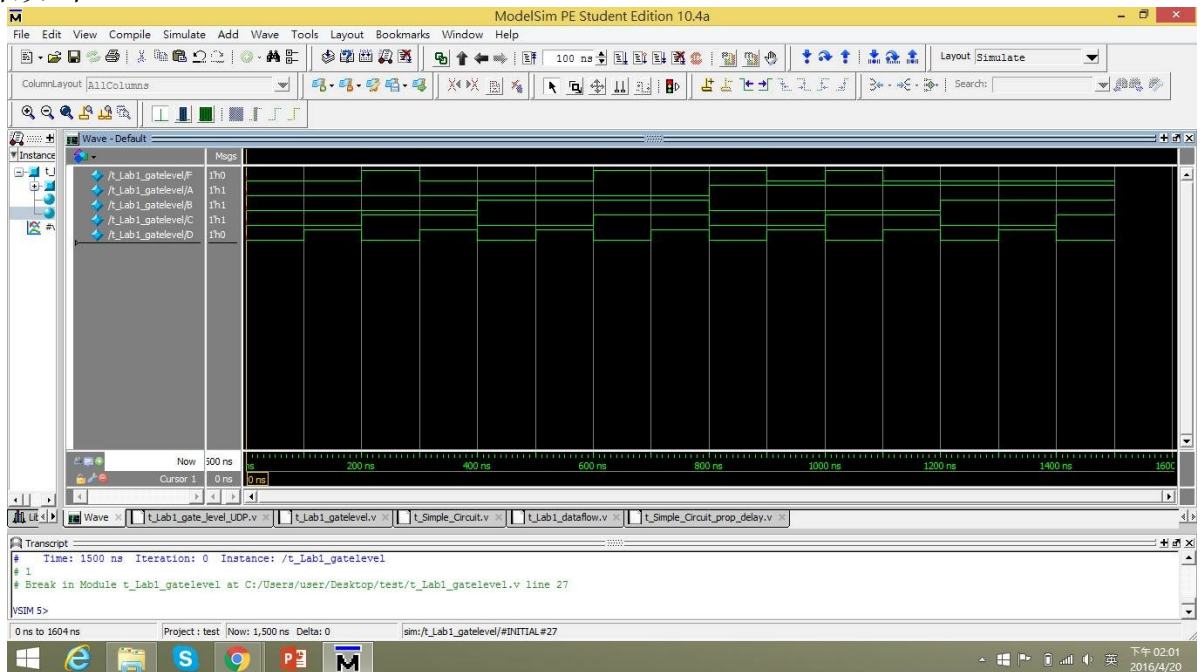
由上兩圖可以發現，gate 的順序與執行結果並無關係，我推測是因為 gate 的參數便以完整描述 module 的樣子了，而與執行順序無關。

## B. 撰寫組合電路之 HDL 電路設計模組(design module)與測試模組(testbench)



### (a) gate-level modeling

我的 testbench 是將所有可能性列出來，觀察其所有可能的輸出結果，模擬結果如下：

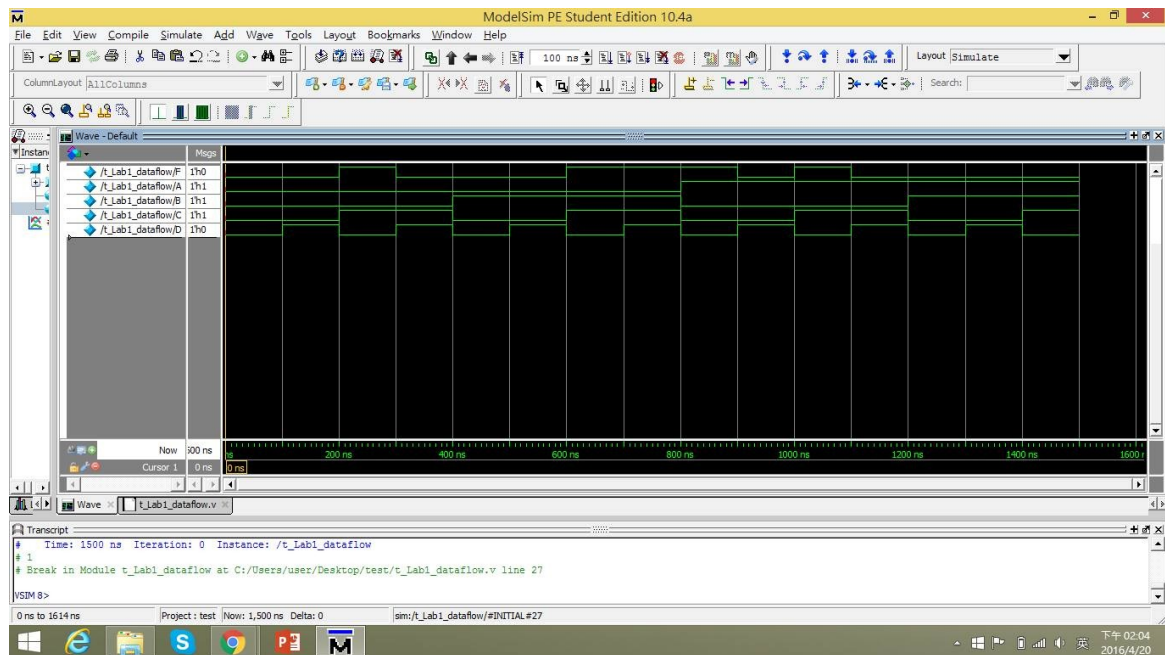


F	0	0	1	0	0	0	1	1	1	0	1	0	0	0	0
A	0	0	0	0	0	0	0	0	1	1	1	1	1	1	1
B	0	0	0	0	1	1	1	1	0	0	0	0	1	1	1
C	0	0	1	1	0	0	1	1	0	0	1	1	0	0	1
D	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0

與預期相符合，故應為正確的。

### (b) dataflow modeling

testbench 依舊是將所有可能性列出來，並觀察其所有可能的輸出結果：

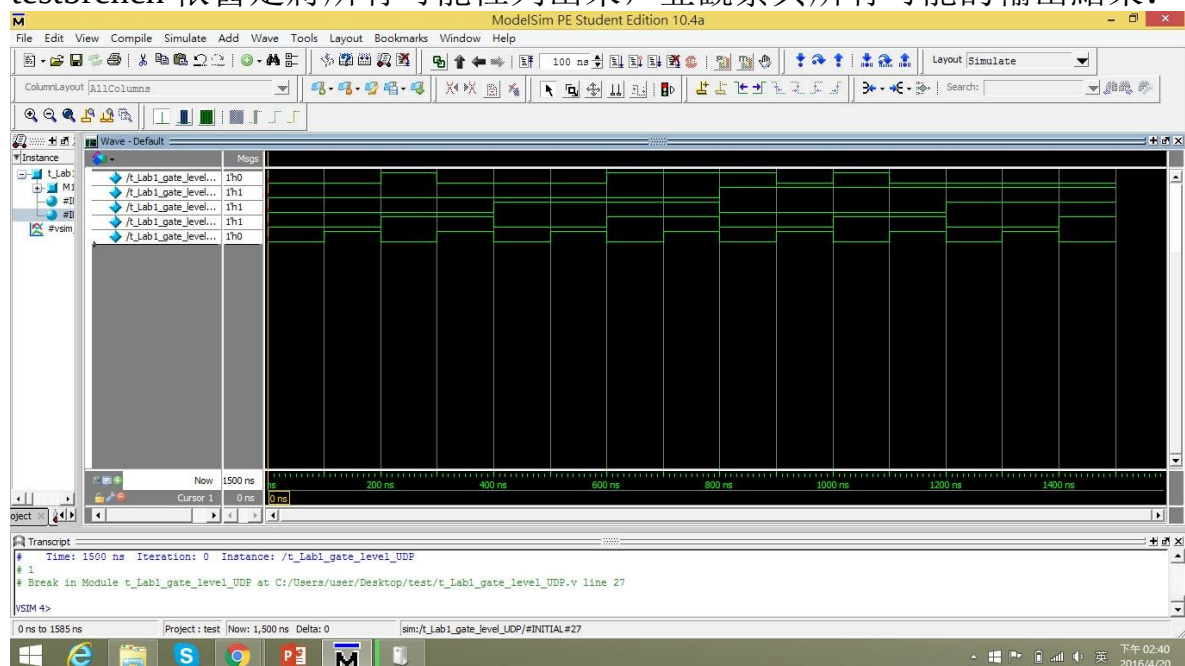


F	0	0	1	0	0	0	1	1	1	0	1	0	0	0	0
A	0	0	0	0	0	0	0	0	1	1	1	1	1	1	1
B	0	0	0	0	1	1	1	1	0	0	0	1	1	1	1
C	0	0	1	1	0	0	1	1	0	0	1	1	0	0	1
D	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0

與預期相符合，故應為正確的。

### (c) user-defined primitive

testbench 依舊是將所有可能性列出來，並觀察其所有可能的輸出結果：



F	0	0	1	0	0	0	1	1	1	0	1	0	0	0	0	0
A	0	0	0	0	0	0	0	0	1	1	1	1	1	1	1	1
B	0	0	0	0	1	1	1	1	0	0	0	0	1	1	1	1
C	0	0	1	1	0	0	1	1	0	0	1	1	0	0	1	1
D	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1

與預期相符合，故應為正確的。

### C. 心得與感想、問題或困難

在做 Verilog 的期間，我覺得最困難的事是 setting up ModuleSim，我個人平常多用的系統是 Fedora，可是 ModuleSim 卻不太容易在 Fedora 上安裝，另外在我安裝 ModuleSim 的時候，第一次有成功安裝，可是在我申請 lincense 時，卻遲遲沒有申請到，後來才知道如果一次申請不到，就要重新再安裝一次，才可再申請 lincense，可是當我解安裝 ModuleSim 後，就悲劇了。我再也安裝不起來 ModuleSim 了@@，所以後來我做 ModuleSim 都是跟同學借電腦來做的。