

Федеральное государственное автономное образовательное учреждение высшего образования «Национальный исследовательский университет «Московский институт электронной техники».

Институт микроприборов и систем управления имени Л.Н. Преснухина

Лабораторная работа №5

«Расчет и моделирование кольцевого развязанного делителя»

Модуль
«Моделирование антенно-фидерных устройств»

По курсу
«Моделирование СВЧ-устройств в САПР»

Москва, Зеленоград

2025

Оглавление

Оглавление	2
Введение	2
Теоретические сведения	3
Методика выполнения работы	6
Создание проекта	6
Модель на идеальных линиях передачи	7
Модель на схемном уровне в микрополосковом исполнении	9
Модель на топологическом уровне	15
Косимуляция с чип-моделью резистора	25
Сложение сигналов на кольцевом развязанном делителе мощности	30
Задание на выполнение	39
Требования к отчёту	45
Задание на самостоятельную работу	46
Контрольные вопросы	47
Литература	48



Введение

Цель работы: ознакомиться с расчетом и моделированием кольцевого развязанного делителя в среде Keysight Advanced Design System (ADS).

Используемое оборудование или ПО: материал подготовлен на основании версии Keysight Advanced Design System 2023. Однако, в работе не используются никакие специфичные для данной версии инструменты, все используемое и описываемое существует в ADS практически в таком же виде как минимум с версии ADS 2011.11.

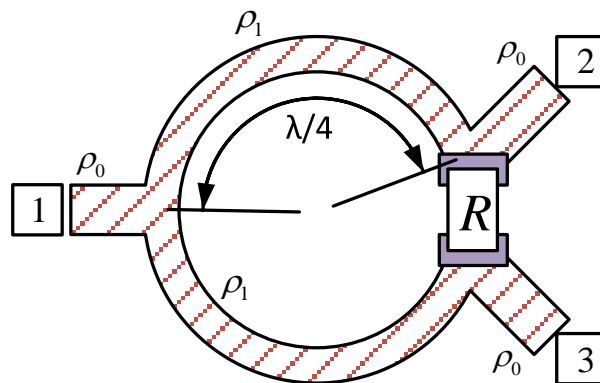
Продолжительность работы: 4 часа.

В разделе «Методика выполнения» приведены только необходимые действия по выполнению лабораторной работы. Подробно описываются только новые приемы работы в ADS. Предполагается, что студент выполнил вводную лабораторную работу и освоил базовый предложенный маршрут.

Lab1	показывает места, которые подробно описаны в вводной лабораторной работе
	показывает приемы, значительно упрощающие или ускоряющие использование ADS
	показывает места, за которыми надо особенно следить и где легко совершить ошибку

Теоретические сведения

Для эффективного деления или сложения мощностей удобно использовать развязанные делители. Развязанный означает имеющим высокую развязку (изоляцию) между портами. Как правило, делители строят двухканальными. Одна из наиболее часто встречающихся конфигураций – кольцевой развязанный делитель (или делитель Вилкинсона). На картинке ниже приведена его схема при делении мощности пополам (гибридной конфигурации).



При его построении считается, что резистор R малого электрического размера.

Анализ кольцевого развязанного делителя удобно проводить в форме матрицы проводимостей как соединение МТее, двух линий передачи с волновым сопротивлением Z_{01} (в форме проводимости Y_{01}) и электрической длиной θ , и пи-цепи с нулевой параллельной проводимостью и последовательным сопротивлением R (в форме проводимости G). В этом случае, матрицу проводимости можно записать как:

$$\mathbf{Y} = \begin{bmatrix} 2Y_{11}^l & Y_{12}^l & Y_{12}^L \\ Y_{12}^l & Y_{11}^l + Y_{11}^R & Y_{12}^R \\ Y_{12}^l & Y_{12}^R & Y_{11}^l + Y_{11}^R \end{bmatrix},$$

где

$Y_{11}^l = Y_{22}^l = -jY_{01}\operatorname{ctg}\theta$ и $Y_{12}^l = Y_{21}^l = jY_{01} / \sin \theta$ – элементы матрицы проводимости линий передачи электрической длины θ ,

$Y_{11}^R = Y_{22}^R = G$ и $Y_{12}^R = Y_{21}^R = -G$ – элементы матрицы проводимости пи-цепи.

Объединим все это получаем

$$\mathbf{Y} = \begin{bmatrix} -j2Y_{01}\text{ctg}\theta & jY_{01}/\sin\theta & jY_{01}/\sin\theta \\ jY_{01}/\sin\theta & G - j2Y_{01}\text{ctg}\theta & -G \\ jY_{01}/\sin\theta & -G & G - j2Y_{01}\text{ctg}\theta \end{bmatrix}$$

Если зафиксировать электрическую длину $\theta = \pi/2$ и нормировать относительно некоторого волнового сопротивления Z_0 , матрицу проводимостей можно переписать как

$$\mathbf{y} = \mathbf{Y}Z_0 = \begin{bmatrix} 0 & jY_{01}Z_0 & jY_{01}Z_0 \\ jY_{01}Z_0 & GZ_0 & -GZ_0 \\ jY_{01}Z_0 & -GZ_0 & GZ_0 \end{bmatrix}$$

Матрицу проводимости можно перевести в матрицу рассеяния

$$\mathbf{S} = \begin{bmatrix} \frac{1-2Y_{01}^2Z_0^2}{1+2Y_{01}^2Z_0^2} & \frac{-2jY_{01}^2Z_0^2}{1+2Y_{01}^2Z_0^2} & \frac{-2jY_{01}^2Z_0^2}{1+2Y_{01}^2Z_0^2} \\ \frac{-2jY_{01}^2Z_0^2}{1+2Y_{01}^2Z_0^2} & \frac{1-4Y_{01}^2Z_0^3G}{A} & \frac{-2(G-Y_{01}^2Z_0)Z_0}{A} \\ \frac{-2jY_{01}^2Z_0^2}{1+2Y_{01}^2Z_0^2} & \frac{-2(G-Y_{01}^2Z_0)Z_0}{A} & \frac{1-4Y_{01}^2Z_0^3G}{A} \end{bmatrix},$$

где $A = 1 + 2GZ_0 + 2Y_{01}^2Z_0^2 + 4Y_{01}^2Z_0^3G$.

Исходя из требования согласования по порту 1, можно вывести

$$\frac{1-2Y_{01}^2Z_0^2}{1+2Y_{01}^2Z_0^2} = 0, \text{ т.е. } Y_{01} = \frac{1}{\sqrt{2}Z_0} \text{ или } Z_{01} = \sqrt{2}Z_0.$$

И также

$$\mathbf{S} = \begin{bmatrix} 0 & -\frac{j}{\sqrt{2}} & -\frac{j}{\sqrt{2}} \\ -\frac{j}{\sqrt{2}} & \frac{1-2GZ_0}{2+4GZ_0} & 2\left(G-\frac{1}{2Z_0}\right)\frac{Z_0}{2+4GZ_0} \\ -\frac{j}{\sqrt{2}} & 2\left(G-\frac{1}{2Z_0}\right)\frac{Z_0}{2+4GZ_0} & \frac{1-2GZ_0}{2+4GZ_0} \end{bmatrix}$$

Если теперь наложить требование согласования по портам 2 и 3, то можно получить $R = 1/G = 2Z_0$.

При подстановке, получаем итоговую матрицу S-параметров на центральной частоте.

$$\mathbf{S} = \begin{bmatrix} 0 & -\frac{j}{\sqrt{2}} & -\frac{j}{\sqrt{2}} \\ -\frac{j}{\sqrt{2}} & 0 & 0 \\ -\frac{j}{\sqrt{2}} & 0 & 0 \end{bmatrix}.$$

Одним из вопросов является, можно ли построить развязанный делитель, не имеющий потерь. Попробуем построить соответствующую матрицу S-параметров. Пусть основной порт 1, выходные 2 и 3.

$$\mathbf{S} = \begin{bmatrix} S_{11} & S_{12} & S_{13} \\ S_{21} & S_{22} & S_{23} \\ S_{31} & S_{32} & S_{33} \end{bmatrix}$$

Наложим желаемые требования

- все порты согласованы, т.е. $S_{ii} = 0$;
- развязка идеальна, т.е. $S_{23} = S_{32} = 0$.

$$\mathbf{S} = \begin{bmatrix} 0 & S_{12} & S_{13} \\ S_{21} & 0 & 0 \\ S_{31} & 0 & 0 \end{bmatrix}$$

Устройство не имеет потерь, если для любой его строки или столбца выполняется условие $\sum_{i \text{ или } j} |S_{ij}|^2 = 1$. При этом нужно учесть, что устройство взаимное относительно порта 1, то $S_{12} = S_{21}$ и $S_{13} = S_{31}$.

Отсюда видно, что например, не выполняются одновременно условия $\sum_j |S_{1j}|^2 = 1$ и $\sum_j |S_{2j}|^2 = 1$. И построение не имеющего потерь развязанного делителя невозможно. Внесение развязывающего резистора как раз и обеспечивает эти потери.

Методика выполнения работы

Маршрут работы следующий:

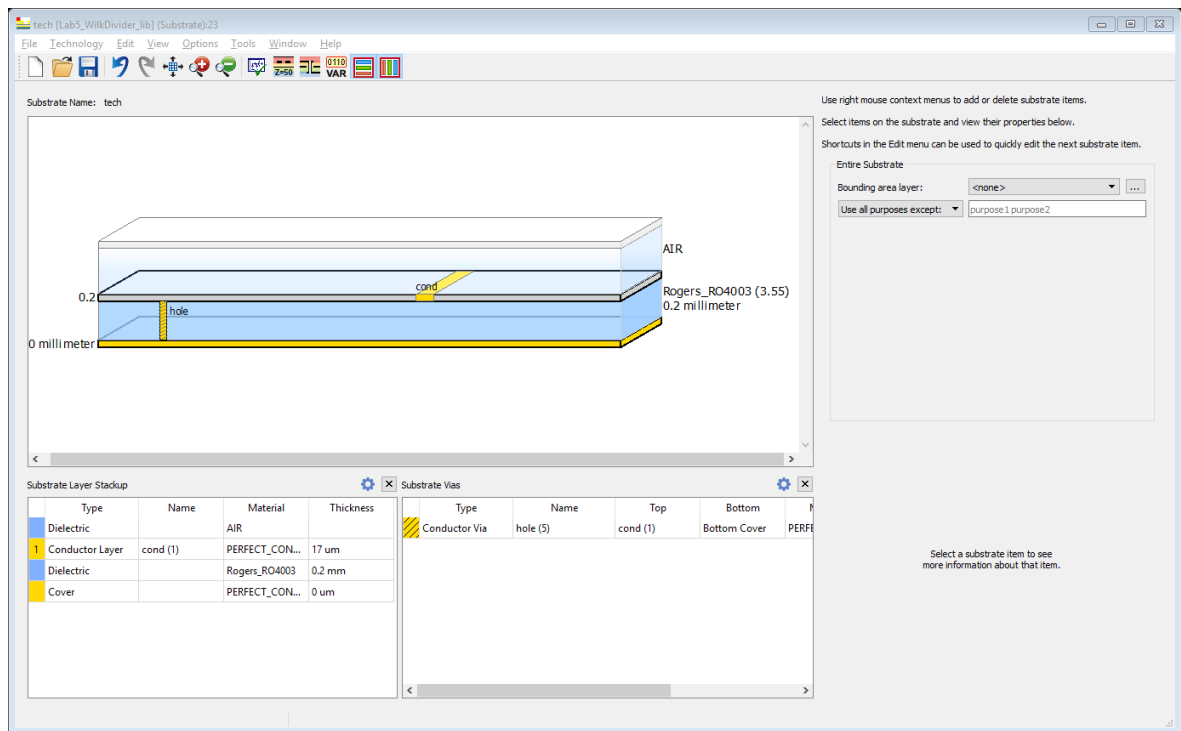
1. Составление модели на идеальных линиях передачи и моделирование в режиме S-параметров и анализ результатов.
2. Преобразование модели на идеальных линиях передачи в схемотехническое представление на заданной ВЧ-подложке с помощью инструмента LineCalc. Моделирование в режиме S-параметров и анализ результатов. При необходимости подстройка модели.
3. Преобразование схемотехнической модели в топологическое представление. Организация косимуляции с дискретным компонентом. Моделирование методами моделирования uMoM (Microwave Momentun). Параметризация ЕМ-модели. При необходимости подстройка модели.
4. Организация автоматической косимуляции с применением инструмента emCosim.

Создание проекта

Lab1

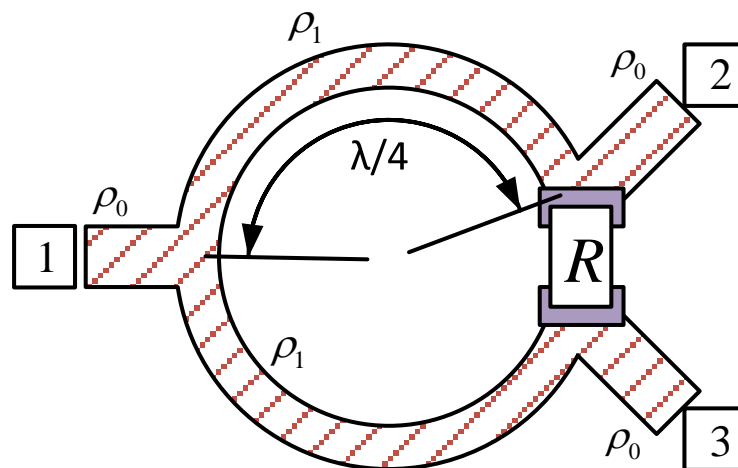
Проект должен быть подготовлен к ЕМ-моделированию, в том числе:

- В качестве библиотеки слоев необходимо дополнительно к библиотеке назначения слоев схемы «ads_schematic_layer» выбрать «ads_standard_layers» (назначение топологических слоев).
- единицы длин проекта – мм, с разрешением 10000 точек/мм
- рекомендовано сразу создать определение подложки tech.subst, в примере RO4003 ($\epsilon_r = 3,55$, $\tan D = 0,0026$), толщиной диэлектрика 0,2мм, толщиной металлизации 17мкм.



Модель на идеальных линиях передачи

Кольцевой развязанный делитель мощности (Wilkinson Divider, кольцевой развязанный делитель) с равным делением мощностей (гибридный, на -3 дБ) при построении его на идеальных линиях передачи описывается следующим рисунком.



Для получения идеального согласования волновые сопротивления плеч должны равняться $\rho_1 = \rho_0 \sqrt{2}$, а номинал развязывающего резистора $R = 2\rho_0$. Для 50 Ом-ной подводящей линии эти значения равны $\rho_1 = 71$ Ом, $R = 100$ Ом.

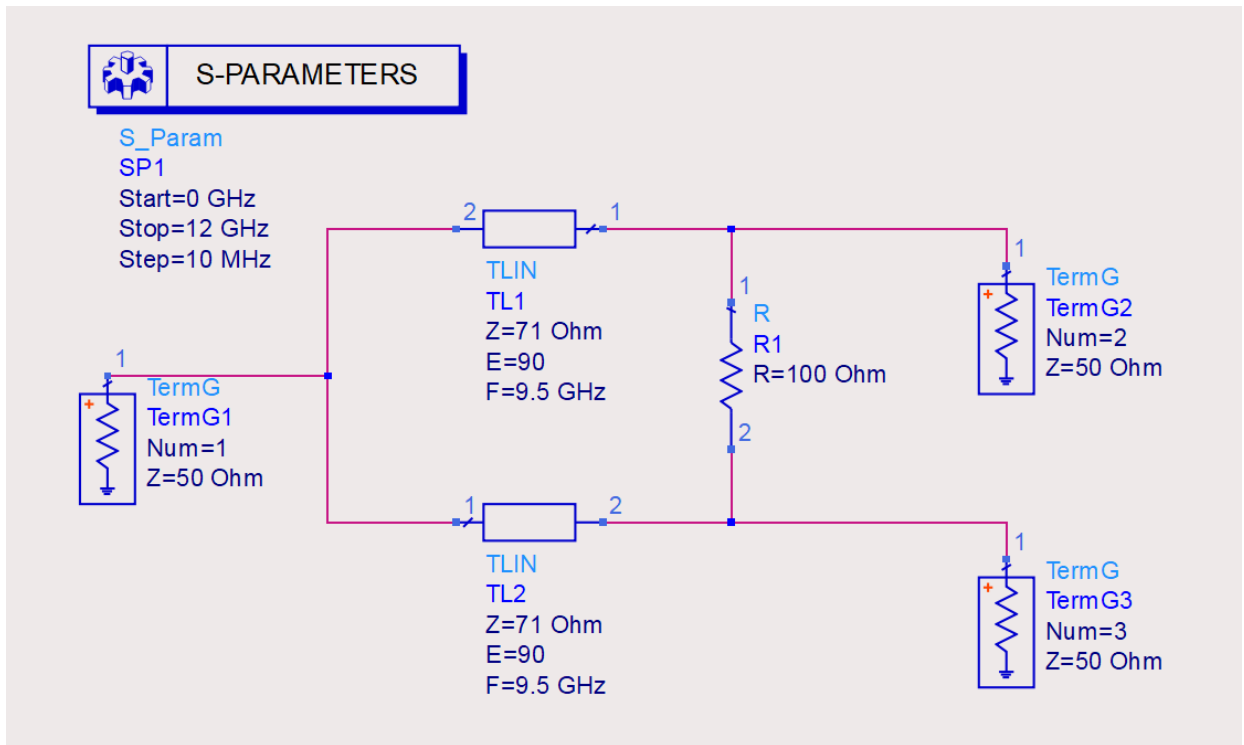
Пусть кольцевой развязанный делитель мощности настроен на частоту 9,5 ГГц.

Создаем схему WilkDivider_Ideal. Собираем на идеальных линиях

передачи (модель TLIN ).



Нужно следить за нумерацией терминаторов Term (свойство Num). Оно определяет порядок обозначений в матрице S-параметров. Эту нумерацию надо будет сохранять одинаковой во всех схемах проекта, чтобы можно было сопоставлять графики.

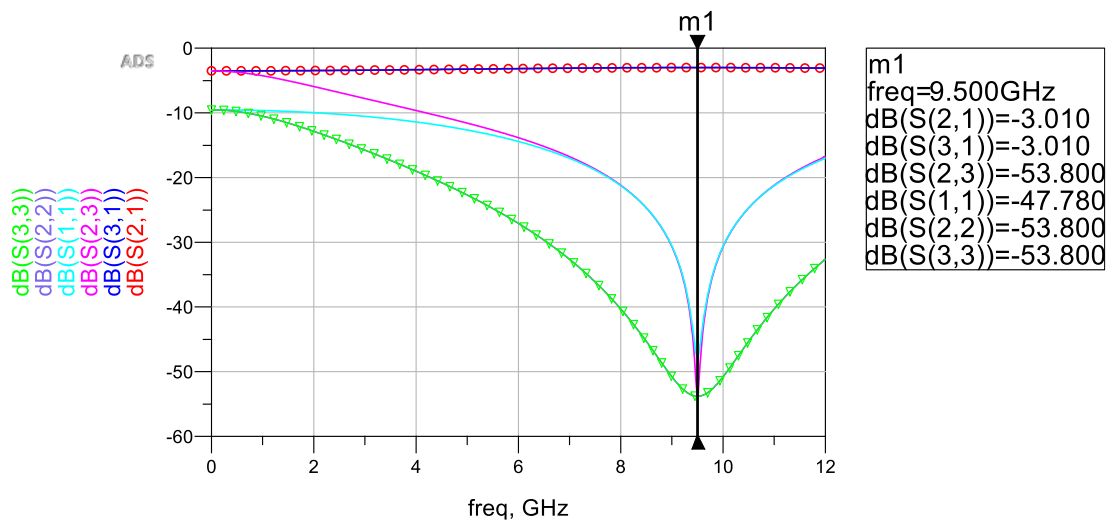


Запускаем моделирование .

Lab1

Выводим прямоугольный график с амплитудными соотношениями – коэффициенты передачи из порта 1 в 2 и 3 ($\text{dB}(S_{21})$ и $\text{dB}(S_{31})$), развязку между портами 2 и 3 $\text{dB}(S_{23})$. Также добавим коэффициенты отражения от портов 1, 2 и 3 ($\text{dB}(S_{11})$, $\text{dB}(S_{22})$ и $\text{dB}(S_{33})$ соответственно).

Т.к. каналы симметричны, то $\text{dB}(S_{21})$ и $\text{dB}(S_{31})$ полностью совпадают. Отметим одну из кривых символами. Аналогично, для $\text{dB}(S_{22})$ и $\text{dB}(S_{33})$.



По результатам видно:

- имеет хорошее согласование по всем входам: $\text{dB}(S_{11})$, $\text{dB}(S_{22})$ и $\text{dB}(S_{33}) < -47$ дБ;
- коэффициенты передачи из порта 1 в порты 2 и 3 ($\text{dB}(S_{21})$ и $\text{dB}(S_{31})$) близки к -3 дБ, т.е. устройство гибридное;
- развязка $\text{dB}(S_{23})$ также большая -53 дБ;
- устройство настроено точно на 9,5 ГГц – видно по положению провалов на $\text{dB}(S_{23})$, $\text{dB}(S_{11})$, $\text{dB}(S_{22})$ и $\text{dB}(S_{33})$.

Модель на схемном уровне в микрополосковом исполнении

Преобразуем рассчитанную ранее схему цепь из идеальных линий передачи в микрополосковое представление на схемном уровне.

Создаем новую схему WDivider_MLIN.

Для того, чтобы сгенерированный схематик можно было превратить в топологию (кольцо между всеми плечами замкнулось нормально), нам придется учитывать размеры резистора и отводящих линий.

Lab1

С помощью инструмента LineCalc



рассчитаем

геометрические размеры некоторых линий.

Напомним параметры подложки - RO4003 ($\epsilon_r = 3,55$, $\tan \delta = 0,0026$), толщиной диэлектрика 0,2мм, толщиной металлизации 17мкм.

Расчет ведем для частоты 9,5 ГГц.

Микрополосковая линия на 50 Ом имеет ширину $W_{50} = 0,43$ мм.

Микрополосковая линия на 71 Ом и электрической длиной 90° имеет длину 4,9 мм и ширину 0,23 мм.

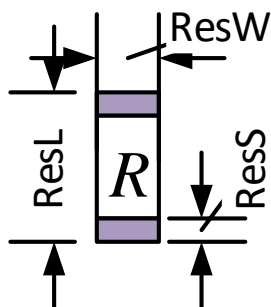
В проектируемом кольце дуги имеют электрическую длину 90° , при этом геометрический угол дуги равен 180° . Т.к. задавать мы эти дуги будем радиусом, то пересчитаем в него

$$Rad = \frac{4,9}{2\pi} \cdot \frac{360^\circ}{180^\circ} \approx 1,5 \text{ мм}$$

Осталось учесть размеры резистора и отводящих линий.

Резистор может быть выполнен по тонкопленочной технологии или впаян чип-резистор. Установим чип-резистор.

Геометрически чип-резистор описывается четырьмя размерами (ниже показан вид сверху) – длиной (ResL), шириной (ResW), длиной выводов (ResS) и высотой (ResT, не используется в текущем проекте).



Так как чип-резисторы являются стандартными компонентами, то воспользуемся следующей таблицей размеров популярных типоразмеров.

Таблица 1. Типоразмеры стандартных чип-резисторов

Краткое именование типоразмера (дюйм)	Длина, ResL, мм	Длина выводов, ResS, мм	Ширина выводов, ResW, мм	Типовая предельная рассеиваемая мощность, PDissMax, Вт
0402	1,0	0,25	0,5	0,063 (1/16)
0603	1,6	0,3	0,8	0,1 (1/10)
0805	2,0	0,4	1,25	0,125 (1/8)
1206	3,1	0,5	1,6	0,25 (1/4)
1210	3,1	0,5	2,6	0,33 (1/3)
2010	5,0	0,5	2,6	0,5 (1/2)
2512	6,4	0,6	3,2	1,0

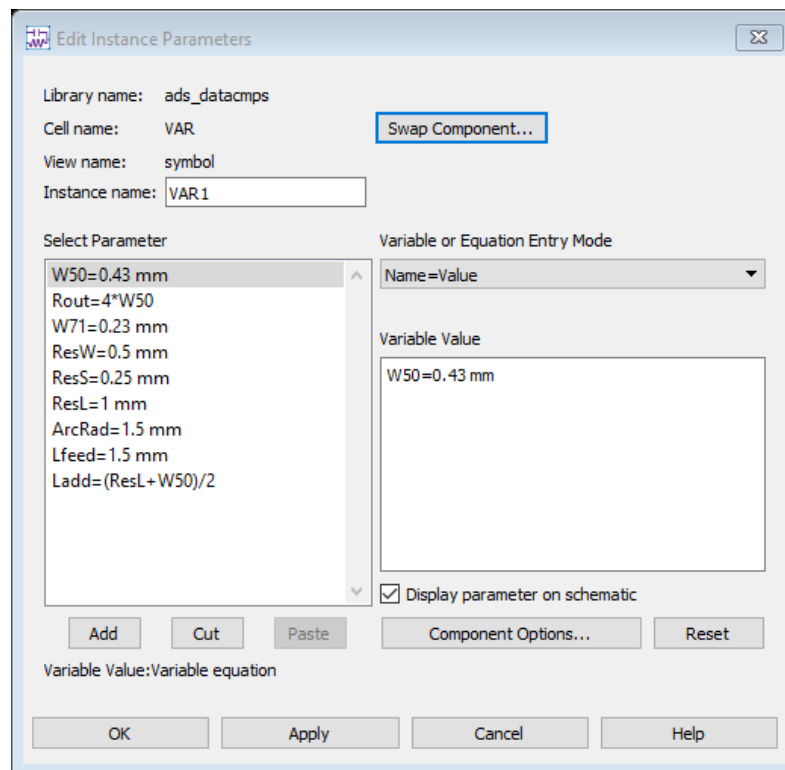
Резистор по своим размерам не должен по ширине ResW слишком отличаться от подведенных линий (от W71 и W50). С другой стороны – он должен быть электрически малым - т.е. его длина ResL не должна превышать значение порядка $\lambda/10..15$ ($\sim 30..20^\circ$). В противовес этому резистор желателен максимального типоразмера, т.к. типоразмер определяет максимальную рассеиваемую мощность, а значит позволяет кольцевому развязанному делителю выдерживать бóльшую несимметричность плеч при сложении мощностей.

В нашем случае, W71 = 0,23 мм и W50 = 0,43 мм, а $L_{20^\circ} \approx 1,1$ мм, т.е. подойдет типоразмер 0402.

Для компенсации длины резистора и выводящий линий будем использовать два участка MLIN, шириной W71 и длиной Ladd = (ResL + W50)/2.



Со стороны порта 1 поставим MLIN шириной W50, небольшой длины Lfeed = 1,5 мм. Со стороны портов 2 и 3 отводящие линии сделаем с помощью дуг шириной W50, на 45° и радиусом Rout = 4..5 ширин W50.

Вносим все переменные в блок VAR.



Далее строим схему моделирования на микрополосковых линиях MLIN, дугах MCURVE2, и тройниках MTEE_ADS.

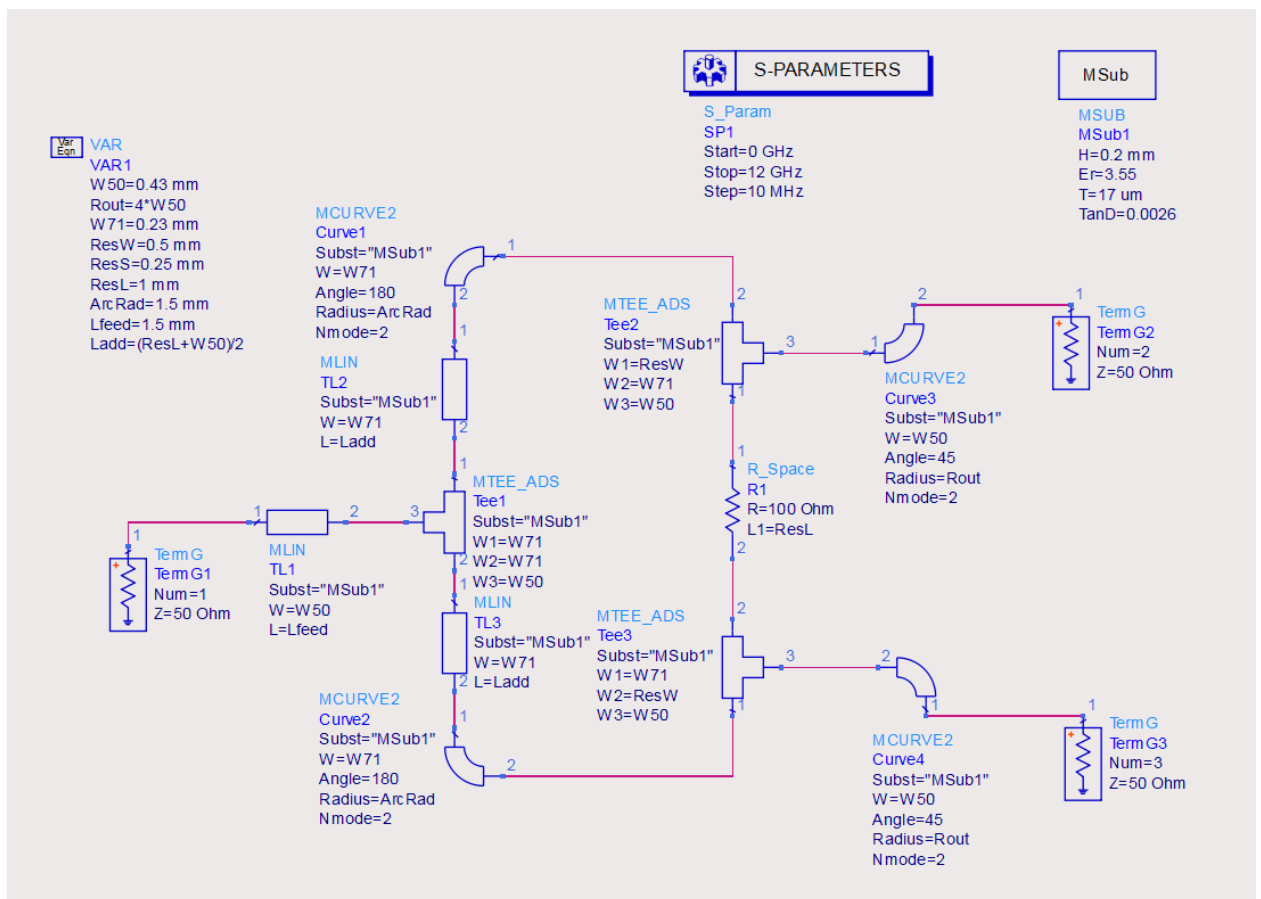


При расположении микрополоковых компонентов в схеме их можно только вращать (Rotate , Ctrl+R). Зеркалить (Mirror About X, Mirror About Y, Shift+X или + Y ) такие компоненты нельзя. Зеркалится только обозначение в схеме, при последующем переносе в топологию это приводит к некорректному построению.

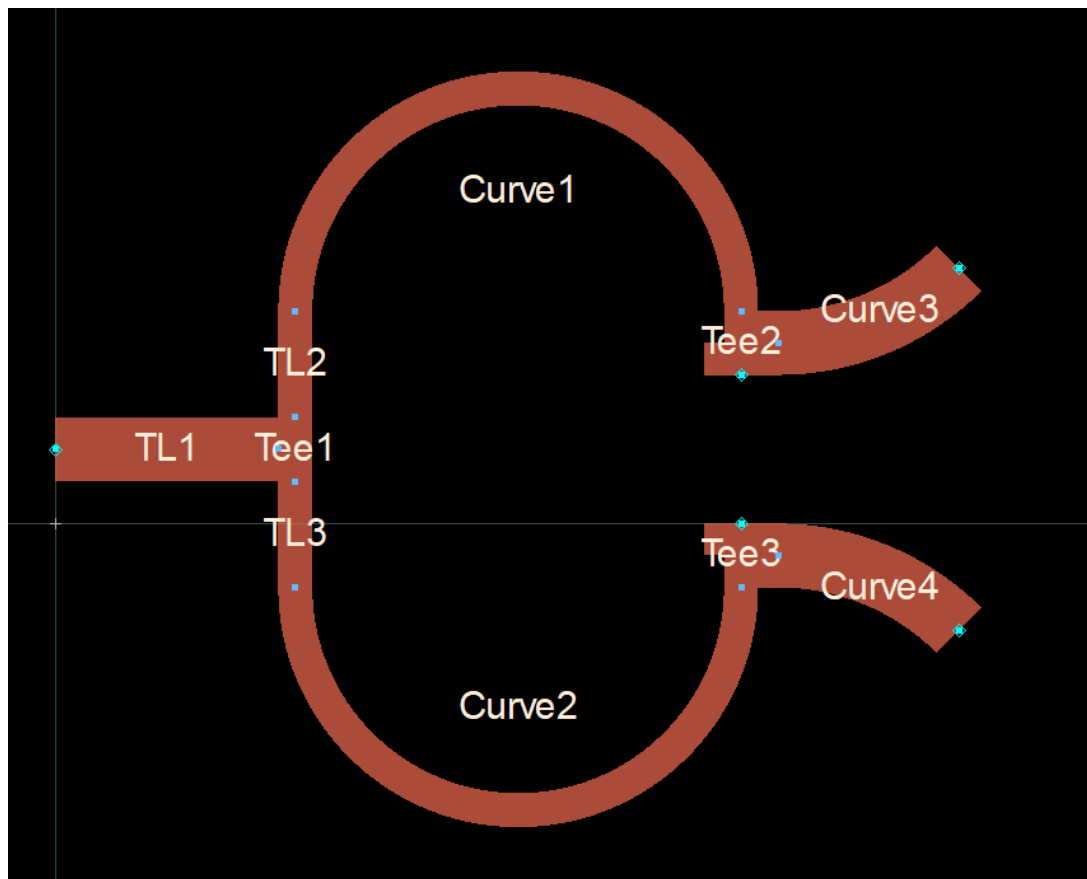


При расположении компонентов можно перемещать привязанную текстовую информацию по ПКМ – Move Component Text (F5), так, чтобы получать чистую и читаемую схему.

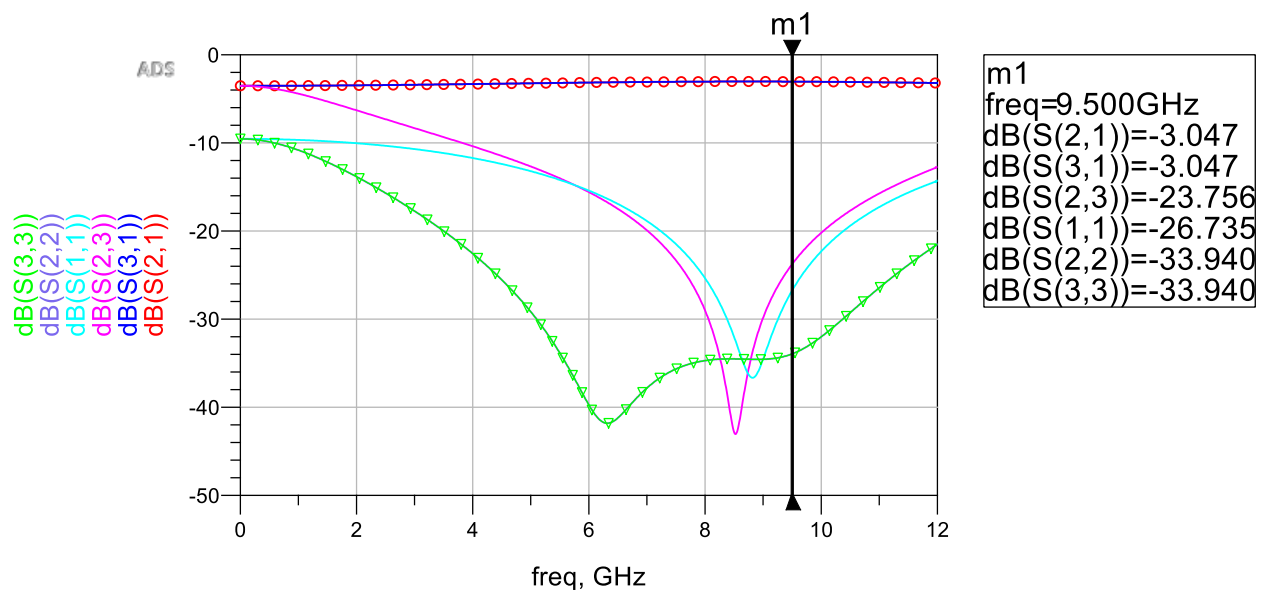
Модель резистора будем использовать типа R_Space, чтобы иметь возможность задать зазор между выводами.



Т.к. данная схема довольно сложна и присутствуют взаимосвязанные участки, то лучше сразу после построения схемы по команде Layout – Generate/Update Layout проверить, что топологическое представление корректно (без сохранения топологии).



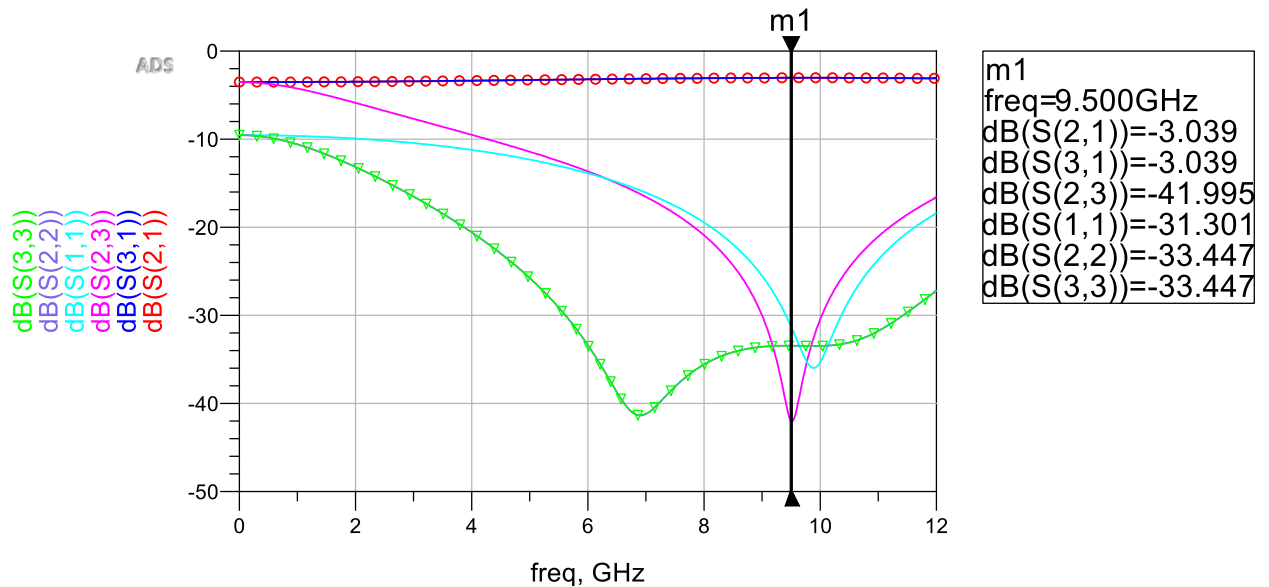
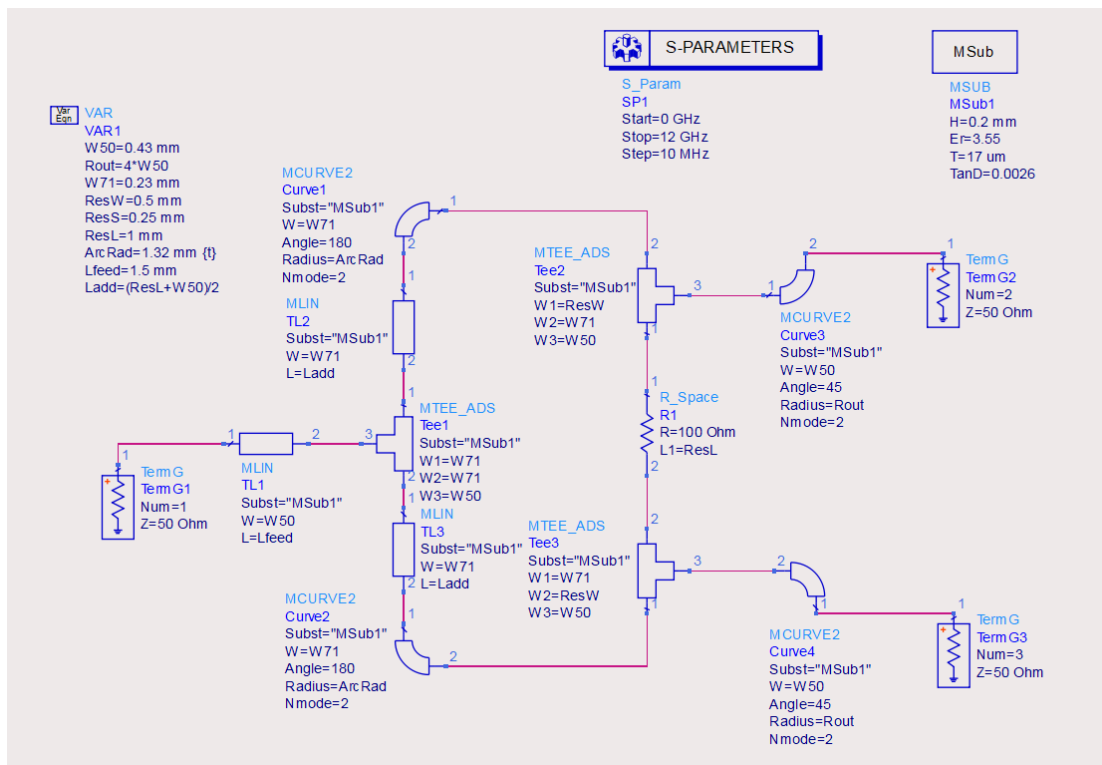
Запускаем моделирование. В области графиков строим амплитудные характеристики относительно порта 1.



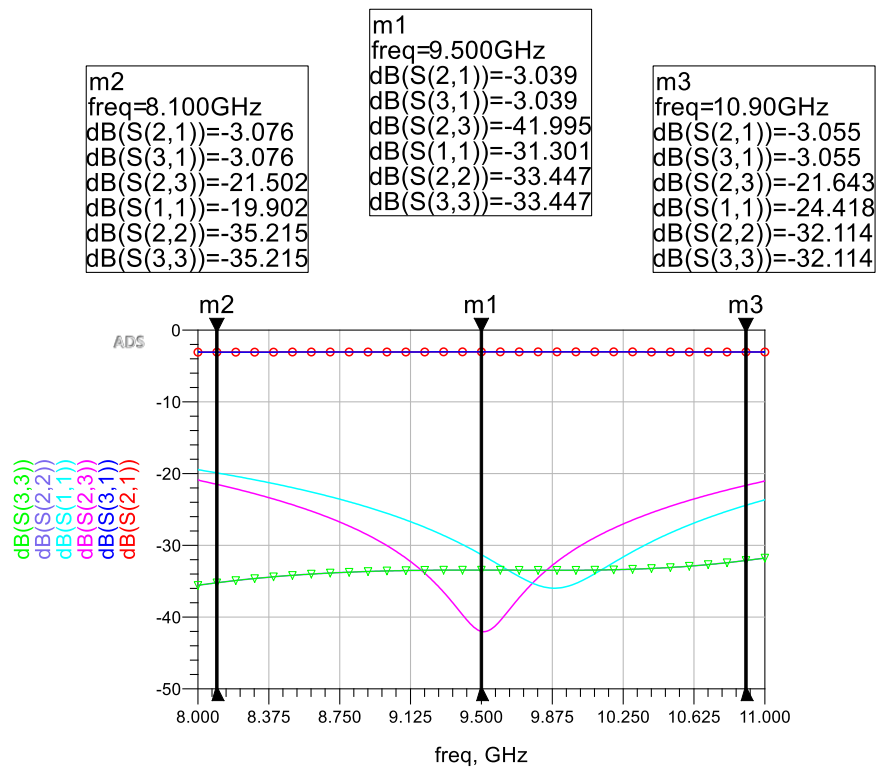
Результаты показывают, что рабочая частота устройства уплыла вниз. Связанно это с тем, что были добавлены тройники и их компенсирующие участки. Электрические длины дуг оказались больше, чем нужно.

С помощью инструмента Tune или Optimization настроим кольцевой развязанный делитель на 9,5 ГГц. Делается это исключительно подстройкой

радиуса дуг ArcRad. Рабочая частота контролируется по положению провала на развязке dB(S23). После подстройки ArcRad = 1,32 мм.



Оценим теперь его свойства в некотором частотном диапазоне $\pm 1,4$ ГГц ($\pm 15\%$).



Видно, что:

- устройство является гибридным во всей заданной полосе $\text{dB}(S_{21})$ и $\text{dB}(S_{31}) \sim -3$ дБ;
- развязка $\text{dB}(S_{23})$ во всей полосе сохраняется в пределах -20 дБ с достижением -42 дБ на центральной частоте;
- коэффициент отражения $\text{dB}(S_{11})$ сохраняется в пределах -20 дБ во всей полосе, что соответствует КСВН $\sim 1,2$;
- коэффициенты отражения $\text{dB}(S_{22})$ и $\text{dB}(S_{33})$ сохраняются в пределах $-32...-33$ дБ, что соответствует КСВН $\sim 1,05$.

В целом видно, что кольцевой развязанный делитель мощности ожидаемо работает в заданной полосе.

Модель на топологическом уровне

Lab1 Следующий этап – сгенерировать топологию на основе схемного представления. Для параметризации топологии надо будет создать двухуровневую схему, причем во внутреннюю схему должны быть отправлены только полосковые компоненты, а резистор должен остаться на верхнем уровне:

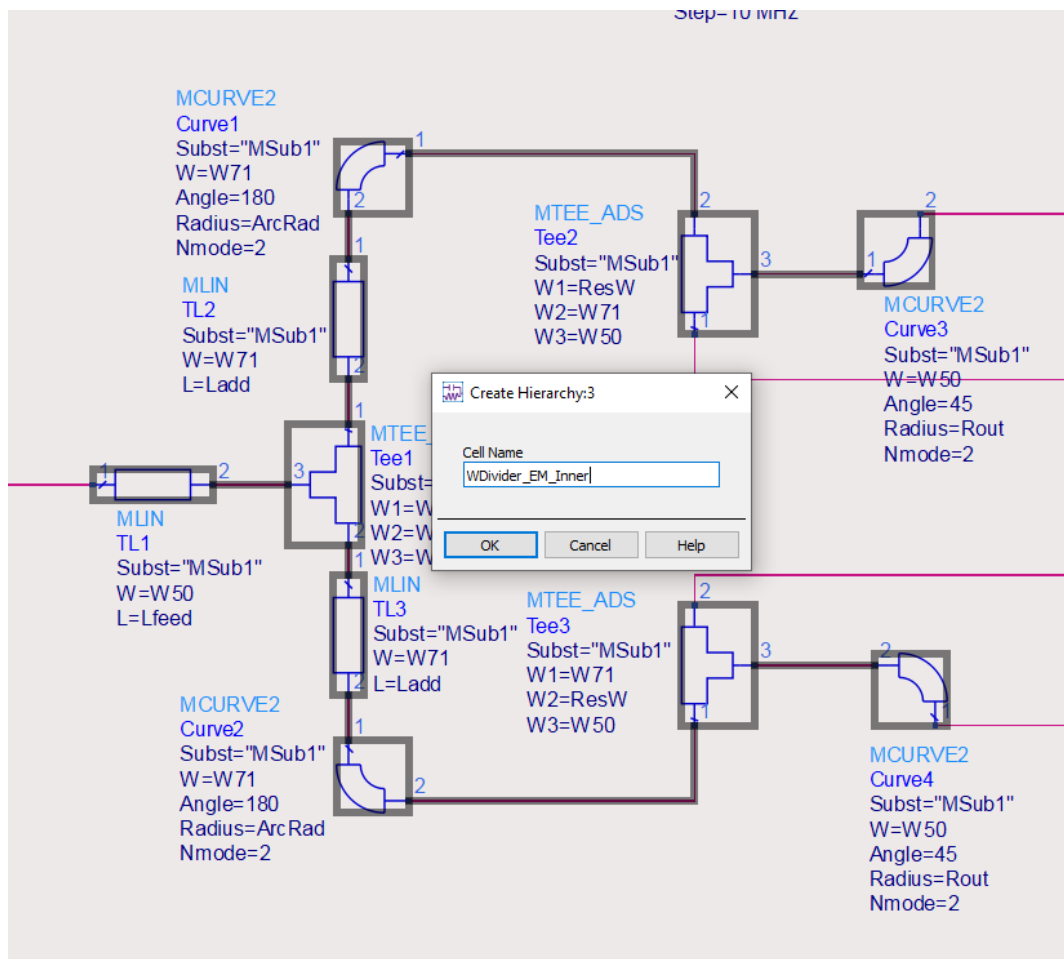
- схема верхнего уровня WDivider_EM_Top, в которой будет контроллер S-параметров, терминаторы, развязывающий резистор и все измерительные выражения.

- схема нижнего уровня WDivider_EM_Inner, только с микрополосками (MCURVE2, MLIN и MTEE_ADS), подключённая наверх через пины.

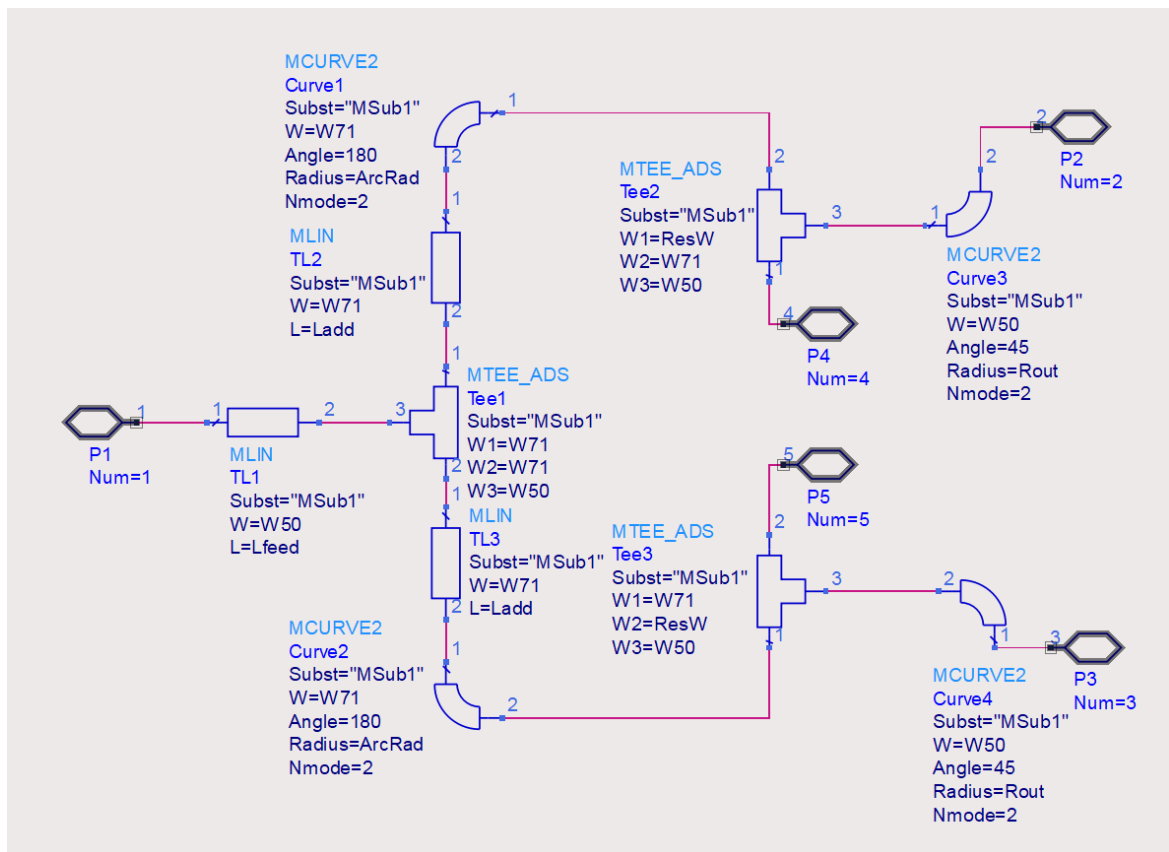
Схему нижнего уровня WDivider_EM_Inner надо будет сконвертировать в топологию; сделать всю ячейку WDivider_EM_Inner параметризированной и настроить параметры EM_моделирования (emSetup).

Далее кратко показаны основные картинки до начала моделирования

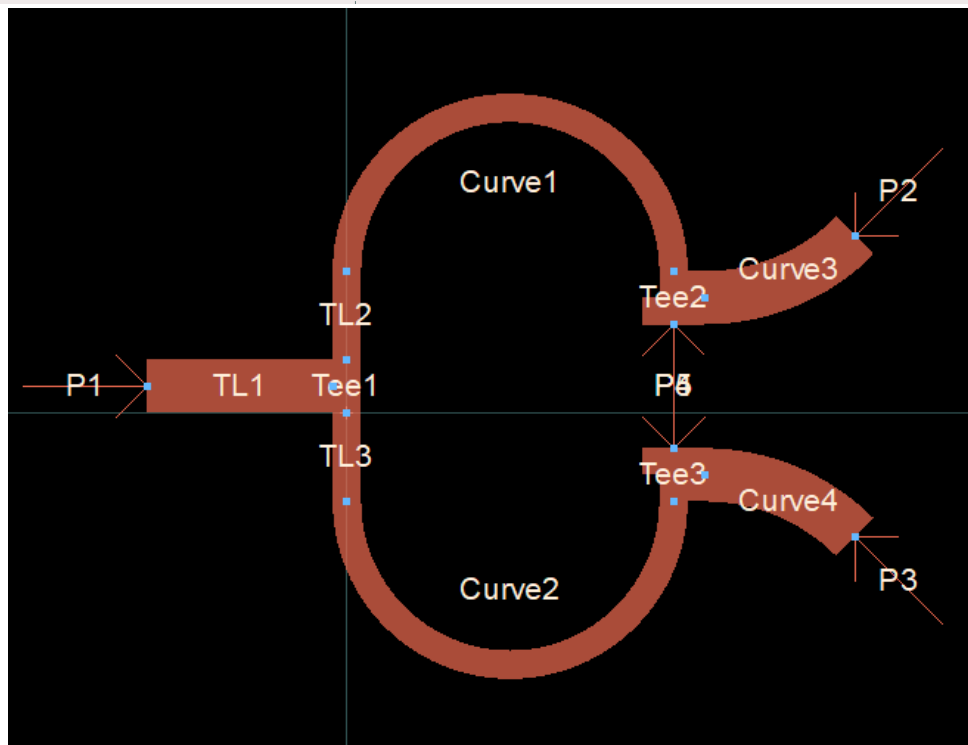
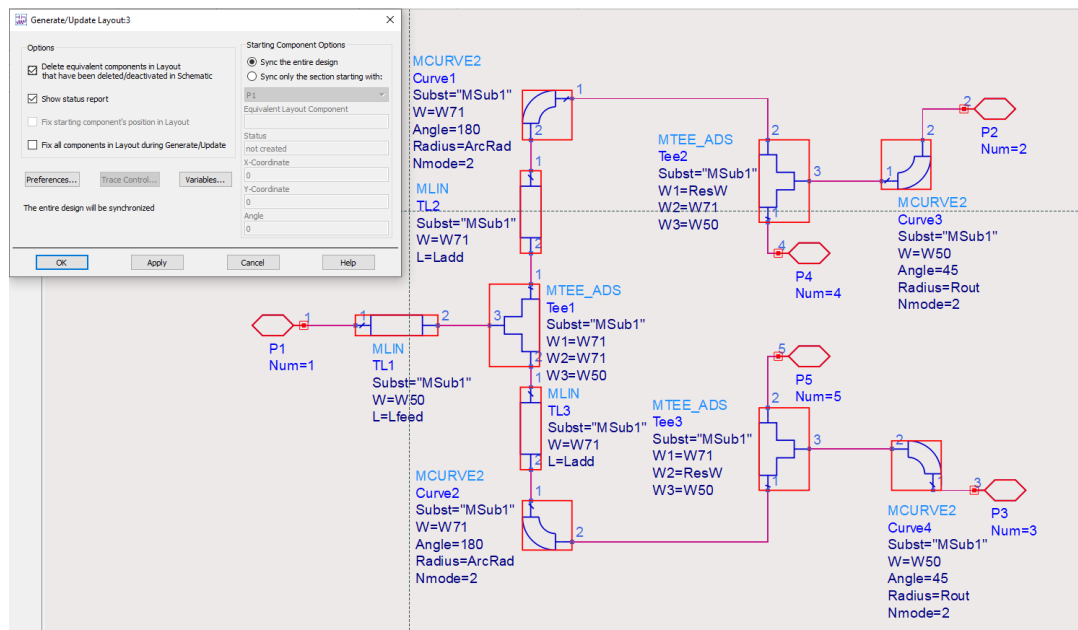
- создание иерархии



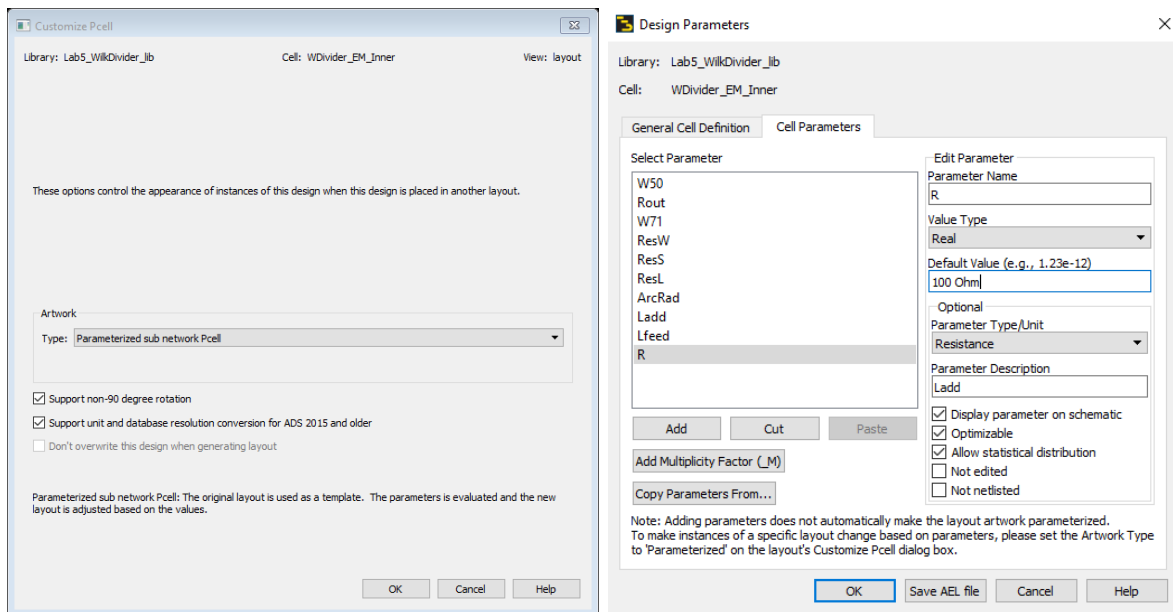
Автоматическое создание иерархий может выставить порядок пинов не в том порядке, как нам удобно. Пусть развязывающий резистор подключается через пины P4 и P5. Разместим пины как показано ниже:





- генерация топологии подсхемы WDivider_EM_Inner




- параметризация ячейки WDivider_EM_Inner. Длины должны иметь тип Length, сопротивление развязывающего резистора R тип сопротивления (Resistance). Сопротивление и размеры развязывающего резистора пока используются не все, мы заранее их добавили.





Lab1 Далее надо настроить  подсхемы WDivider_EM_Inner. Задать следующие настройки:


 **Mom uW** - метод моделирования Momentum Microwave, режим EM Simulation/Model.


 **Substrate** - убедиться, что привязана правильная подложка

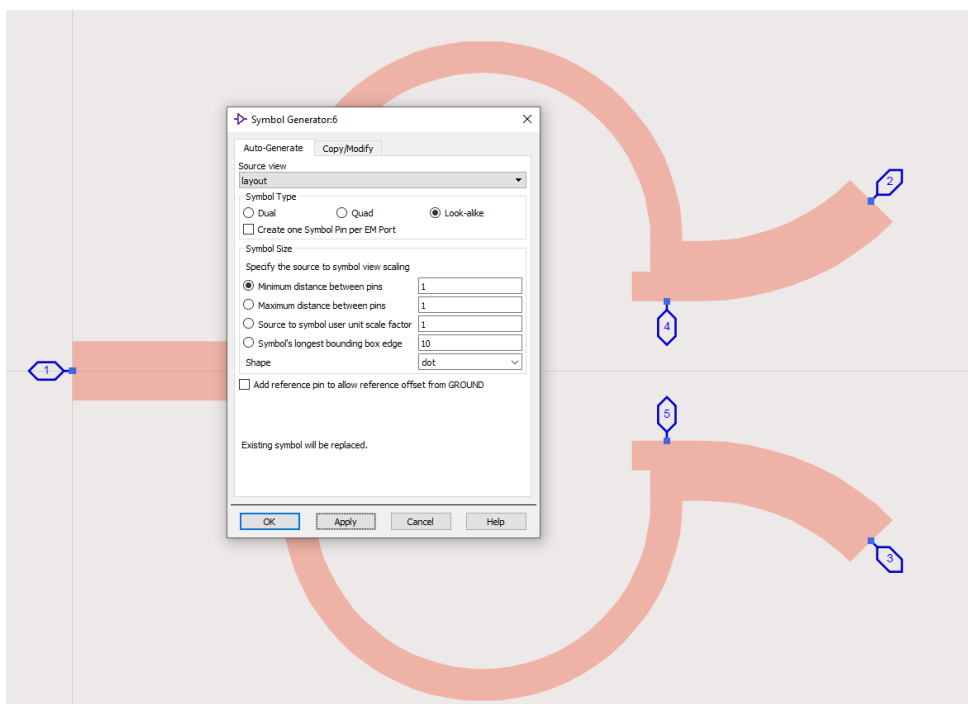
 **Frequency plan** - частотный план адаптивный от 0 до 12 ГГц, плюс точка 9,5 ГГц

 **Output plan** - отключено автоматическое отображение результатов и отключено сохранение токов для всех расчетных частот.

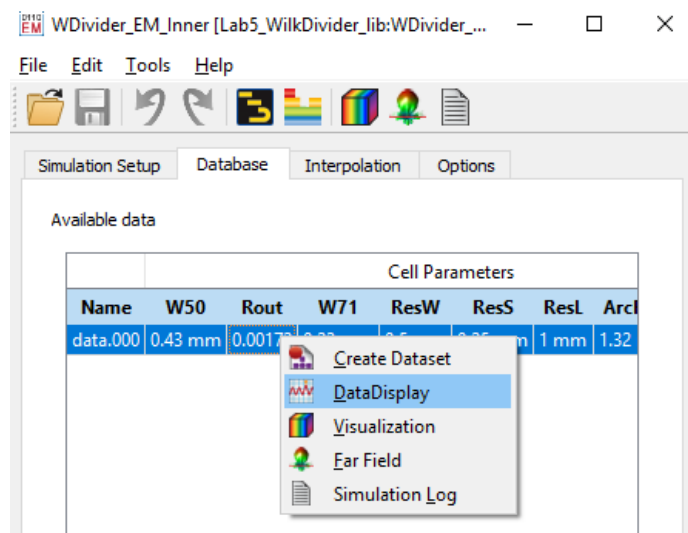
 **Options** - Mesh с точностью 40 ячеек/длина волны, включено автоматическое создание краевой сетки и разрешено упрощение сетки Mesh Reduction. Аппроксимация дуг пусть будет по 5° (Preprocessor, Global: All Shapes режим Simplify the layout установить arc resolution = 5 degrees). По предыдущему опыту мы знаем, что данных параметров разбиения достаточно.

 **Model** - включено создание и сохранение emModel

По команде Tools – Open Symbol Editor  сгенерирован символ, аналогичный топологии.

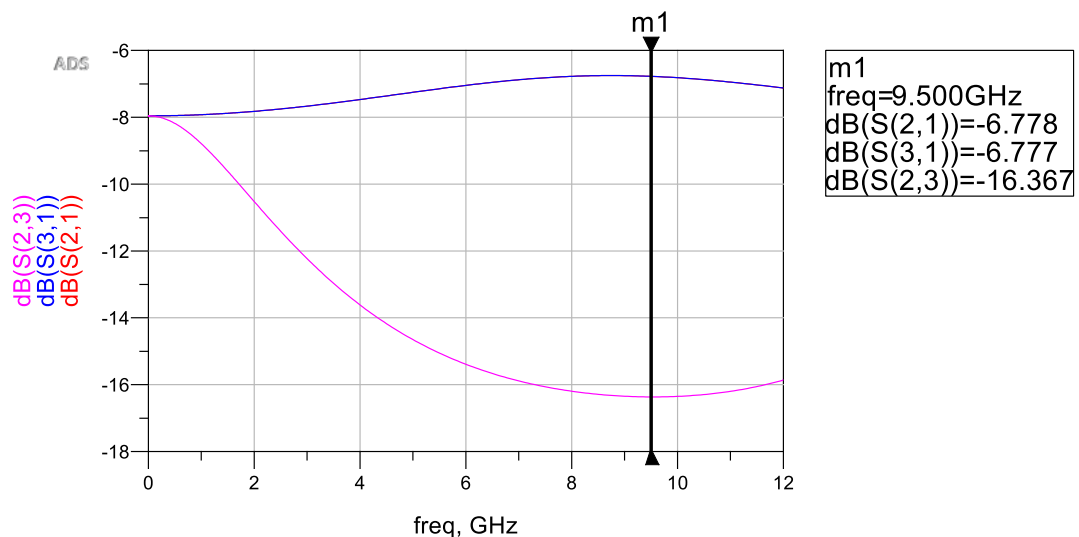


Запустим один раз расчет ЕМ-моделирования. После окончания расчета зайдём в содержание emModel и на вкладке Database для значений по умолчанию по ПКМ – DataDisplay

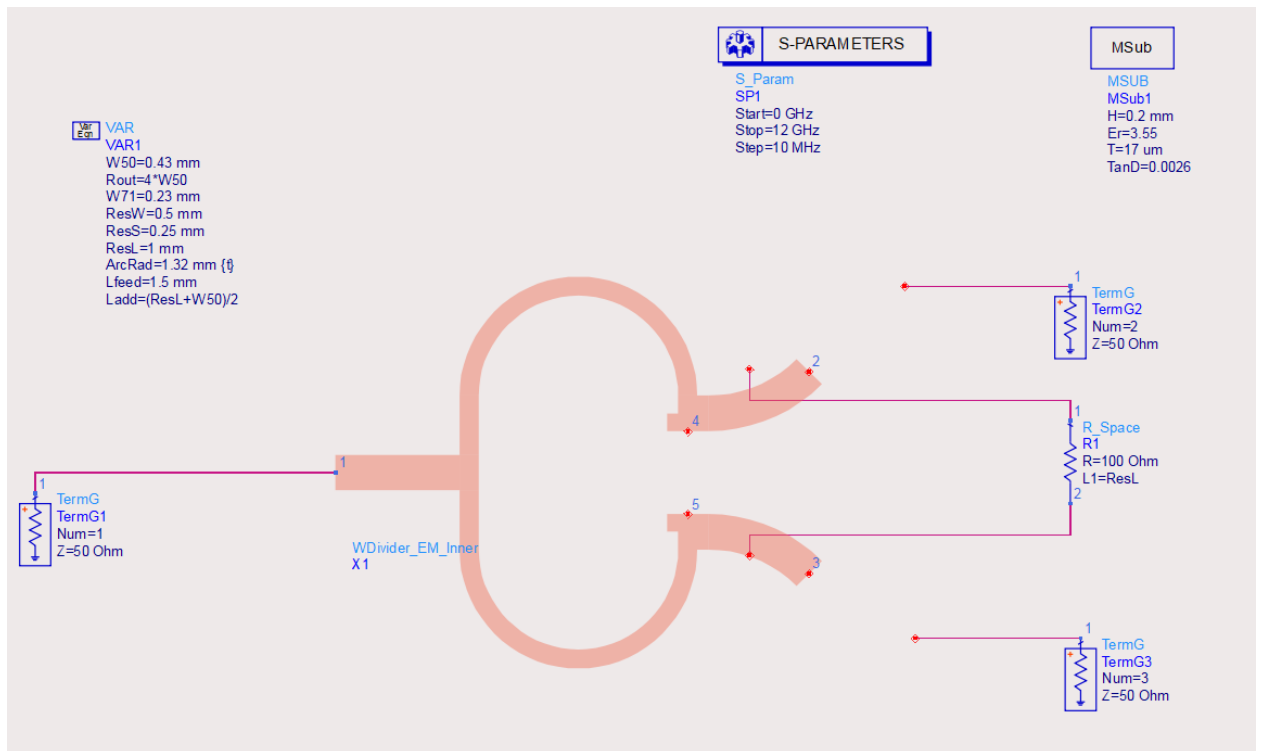


В открывшемся окне графиков выведем амплитудные характеристики.

Коэффициенты передачи $\text{dB}(S_{21})$ и $\text{dB}(S_{31})$ далеки от -3 дБ, а развязка $\text{dB}(S_{23})$ тоже выглядит странно.



Это связано с тем, что приведены результаты моделирования только топологии, никак не учтено влияние резистора. Для его учета необходима косимуляция. Вернемся в схему верхнего уровня WDivider_EM_Top.



Приведем ее к следующему виду:

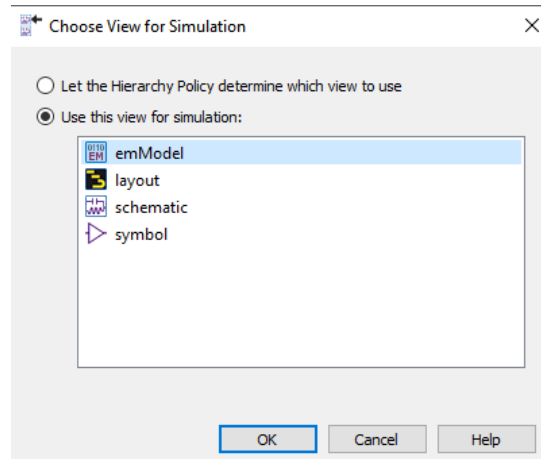
Lab1 - отключим MSub1, т.к. в EM-анализе подложка берется из файла subst.

- отключим блок переменных VAR, т.к. переменные в топологию передаются через переменные ячейки.

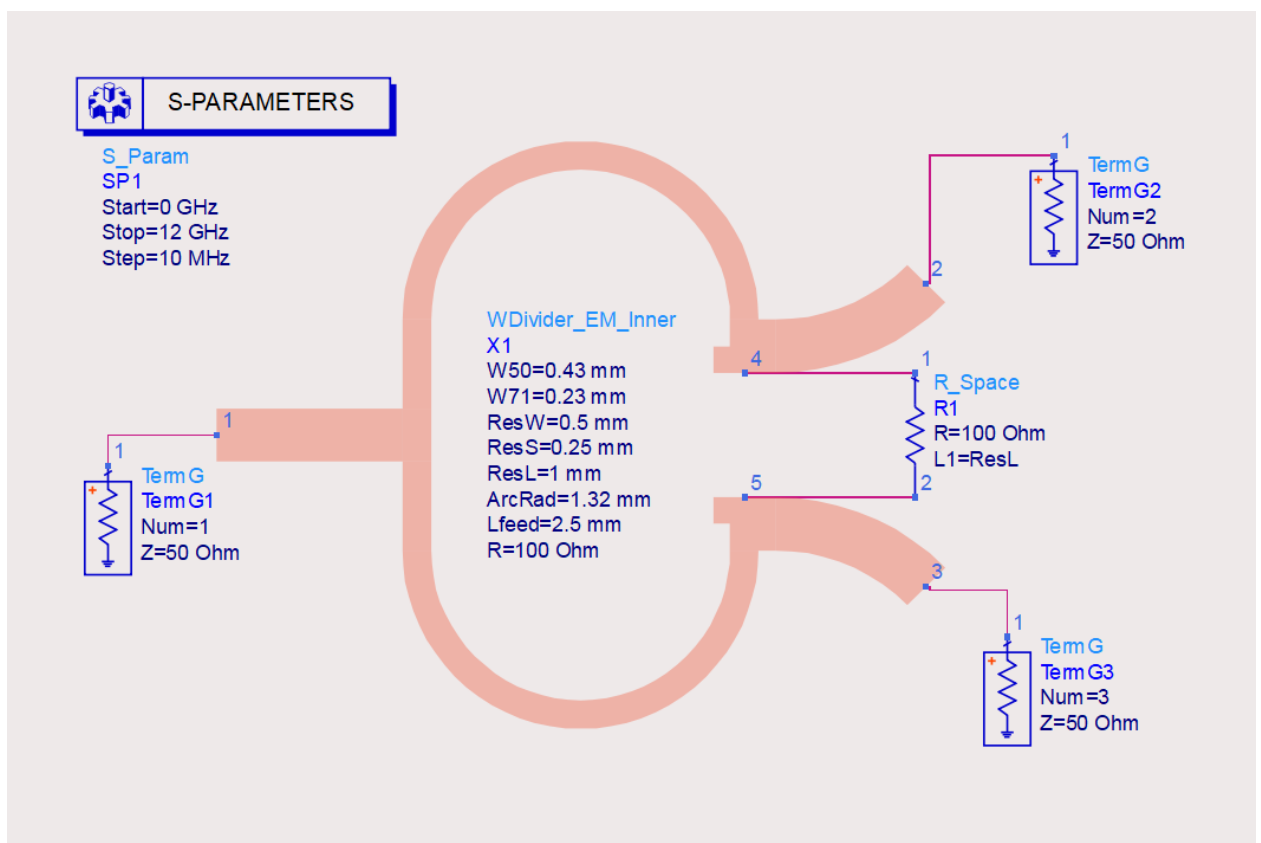
- проконтролируем положение и нумерацию терминаторов, чтобы можно было сравнивать результаты с предыдущими.

- в разрыв кольца подключим резистор R1.

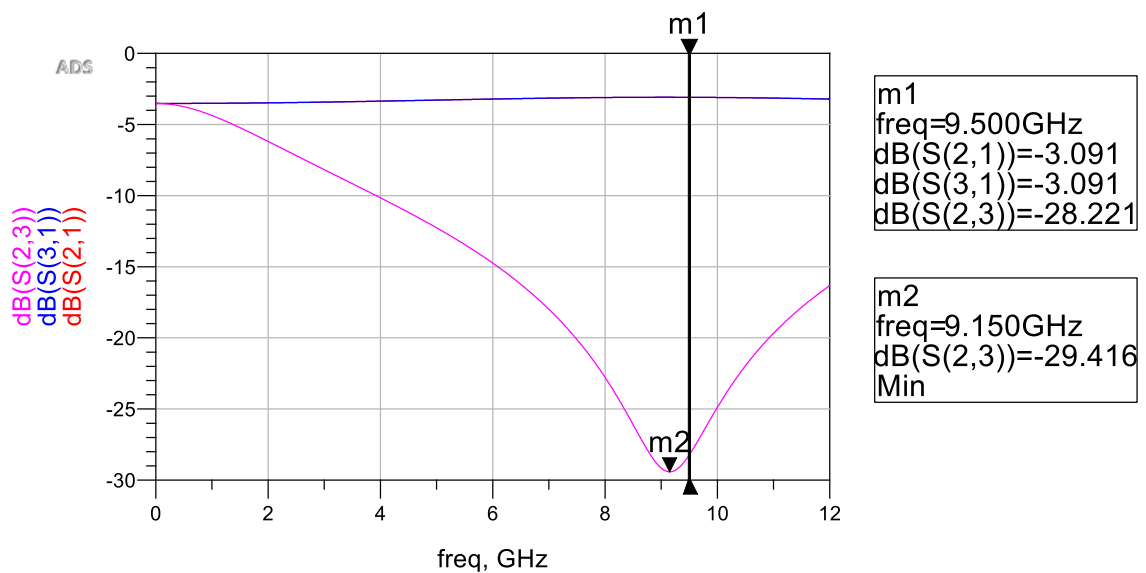
- у подсхемы топологии WDivider_EM_Inner по ПКМ – Component – Choose View for Simulation установим, что результаты надо брать из emModel.



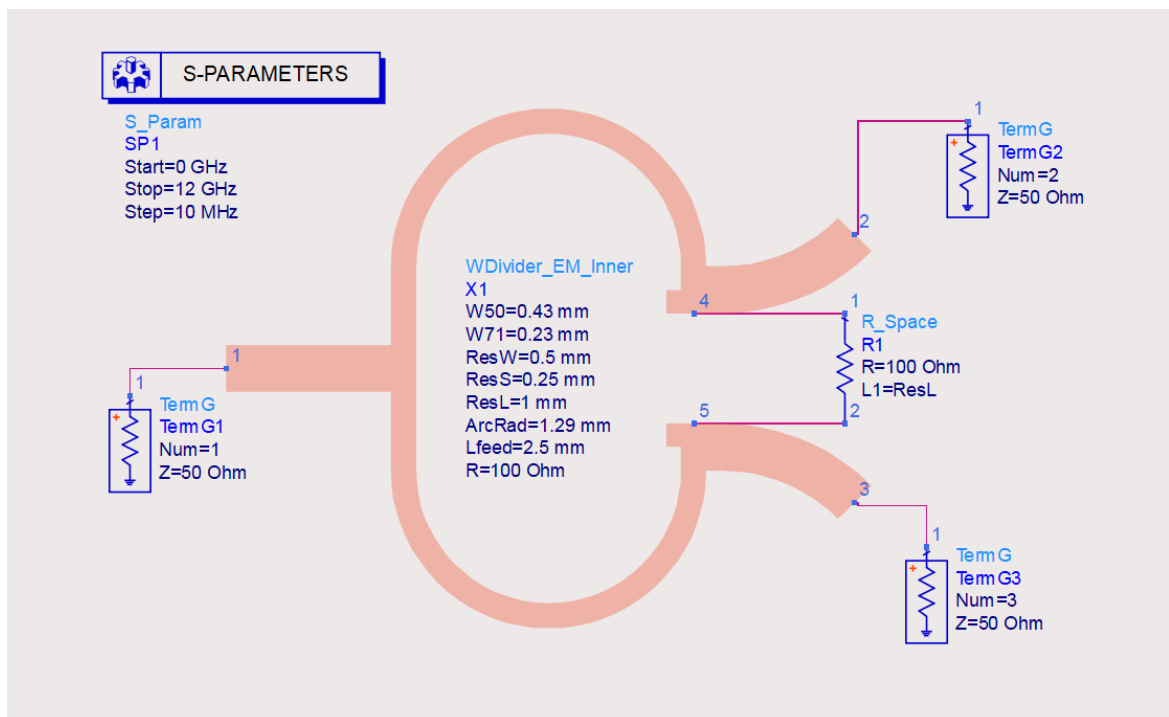
Общий вид схемы WDivider_EM_Top получится следующий



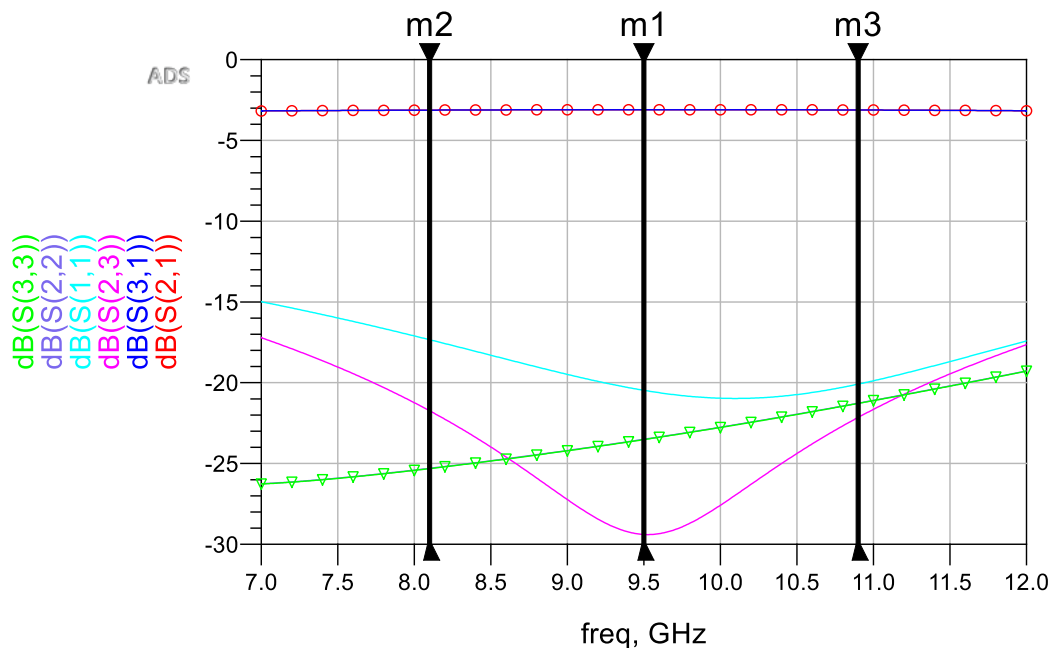
Запускаем расчет.



Характеристики теперь имеют желательный вид. Осталось подстроить центральную частоту. Она делается за счет подбора радиуса кольца ArcRad. В примере ArcRad = 1,29 мм. Дополнительно выведем коэффициенты отражения.



m2 freq=8.100GHz dB(S(2,1))=-3.128 dB(S(3,1))=-3.128 dB(S(2,3))=-21.741 dB(S(1,1))=-17.341 dB(S(2,2))=-25.300 dB(S(3,3))=-25.318	m1 freq=9.500GHz dB(S(2,1))=-3.102 dB(S(3,1))=-3.102 dB(S(2,3))=-29.395 dB(S(1,1))=-20.473 dB(S(2,2))=-23.504 dB(S(3,3))=-23.522	m3 freq=10.90GHz dB(S(2,1))=-3.121 dB(S(3,1))=-3.121 dB(S(2,3))=-22.148 dB(S(1,1))=-20.089 dB(S(2,2))=-21.268 dB(S(3,3))=-21.284
--	--	--



По сравнению со схмотехническим представлением видно некоторое снижение характеристик:

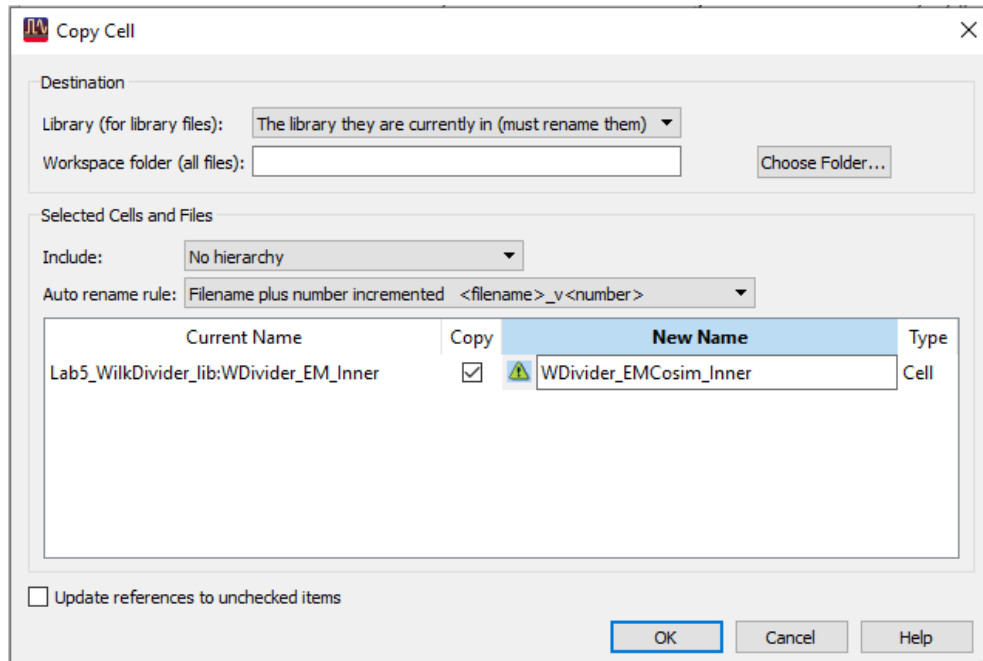
- устройство является гибридным во всей заданной полосе dB(S21) и dB(S31) с некоторыми оммическими потерями $\sim -3,1$ дБ;
- развязка dB(S23) во всей полосе сохраняется в пределах -20 дБ с достижением -29 дБ на центральной частоте;
- коэффициент отражения dB(S11) сохраняется в пределах -17 дБ во всей полосе, что соответствует КСВН $\sim 1,3$;
- коэффициенты отражения dB(S22) и dB(S33) сохраняются в пределах -21 дБ, что соответствует КСВН $\sim 1,1$.

В целом видно, что кольцевой развязанный делитель мощности работает в заданной полосе.

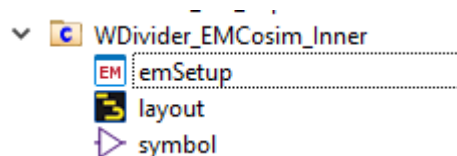
Косимуляция с чип-моделью резистора


Покажем, как организовать косимуляцию с дискретными компонентами в ADS с применением режима EmCosim.

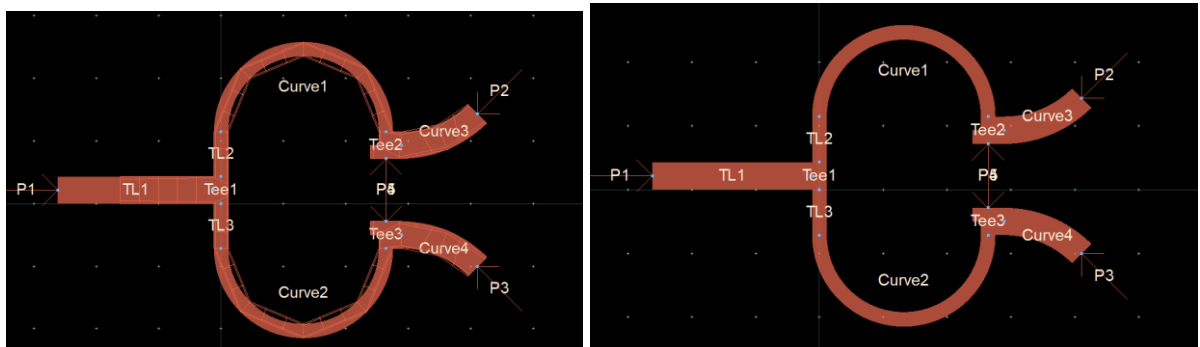
Создадим копию ячейки WDivider_EM_Inner как WD_EMCosim_Inner (в основном окне ADS по ячейке ПКМ – Copy Cell).



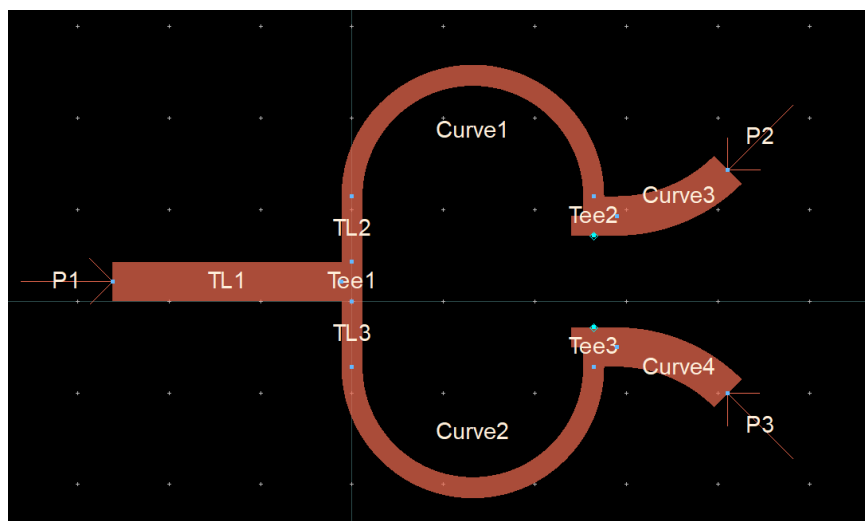
В новой ячейке WD_EMCosim_Inner удалим схемотехническое представление (schematic) и emModel. Должны остаться только emSetup, layout и symbol.




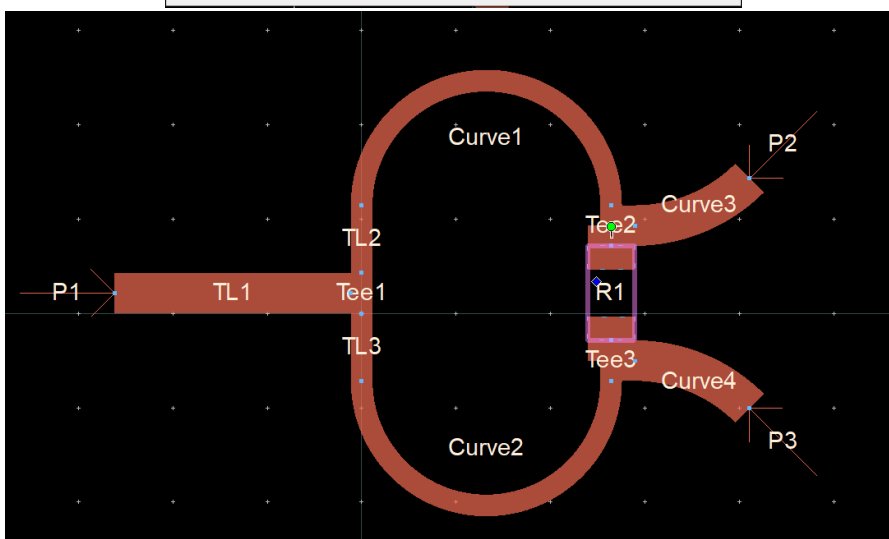
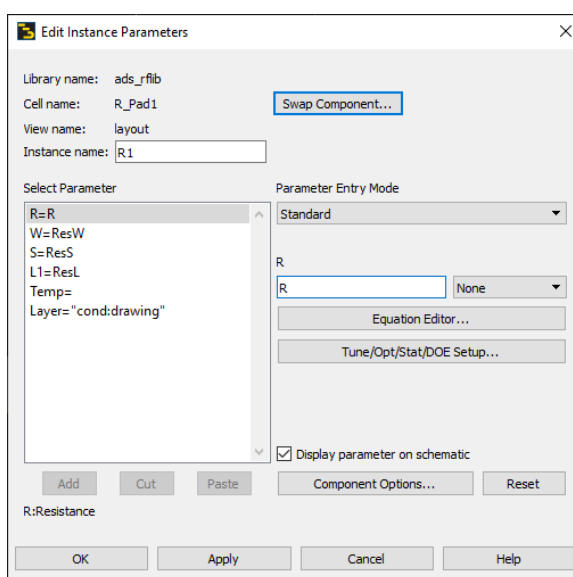
Заходим в топологическое представление. Если в ней присутствует отображение старой сетки разбиения Mesh, по меню EM – Clear Momentum Mesh  удалим это разбиение.



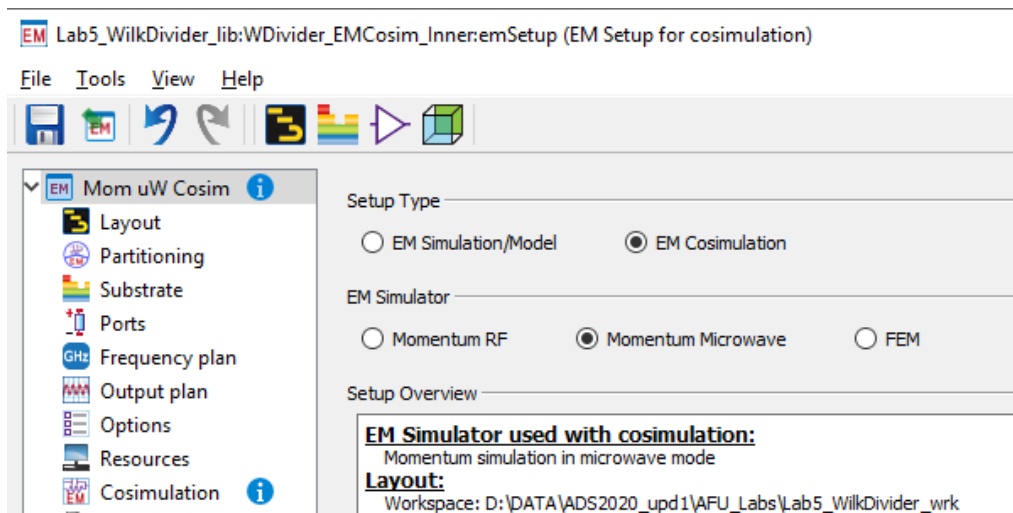
Удаляем пины для резистора (P4 и P5).



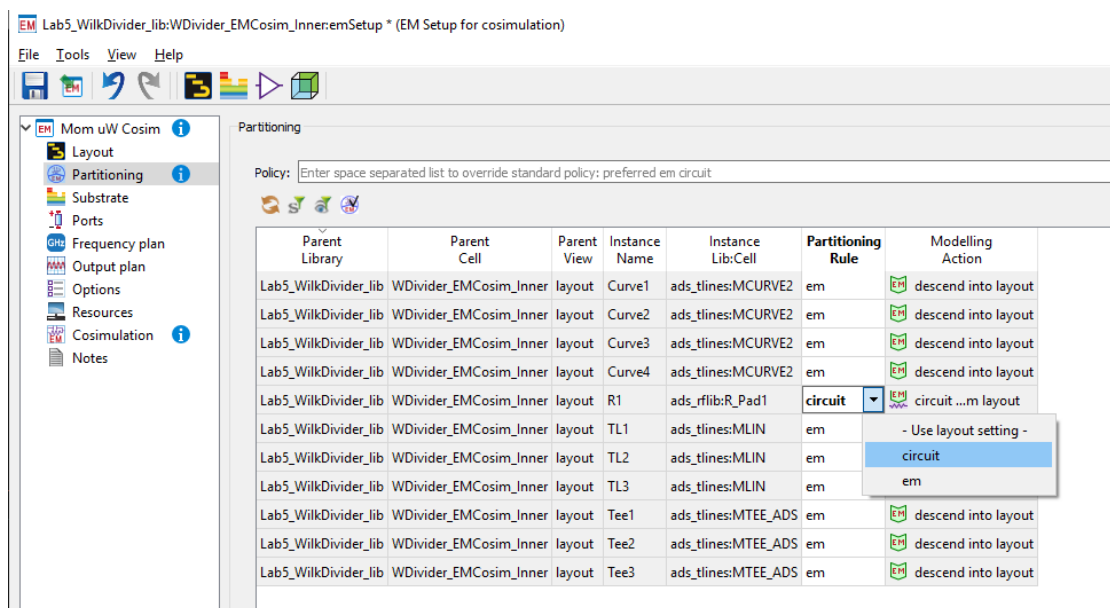
Из палитры Lumped-With Artwork ставим чип-резистор (R_Pad1 ). В параметры ему вбиваем размеры и номинал. Устанавливаем его в разрыв.



Заходим в настройки emSetup. На основной вкладке выбираем режим симуляции EM Cosimulation с выбранным симулятором Momentum Microwave (Mom uW Cosim).

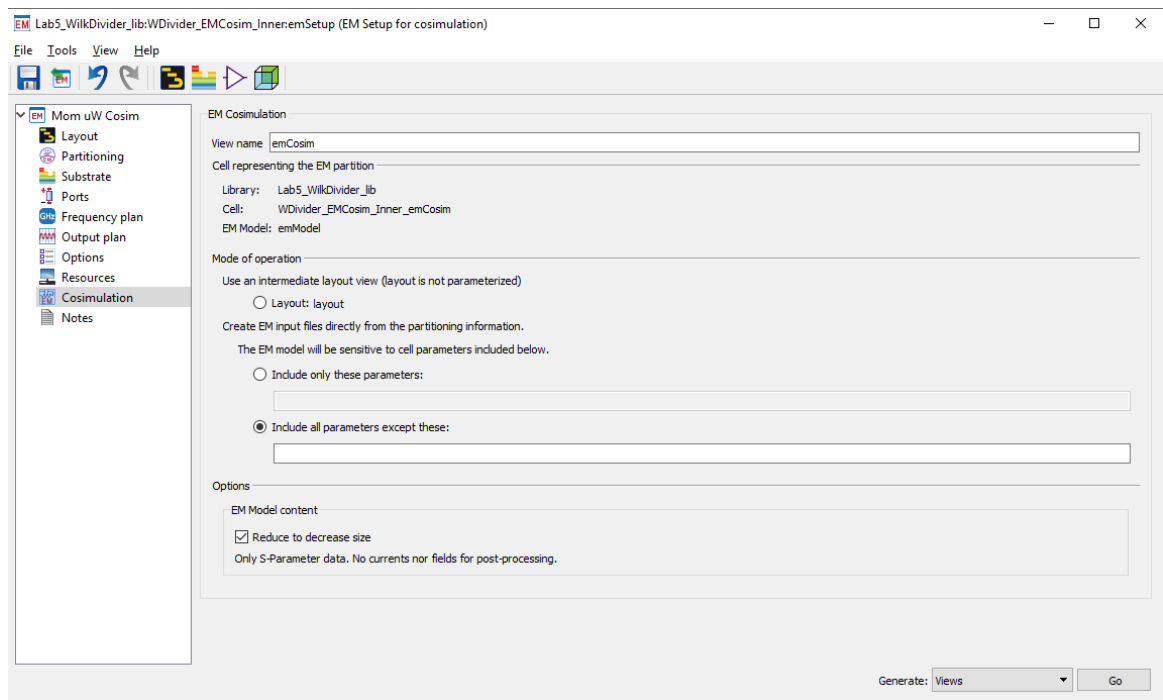



На вкладке Partitioning для резистора R1 выбираем способ моделирования circuit (в столбце Partitioning Rule)

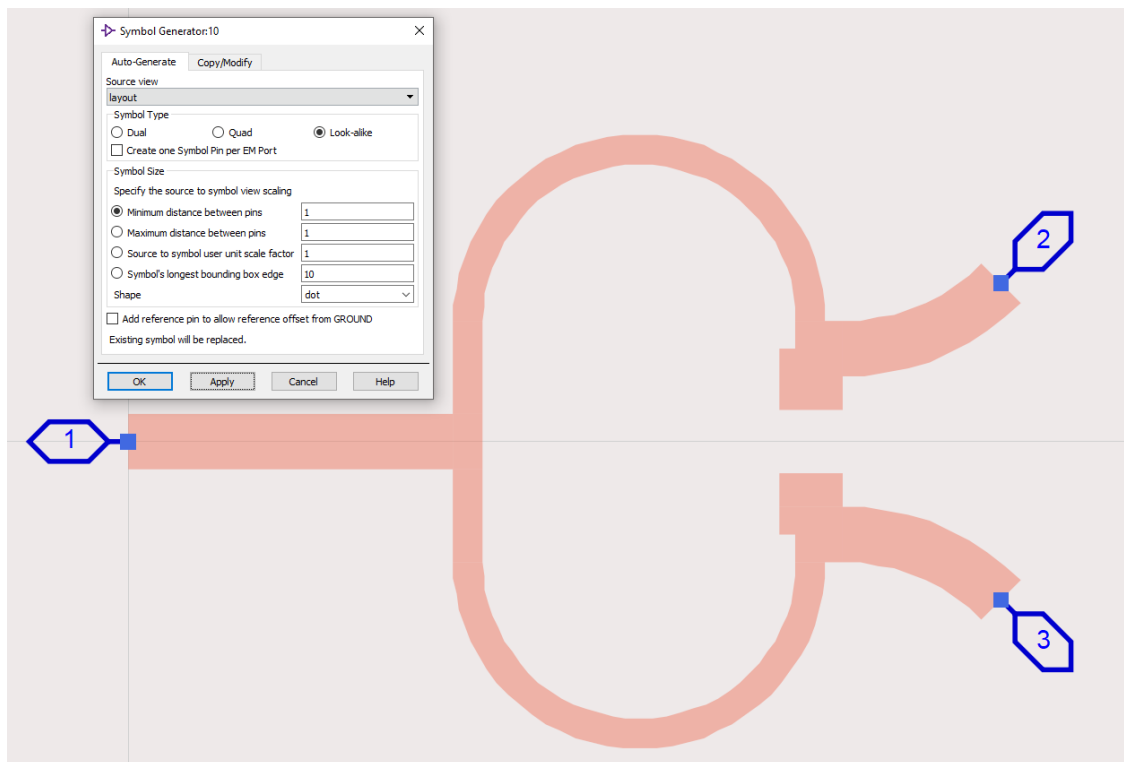


После нажимаем на кнопку Refresh\Recheck , чтобы изменения были приняты. Метка должна стать зеленой .

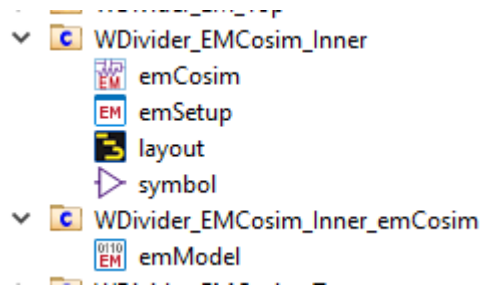
Вкладки Port, Frequency Plan, Output plan и Option импортированы из прошлого emSetup. Перейдем на вкладку Cosimulation. В группе Mode of operation выбираем Include all parameters except these, чтобы включить параметризацию.



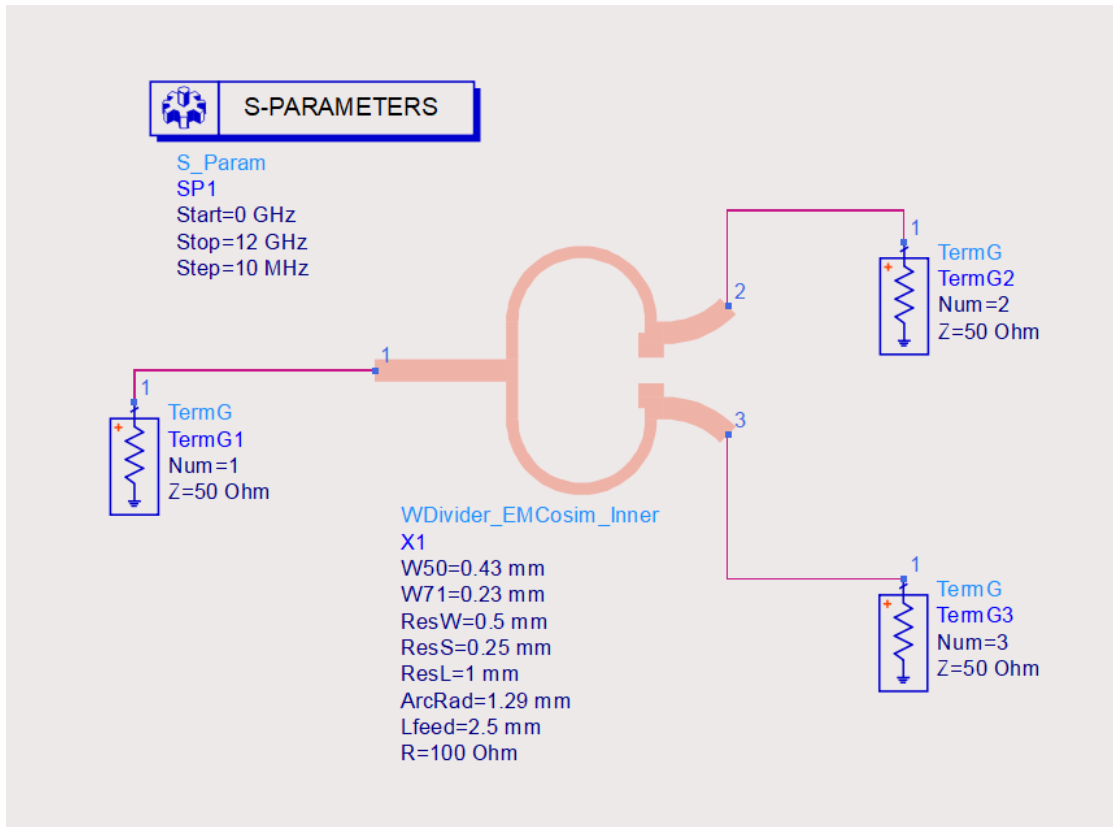
По команде Tools – Open Symbol Editor  обновим символ, в котором теперь выведены наружу только три пина.



После нажимаем на кнопку Generate Views Go. В дереве проекта создается новая ячейка WDivider_EMCosim_Inner_emCosim, в которой будет расположен emModel для хранения топологической части.

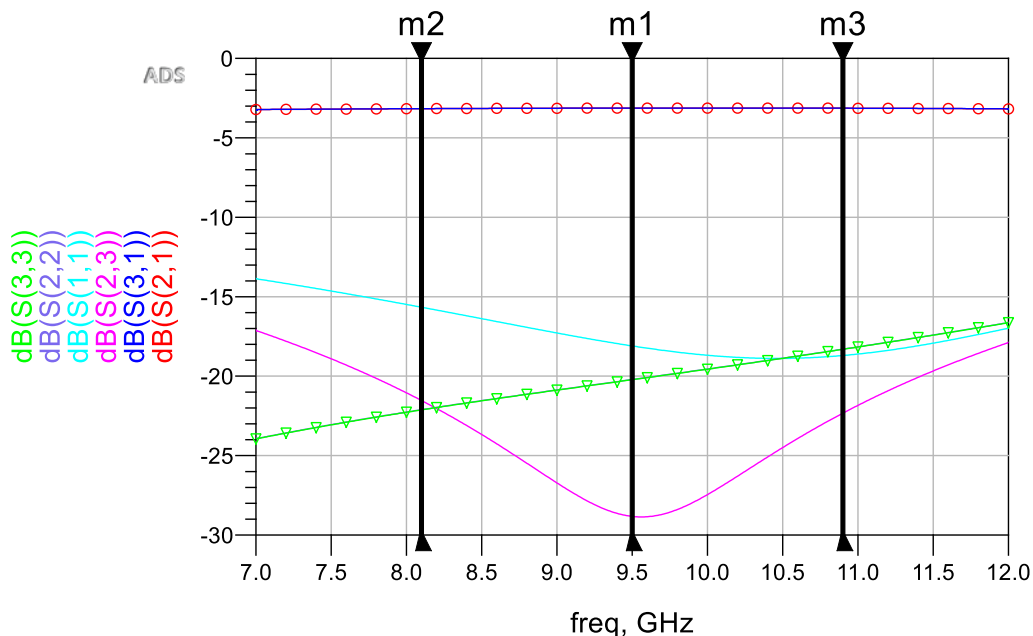


Аналогично WDivider_EM_Top создадим схему верхнего уровня WDivider_EMCosim_Top.



Промоделируем. emCosim хранит результаты топологической части в emModel в подчинённой ячейке. Результаты показывают небольшое отклонение от предыдущего результата. Связано это с тем, что добавлены пады резисторов.

m2 freq=8.100GHz dB(S(2,1))=-3.168 dB(S(3,1))=-3.168 dB(S(2,3))=-21.535 dB(S(1,1))=-15.665 dB(S(2,2))=-22.112 dB(S(3,3))=-22.125	m1 freq=9.500GHz dB(S(2,1))=-3.131 dB(S(3,1))=-3.131 dB(S(2,3))=-28.829 dB(S(1,1))=-18.101 dB(S(2,2))=-20.213 dB(S(3,3))=-20.225	m3 freq=10.90GHz dB(S(2,1))=-3.138 dB(S(3,1))=-3.138 dB(S(2,3))=-22.328 dB(S(1,1))=-18.702 dB(S(2,2))=-18.302 dB(S(3,3))=-18.313
--	--	--



Сложение сигналов на кольцевом развязанном делителе мощности

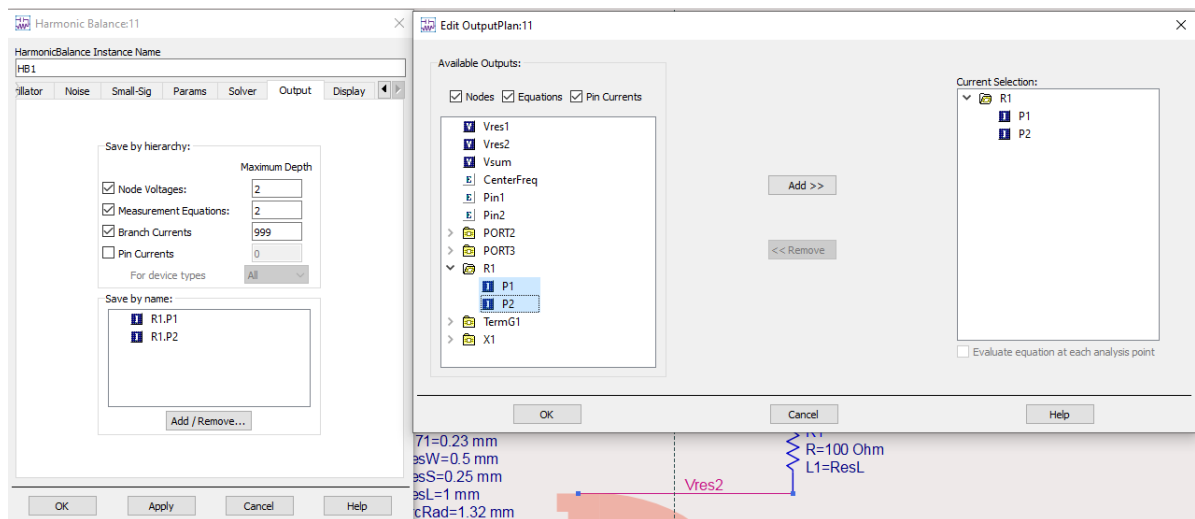
Поисследуем кольцевой развязанный делитель мощности в роли устройства сложения сигналов (ячейка WDivider_Sum). Т.к. необходимо оценивать токи на резисторе, то будем использовать чисто топологическую ячейку WDivider_EM_Inner, без автоматической косимуляции с emCosim.

1. Исследование разбаланса амплитуд.

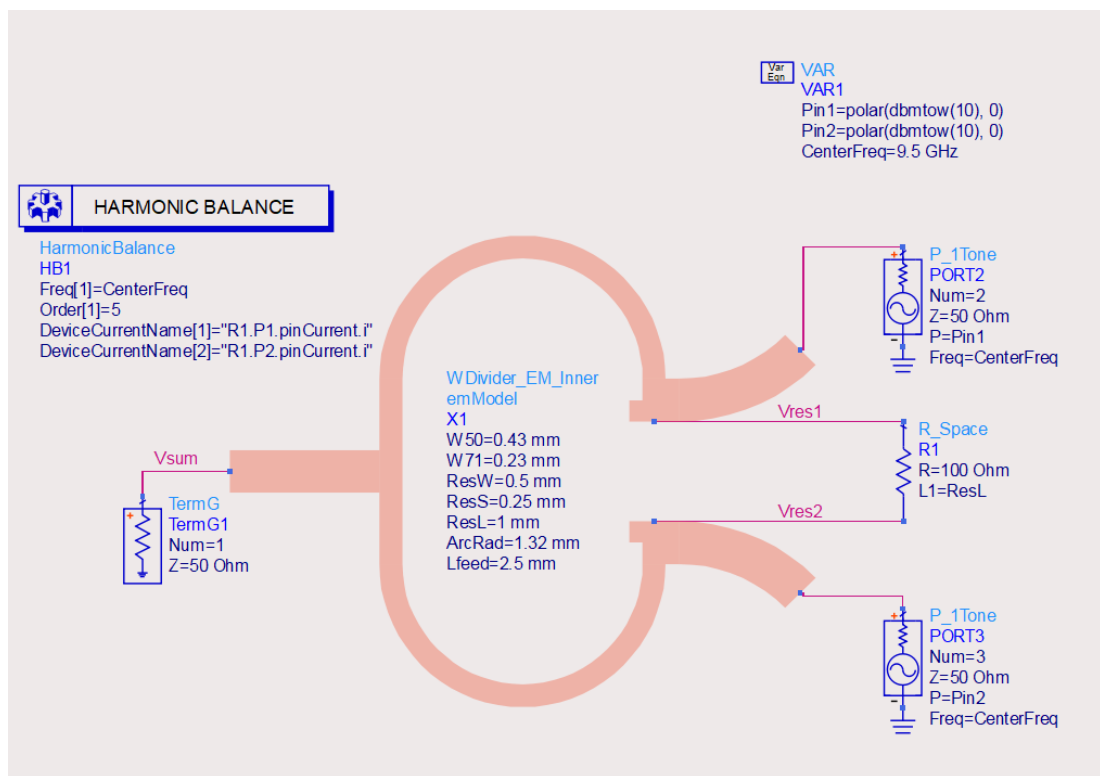
Подавать сигналы будем с портов типа P_1Tone, для первой прикидки по 10 дБмВт без сдвига по фазе. Задавать входные сигналы будем с помощью переменных $Pin1 = Pin2 = \text{polar}(\text{dbmtow}(10), 0)$. В дальнейшем при исследовании будем менять только эти переменные.

Для определения мощности, рассеиваемой на резисторе, нужно знать падение напряжения на нем и ток, протекающий через него.

Настроим передачу в датасет значений токов, протекающих через резистор.



Общий вид схемы перед моделированием.



По результатам моделирования рассчитаем рассеиваемую на резисторе мощность.

Номер интересующей частоты – 1 (следует из таблицы freq)

freq
0.0000 Hz
9.500 GHz
19.00 GHz
28.50 GHz
38.00 GHz
47.50 GHz

Ток, протекающий через резистор на частоте 9,5 ГГц Res_I – это или P1.pinCurrent.i[1] или P2.pinCurrent.i[1]. Падение напряжения Res_V = Vres[1] – Vres2[1]

$$\text{Eqn} \text{ Res_I} = \text{P1.pinCurrent.i[1]}$$

$$\text{Eqn} \text{ Res_V} = \text{Vres1[1]} - \text{Vres2[1]}$$

Т.к. ток и падение напряжения даны для гармонического сигнала, то рассеиваемая мощность PDiss_W равна

$$\text{Eqn} \text{ PDiss_W} = \text{mag}(\text{Res_I} * \text{Res_V})/2$$

Также для удобства пересчитаем в дБмВт:

$$\text{Eqn} \text{ PDiss_dBm} = \text{wtodbm}(\text{PDiss_W})$$

Дополнительно определим выражение для выходной мощности на первой гармонике в дБмВт и в Вт

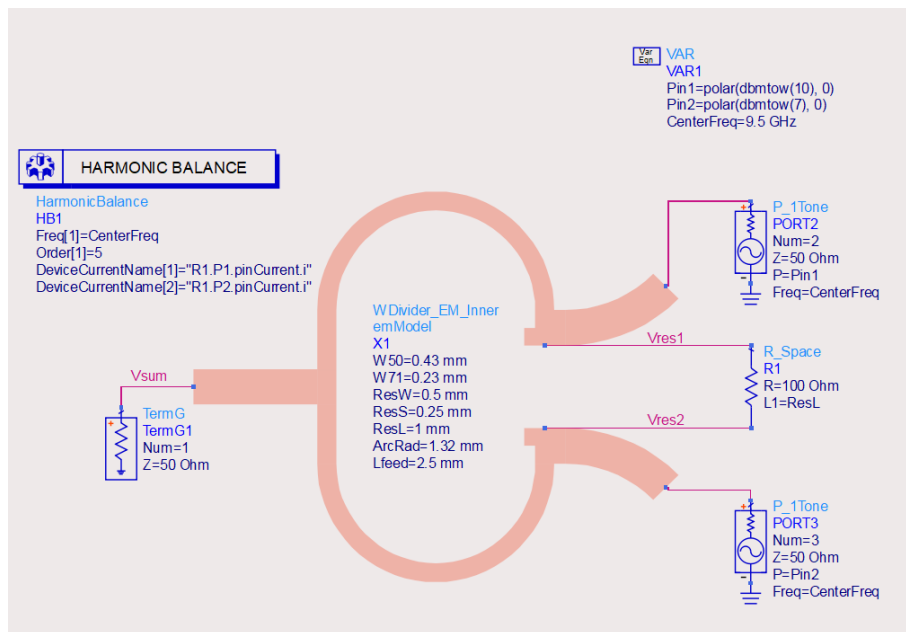
$$\text{Eqn} \text{ PSum_dBm} = \text{dBm}(\text{Vsum[1]})$$

$$\text{Eqn} \text{ PSum_W} = \text{dbmtow}(\text{PSum_dBm})$$

Видно, что при симметричных сигналах практически вся мощность идет на выход и ничего не рассеивается на развязывающем резисторе.

PDiss_W	PDiss_dBm	PSum_dBm	PSum_W
66.32 f	-101.8	12.92	19.59 m

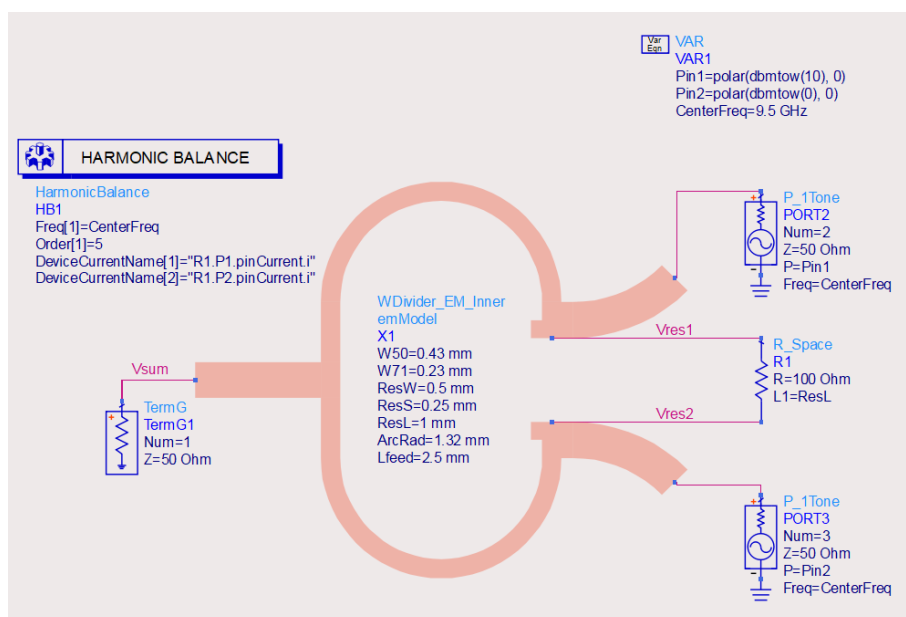
Введем разбаланс амплитуд. Уменьшим на одном из каналов мощность в два раза (Pin2 = 7 дБмВт).



PDiss_W	PDiss_dBm	PSum_dBm	PSum_W
424.2 u	-3.725	11.55	14.29 m

Видно, что суммарная выходная мощность 14,3 мВт незначительно отличается от суммы входных мощностей ($5 + 10 = 15$ мВт). И некоторая пока крайне незначительная часть мощности (400 мкВт) теперь рассеивается на резисторе.

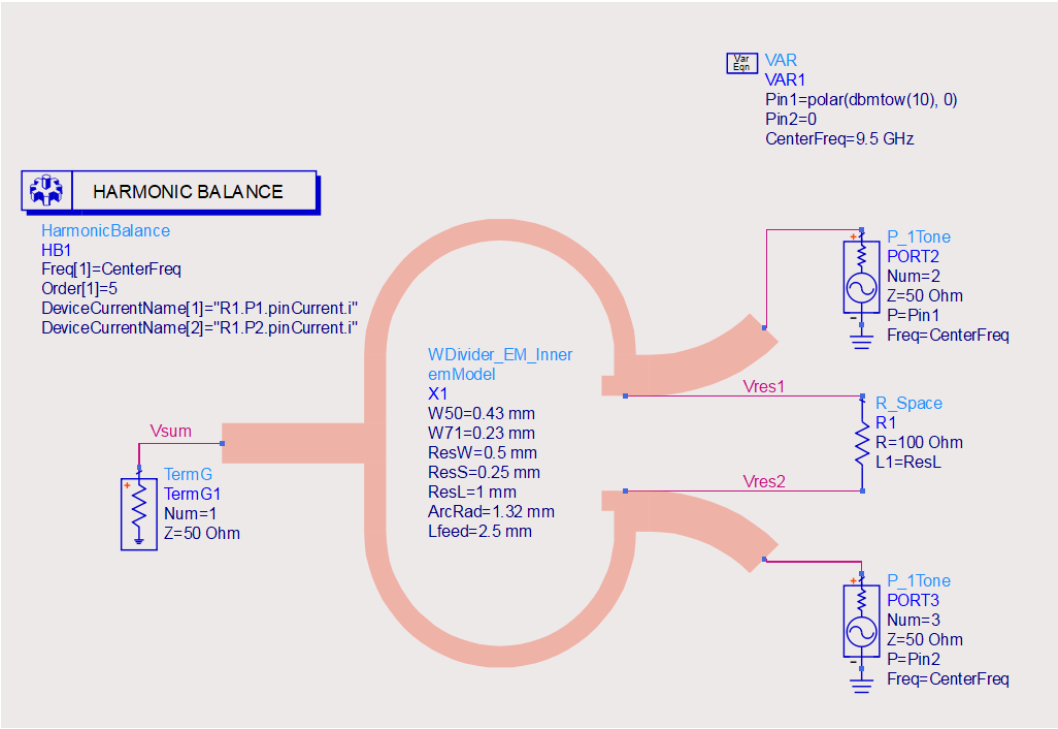
Пусть разбаланс амплитуд будет еще хуже, мощность на втором канале в 10 раз меньше, чем в первом ($\text{Pin2} = 0$ дБмВт).



PDiss_W	PDiss_dBm	PSum_dBm	PSum_W
2.325 m	3.664	9.287	8.486 m

Теперь суммарная выходная мощность 8,5 мВт серьезно отличается и меньше не только суммы входных мощностей ($1 + 10 = 11$ мВт), но и даже мощности с большего канала (10 мВт). Разница между суммой входных мощностей и суммарной выходной мощностью рассеивается на резисторе (2,3 мВт).

Окончательно отключим один канал (Pin2 = 0).

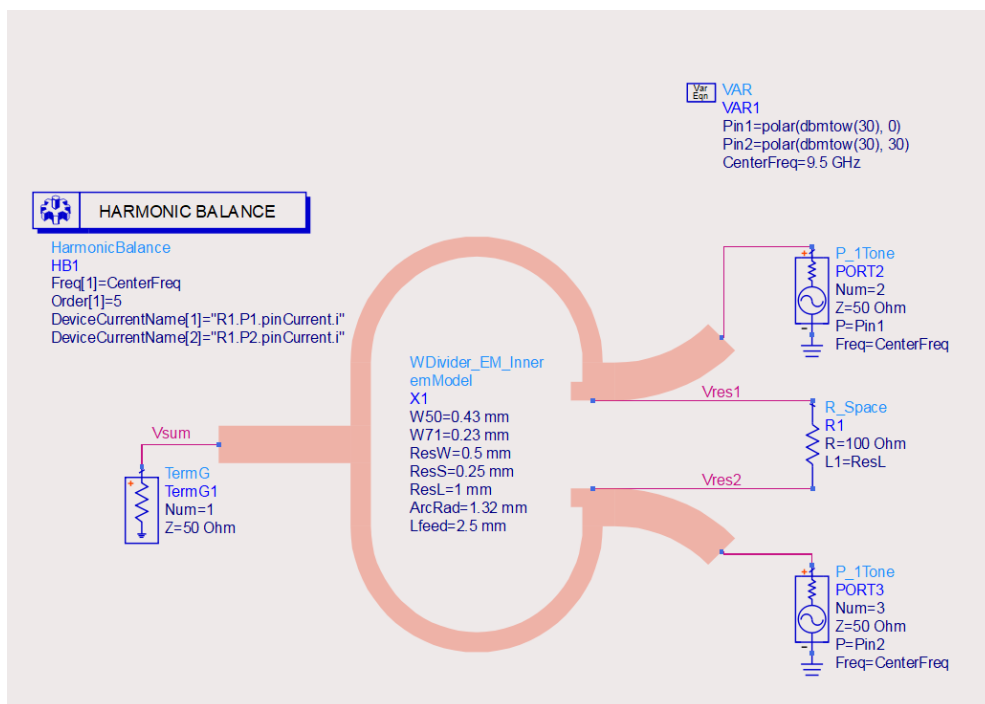


PDiss_W	PDiss_dBm	PSum_dBm	PSum_W
4.973 m	6.966	6.900	4.898 m

Выходная мощность 5 мВт равна половине входной мощности от первого канала (10 мВт), при этом вторая половина рассеивается на резисторе (5 мВт).

2. Исследование разбаланса фаз.

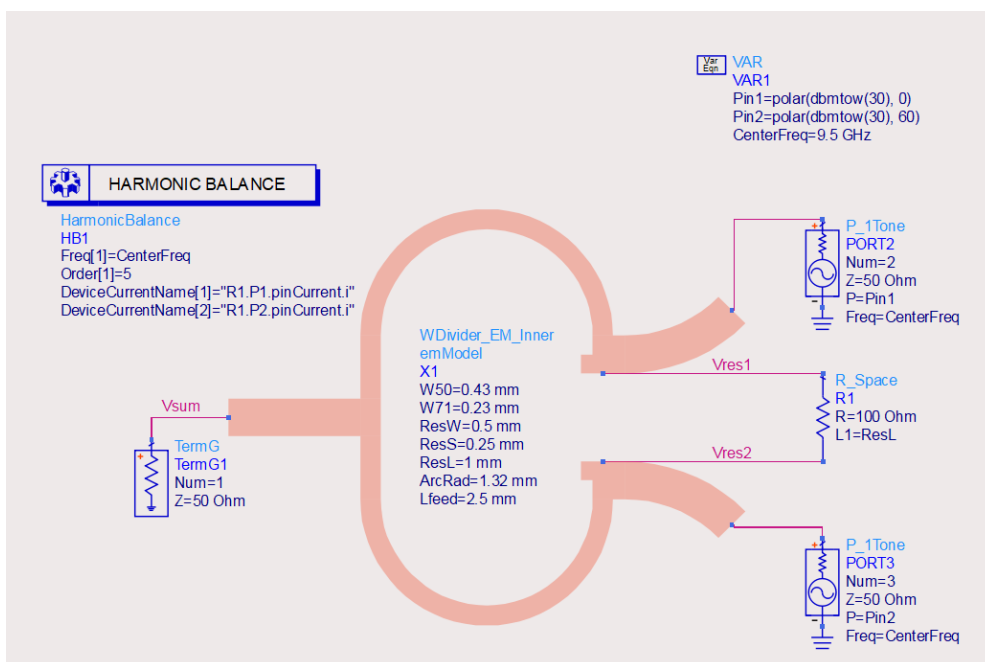
Поисследуем, как влияет разбаланс фаз при суммировании равных мощностей. Пусть на входы приходят два сигнала по 1 Вт с разностью фаз 30° .



PDiss_W	PDiss_dBm	PSum_dBm	PSum_W
133.3 m	21.25	32.62	1.828

Как и ожидаемо, что суммарная выходная мощность 1,83 Вт меньше суммы входных мощностей ($1 + 1 = 2$ Вт). Часть мощности (130 мВт) рассеивается на резисторе.

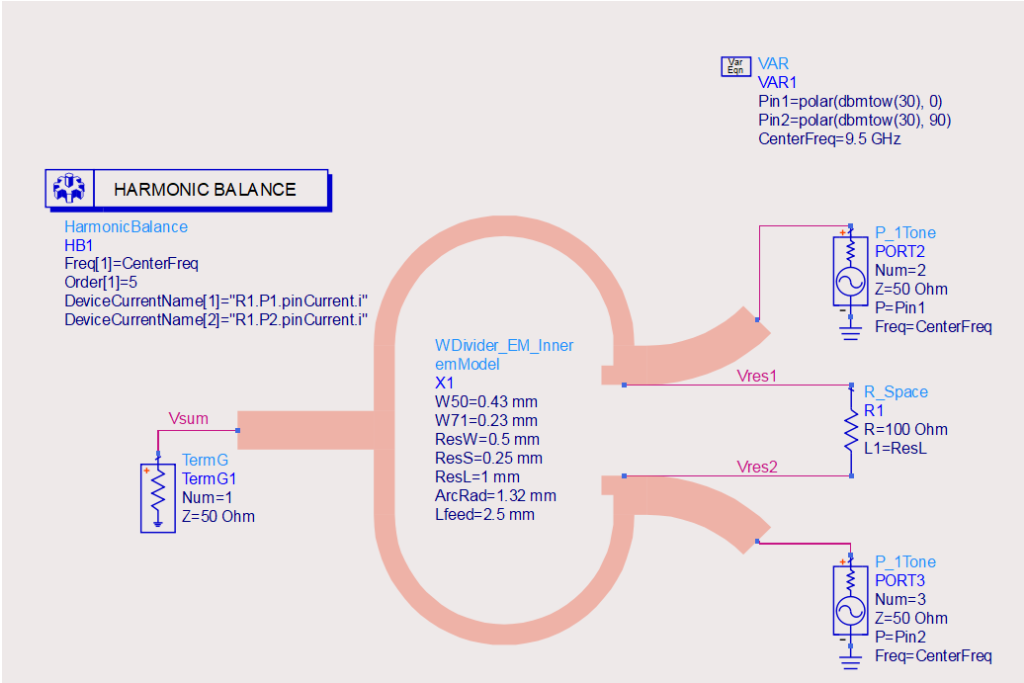
Установим разбаланс фаз в 60° .



PDiss_W	PDiss_dBm	PSum_dBm	PSum_W
497.3 m	26.97	31.67	1.469

Суммарная выходная мощность 1,5 Вт меньше суммы входных мощностей ($1 + 1 = 2$ Вт). Четверть суммы входных мощностей (500 мВт) рассеивается на резисторе.

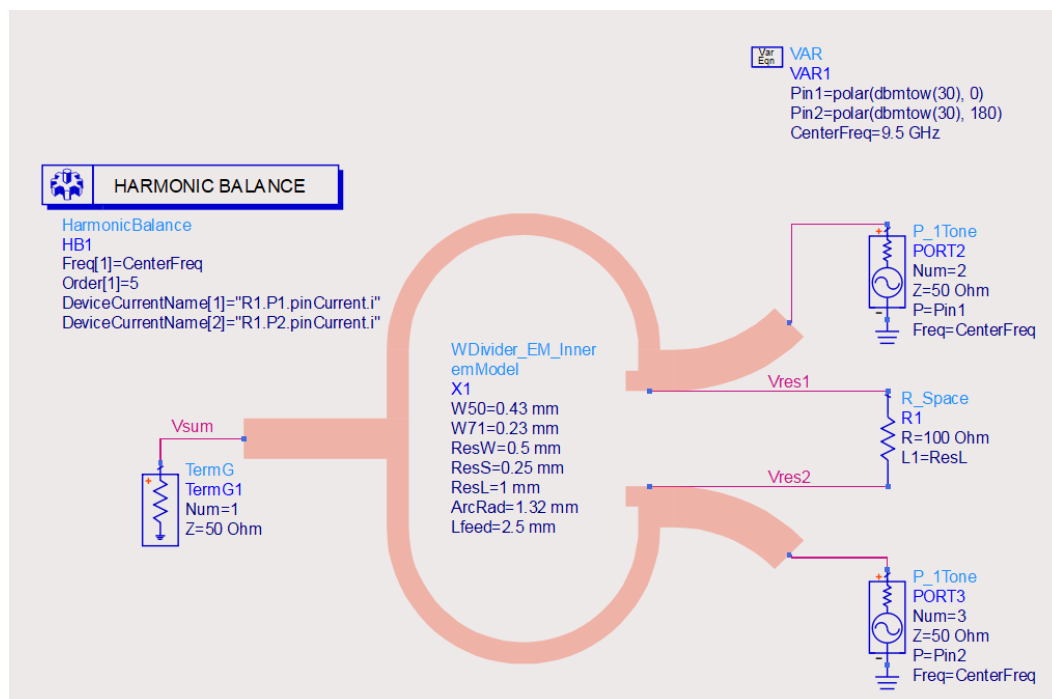
Установим разбаланс фаз в 90° .



PDiss_W	PDiss_dBm	PSum_dBm	PSum_W
994.6 m	29.98	29.91	979.6 m

Суммарная выходная мощность 1 Вт меньше суммы входных мощностей ($1 + 1 = 2$ Вт) и фактически равна входной мощности с одного канала. Половина суммы входных мощностей (1 Вт) рассеивается на резисторе.

Окончательно установим входные сигналы противофазными.



PDiss_W	PDiss_dBm	PSum_dBm	PSum_W
1.989	32.99	-72.88	51.52 p

Вся сумма входных мощностей рассеивается на резисторе, на выход не идет ничего.

При проведении таких исследований нужно смотреть, хватает ли способности использованного типоразмера резистора для рассеивания выделяемой на нем мощности. При превышении этого параметра резистор может легко сгореть и повредить аппаратуру. В таблице 1 приведены стандартные предельные значения рассеиваемой мощности PDiss_Max для распространённых типоразмеров. В примере используется резистор типоразмера 0402, выдерживающий 63 мВт (1/16 Вт).

Видно, что для всех исследованных значений разбалансов амплитуд развязывающего резистора хватает просто потому, что сумма входных мощностей 20 мВт меньше предельной рассеиваемой мощности 63 мВт. А вот при подаче двух сигналов мощностью в 1 Вт с разбалансом фаз уже в 30° на резисторе пытается рассеяться 130 мВт, что уже выше его способности рассеять такую мощность.

Из данного небольшого исследования должно быть хорошо видно, что кольцевой развязанный делитель мощности в гибридном варианте хорошо подходит для суммирования более-менее синфазных и равноамплитудных сигналов. При достаточной несимметричности можно получить ситуацию,

что суммарный сигнал меньше уровня даже большего из входных сигналов, т.е. суммирование не имеет смысла.

Для изначально неравноамплитудных схем суммирования нужно использовать делители с неравными коэффициентами деления. Разность фаз необходимо обязательно компенсировать с помощью фазовращателей или настроенных линий задержки.

Также нужно контролировать способность выбранного развязывающего резистора рассеивать мощность из-за возможной несимметричности входных сигналов.

Задание на выполнение

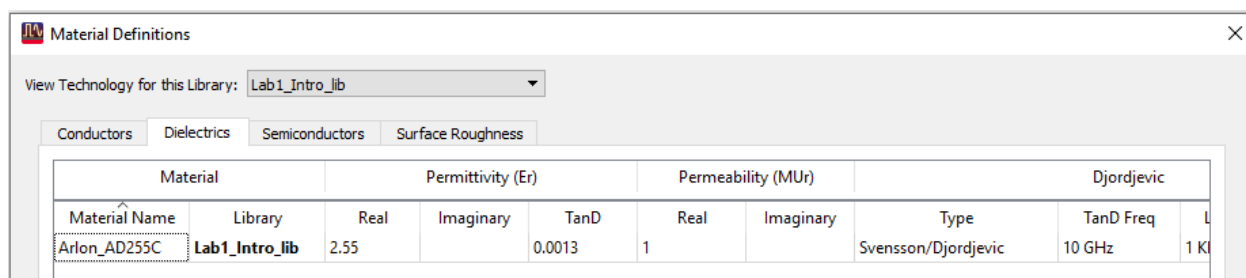
В соответствии с вариантом рассчитать и спроектировать кольцевой развязанный делитель мощности (гибридный, -3дБ) на заданную частоту (F_c) и ВЧ-подложку. При переходе к схемотехническому уровню выбрать подходящий по размеру типоразмер чип-резистора. Провести настройку и исследование на схемном и топологическом уровнях. Провести исследование спроектированного устройства в режиме сложения сигналов.

Варианты заданий приведены в таблице 2. При выполнении ориентироваться на методику выполнения.

Таблица 2. Варианты заданий

№ Варианта		1	2	3	4	5
Центральная частота F_c , ГГц		2,2	3,0	3,8	4,6	5,4
Параметры подложки	Именование материала	FR-4	FR-4	RO4360	RO4360	RO4350B
	Относительная диэлектрическая проницаемость ϵ_r , ед.	4,5	4,5	6,15	6,15	3,66
	Тангенс угла диэлектрических потерь $\tan\delta$, ед.	0,01	0,01	0,0038	0,0038	0,004
	Толщина диэлектрика h , мм	0,71	0,51	0,61	0,406	0,508
	Толщина металлизации t , мкм	17	35	35	17	17
№ Варианта		6	7	8	9	10
Центральная частота F_c , ГГц		6,2	7,0	7,8	8,6	9,4
Параметры подложки	Именование материала	RO4350B	RO4003C	RO4003C	RO3003	RO3003
	Относительная диэлектрическая проницаемость ϵ_r , ед.	3,66	3,55	3,55	3,0	3,0
	Тангенс угла диэлектрических потерь $\tan\delta$, ед.	0,004	0,0026	0,0026	0,0013	0,0013
	Толщина диэлектрика h , мм	0,338	0,305	0,203	0,25	0,13
	Толщина металлизации t , мкм	17	17	35	35	17

Если материала в базе материалов ADS нет, его надо будет самостоятельно определить по кнопке Add Dielectric.



Каждый крупный этап рекомендовано делать в отдельных ячейках (схемах), т.к. при выполнении работы возможно придется возвращаться к предыдущим этапам.

Этапы выполнения:

1. Кольцевой развязанный делитель мощности на идеальных линиях передачи (ячейка WDivider_Ideal).

1.1. Составить схему для моделирования в режиме S-параметров согласующей цепи на идеальных линиях передачи.

- Компоненты брать из палитры TLines-Ideal.
- Диапазон частот моделирования брать от 0 Гц до удвоенной частоты F_c .

1.2. Промоделировать в режиме S-параметров.

- Показать, что кольцевой развязанный делитель мощности выполняет поставленную на него задачу.
- Результаты контролировать только на центральной частоте F_c .
- Построить графики амплитудных соотношений.

2. Кольцевой развязанный делитель мощности в микрополосковом исполнении на схемном уровне (ячейка WDivider_MLIN_Sch).

2.1. Создать схему кольцевого развязанного делителя мощности в микрополосковом исполнении на основании результатов, полученных в п.1.

- Для расчета геометрических размеров микрополосков использовать инструмент LineCalc.
- Компоненты брать из палитры TLines-Microstrip.

- Параметры подложки брать из таблицы 2.

- Исходя из ширин W_{50} и W_{71} , а также требования малой электрической длины резистора ($ResL < L_{20^\circ}$) выбрать типоразмер чип-резистора. Размеры стандартных типоразмеров чип-резисторов приведены в таблице 1 в методике выше.

- Дополнительно добавить 50 Омные участки длиной около 2-2,5 ширин 50 Ом-ной линии со стороны портов 50 Ом.

2.2. Провести моделирование в режиме S-параметров.

- Диапазон частот моделирования брать от 0 Гц до удвоенной частоты F_c .

- Результаты контролировать в диапазоне частот $F_c \pm 10\%$.

- Считать, что кольцевой развязанный делитель мощности выполняет свою задачу, если

- а) Устройство является гибридным во всей полосе, $dB(S_{21})$ и $dB(S_{31})$ одинаковы и находятся в пределах $-3,5...-3$ дБ;

- б) Развязка S_{32} в рабочей полосе лучше -20 дБ;

- в) Коэффициенты отражения $dB(S_{11})$, $dB(S_{22})$ и $dB(S_{33})$ сохраняются в пределах -20 дБ во всей полосе;

- г) Центральная частота, на которую настроен кольцевой развязанный делитель мощности близка к F_c (контролировать по положению провала на S_{23}).

2.3. Если кольцевой развязанный делитель мощности не проходит по требованиям, с помощью инструментов Tune или Optimization настроить его.

3. Кольцевой развязанный делитель мощности в микрополосковом исполнении на топологическом уровне (ячейка верхнего уровня WDivider_EM_Top и подсхема WDivider_EM_Inner).

3.1. Создать параметризованную топологию кольцевого развязанного делителя мощности в микрополосковом исполнении с использованием результатов п.2.

- Создать определение подложки tech.subst в соответствии с методикой. Параметры брать из таблицы 2.

- Для параметризации топологии создать двухуровневую схему в соответствии с методикой.

- На уровень внутренней ячейки вынести все параметры, использованные в топологии. Численные значения параметров задавать в соответствии с результатами п.2.

- Развязывающий резистор вынести на верхний уровень.

3.2. Провести ЕМ-моделирование топологии.

- Метод моделирования брать Momentum Microwave.

- Результаты хранить с использованием emModel.

- Если расчет идет долго, то верхнюю границу диапазона частот моделирования можно сократить $F_c + 20\%$.

- Один раз вывести результат только для внутренней топологии. Объяснить увиденное.

- Сравнить результаты с результатами п.2.

- Результаты контролировать в диапазоне частот $F_c \pm 10\%$.

- Считать, что кольцевой развязанный делитель мощности выполняет свою задачу, если:

- а) Устройство является гибридным во всей полосе, $dB(S_{21})$ и $dB(S_{31})$ одинаковы и находятся в пределах $-3,5..-3$ дБ;

- б) Развязка S_{32} в рабочей полосе лучше -20 дБ;

- в) Коэффициенты отражения $dB(S_{11})$, $dB(S_{22})$ и $dB(S_{33})$ сохраняются в пределах -20 дБ во всей полосе;

- г) Центральная частота, на которую настроен кольцевой развязанный делитель мощности близка к F_c (контролировать по положению провала на S_{23}).

3.3. Если кольцевой развязанный делитель мощности не проходит по требованиям, с помощью инструментов Tune или Optimization настроить его.

4. Косимуляция ЕМ-топологии с чип-моделью резистора (ячейка верхнего уровня WDivider_EMCosim_Top, ячейка нижнего уровня WD_EMCosim_Inner).

4.1. Настроить внутреннюю ячейку WD_EMCosim_Inner для косммуляции:

- Удалить пины P4 и P5, через которые подключалась дискретная модель резистора.

- Внести модель чип-резистора R_Pad1 с выбранными размерами.

- Настроить emSetup в режиме Cosimulation.

4.2. Настроить внешнюю ячейку WD_EMCosim_Top для косммуляции.

4.3. Промоделировать и сравнить результаты с п.3.

5. Исследование кольцевого развязанного делителя мощности в режиме сложения сигналов (ячейка верхнего уровня WDivier_Sum и подсхема WDivider_EM_Inner).

5.1. Подготовить схему для исследования кольцевого развязанного делителя мощности как устройства сложения мощностей:

- В качестве внутренней ячейки использовать чисто топологическую ячейку WDivider_EM_Inner (с 5 выводами). Развязывающий резистор использовать внешний типа R_Space или R_Pad.

- Режим моделирования выбрать Harmonic Balance, фундаментальную частоту моделирования указать Fc. В результаты сохранить токи на развязывающем резисторе и падение напряжения на нем.

- Для возможности исследования разбаланса фаз и амплитуд задать подаваемые сигналы по отдельности через переменные.

- В результатах моделирования подготовить выражения для расчета выходной PSum и рассеянной на резисторе PDiss мощностей в Вт и дБмВт.

5.2. Провести в соответствии с методикой исследование разбаланса амплитуд входных сигналов на режим суммирования мощностей.

- Выбрать шаг разбаланса амплитуд в 10 дБ.

- На каждом шаге сравнивать, как соотносятся между собой входные Pin, выходные PSum и рассеянные на резисторе PDiss уровни мощностей. Также определять, выдерживает ли резистор рассеиваемую на нем мощность. Типовые значения предельных рассеиваемых мощностей распространённых типоразмеров резисторов приведены в таблице 1.

5.3. Провести в соответствии с методикой исследование разбаланса фаз входных сигналов на режим суммирования мощностей.

- Выбрать шаг разбаланса фаз в 30° .

- На каждом шаге сравнивать, как соотносятся между собой входные P_{in} , выходные P_{Sum} и рассеянные на резисторе P_{Diss} уровни мощностей. Также определять, выдерживает ли резистор рассеиваемую на нем мощность. Типовые значения предельных рассеиваемых мощностей распространённых типоразмеров резисторов приведены в таблице 1.

Требования к отчёту

Отчет о выполненной лабораторной работе должен представлять из себя структурированное описание всей выполненной работы, в том числе должен содержать:

- Титульный лист, с наименованием работы, указанием исполнителя и даты выполнения.
- Цель (-и) работы.
- Список использованных инструментов в лабораторной работе.
- Разделы работы, которые рекомендовано формировать в соответствии с этапами выполнения (аналогично методике и заданию на выполнение).
- Для каждого этапа необходимо привести все выполненные расчеты, подготовленные модели, результаты и анализ результатов.

Подробность описания этапов выполненной работе студент определяет самостоятельно. Самое простое правило, которому надо следовать – человек, незнакомый с выполненной работой (но знакомый с использованным инструментом) должен быть в состоянии по отчету повторить данную работу и понять, что в ней происходит.

Готовый отчет необходимо экспортировать в pdf.

Архив проекта ADS лучше всего делать встроенным инструментом File – Archive Workspace из основного окна ADS. При архивации проекта можно выбрать, какие составляющие проекта добавлять в архив. Если какие-то ячейки или результаты расчета не нужны, то их можно исключить из архивирования.

Созданный архив будет иметь расширение *.7zads и является фактическим 7z-архивом.

По окончании выполнения лабораторной работы и подготовки отчета, отчет и архив проекта надо выложить в ОРИОКС в домашнее задание в дисциплину, привязав к контрольному мероприятию ЗЛР (Защита лабораторных работ). Именование отчета и архива проекта должно давать возможность точно понять, к какой теме лабораторной работы они относятся (Например, AFU_Lab_WDivider вместо непонятного Lab5 или Workspace5).

Задание на самостоятельную работу

1) Подготовка к лабораторному занятию

При подготовке к выполнению лабораторной работы необходимо продумать шаблон отчета, при необходимости внести краткие теоретические сведения, продумать и наметить количество, вид и расположение таблиц и графиков с измеренными данными. Для получения допуска необходимо подробно изучить теоретический материал.

2) С использованием навыков, полученных в лабораторной работе, выполнить соответствующий этап курсового проекта.

Контрольные вопросы

1. Что такое кольцевой развязанный делитель? Чем он отличается от направленного ответвителя?
2. Какие требования нужно наложить на матрицу S-параметров развязанного делителя, чтобы его можно было считать развязанным?
3. Какому коэффициенту деления входной мощности соответствует гибридная конфигурация развязанного делителя? Каким значениям в матрице S-параметров соответствуют эти значения по амплитуде?
4. Какую электрическую длину должны иметь плечи кольцевого развязанного делителя?
5. Чему должно быть равно сопротивление развязывающего резистора в кольцевом развязанном делителе? Как оно связано с волновым сопротивлением подводящих линий?
6. Чему должно быть волновое сопротивление плеч кольцевого развязанного делителя?
7. Поясните на основании чего выбирается типоразмер развязывающего резистора в кольцевом развязанном делителе?
8. Кольцевой развязанный делитель включен по схеме сложения мощностей. На порты 2 и 3 кольцевого развязанного делителя подается по 1 Вт мощности в противофазе. Чему будет равна выдаваемая мощность на суммарном порте (1)? Если не вся подаваемая мощность пошла в суммарный выход, то куда делась разница?

Литература

1. Банков, С. Е. Электродинамика для пользователей САПР СВЧ : учебник / С. Е. Банков, А. А. Курушин. — Москва : СОЛОН-Пресс, 2017. — 316 с. — ISBN 978-5-91359-236-1. — Текст : электронный // Лань : электронно-библиотечная система. — URL: <https://e.lanbook.com/book/107661> (дата обращения: 02.02.2021). — Режим доступа: для авториз. пользователей.
2. Microwave Engineering, 4th Edition, David M. Pozar, 2011, ISBN 978-0470631553.

Перечень ресурсов сети «Интернет»

3. Сборник примеров работы в ADS «ADS Example Book: Focused on RF and Microwave Design», доступен после свободной регистрации <https://www.keysight.com/main/editorial.jsp?cc=RU&lc=rus&ckey=2704333&id=2704333&cmpid=zzfindeesof-ads-rfmw-examples>
4. База знаний Образовательного центра Keysight EEsof EDA Knowledge Center, доступен после свободной регистрации, <http://edadocs.software.keysight.com/display/support/Knowledge+Center>
5. Тематический раздел «Rf & Microwave Design» форума electronix.ru, доступен после свободной регистрации, <https://electronix.ru/forum/index.php?showforum=63>
6. Интернет-энциклопедия разработчиков СВЧ-аппаратуры «Microwaves101» <https://www.microwaves101.com>

Каналы Youtube с видеоуроками по Keysight Advanced Design System

7. Канал youtube образовательного центра Keysight EEsof EDA <https://www.youtube.com/user/KeysightEESOF>
8. Канал youtube Anurag Bhargava образовательного центра <https://www.youtube.com/user/BhargavaAnurag>
9. Канал youtube Keysight EEsof EDA Field <https://www.youtube.com/c/EEsofAETips>

Разработчик:

Ст. преподаватель Института МПСУ

Приходько Д.В.