

Федеральное государственное автономное образовательное учреждение высшего образования «Национальный исследовательский университет «Московский институт электронной техники».

Институт микроприборов и систем управления имени Л.Н. Преснухина

Лабораторная работа №7

«Проектирование усилителей мощности на основании техники LoadPull»

**Модуль
«Моделирование приёмопередающих устройств»**

**По курсу
«Моделирование СВЧ-устройств в САПР»**

Москва, Зеленоград

2024

Оглавление

Оглавление	2
Введение	3
Теоретические сведения	4
Методика выполнения работы	6
Создание и первоначальная настройка проекта	6
Выход на рабочую точку	7
Выбор импеданса входной согласующей цепи ZS	8
Построение LoadPull моделирования	14
Проверочная схема выбора ZS и ZL	24
Проектирование входной согласующей цепи	25
Проектирование выходной согласующей цепи	34
Анализ спроектированного усилителя мощности	40
Определение IP3 спроектированного усилителя мощности	42
Задание на выполнение	44
Требования к отчёту	50
Задание на самостоятельную работу	51
Контрольные вопросы	52
Литература	53

Введение

Цель работы: ознакомится методикой проектирования усилителей мощности с помощью техники LoadPull в среде Keysight Advanced Design System (ADS).

Используемое оборудование или ПО: Keysight Advanced Design System 2023

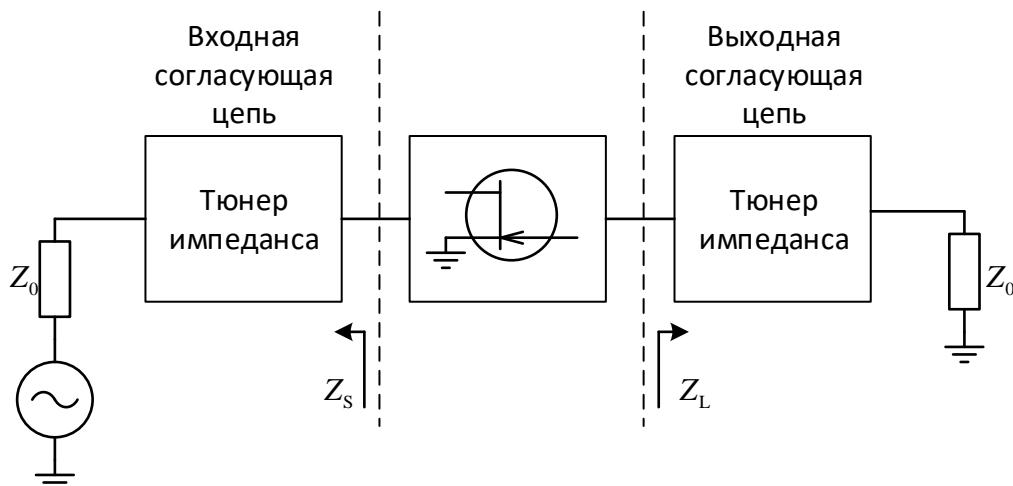
Продолжительность работы: 4 часа.

В разделе «Методика выполнения» приведены только необходимые действия по выполнению лабораторной работы. Подробно описываются только новые приемы работы в ADS. Предполагается, что студент выполнил предыдущие лабораторные работы.

Lab1	показывает места, которые подробно описаны в предыдущих лабораторных работах
!	показывает новые приемы, значительно упрощающие или ускоряющие использование ADS
	показывает места, за которыми надо особенно следить и где легко совершить ошибку

Теоретические сведения

Техника LoadPull является частью семейства техник, представляющих собой многомерный анализ характеристик высокочастотного устройства (коэффициента усиления, коэффициента шума, точки однодецибелевой компрессии, КПД и пр.) в зависимости от входного (SourcePull) или выходного (LoadPull) сопротивления соответствующей согласующей цепи. Она позволяет выбирать оптимальные согласующие цепи в том числе для тех случаев, когда аналитическое выражение неизвестно или чересчур сложно.

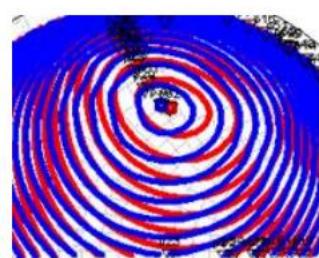


Чаще всего эта техника применяется при физическом макетировании активного устройства с помощью управляемых преобразователей сопротивлений (тюнер импеданса, impedance tuner), но также может применяться при моделировании и расчете.

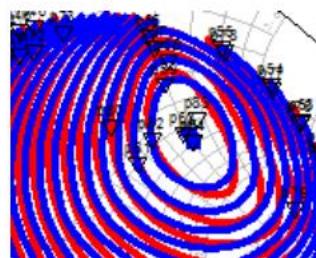
Когда строится зависимость целевых характеристик активного устройства от коэффициента отражения входной согласующей цепи, то техника называется SourcePull; когда изменяется выходная – LoadPull.

В качестве графического представления строятся линии постоянного значения интересующей характеристики на соответствующей диаграмме Смита (контурыные диаграммы), что позволяет выбирать некий оптимум между целевыми характеристиками.

Load Pull, 10GHz, 6x125um



Load Pull, 3.5GHz, 4x250um



Как результат LoadPull-моделирования выбираются импедансы входной и выходной согласующих цепей, Z_S и Z_L соответственно. Данные импедансы используются в дальнейшем при проектировании собственно согласующих цепей.

Производители ЭКБ часто поставляют измеренные LoadPull-данные либо в виде контурных диаграмм, либо в специальных форматах [12, 13]. При этом нужно понимать, что без доступа к модели компонента в этом случае проектируются согласующие цепи, но вот провести итоговое моделирование не получится.

Методика выполнения работы

Создание и первоначальная настройка проекта

Lab1

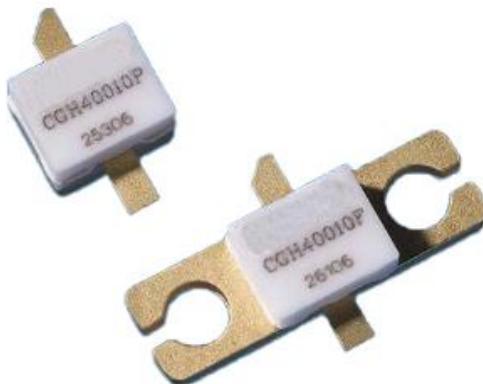
При создании проекта рекомендовано использовать стандартную технологию, что и в предыдущем проекте, в том числе:

- В качестве библиотеки слоев необходимо дополнительно к библиотеке назначения слоев схемы «ads_schematic_layer» выбрать «ads_standard_layers» (назначение топологических слоев);
- единицы длин проекта – мм, с разрешением 10000 точек/мм.

Модель транзистора будет использована Cree_Wlfspd_ADS_v20p3 от MACOM (ранее входила в состав Wolfspeed/Cree) [6]. Для доступа к библиотеке моделей необходимо зарегистрироваться на сайте в разделе RF Portal.

Модели конденсаторов будут использованы от Murata [7].

Усилитель мощности будем строить на основе CGH40010 от MACOM [8]. Данный транзистор является нитрид-галлиевым (GaN), с напряжением питания 28 В. Выпускается в двух типах корпусов на фланце, с местом под крепление винтов и без него.



Package Type: 440166 & 440196
PNs: CGH40010F & CGH40010P

По электрическим свойствам данные версии транзисторов не отличаются, в библиотеке представлены одной нелинейной моделью.

Центральная частота проекта будет 2,4 ГГц. Характеристики попробуем из него выжать близкие к заявленным, в том числе выходную мощность до 10 Вт. КПД добавленной мощности в этом режиме заявлен от 50%. При этом линейный коэффициент усиления обещан от 14 дБ.

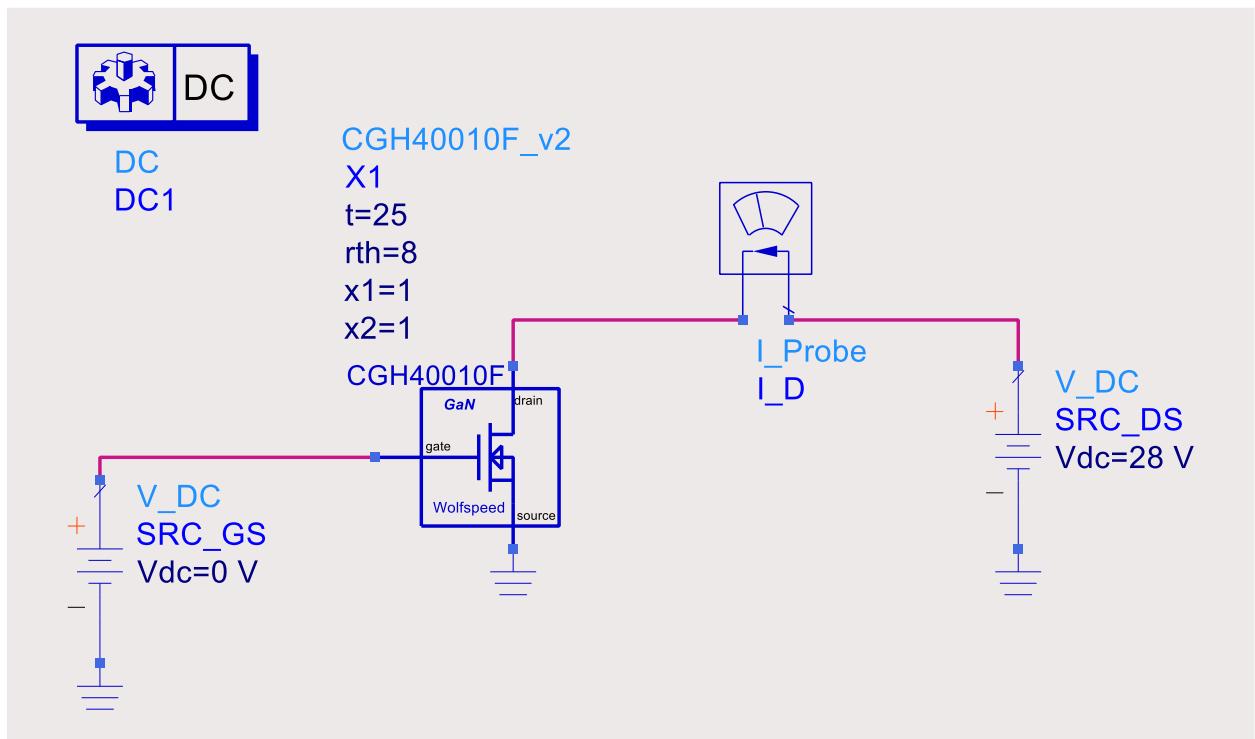
Вывод на рабочую точку

При проектировании усилительных устройств на транзисторах, необходимо вывести транзистор на рабочую точку. Производителем CGH40010 предложена рабочая точка $V_{dd} = 28$ В, $I_{dq} = 200$ мА как рекомендованная.

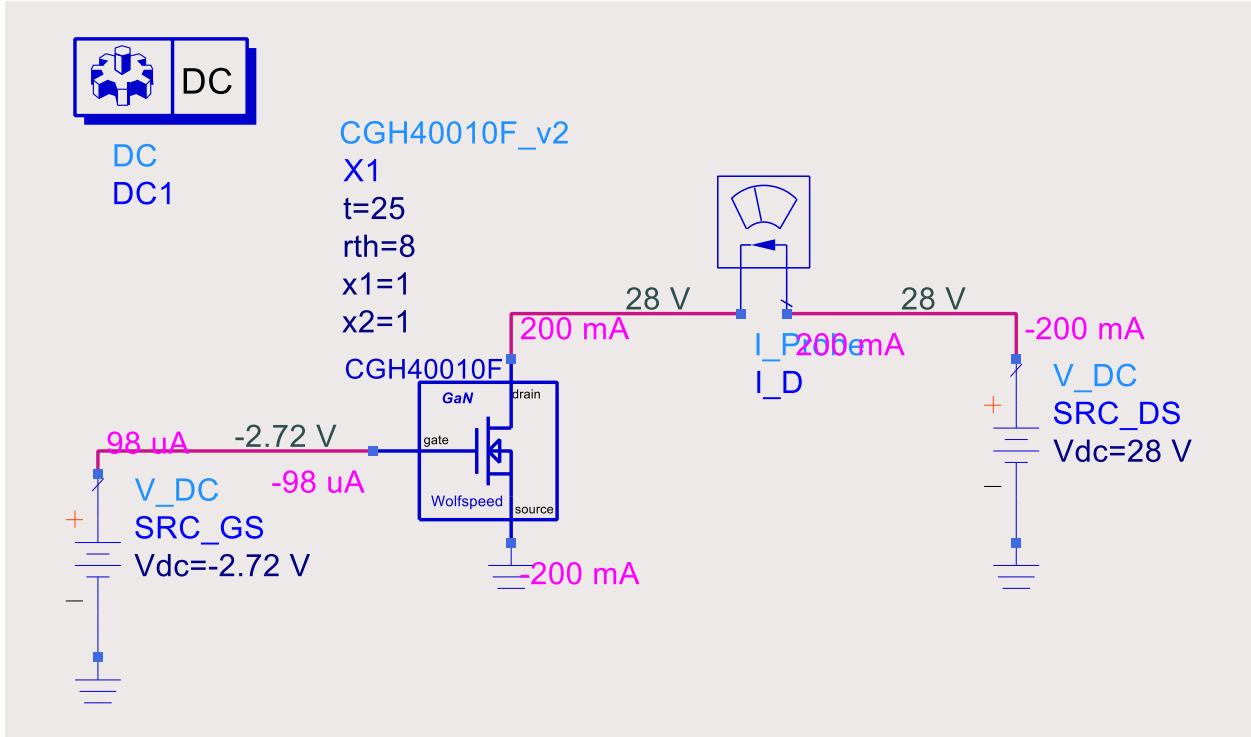
Соберем схему для подбора этой рабочей точки PA_DC.

В библиотеке Cree_Wlfspd_ADS_v20p3 модели транзисторов также поддерживают моделирование с учетом влияния температуры и нагрева. Параметр t задают температуру моделирования, r_{th} – сопротивление теплоотвода. Параметры позволяют в статистическом анализе задать уход характеристик транзистора от номинальных x_1 и x_2 . Значения по умолчанию соответствуют обычному режиму работы.

Lab1 Напряжение питания $V_{ds} = 28$ В, напряжение смещения V_{gs} необходимо подобрать, так, чтобы достигался ток покоя $I_{dq} = 200$ мА. Учтите, у использованных в работе транзисторов рабочее напряжение смещения отрицательное.



Lab1 Результаты анализа по постоянному току в одной точке можно смотреть в схеме в режиме аннотации токов и напряжений.



Получено рабочее смещение $V_{gs} = -2,72$ В. Его будем использовать в остальной части работы.

Выбор импеданса входной согласующей цепи ZS

Техника проектирования LoadPull предполагает фиксированный импеданс входной согласующей цепи Z_S . С учетом того, что в отличие от МШУ, усилители мощности обычно проектируются на максимальную передачу мощности от входной согласующей цепи к транзистору, то можно предложить несколько вариантов выбора Z_L :

1. На основании S-параметров, измеренных в рабочей точке. Но нужно учесть, что S-параметры измеряются в линейном режиме, а проектировать усилитель мы будем работающим в компрессии. Также, выбирать $Z_s = \text{conj}(Z_{11})$ (где $Z_{11} = \text{stoz}(S_{11})$) в общем случае не очень корректно, т.к. при добавлении комплексной нагрузки Z_L на выход транзистора (что и предполагается в технике LoadPull), его матрица S-параметров будет меняться и S_{11} транзистора, объединенного с выходной согласующей цепью, будет уплывать. Данным подходом можно пользоваться как первой прикидкой, если нет никаких других доступных данных. Но нужно быть готовым провести проектирование на несколько точек в некоторой окрестности $Z_s = \text{conj}(Z_{11})$ и выбрать из них оптимальную по полученным характеристикам усилителя.

2. На основании LSSP-моделирования (Large Signal S-parameters). В этом случае, мы уже можем учесть нелинейное поведение транзистора и можем

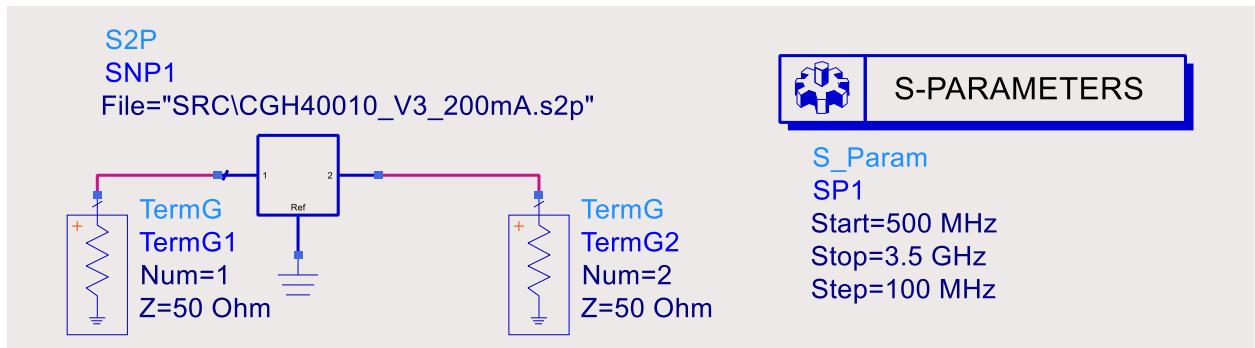
оценить влияние свипа входной мощности Pin. Но здесь, как и с линейной моделью, нельзя однозначно говорить об оптимальном выборе импеданса входной согласующей цепи как $Z_{LP_S} = \text{conj}(Z_{LP_11})$.

3. На основании рекомендаций производителя ЭКБ. Как правило, производители мощных транзисторов дают рекомендации по выбору ZS и ZL. В лабораторной работе за основу мы возьмем этот подход. Но при разработке нужно учесть, что производители дают рекомендации исходя из своего понимания, что такое «оптимальный режим». А он далеко не всегда совпадает с тем, что нужно разработчику усилителя мощности.

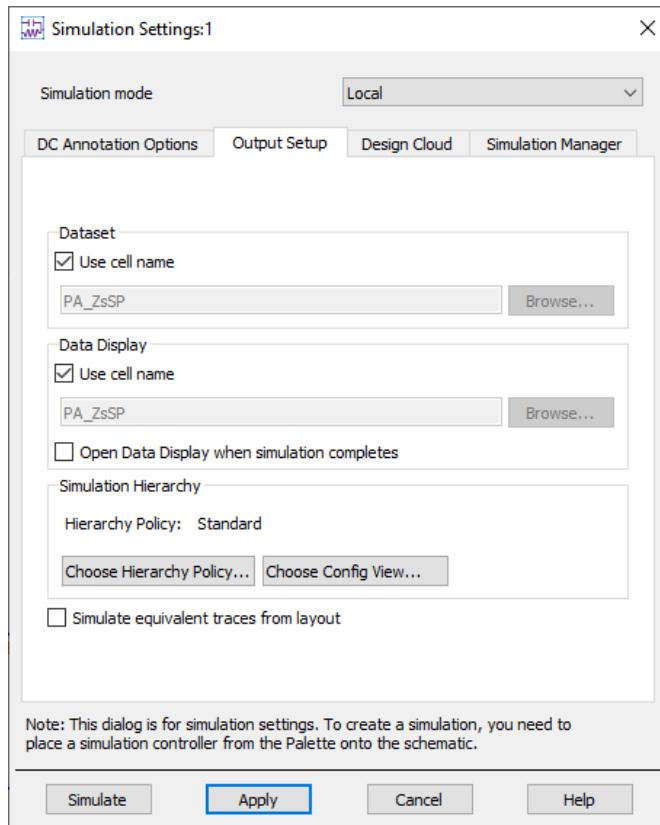
4. Если есть доступ к измерительной установке, поддерживающей LoadPull измерения, то можно провести серию самостоятельных испытаний при большом числе исходных переменных, не только при различных ZS, но и в различных рабочих точках, при различных температурах, на различных входных мощностях и пр. Это наиболее полный подход, дающих разработчику наиболее достоверные данные во всех интересующих режимах.

Проведем сравнение результатов выбора ZS способами 1, 2 и 3.

В схеме PA_ZsSP проведем линейный анализ файла S-параметров. Диапазон свипа S-параметров (от 500 МГц до 3,5 ГГц) возьмем аналогично рекомендациям из документации на компонент.



Т.к. мы хотим сравнивать результаты из нескольких схем в одной области графиков, то автоматическое открытие графиков нам не нужно. По Simulate – Simulation Setting, вкладка Output Setup отключим галку Open Data Display when simulation completes.

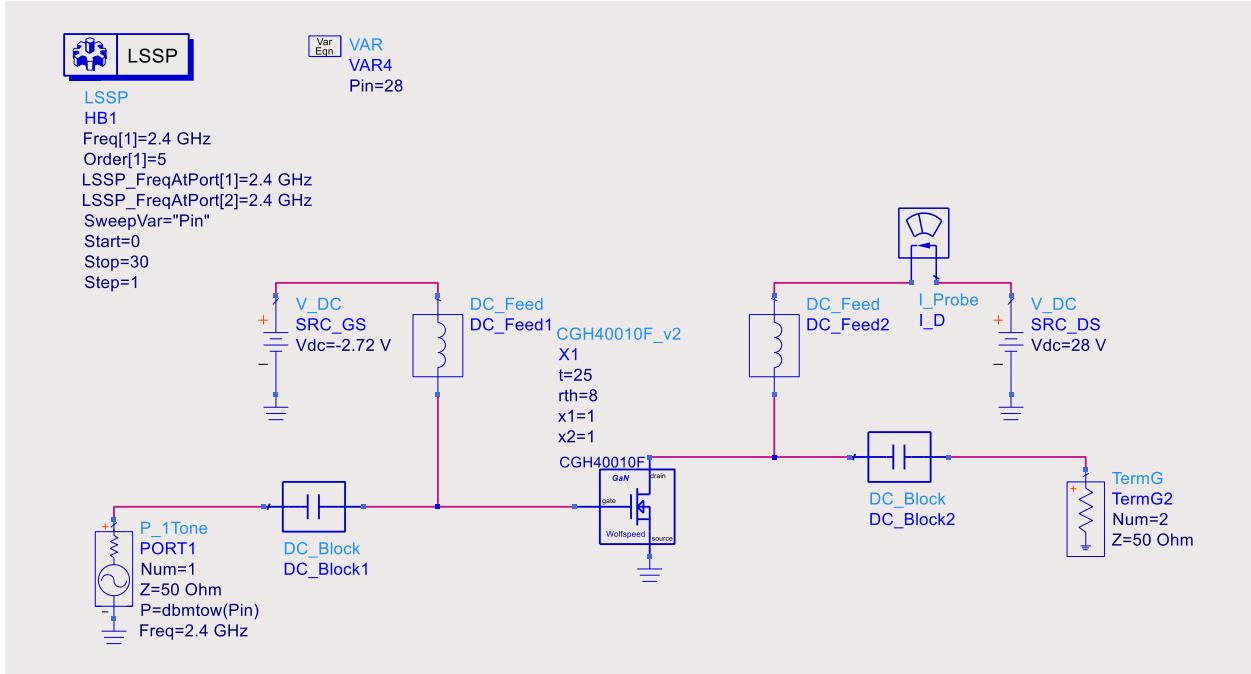


Для получения LSSP-моделирования со свипом входной мощности Pin подготовим схему PA_ZsLSSP. Построим ее на основе нелинейной модели.

Фундаментальная частота моделирования соответствует центральной частоте проектируемого усилителя мощности 2,4 ГГц. LSSP-частоты (частоты, по которым определяются LSSP-параметры) также соответствуют центральной частоте 2,4 ГГц.

Диапазон свипа мощности Pin определим исходя из следующих соображений:

- мы хотим от проектируемого усилителя выходную мощность Pout порядка 10 Вт, т.е. 40 дБм;
- по документации в этом случае реальное усиление PGain порядка 12..13 дБ;
- рабочий Pin, при котором будем проводить проектирование, получается порядка 28 дБм;
- нижнюю границу свипа сделаем от гарантировано линейного участка, на 20..30 дБ меньше рабочего Pin;
- верхнюю границу свипа Pin возьмем с небольшим запасом вверх.



Также, как и в схеме PA_ZsSP, отключим автоматическое открытие графиков.

Рекомендованные данные от производителя будем обрабатывать сразу в области графиков.

Создаем пустую область графиков PA_Zs без привязки к какому-то датасету. Положение ZS будем сравнивать на диаграмме Смита (в формате коэффициента отражения), поэтому называть выводимые результаты будем «Ss..».

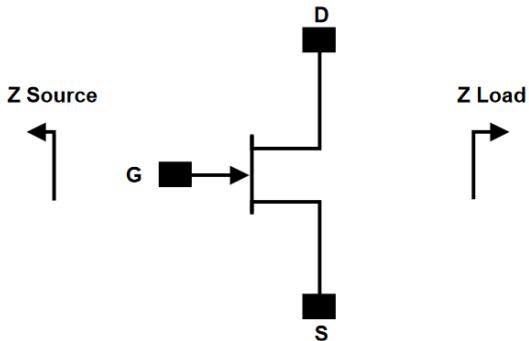
Для результатов со схем PA_ZsSP и PA_ZsLSSP измерительные выражения выглядят как показано ниже. Сопряжение здесь нужно, т.к. в результаты моделирования мы получаем коэффициенты отражения, смотрящие на вход транзистора, а интересует нас поведение импеданса входной согласующей цепи.

$$\text{EqnSsSP} = \text{conj}(\text{PA_ZsSP..S}(1,1))$$

$$\text{EqnSsLSSP} = \text{conj}(\text{PA_ZsLSSP..S}(1,1))$$

Данные производителя приведены в следующей таблице [8]:

Source and Load Impedances



Frequency (MHz)	Z Source	Z Lead
500	20.2 + j16.18	51.7 + j15.2
1000	8.38 + j9.46	41.4 + j28.5
1500	7.37 + j0	28.15 + j29
2500	3.19 - j4.76	19 + j9.2
3500	3.18 - j13.3	14.6 + j7.45

Notes:

¹V_{DD} = 28V, I_{DQ} = 200mA in the 440166 package.

² Optimized for power, gain, P_{SAT} and PAE.

³ When using this device at low frequency, series resistors should be used to maintain amplifier stability.

Подготовим их для отображения на диаграмме Смита.

Создадим два вектора частотной сеткой freqMFG_vec и рекомендованными ZS ZsMFG_vec из таблицы.

```
Eqn freqMFG_vec=[500 MHz, 1000 MHz, 1500 MHz, 2500 MHz, 3500 MHz]
```

```
Eqn ZsMFG_vec = [20.2 + j*16.18, 8.38 + j*9.46, 7.37 + j*0, 3.19 - j*4.76, 3.18 - j*13.3]
```

На диаграмму Смита выводится коэффициент отражения, а не импеданс, поэтому нужно провести преобразование ztos(). Также в данных производителя приведен импеданс входной согласующей цепи, т.е. сопрягать ничего не надо. Далее с помощью функции vs() совместим вектора SsMFG_vec и freqMFG_vec и объявим тип независимой переменной «частота».

```
Eqn SsMFG_vec = ztos(ZsMFG_vec)
```

```
Eqn SsMFG = vs(SsMFG_vec, freqMFG_vec, "freq")
```

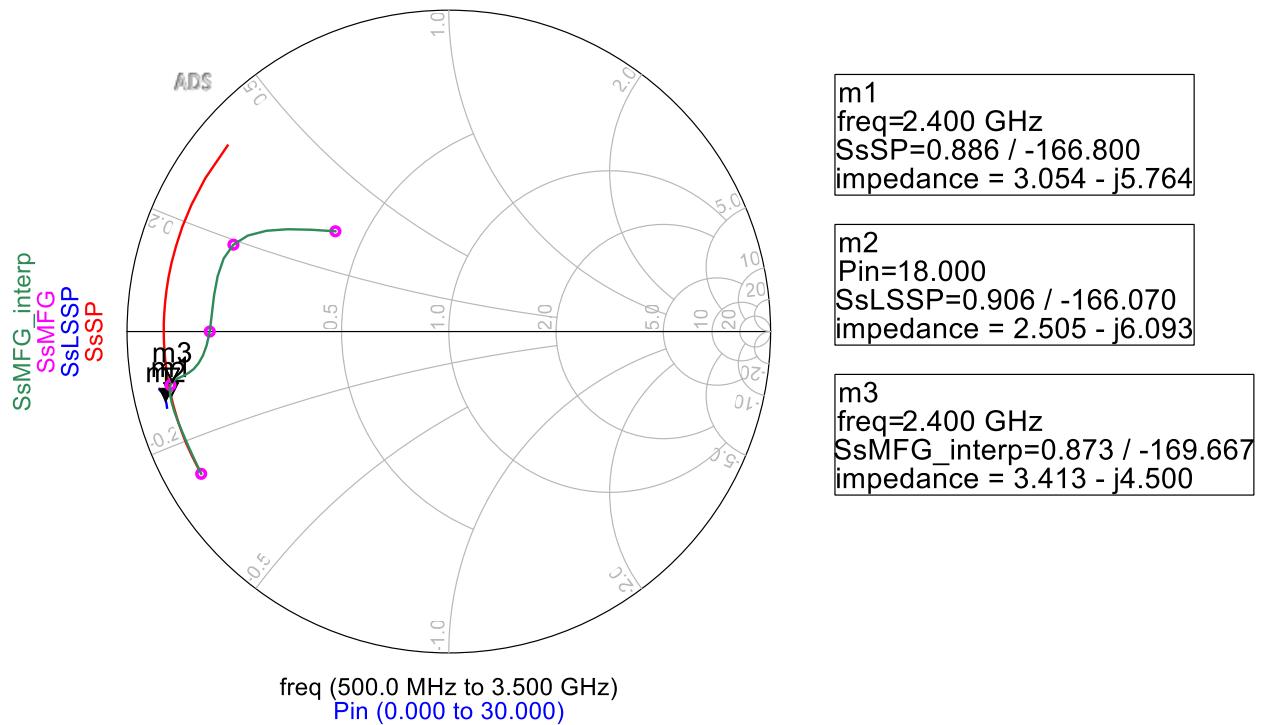
Окончательно с помощью функции interpolate() интерполируем сплайн данные на частотную сетку, соответствующую схеме PA_ZsSP (от 500 МГц до 3,5 ГГц с шагом 100 МГц). Форма генерации частотного вектора [Start :: Step :: Stop].

```
Eqn new_freq_vec = [500 MHz :: 100 MHz :: 3500 MHz]
```

```
Eqn SsMFG_interp = interpolate("spline", SsMFG, 1, new_freq_vec)
```

Выведем все это на одну диаграмму Смита. Неинтерполированным данным от производителя поставим тип графика Scatter, чтобы отображались

только введенные точки. Маркеры поставим на интересующую частоту 2,4 ГГц и формат отображения импеданса ненормированный относительно 50 Ом.



На интересующей частоте 2,4 ГГц видна близость всех трех Z_s . Также видно, что SsLSSP (на частоте 2,4 ГГц) очень мало изменяется в зависимости от Pin.

При этом на более низких частотах графики SsMFG_interp и SsSP сильно расходятся, что говорит о необходимости очень аккуратно выбирать Z_s для более низких частот у используемой модели транзистора.

При дальнейшем проектировании остановимся на рекомендованных интерполированных рекомендациях от производителя $Z_s = 3,4 - j4,5 \text{ Ом} @ 2,4 \text{ ГГц}$.

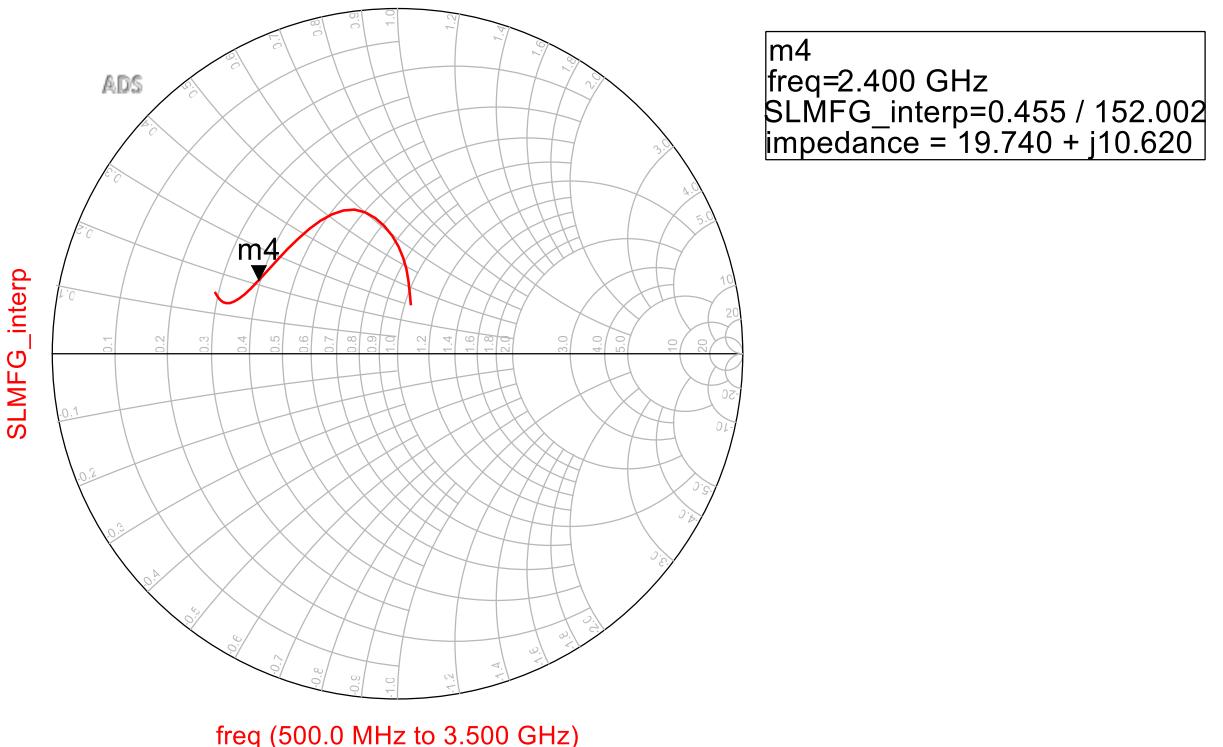
Также с использованием этой области графиков интерполируем ZL_MFG от производителя.

```
EqnZLMFG_vec=[51.7 + j*15.2, 41.4 + j*28.5, 28.15 + j*29, 19 + j*9.2, 14.6 + j*7.45]
```

```
EqnSLMFG_vec=ztos(ZLMFG_vec)
```

```
EqrSLMFG=vs(SLMFG_vec, freqMFG_vec, "freq")
```

```
EqnSLMFG_interp=interpolate("spline", SLMFG, 1, new_freq_vec)
```



Полученное $Z_{L_MFG} = 19.75 + j10.6 \Omega$ @ 2,4 ГГц будем на следующем этапе сравнивать с нашим выбором.

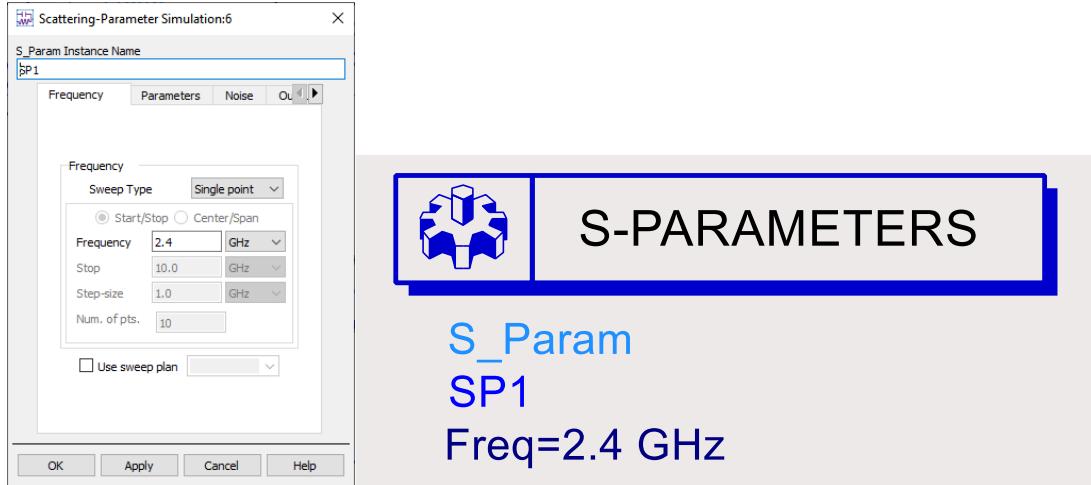
Построение LoadPull моделирования

Подготовим основную схему проекта PA_LoadPull, с помощью которой будем строить контура постоянных уровней и выбирать импеданс выходной согласующей цепи.

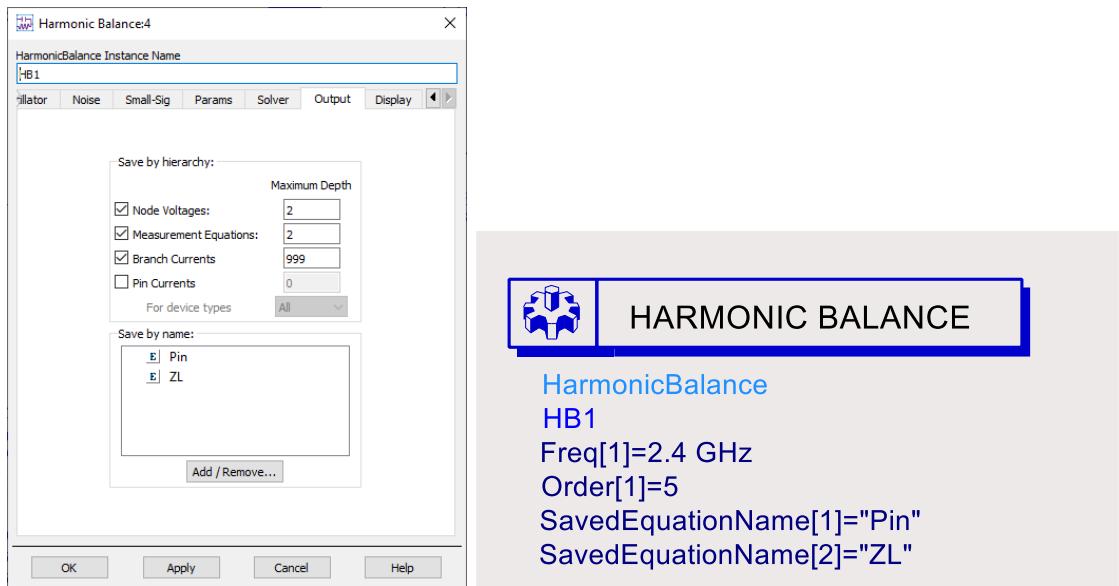
С этой схемы мы будем оценивать:

- линейный коэффициент усиления SPGain с помощью контроллера S_Param;
- уровень выходной мощности Pout и КПД добавленной мощности (Power Added Efficiency, PAE) с помощью контроллера HarmonicBalance;
- мощность насыщения PSAT с помощью контроллера XDB.

Контроллер S-параметров настроим на расчет только на одной центральной частоте 2,4 ГГц.



Контроллер НВ настроим на расчет относительно одной фундаментальной частоты 2,4 ГГц. Также укажем сохранение переменных Pin и ZL в результаты.



Будем определять мощность насыщения PSAT как компрессию в 5 дБ. Для этого в контроллере XDB настроим уровень насыщения 5 дБ. Фундаментальная частота и анализируемые частоты портов совпадают с центральной частотой 2,4 ГГц.



GAIN COMPRESSION

XDB
HB2
Freq[1]=2.4 GHz
Order[1]=5
GC_XdB=5
GC_InputPort=1
GC_OutputPort=2
GC_InputFreq=2.4 GHz
GC_OutputFreq=2.4 GHz
GC_InputPowerTol=1e-3
GC_OutputPowerTol=1e-3
GC_MaxInputPower=100

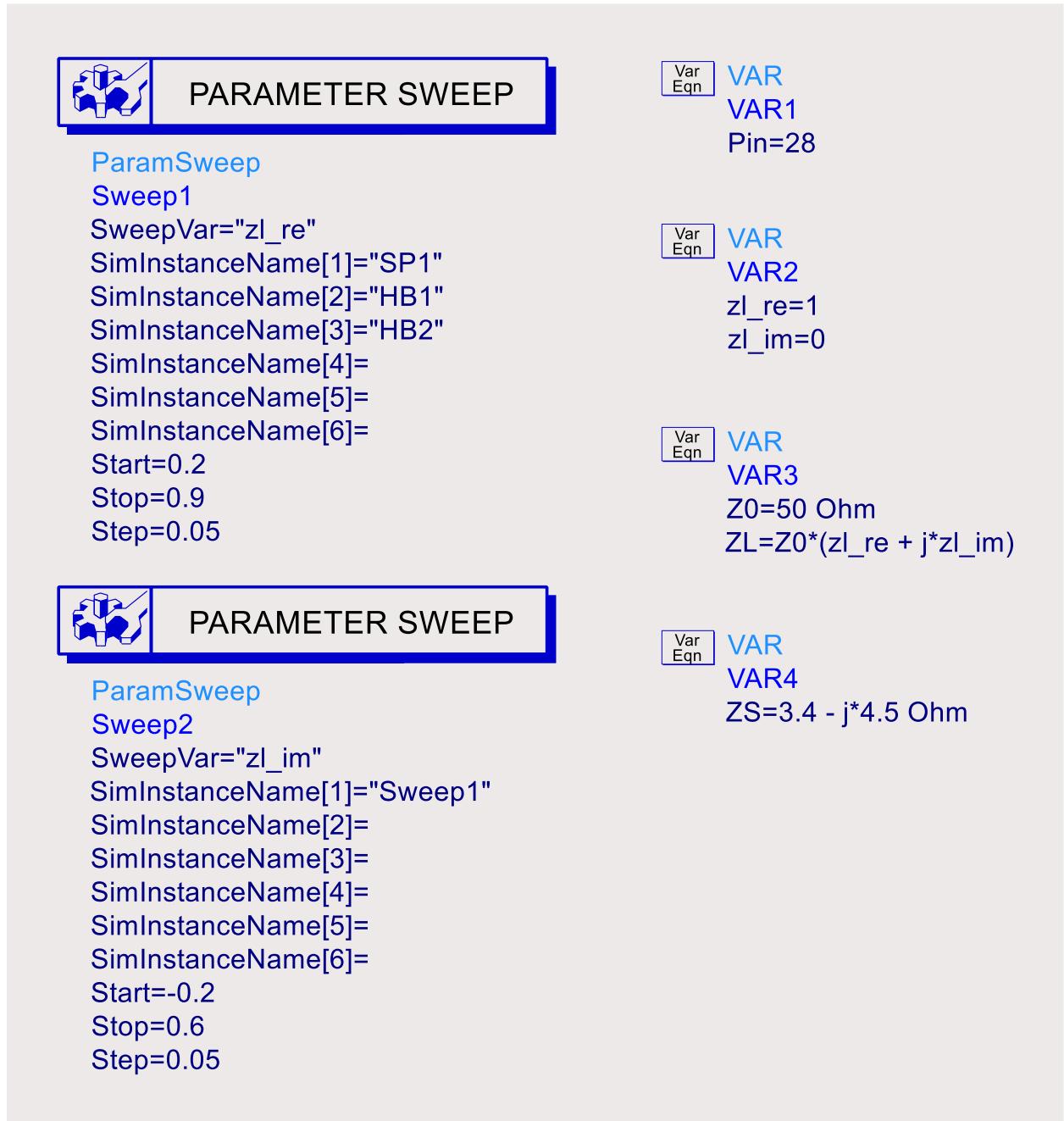
Свип по части выходной диаграммы Смита будем обеспечивать с помощью двух контроллеров ParamSweep, т.к. свип поддерживает перебор только по одномерному списку. А комплексные числа надо собирать из двух свипов. Чтобы легко видеть, в какую часть диаграммы Смита возможно нужно будет сдвинуть границы переборов, свипать будем независимо действительную и мнимую части нормированного Z_L (а не амплитуду и фазу коэффициента отражения или действительную и мнимую часть ненормированного импеданса). Все остальные значения будем собирать из Z_L . Также сразу зададим определенные выше Z_S и Pin .

<input type="checkbox"/> Var Eqn	VAR	<input type="checkbox"/> Var Eqn	VAR
	VAR1		VAR3
	Pin=28		$Z_0=50 \text{ Ohm}$
			$ZL=Z_0*(zl_{re} + j*zl_{im})$
<input type="checkbox"/> Var Eqn	VAR	<input type="checkbox"/> Var Eqn	VAR
	VAR2		VAR4
	$zl_{re}=1$		$ZS=3.4 - j*4.5 \text{ Ohm}$
	$zl_{im}=0$		

Выше мы определили рекомендованный от производителя $Z_{L_MFG} = 19,75 + j10,6 \text{ Ом}$ @ 2,4 ГГц, в нормированном виде это $z_L = 0,395 + j0,212$. Отсюда мы можем оценить, какая часть диаграммы Смита нас интересует и

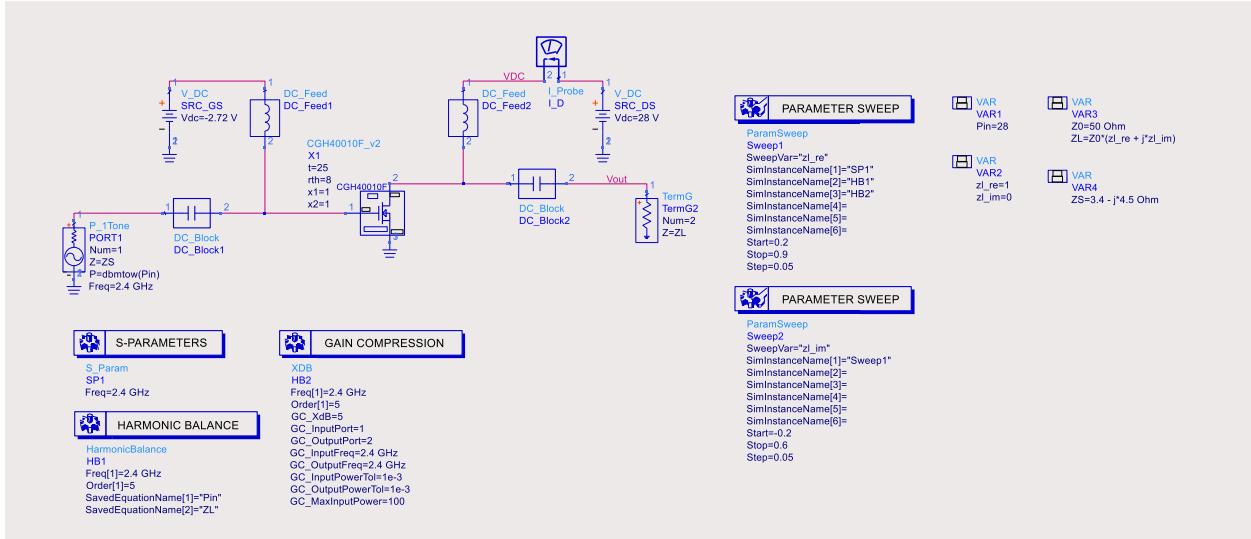
выбрать диапазоны свипа $z_{L(\text{re})}$ и $z_{L(\text{im})}$. Если в результатах будет видно, что нужно расширить (или наоборот, сузить) область анализа, то эти границы можно поменять.

Иерархия переборов при этом следующая Sweep2 (z_{l_im}) -> Sweep1 (z_{l_re}) -> (SP1, HB1 и HB2).



Заданные ZS и ZL нужно внести в соответствующие порт и терминатор. Также не забыть указать мощность по входу через Pin, снять напряжение питания VDC и выходной сигнал Vout.

Схема перед запуском должна иметь следующий вид:



Дальнейшие расчёты проводятся в области графиков.

Функции построения контуров принимают параметр `InterpType`, который переделяет тип интерполяции данных. Может иметь значение 0 – без интерполяции (линейная), 1 – кубическим сплайном, 2 – В-сплайном. Создадим переменную `InterpType`, чтобы вносить ее в нужные функции.

$$\text{Eqn}\text{InterpType} = 2 \text{ _Spline}$$

Для выделения линейного коэффициента усиления, пригодного для построения контурных диаграмм, необходимо из всех результатов выделить данные формата «поверхность», т.е. две независимые переменные и скаляр, зависящих от этих двух независимых переменных.

С учетом того, что в схеме присутствовали несколько контроллеров симуляции, то для выделения `SPGain` нужно использовать наиболее общее выражение следующего вида:

$$\text{dB}(\text{Sweep2.Sweep1.SP1.SP.S}(2,1)[\text{Sweep2idx}, \text{Sweep1idx}, \text{freqidx}])$$

где конструкция «`Sweep2.Sweep1.SP1`» определяет иерархию контроллеров; «`SP`» - группировку результатов, относящихся к S-параметрам; «`S(2,1)`» - выделение коэффициента S_{21} из S-параметров в формате выделения из матрицы (поэтому обращение в скобках); последующая конструкция [] выделяет соответствующие сечения в оставшемся многомерном результате, порядок индексов независимых переменных соответствует порядку контроллеров симуляции. Для построения контурных диаграмм нужно иметь перебор по всем индексам свипов мнимой и действительной части Z_L «`::`». Частота анализа в контроллере `SP1` была задана одна центральная, т.е. ее

индекс «0». Окончательно пересчитаем вырезанную поверхность S21 в дБ с помощью функции dB().

Полный вид получения поверхности линейного коэффициента усиления выглядит следующим образом:

$$\text{EqnSPGain} = \text{dB}(\text{Sweep2.Sweep1.SP1.SP.S21})[:, :, 0]$$

! Т.к. в схеме контроллеры симуляции S_Params, НВ и ХНВ находятся на нижнем уровне иерархии независимо друг от друга, а два блока ParamSweep управляют ими независимо, то область графиков ADS пытается сгруппировать результаты и убрать неоднозначности таким образом, чтобы можно было в измерительных выражениях не писать полную строку выделения результатов. Т.к. больше ни один из контроллеров не пишет в результаты S-параметры, то строку выше можно упростить до

$$\text{EqnSPGain} = \text{dB}(\text{S21})[:, :, 0]$$

Для анализа получаемых характеристик определим максимум и минимум с помощью функций max() и min(). Эти функции приходится вызывать по два раза, т.к. они проводят вычисления по одной размерности независимых переменных.

$$\text{EqnSPGain_max} = \text{max}(\text{max}(\text{SPGain}))$$

$$\text{EqnSPGain_min} = \text{min}(\text{min}(\text{SPGain}))$$

SPGain_max	SPGain_min
22.520	17.894

Для построения контурных диаграмм будем использовать функцию contour_ex(), которая умеет подготавливать данные для прямоугольных или полярных графиков. Уровни контуров можно определять в формате число/шаг в автоматическом построении от максимума или минимума. Или можно запрашивать конкретные значения уровней.

Контурную диаграмму SPGain построим автоматически от максимума с некоторым разумным шагом усиления и числом уровней.

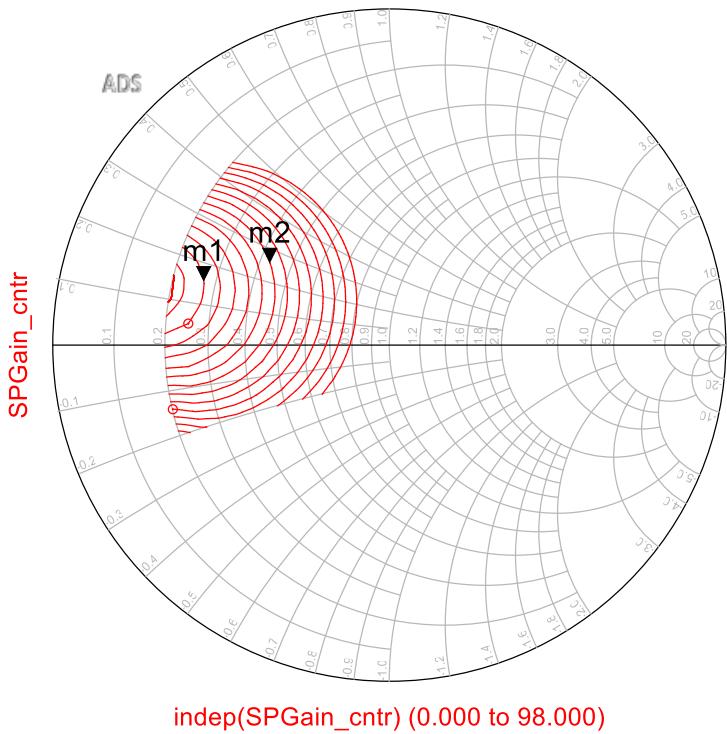
$$\text{EqnSPGain_Step} = 0.2 \quad \text{EqnSPGain_Lines} = 14$$

Результат SPGain_cntr_Zn – подготовлен для отображения относительно нормированного импеданса, а диаграмма Смита принимает коэффициент отражения, поэтому необходимо провести последнее преобразование SPGain_cntr.

```
Eqn PGain_cntr_Zn = contour_ex(SPGain, "POLAR", SPGain_Step, SPGain_Lines, , InterpType, "Max"
```

```
Eqn SPGain_cntr = (SPGain_cntr_Zn - 1)/(SPGain_cntr_Zn + 1)
```

Выведем контурную диаграмму SPGain_cntr на диаграмму Смита. На нее далее будем добавлять остальные контурные диаграммы.



m2 indep(m2)=72 SPGain_cntr=0.433 / 145.252 level=21.200, number=22 impedance = 21.415 + j12.990
--

m1 indep(m1)=61 SPGain_cntr=0.584 / 160.786 level=22.200, number=8 impedance = 13.482 + j7.864
--

Подготовим контурную диаграмму выходной мощности POut. Результат берется из контроллера HB1, выходной сигнал Vout с преобразованием в дБм (снятых с 50 Ом), гармоника рабочей частоты 1. Также сразу определим минимум и максимум

```
Eqn POut = dBm(HB1.HB.Vout[:, :, 1])
```

```
Eqn POut_max = max(max(POut))
```

```
Eqn POut_min=min(min(POut))
```

POut_max	POut_min
40.817	33.206

Мы пытаемся вывести усилитель на выходную мощность 10 Вт (40 дБм), зададим диапазон выводимых уровней порядка 2 дБ от максимума (10 уровней с шагом 0,2 дБ).

```
Eqn POut_Step=0.2   Eqn POut_Lines=10
```

```
Eqn Out_cntr_Zn=contour_ex(POut, "POLAR", POut_Step, POut_Lines, , InterpType, "Max"
```

```
Eqn POut_cntr=(POut_cntr_Zn - 1)/(POut_cntr_Zn + 1)
```

Подготовим контурную диаграмму мощности насыщения PSAT, которую мы определили как точку компрессии в 5 дБ по выходу. Интересующий результат идет из контроллера XDB (с именем HB2), называется outpwr. Интересует также по первой гармонике. С учетом того, что в расчете больше никакой контроллер не выдает результат с именем outpwr, то выделение поверхности PSAT можно упростить.

$$\text{EqnPSAT} = \text{outpwr}[:, :, 1]$$

$$\text{EqnPSAT_max} = \max(\max(\text{PSAT}))$$

$$\text{EqnPSAT_min} = \min(\min(\text{PSAT}))$$

PSAT_max	PSAT_min
42.337	36.616

$$\text{EqnPSAT_Step} = 0.2 \quad \text{EqnPSAT_Lines} = 10$$

$$\text{EqnPSAT_cntr_Zn} = \text{contour_ex}(\text{PSAT}, \text{"POLAR"}, \text{PSAT_Step}, \text{PSAT_Lines}, , \text{InterpType}, \text{"Max")}$$

$$\text{EqnPSAT_cntr} = (\text{PSAT_cntr_Zn} - 1) / (\text{PSAT_cntr_Zn} + 1)$$

Далее определим КПД добавленной мощности (PAE). Базовое определение PAE

$$PAE = \frac{P_{OUT} - P_{IN}}{P_{DC}} \times 100\% .$$

Т.е. нам нужно иметь поверхности выходной мощности Pout, входной Pin и потребляемой от источника питания Pdc.

Pout и Pin в результатах есть, их только нужно преобразовать из дБм в Вт с помощью функции dbmtow()

$$\text{EqnPOut_W} = \text{dbmtow}(P_{OUT}) \quad \text{EqnPin_W} = \text{dbmtow}(P_{IN})$$

Потребление Pdc будем считать только от цепи питания, т.к. по цепи смещения ток минимальный. Считается оно как Vdc*Idc по постоянному току. Интересующие результаты выдает контроллер HB1 на нулевой гармонике. Напряжение питания выдает результат VDC, ток пробником тока I_D. Контроллер HB1 данные результаты выдает в комплексном формате с нулевой мнимой частью, поэтому они также оборачиваются в функцию real().

$$\text{EqnVDC} = \text{real}(\text{HB1.HB.VDC}[:, :, 0]) \quad \text{EqnDC} = \text{real}(\text{HB1.HB.I_D.i}[:, :, 0])$$

$$\text{EqnPDC_W} = VDC * IDC$$

Можно считать PAE и оценивать полученные пределы.

$$\text{EqnPAE} = 100 * (\text{POut_W} - \text{Pin_W}) / \text{PDC_W}$$

$$\text{EqnPAE_max} = \max(\max(\text{PAE}))$$

$$\text{EqnPAE_min} = \min(\min(\text{PAE}))$$

PAE_max	PAE_min
106.206	5.231

PAE вышел за пределы 100%. Это явно нефизичный результат. Чтобы отсечь нереалистичные результаты, построим контурную диаграмму на фиксированные разумные уровни PAE.

$$\text{EqnPAE_Levels} = [30::5::85]$$

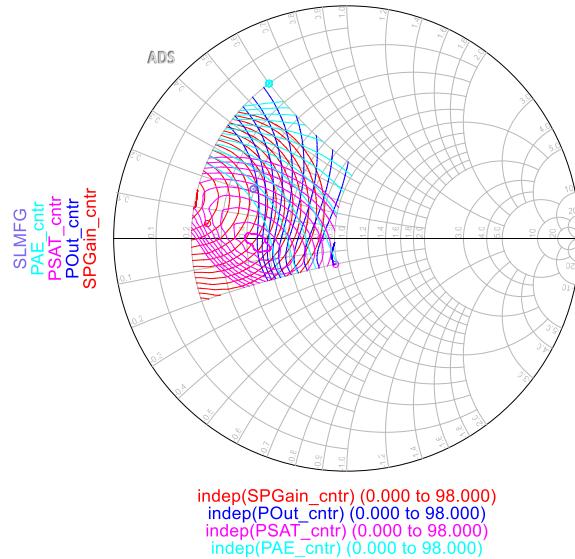
$$\text{EqnPAE_cntr_Zn} = \text{contour_ex}(\text{PAE}, \text{"POLAR"}, \dots, \text{PAE_Levels}, \text{InterpType}$$

$$\text{EqnPAE_cntr} = (\text{PAE_cntr_Zn} - 1) / (\text{PAE_cntr_Zn} + 1)$$

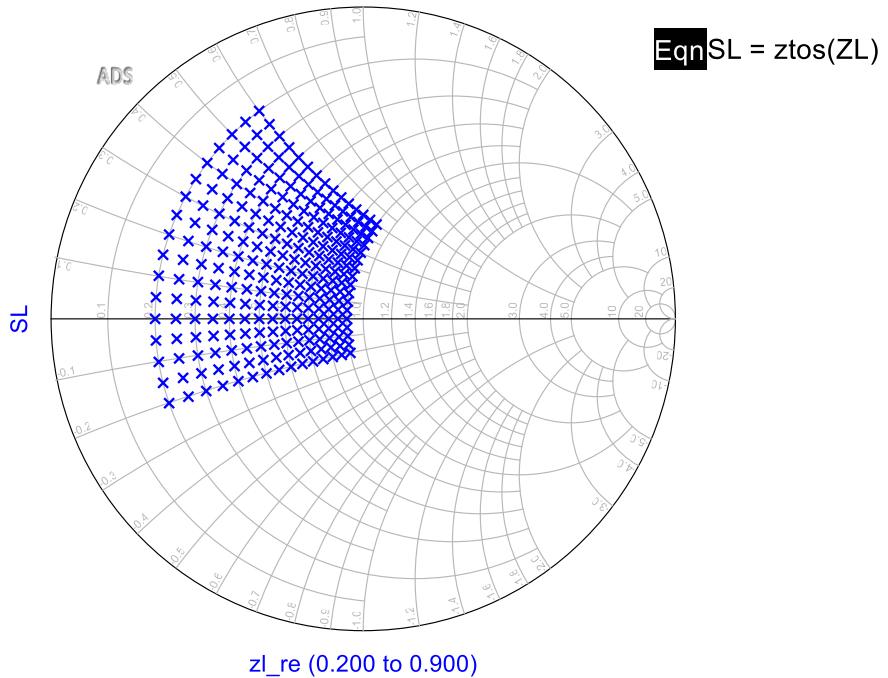
Дополнительно преобразуем рекомендованный производителем импеданс выходной согласующей цепи $Z_{L_{MFG}} = 19,75 + j10,6 \Omega @ 2,4 \text{ ГГц}$ в коэффициент отражения для отображения на диаграмме Смита:

$$\text{EqnSLMFG} = \text{ztos}(19.75 + j*10.6)$$

Соберем теперь все сформированные контурные диаграммы на одну диаграмму Смита.



Дополнительно можно посмотреть, по какой части диаграммы Смита идет перебор ZL. Для этого преобразуем переменную ZL в формат коэффициента отражения и выведем ее на эту же или соседнюю диаграмму Смита в формате Scatter.

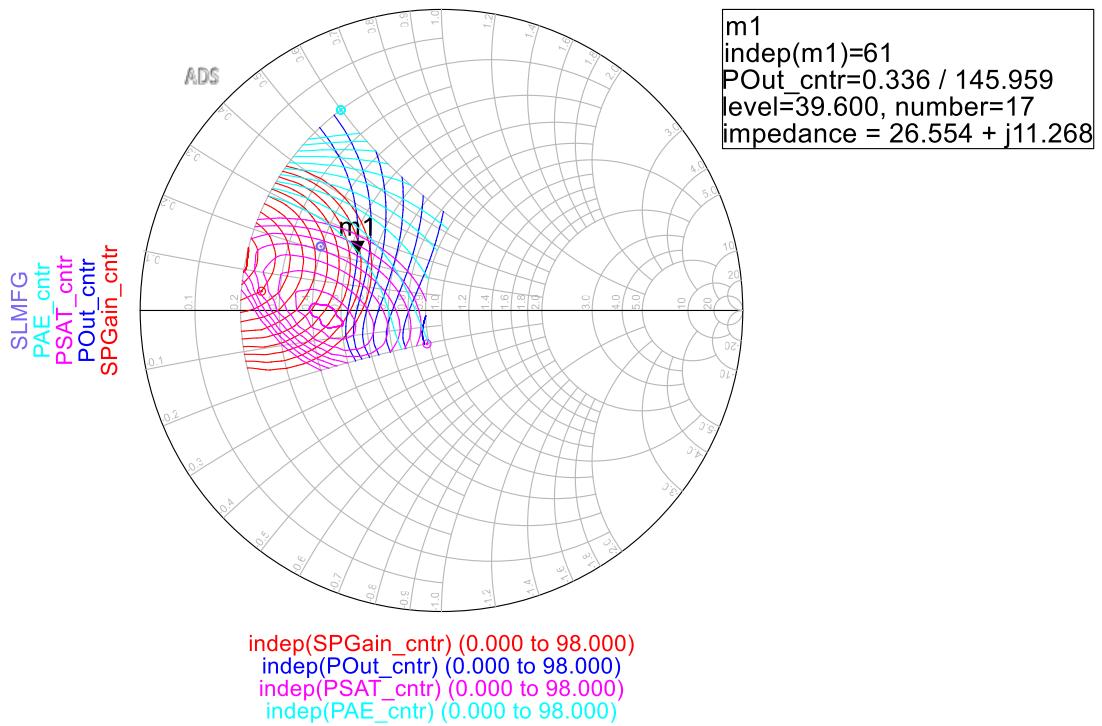


Теперь можно выбирать точку Z_L . При выборе точки нужно соблюсти баланс по следующим принципам:

- нужно стараться не жертвовать впустую предельными характеристиками;
- при прочих равных желательно иметь точку ближе к действительной оси и поближе к центру диаграммы Смита;
- увеличение SPGain почти автоматически улучшает согласование усилителя;
- нужно активно править диапазоны уровней контурных диаграмм для улучшения читаемости.

Остановимся на выборе $Z_L = 26,6 + j11,3 \Omega$, что соответствует $\text{SPGain} = 20,8 \text{ дБ}$, $\text{Pout} = 39,6 \text{ дБм}$, $\text{PAE} = 40\%$ и $\text{PSAT} = 41,4 \text{ дБм}$. Это не точно желаемые 10 Вт, но не на много меньше.

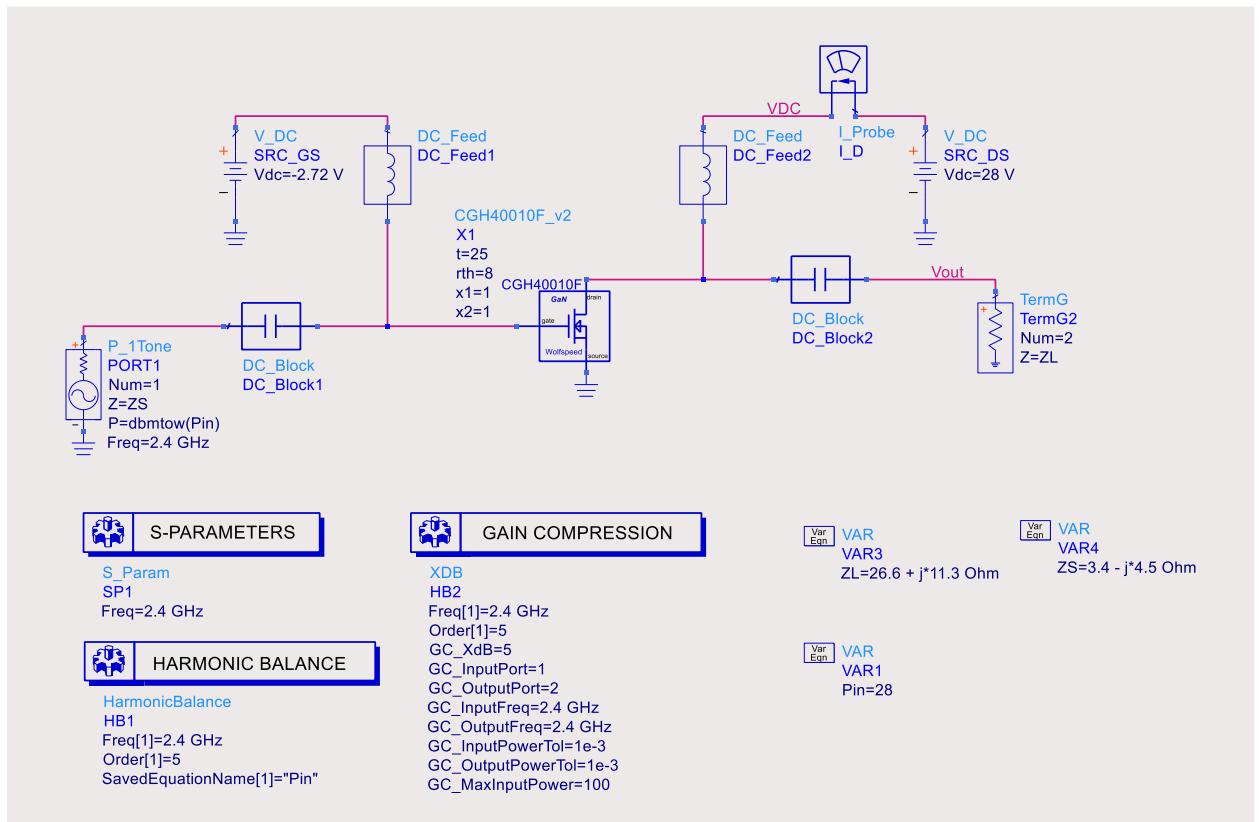
Данная точка отличается от рекомендованной производителем $Z_{L_MFG} = 19,75 + j10,6 \Omega$, в которой $\text{SPGain} = 21,5 \text{ дБ}$, $\text{Pout} = 39,0 \text{ дБм}$, $\text{PAE} = 33\%$ и $\text{PSAT} = 41,5 \text{ дБм}$.



Проверочная схема выбора ZS и ZL

Соберем схему, в которой проверим выбор ZS и ZL (PA_CheckZ).

В этой схеме в импеданс входного порта введем выбранный ZS, а в выходной терминатор ZL.



В результатах проанализируем полученные параметры.

$$\text{SPGain} = \text{dB}(\text{S21})$$

$$\text{Pin_W} = \text{dbmtow}(\text{Pin})$$

$$\text{Pout_W} = \text{dbmtow}(\text{Pout})$$

$$\text{Pout} = \text{dBm}(\text{HB1.HB.Vout}[1])$$

$$\text{PDC_W} = \text{real}(\text{HB1.HB.VDC}[0] * \text{HB1.HB.I_D.i}[0])$$

$$\text{PSAT} = \text{outpwr}[1]$$

$$\text{PAE} = 100 * (\text{Pout_W} - \text{Pin_W}) / \text{PDC_W}$$

freq	SPGain	Pout	PSAT	PAE
2.400 GHz	20.849	39.609	41.361	39.655

Данные значение совпадают с полученными с контурных диаграмм. Можно переходить к проектированию согласующих цепей.

Проектирование входной согласующей цепи

Исходя из выбранных точек ZS, частотных ограничений и того факта, что работаем мы с усилителем мощности, определим, какая конфигурация согласующих цепи нам доступна и удобна:

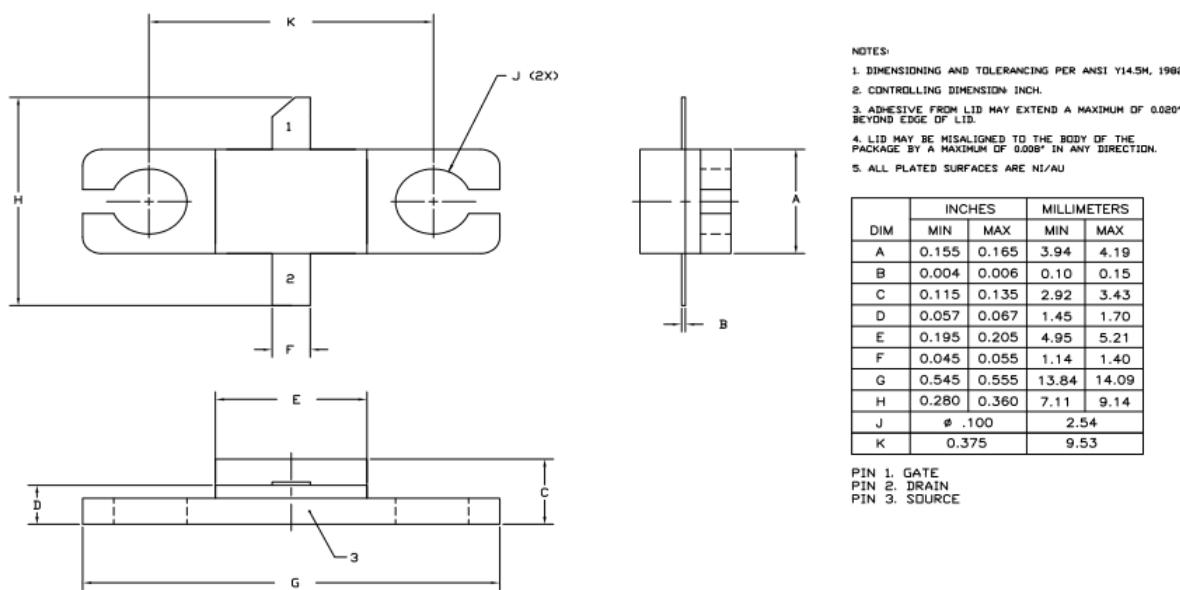
- частоты больше 1,5 ГГц, поэтому основную часть согласующей цепи будем делать на микрополосковых линиях;
- действительная часть ZS и ZL довольно мала, это может приводить к малым значениям волнового сопротивления в шлейфах, что может привести к огромным ширинам. Возможно придется менять параметры подложки;
- для блокировки постоянного тока от входов будем использовать последовательные конденсаторы;
- будем избегать параллельные шлейфы на землю, тем более у нас мнимые части ZS и ZL не очень большие и точки не так далеко от действительной оси;
- не будем использовать индуктивности, ни для согласования, ни для развязки питания и смещения;
- для развязки входа питания и смещения от ВЧ-тракта будем использовать четвертьволновые последовательные шлейфы с комбинацией большого числа фильтрующих конденсаторов;
- при этом для цепи питания нужно еще следить, чтобы этот шлейф пропускал ток питания, т.е. его нельзя делать слишком узким;
- сразу будем использовать модели конденсаторов от производителей.

В качестве подложки проекта выберем материал аналогично макетной плате от производителя на основе RO4350B [10] толщиной 0,508 мм ($\epsilon_r = 3,66$, $\tan\delta = 0,004$). Толщина металлизации будет 17 мкм.

При задании моделей мощных транзисторов на фланце как правило рефлексы определяются по границе корпуса. Соответственно, в моделирование необходимо внести участки, соответствующие выводам транзистора.

Lab1

Оценим электрические размеры выводов. По чертежу в документации они имеют размер 1,4x2,5 мм (ширина x длина). Это дает электрические характеристики (42,8 Ом x 12,3°)@2,4 ГГц.



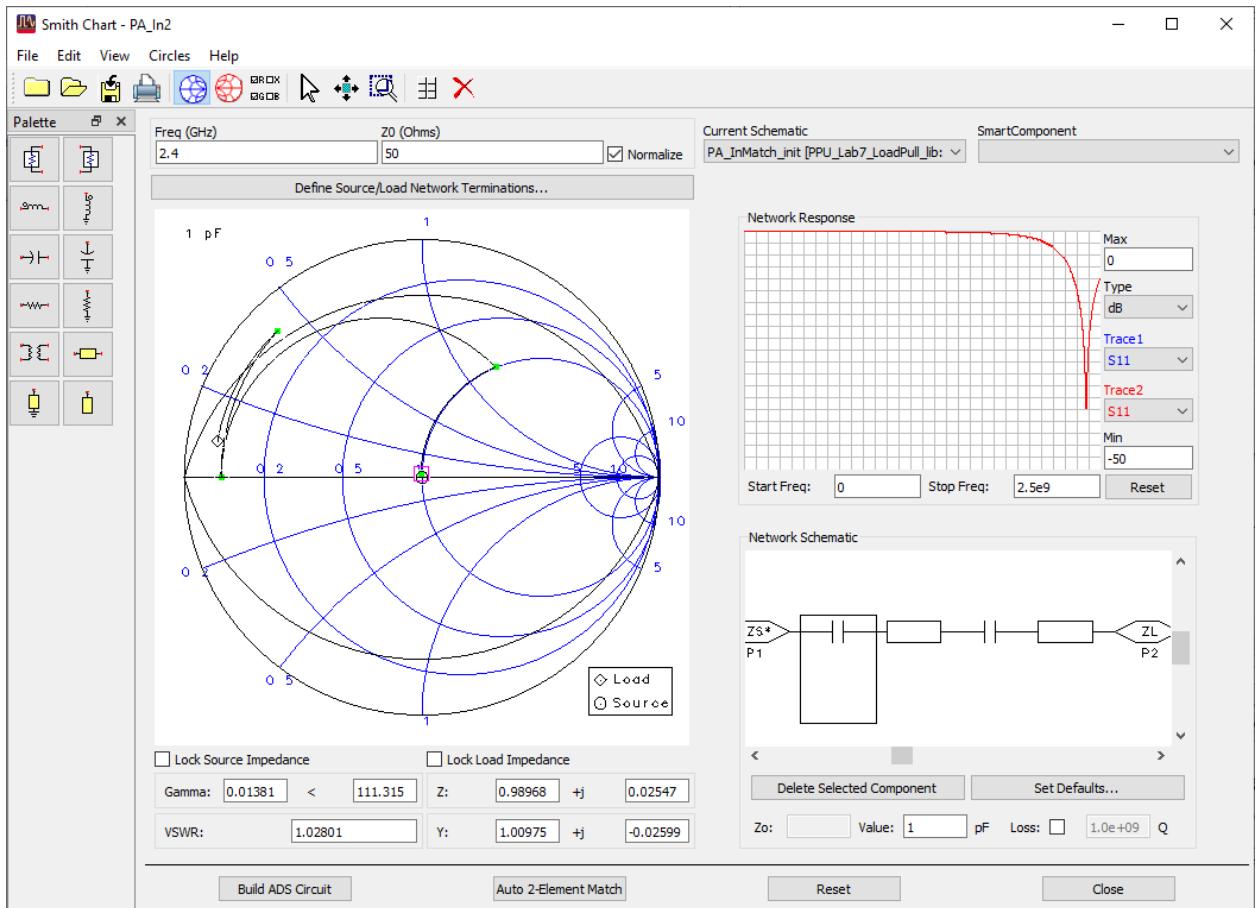
При выборе волновых сопротивлений микрополосковых линий надо следить за волновым сопротивлением. В ВЧ-тракте не стоит допускать ширины меньше 0,5 мм, т.е. волновых сопротивлений больше 75 Ом на используемом диэлектрике. С другой стороны будем стараться избегать ширин большие 3..3,5 мм, что соответствует волновому сопротивлению меньше 25 Ом на текущем диэлектрике.

С помощью утилиты SmithChart оценим предварительный вид входной согласующей цепи. Прядок элементов 50 Ом – первый блокировочный конденсатор на 1,0 пФ, последовательный шлейф (25 Ом x 76°), второй блокировочный конденсатор на 3,2 пФ и ввод в транзистор (42,8 Ом x 12,3°).



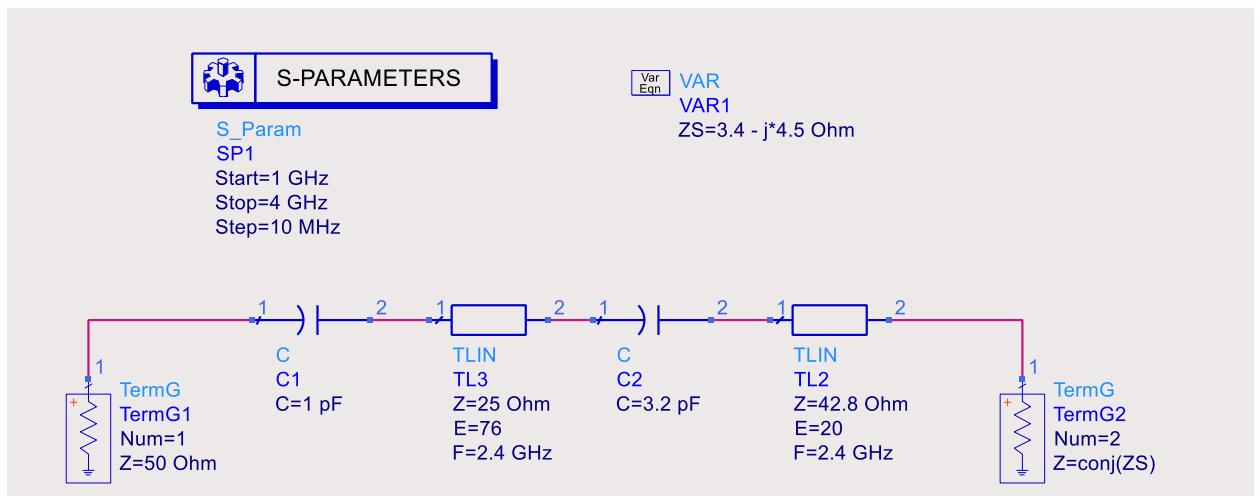
С учетом того, что возможно придется неоднократно возвращаться в утилиту SmithChart для новой попытки первичного подбора

компонентов, лучше всего сохранять сеансы работы в этой утилите по кнопке  Save.

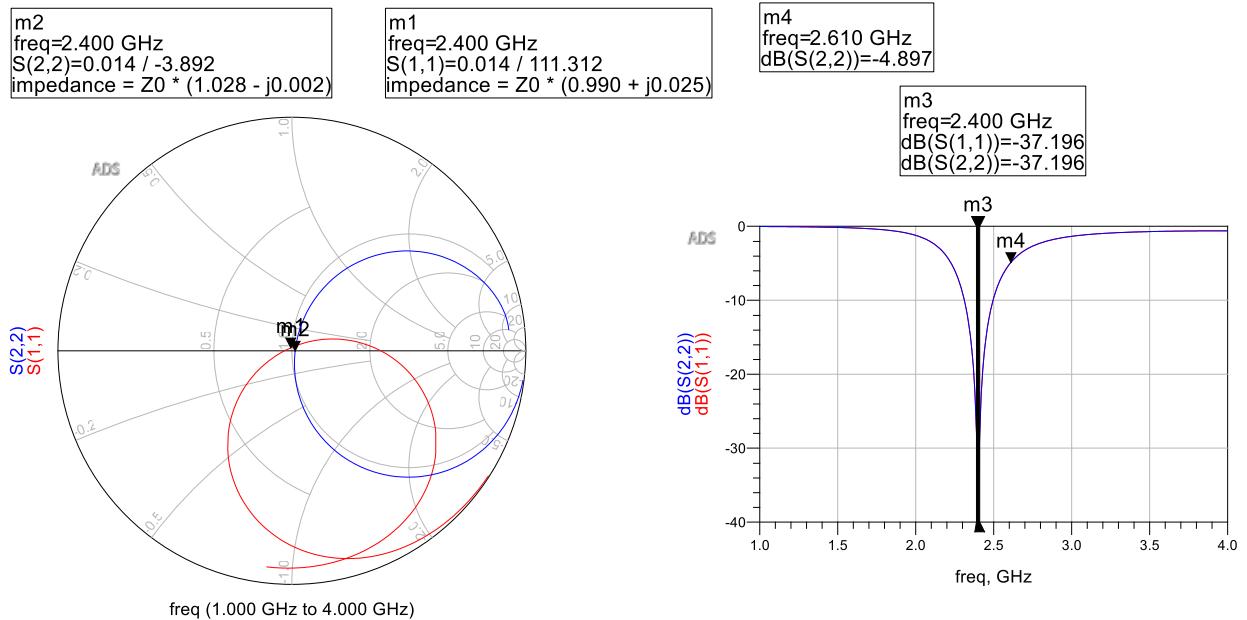


Соберем схему PA_InMatch, в которой будем проводить дальнейшее проектирование согласующей цепи. Сначала соберем все на идеальных компонентах (TLin и C), потом переведем на микрополосковые линии и конденсаторы от производителей.

Версия на идеальных компонентах.

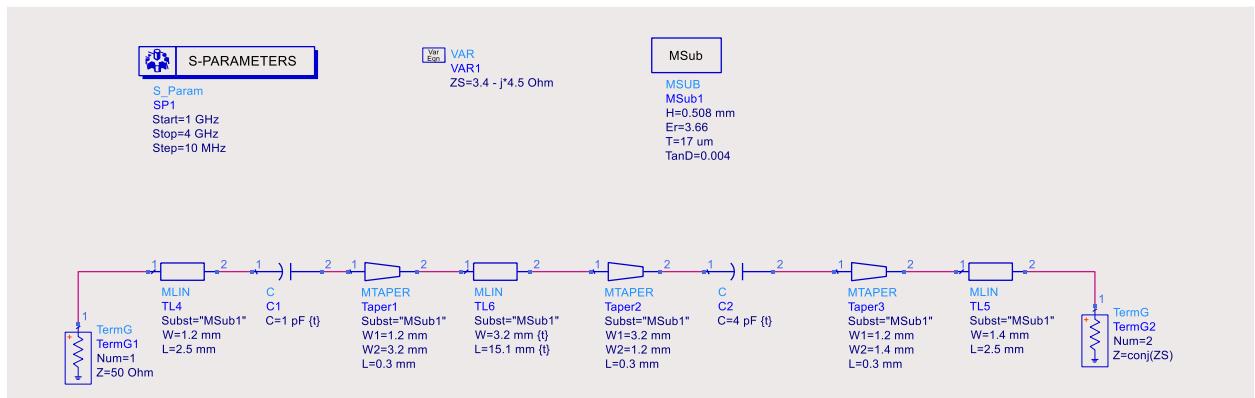


Результаты показывают идеальную работу, прикидочная схема работает.



Заменим линии передачи на микрополосковые линии. Также не забудем ввести MTAPER. Ширину, смотрящую на конденсатор, выберем 1,2 мм, близко к стандартной ширине пада чип-конденсатора 0805inch 1,25 мм. Она же близка к 50 Ом на текущей подложке.

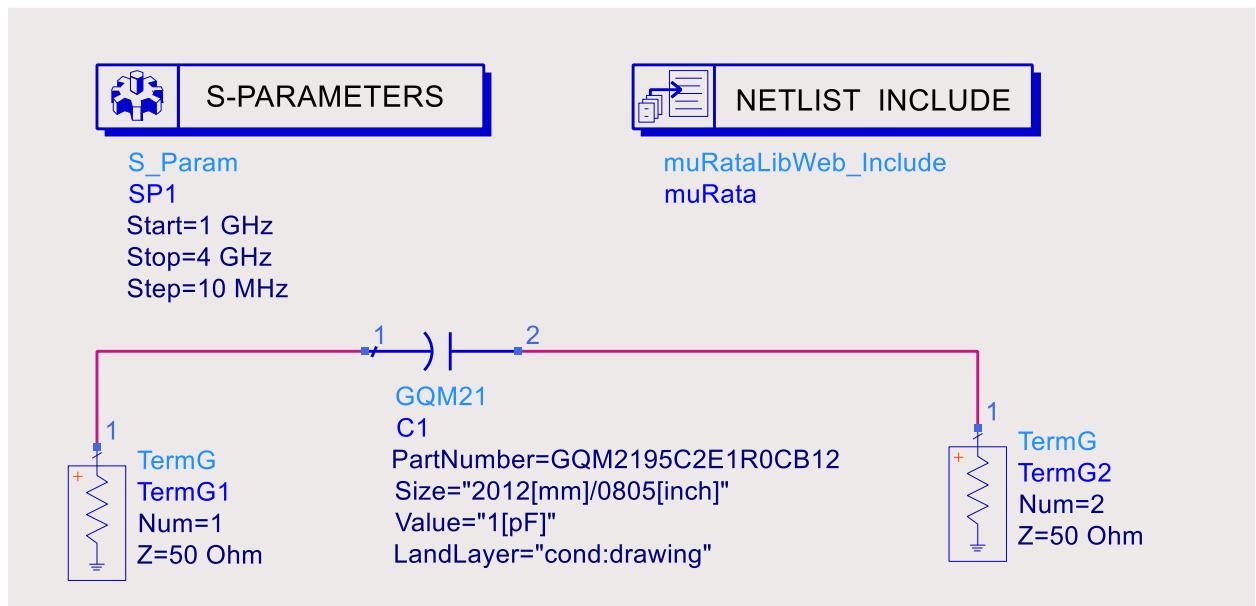
После небольшого тюна, подстроим модель к рабочему виду. Если ширины шлейфов получаются слишком большие, то можно синхронно потюнить ему длину и параллельно поиграться с номиналом блокировочных емкостей.



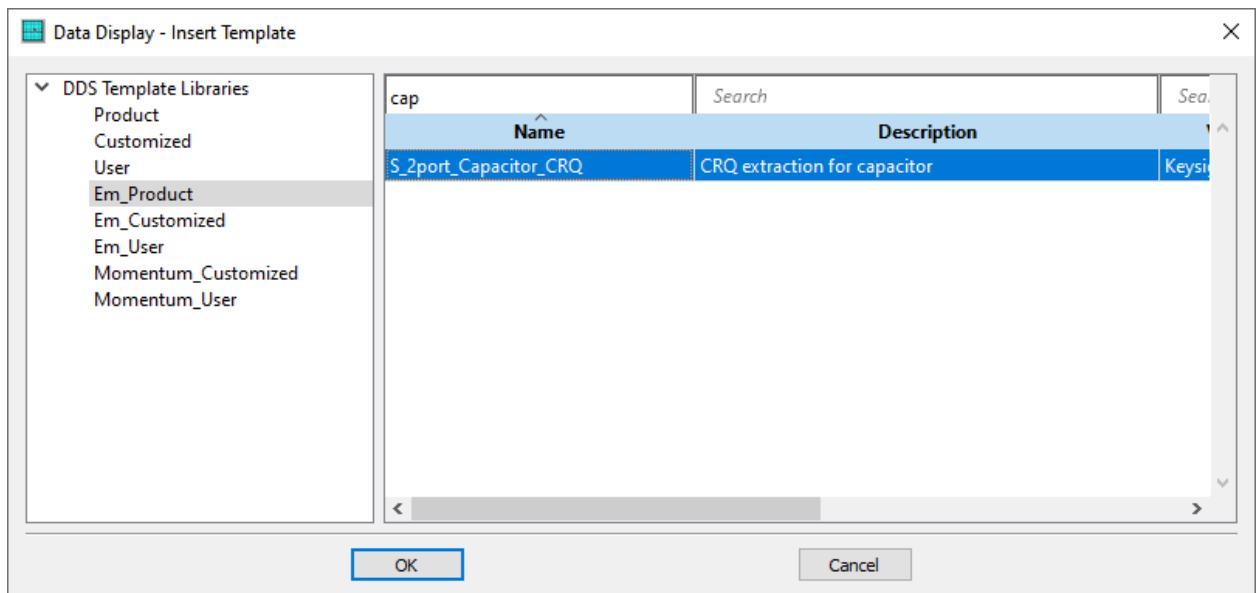
Заменим конденсаторы на реальные модели от Murata [7]. Конденсаторы будем использовать специальные высокочастотные, серии GQM21 типоразмера 0805inch.

На высоких частотах конденсаторы начинают вести себя как резонансные контуры и их эффективная емкость отличается от номинальной.

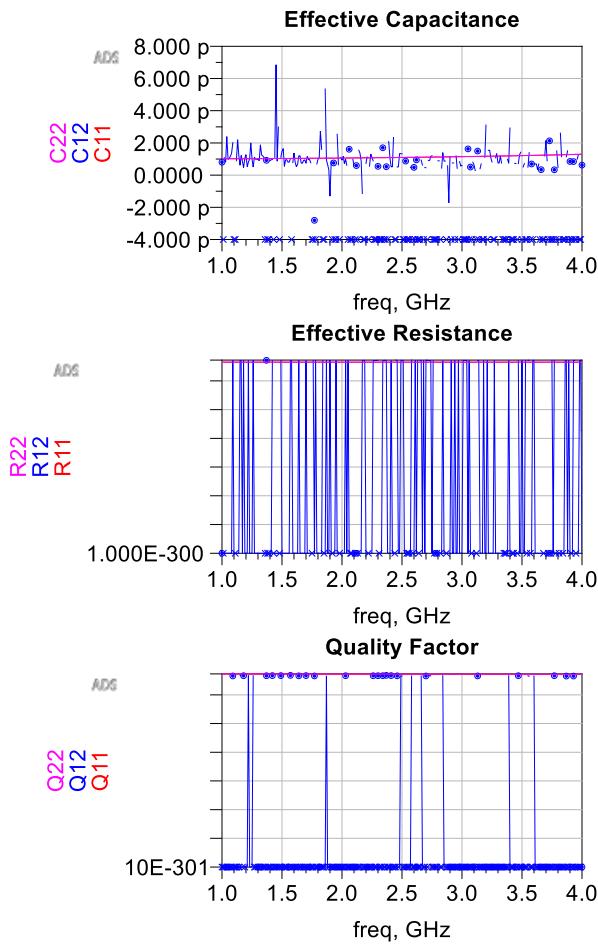
Соберем небольшую дополнительную схему PA_CalcC, в которой будем подбирать конденсатор на нужный номинал.



В области графиков воспользуемся готовым шаблоном расчета эффективной емкости. По команде Insert – Template в окне базы шаблонов ищем S_2port_Capacitor_CRQ.



Из шаблона на лист добавятся все необходимые выражения и формы графиков.

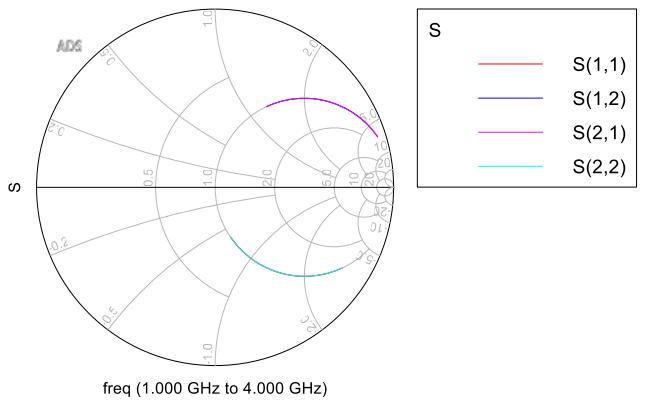


Parameter Extraction Equations

```

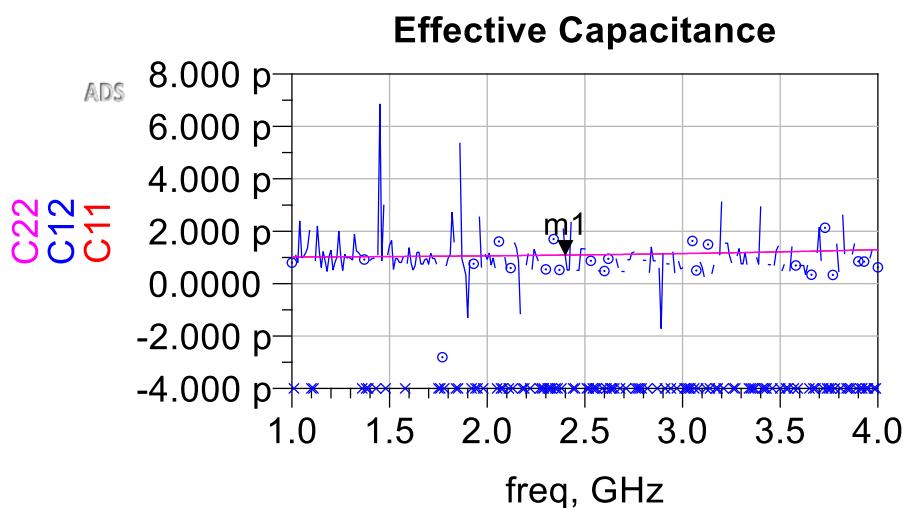
Eqn omega=2*pi*freq
Eqn YM_2p=stoy(S)
Eqn ZM_2p=stoz(S)
Eqn C11=-1/imag(1/YM_2p(1,1))/omega
Eqn C12=-1/imag(ZM_2p(1,1)-2*ZM_2p(1,2)+ZM_2p(2,2))/omega
Eqn C22=-1/imag(1/YM_2p(2,2))/omega
Eqn R11=real(1/YM_2p(1,1))
Eqn R12=real(ZM_2p(1,1)-2*ZM_2p(1,2)+ZM_2p(2,2))
Eqn R22=real(1/YM_2p(2,2))
Eqn Q11=1/(omega*C11*R11)
Eqn Q12=1/(omega*C12*R12)
Eqn Q22=1/(omega*C22*R22)

```

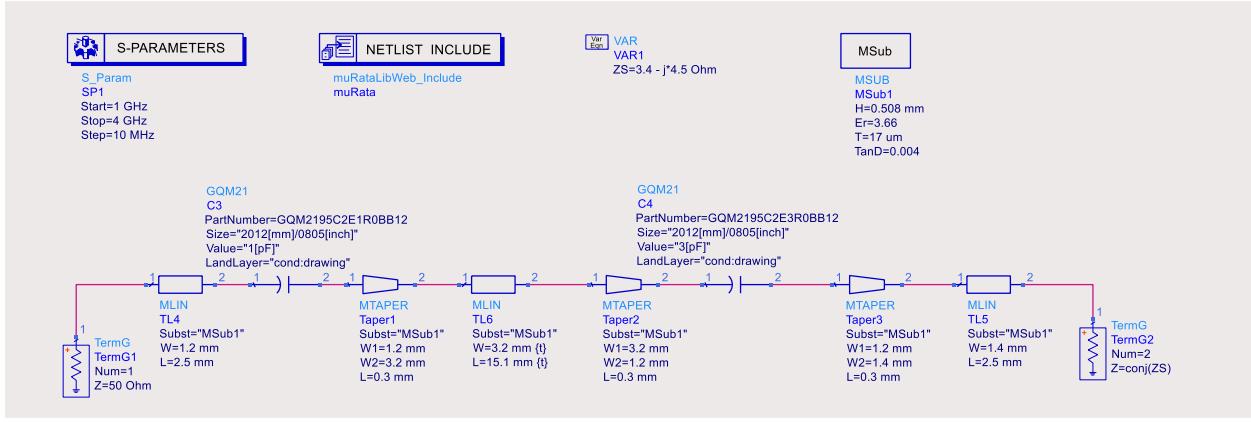


На интересует график C22 на рабочей частоте 2,4 ГГц. Теперь можно в схеме PA_CalcC быстро подобрать конденсатор близкий к необходимой емкости.

m1
freq=2.400 GHz
C22=1.088 p



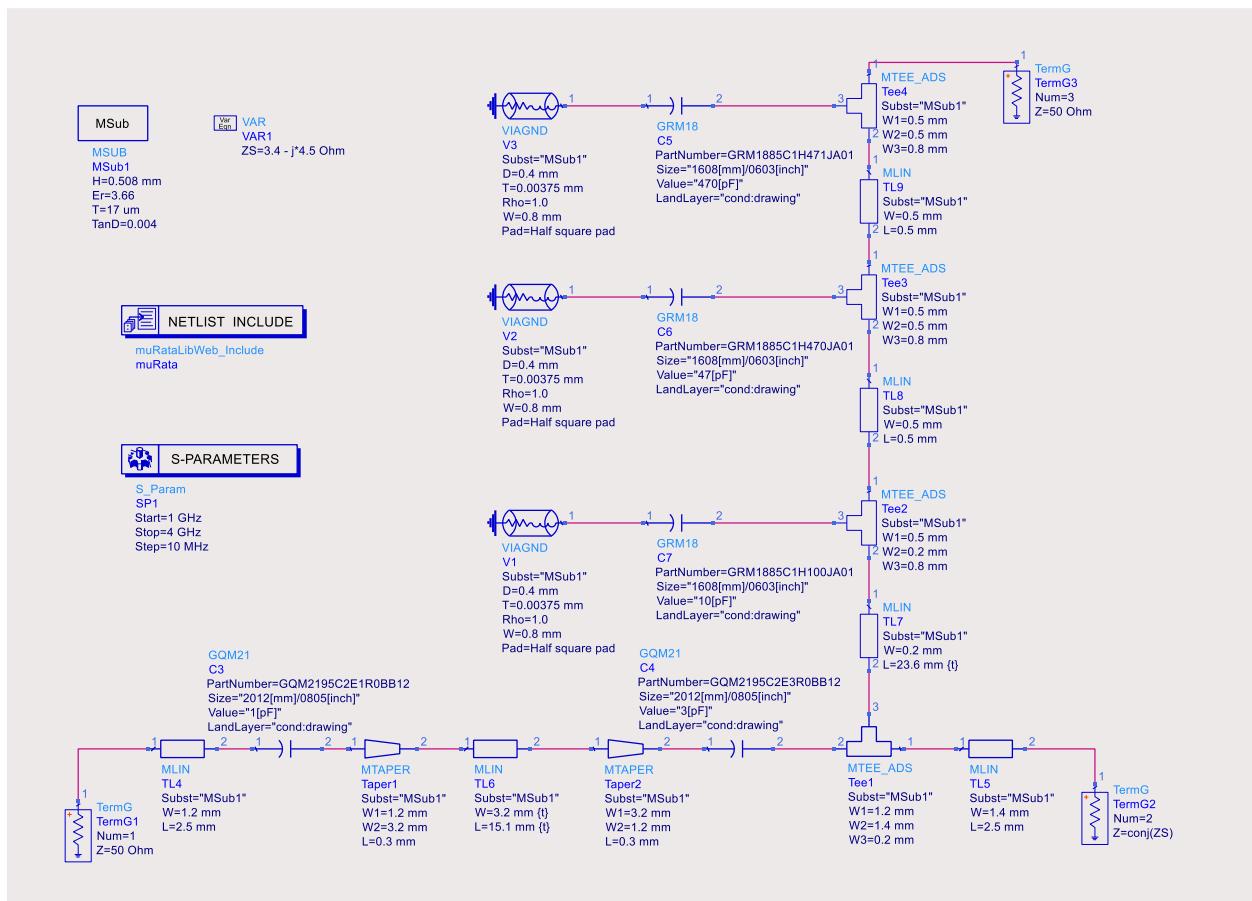
Остановимся на GQM2195C2E1R0BB12 для C1 (на 1 пФ) и на GQM2195C2E3R0BB12 для C2 (на 4 пФ). Вносим их в основную схему.



Осталось добавить участок подачи смещения. Т.к. ток смещения небольшой, то ширину шлейфа можно сделать малой 0,2 мм. Длина шлейфа будет порядка 90°, т.е. 19,7 мм. Правый MTAPER заменим на MTEE.

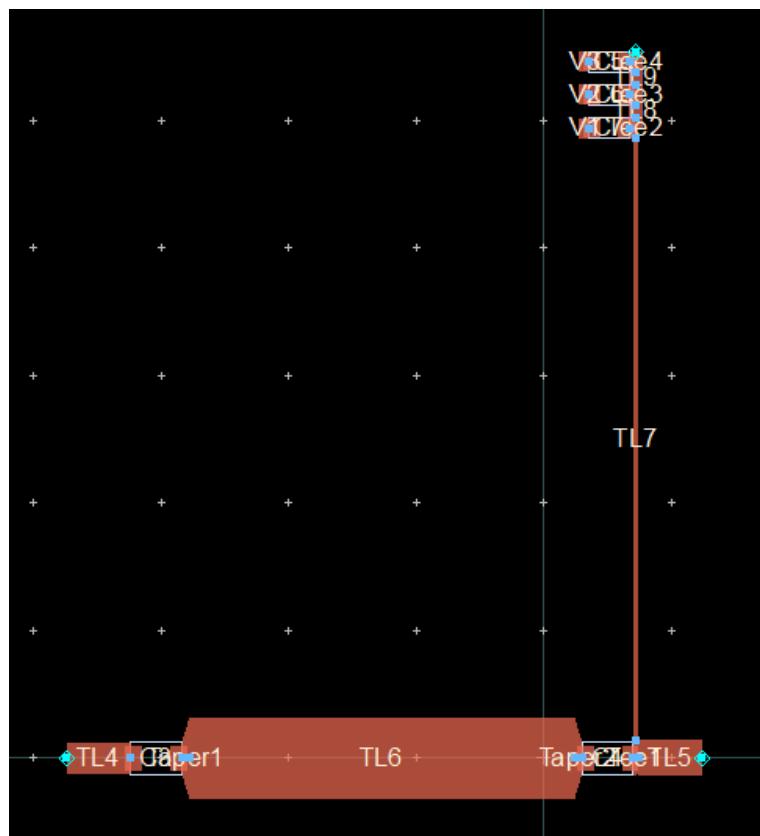
В этой цепи будем использовать фильтрующие конденсаторы типоразмера 0603inch из серии GRM18 (общего назначения) на 10 пФ, 47 пФ и 470 пФ. Ширина вывода у 0603 порядка 0,8 мм. Шаг между конденсаторами поставим 0,5 мм. Также добавим модель отверстия VIAGND на отверстие 0,4 мм/0,8 мм (отверстие/поясок).

Добавление этих компонентов скорее всего испортит результаты расчета. С помощью тюна или оптимизации вернем все обратно. На рисунке ниже приведена соптимизированная схема.



Lab1

По окончании подстройки нужно проверить, что топология получается нормальной, нет непонятных наложений, прилегающие микрополосковые участки имеют правильные размеры и пр.



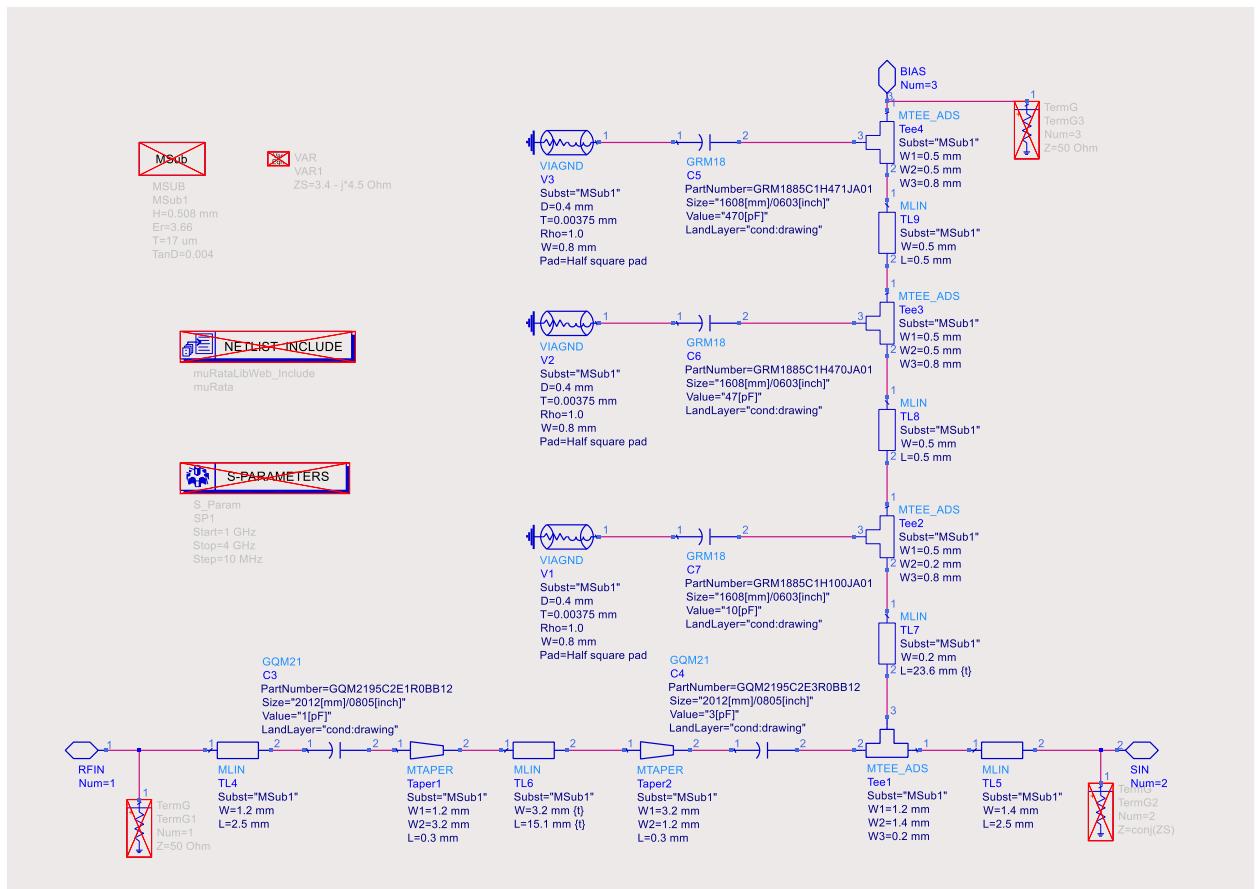
Входная согласующая цепь спроектирована.

Lab1

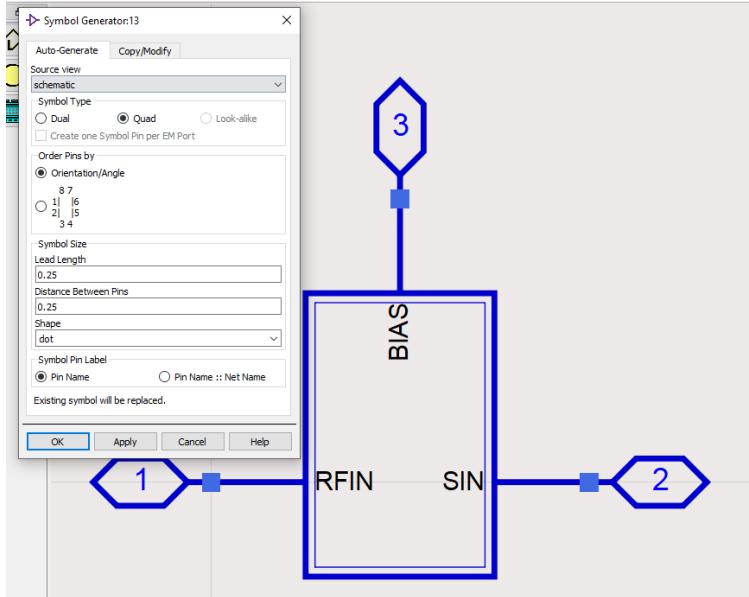
Для возможности использования ее как подсхемы на финальном анализе, ее необходимо подготовить, в том числе:

- отключить контроллер симуляции S_Param;
- отключить блок переменных VAR с определением ZS;
- отключить определение подложки MSUB;
- отключить NetListInclude с библиотекой Murata;
- отключить терминаторы TERM;
- добавить пины с понятным именованием;
- создать символ в ячейке PA_InMatch с понятным расположением выводов.

Элементы мы не удаляем, а отключаем, чтобы при необходимости можно было быстро вернуться и исправить возможные ошибки.



Символ сгенерируем на основе схемы.



Входная согласующая цепь готова для включения ее в финальное моделирование.

Проектирование выходной согласующей цепи

Спроектируем по аналогии выходную согласующую цепь. По сравнению со входной согласующей цепью у нее только одно дополнительное ограничение – ширина развязывающего шлейфа должна пропускать рабочий ток с запасом. С учетом выходной мощности в 10 Вт, напряжением питания 28 В и КПД порядка 40%, ток питания составляет около 0,9 А. Переходные процессы при включении/выключении могут давать двукратные пики тока, поэтому заложимся на то, что развязывающий шлейф должен пропускать ток до 2 А.

Для микрополосковых линий можно воспользоваться стандартом IPC-2221 [11], в котором приведены формулы расчета поперечного сечения линии A [мил²] в зависимости от протекаемого тока I [А] и допустимого перегрева T_{rise} [°C] при нормальных условиях.

$$A \left[\text{mil}^2 \right] = \left(\frac{I \left[A \right]}{K \times (T_{rise} \left[C^\circ \right])^b} \right)^{\frac{1}{c}},$$

где для внутренних слоев $K = 0,024$, $b = 0,44$, $c = 0,725$;

для внешних слоев $K = 0,048$, $b = 0,44$, $c = 0,725$;

Допустимый перегрев обычно берут порядка 10°C, ширину линии можно вычислить, зная толщину металлизации (у нас 17 мкм). При расчётах

не забудьте переводить единицы длин, т.к. площадь поперечного сечения считается в мил².

Можно воспользоваться областью графиков как калькулятором.

$$\text{EqnC_coef} = 0.725$$

$$\text{EqnA_mil2} = \text{pow}(I_{\max}/(K_{\text{coef}} * \text{pow}(Trise, B_{\text{coef}})), 1/C_{\text{coef}})$$

$$\text{EqnB_coef} = 0.44$$

$$\text{EqnA_mm} = A_{\text{mil2}} * 0.0254^{**2}$$

$$\text{EqnK_coef} = 0.048$$

$$\text{EqnW_mm} = A_{\text{mm}} / 0.017$$

$$\text{EqnI}_{\max} = 2 \text{ A}$$

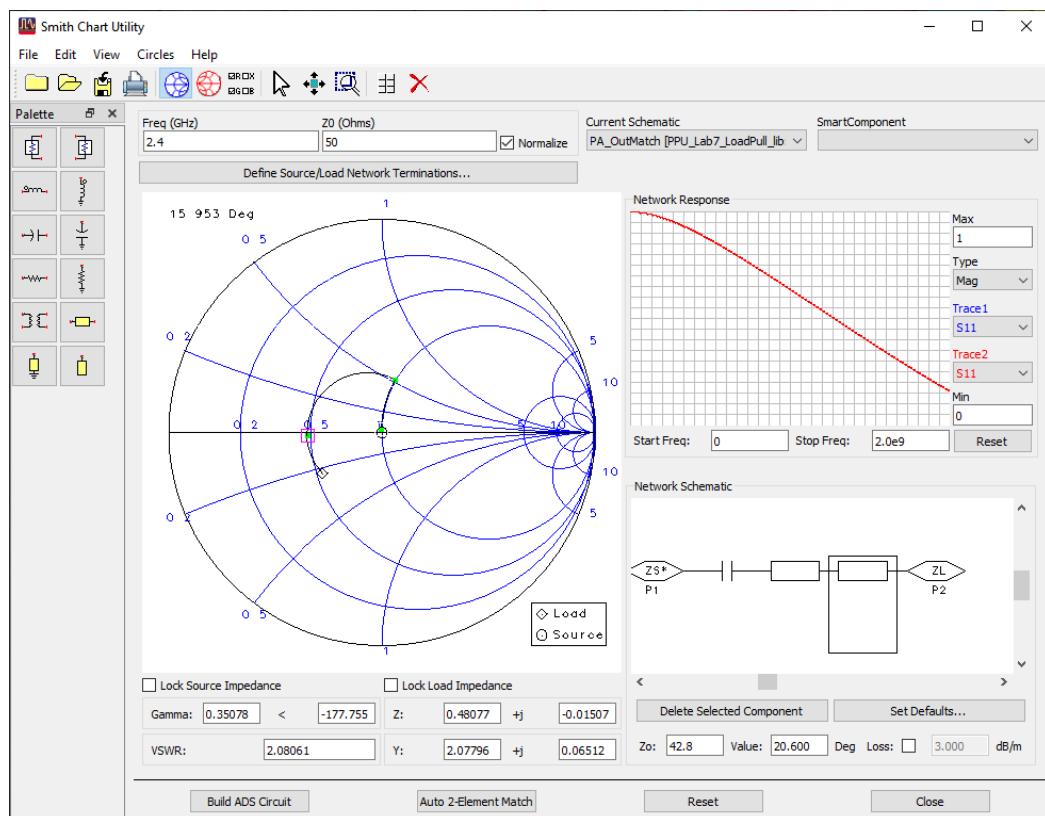
W_mm
1.609

$$\text{EqnTrise} = 10$$

Проведя расчеты, можно получить минимальную ширину развязывающего шлейфа 1,6 мм, округлим до 1,7 мм. С учетом этой ширины, увеличим размер участка, идущего от пада до $2,5 + 1,7 = 4,2$ мм. Электрический размер получается $(42,8 \text{ Ом} \times 20,6^\circ)@2,4 \text{ ГГц}$.

Т.к. искомая Z_l находится на небольшом радиусе относительно центра, то можно попробовать докрутить последовательный участок шириной 42,8 Ом до линии, где расположен последовательный конденсатор и посмотреть, какой номинал конденсатора получается.

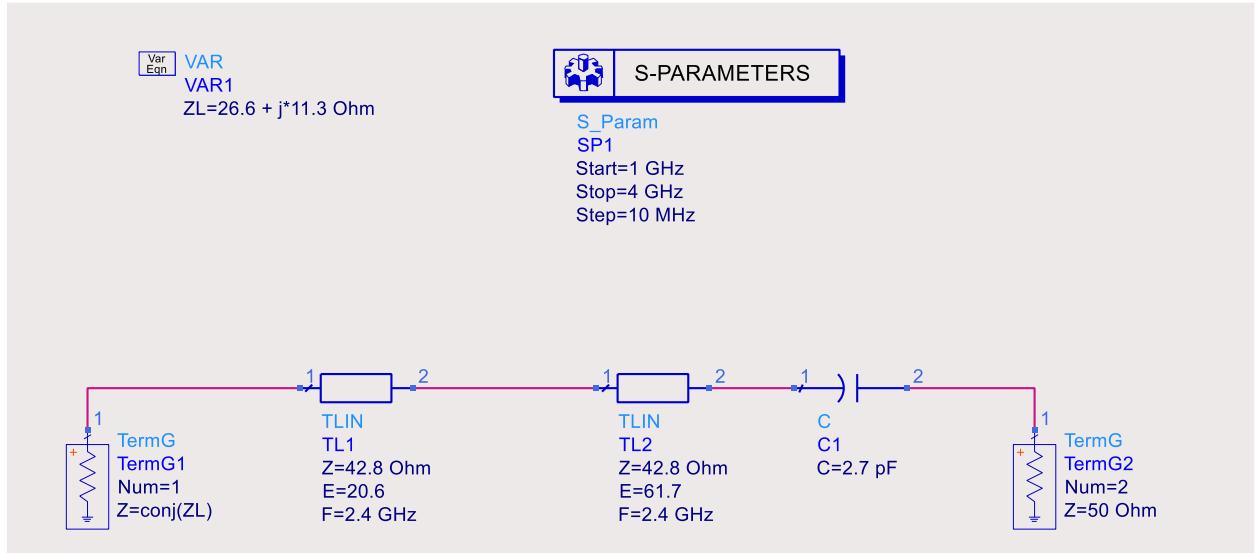
Порядок компонентов в приведённой ниже SmithChart отрезкален, т.к. в этой утилите удобно добавлять компоненты от нагрузки.



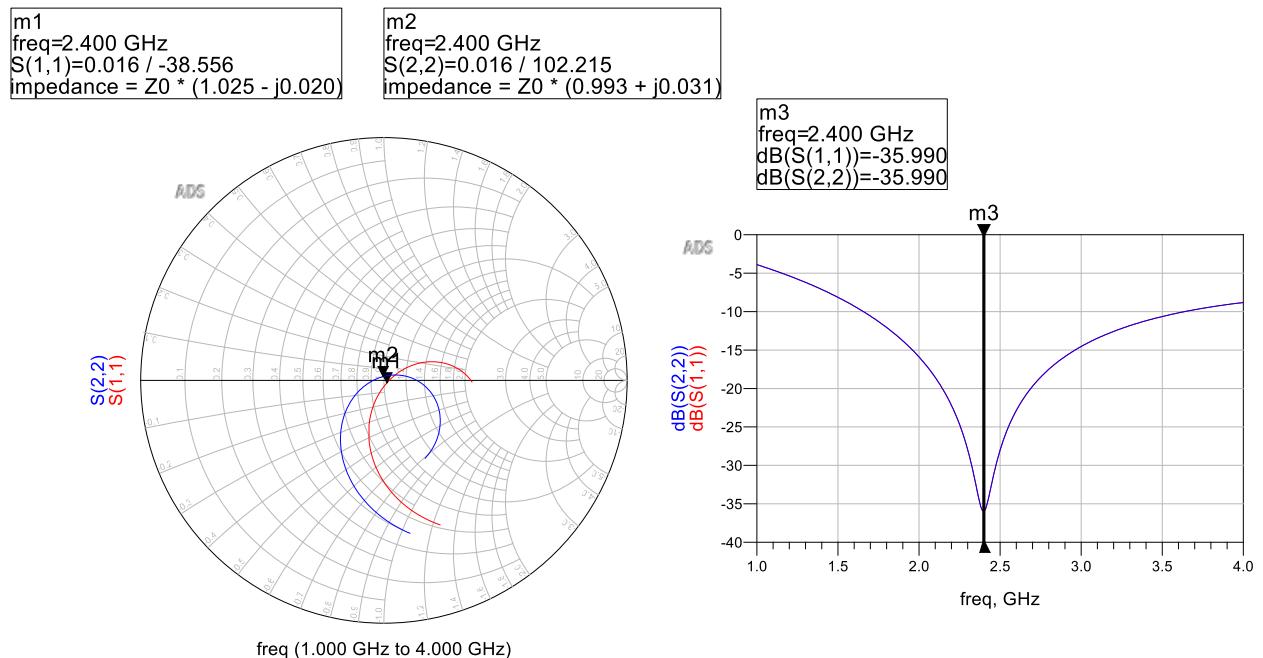
Последовательный участок выходит $20,6 + 61,7 = 82,3^\circ$, а блокировочный конденсатор – 2,7 пФ.

Подготовим схему PA_OutMatch, в которой будем проводить дальнейшее проектирование.

Сначала проверим выкладки из SmithChart на идеальных линиях передачи и конденсаторе. В этой схеме направление слева – направо.



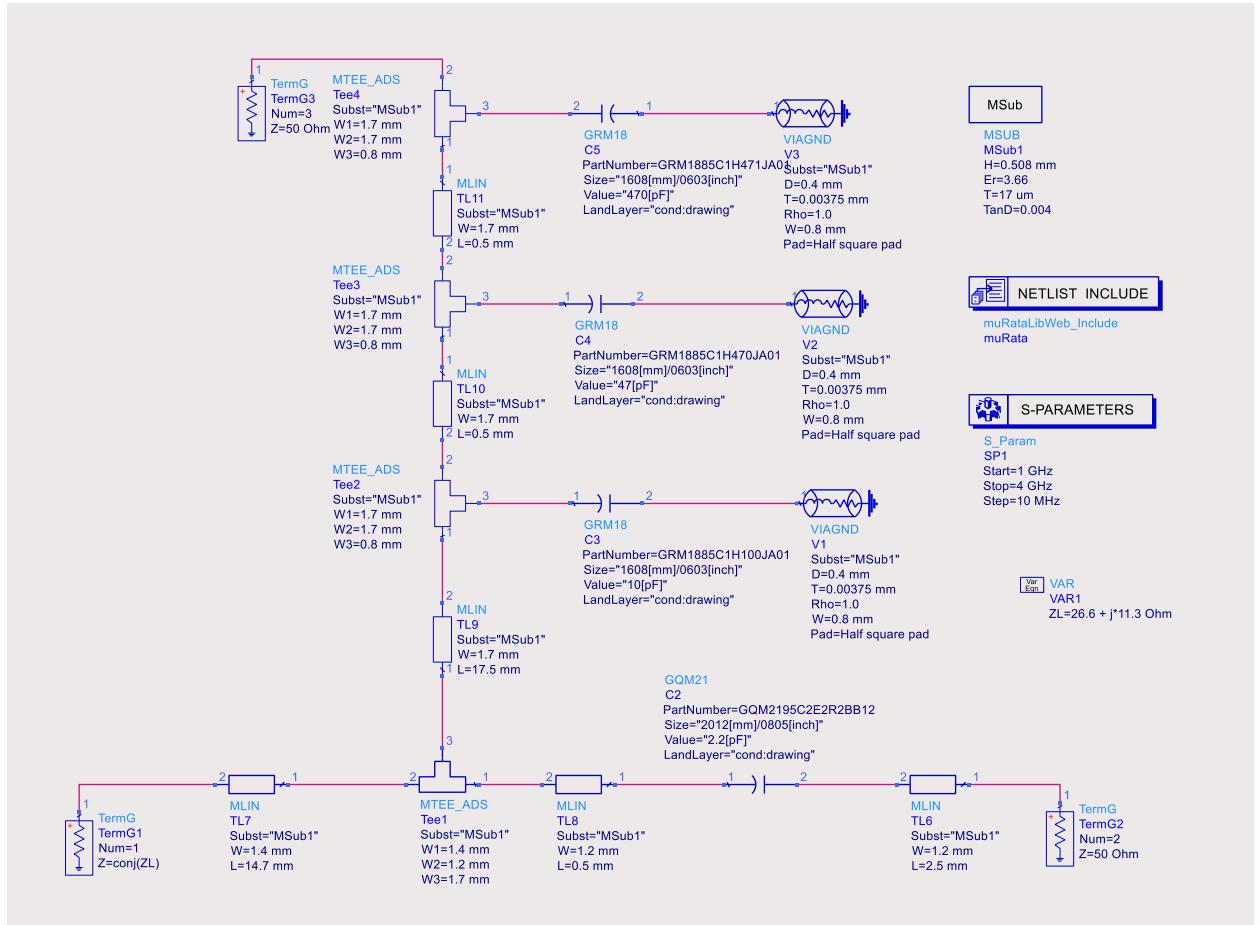
Результаты показывают, что предварительная прикидка в SmithChart рабочая.



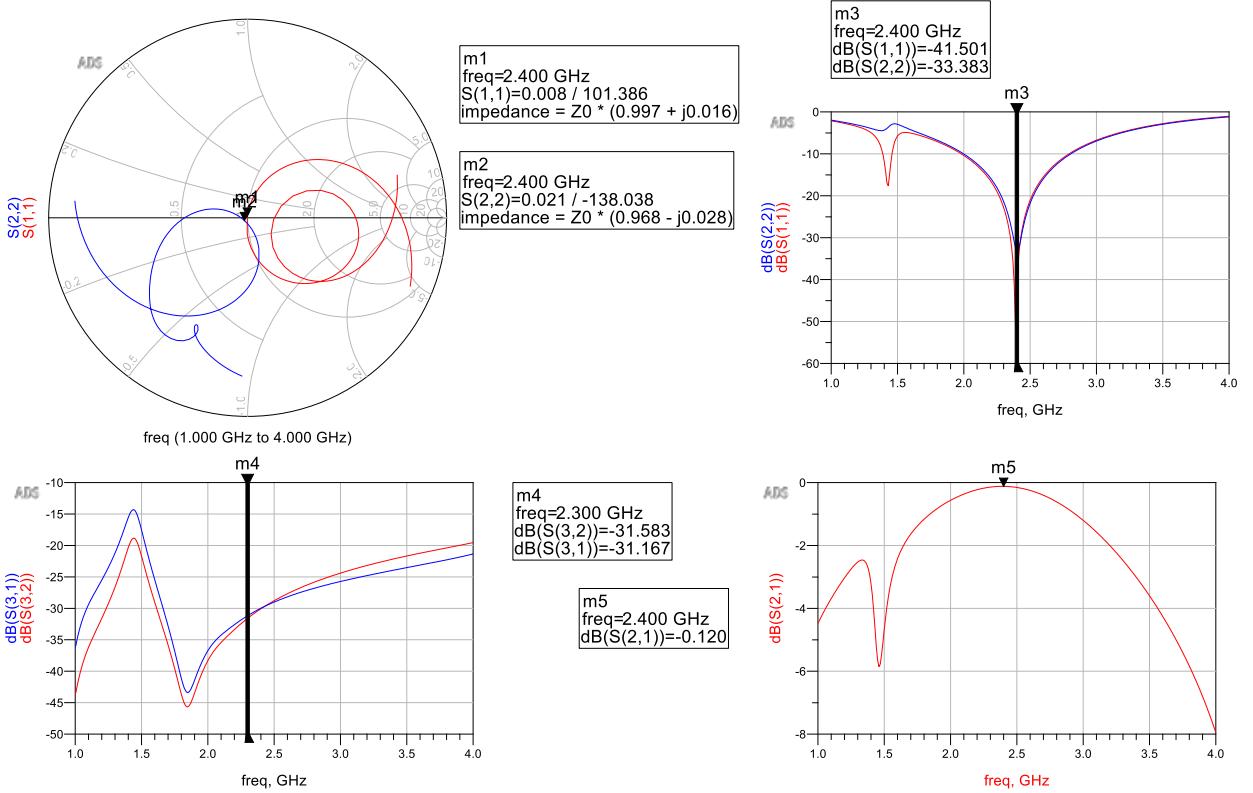
Далее конвертируем линии передачи в микрополосковые, заменяем модель конденсатора на реальную от производителя серии GQM21

типоразмера 0805inch и также вносим цепь питания. Помним, что минимальную ширину развязывающего шлейфа на ранее рассчитали на 1,7 мм.

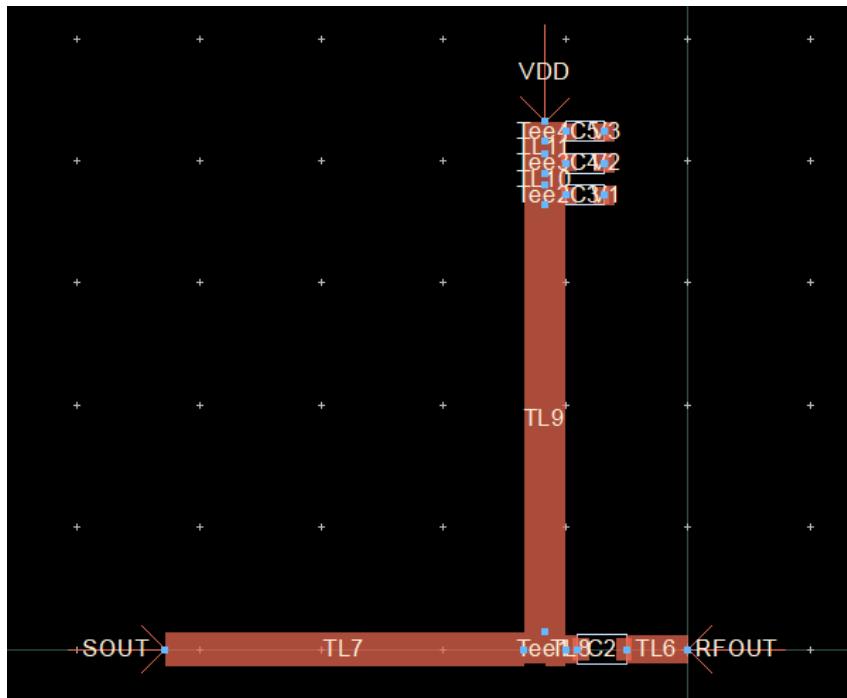
Гроздь фильтрующих конденсаторов поставим аналогичную по входной согласующей цепи, за исключением того, что основной проход также пусть будет шириной 1,7 мм.



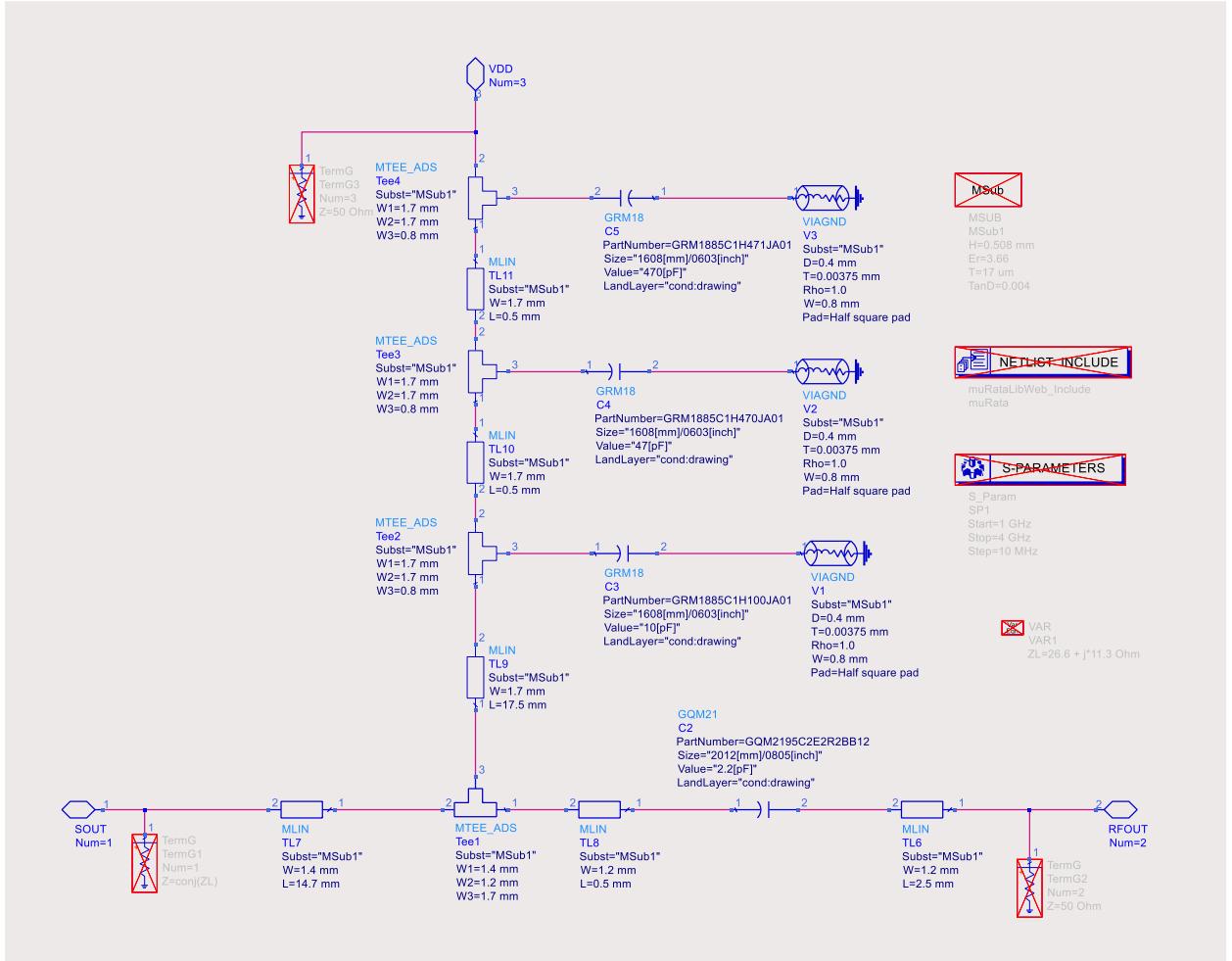
При тюне компромисс сдвинут в сторону лучшего согласования и основного прохода ВЧ-сигнала. Развязка с портом питания при этом оставлена приемлемая.



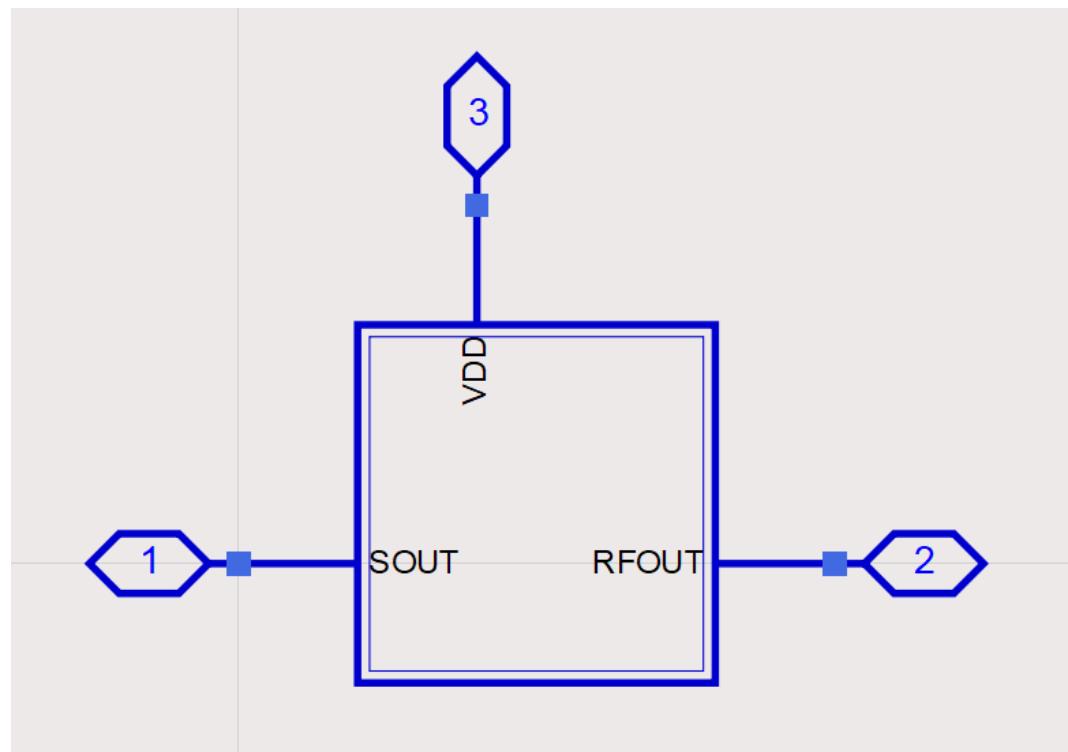
Также проверим топологию получающейся цепи.



Подготовим схему для включения ее как подсхему.



И сгенерируем ей символ.



На этом проектирование согласующих цепей закончено.

Анализ спроектированного усилителя мощности

Проведем анализ спроектированного усилителя мощности (схема PA_Final). В данной схеме будем проверять соответствие итоговых характеристик тем, на которые проводили LoadPull.

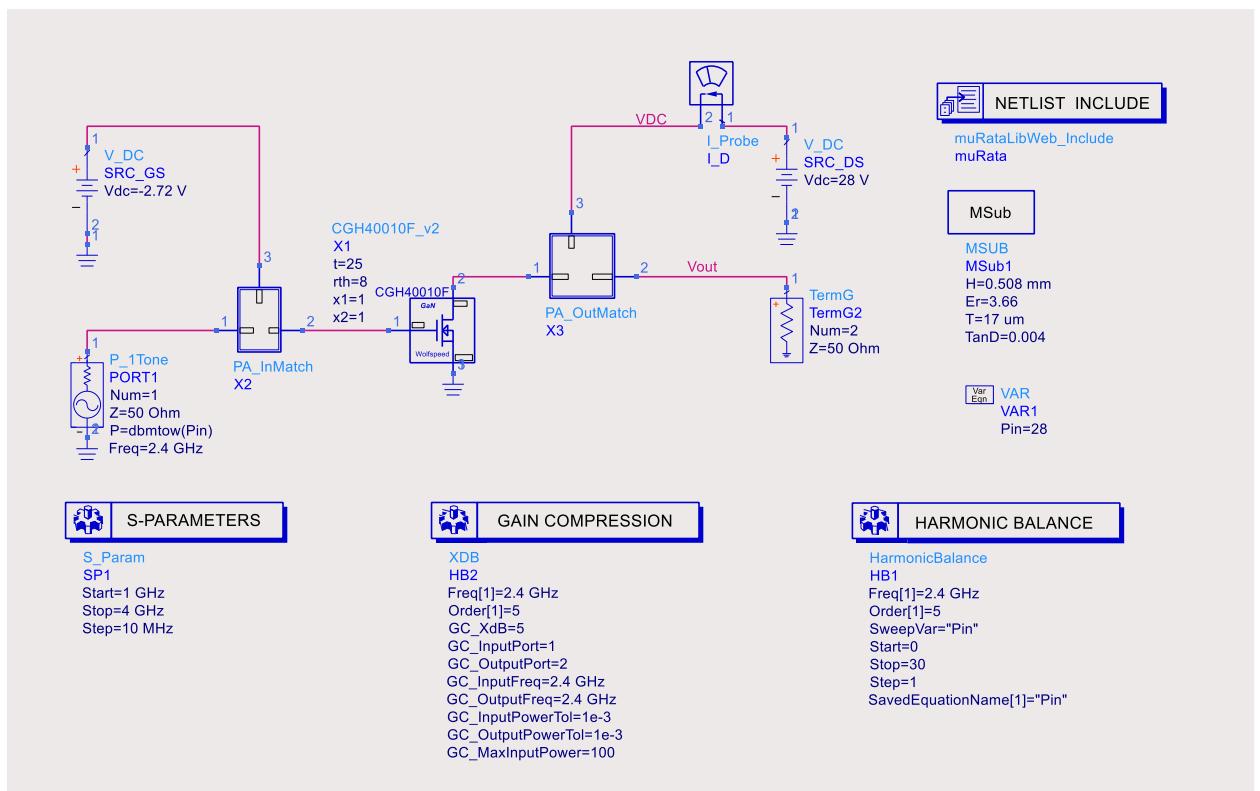
Линейный анализ проведем в диапазоне частот от 1 до 4 ГГц.

Нелинейный анализ проведем в диапазоне входных мощностей от 0 до 30 дБм.

Входной и выходной импеданс в этом случае должен быть 50 Ом.

Чтобы отрабатывали микрополосковые линии из подсхем, необходимо определение подложки.

Для загрузки моделей конденсаторов необходим NetListInclude из библиотеки Murata.

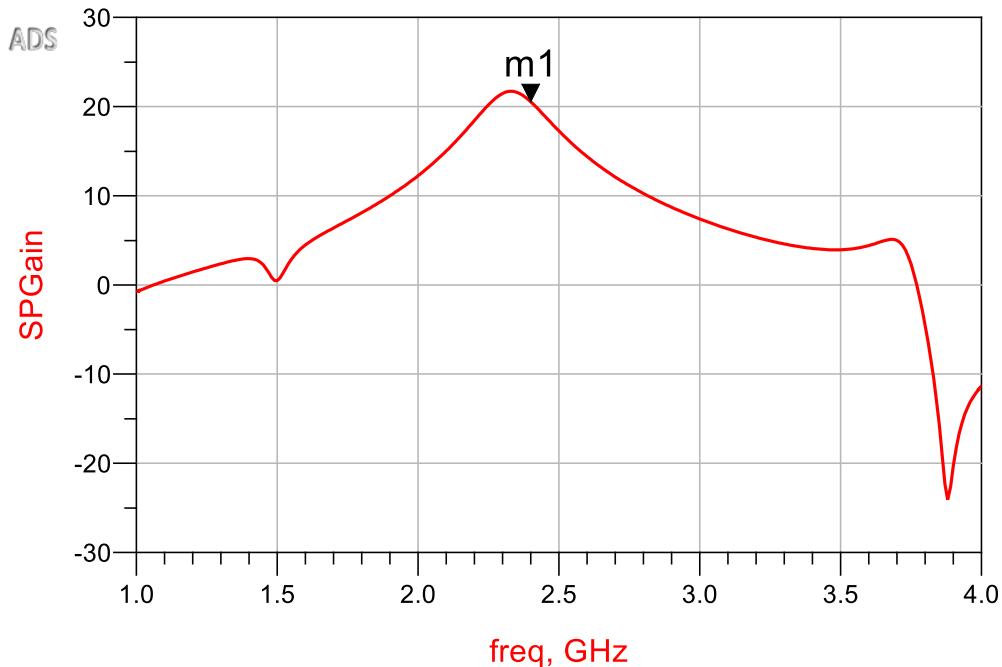


В результатах проанализируем полученные параметры.

Линейный коэффициент усиления:

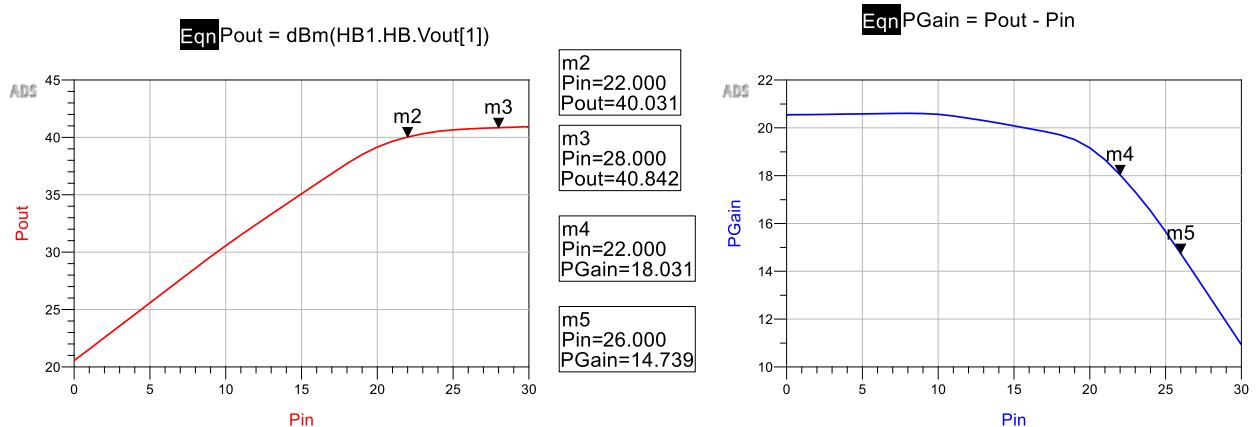
m1
freq=2.400 GHz
SPGain=20.526

$$\text{Eqn SPGain} = \text{dB(S21)}$$



Видно, что на рабочей частоте линейный коэффициент усиления немного просел относительно выбранного в LoadPull-проектировании 20,9 дБ. Связано это с активными потерями в реальных моделях блокировочных конденсаторов и в меньшей степени на микрополосковых линиях в спроектированных согласующих цепях.

Выведем зависимости выходной мощности Pout и реального коэффициента усиления PGain от входной мощности Pin.



Видно, что требуемые 10 Вт (40 дБм) можно получить уже при входной мощности 22 дБм (марке m2) вместо использованных в проекте 28 дБм (маркер m3). При этом, реальный коэффициент усиления в при $\text{Pin} = 22$ дБм достигает 18,0 дБ (маркер m4), что меньше линейного коэффициента усиления

20,5 дБ, но и заметно больше 14,7 дБ (маркер m5), на который мы изначально проектировали.

Мощность насыщения PSAT (определенная как P5dBOut) получается равной 40,7 дБм. Данное значение почти не отличается от выходной мощности при Pin = 28 дБм. Это говорит о том, что режим работы проектируемого усилителя почти в насыщении.

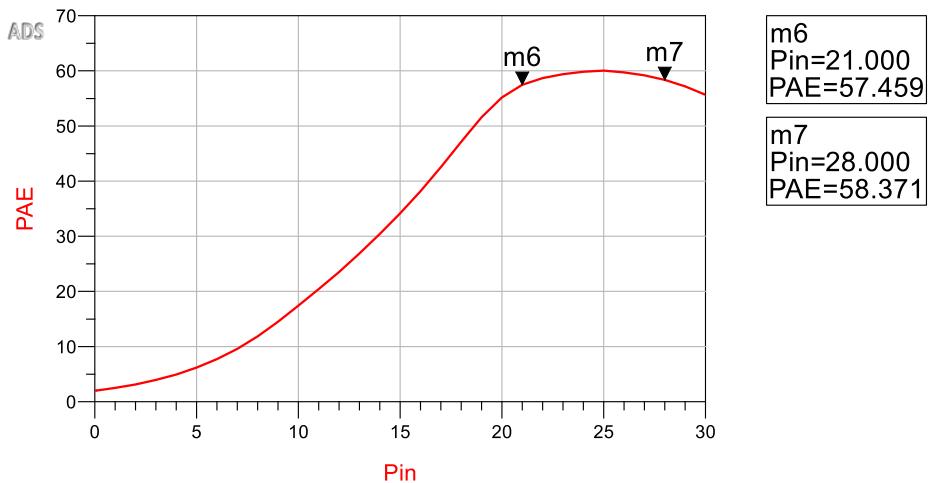
EqnPSAT = outpwr[1]	PSAT
	40.670

Также оценим КПД добавленной мощности PAE

$$\text{EqnPin_W} = \text{dbmtow}(\text{Pin}) \quad \text{EqnPout_W} = \text{dbmtow}(\text{Pout})$$

$$\text{EqnPDC_W} = \text{real}(\text{HB1.HB.VDC}[0] * \text{HB1.HB.I_D.i}[0])$$

$$\text{EqnPAE} = 100 * (\text{Pout_W} - \text{Pin_W}) / \text{PDC_W}$$

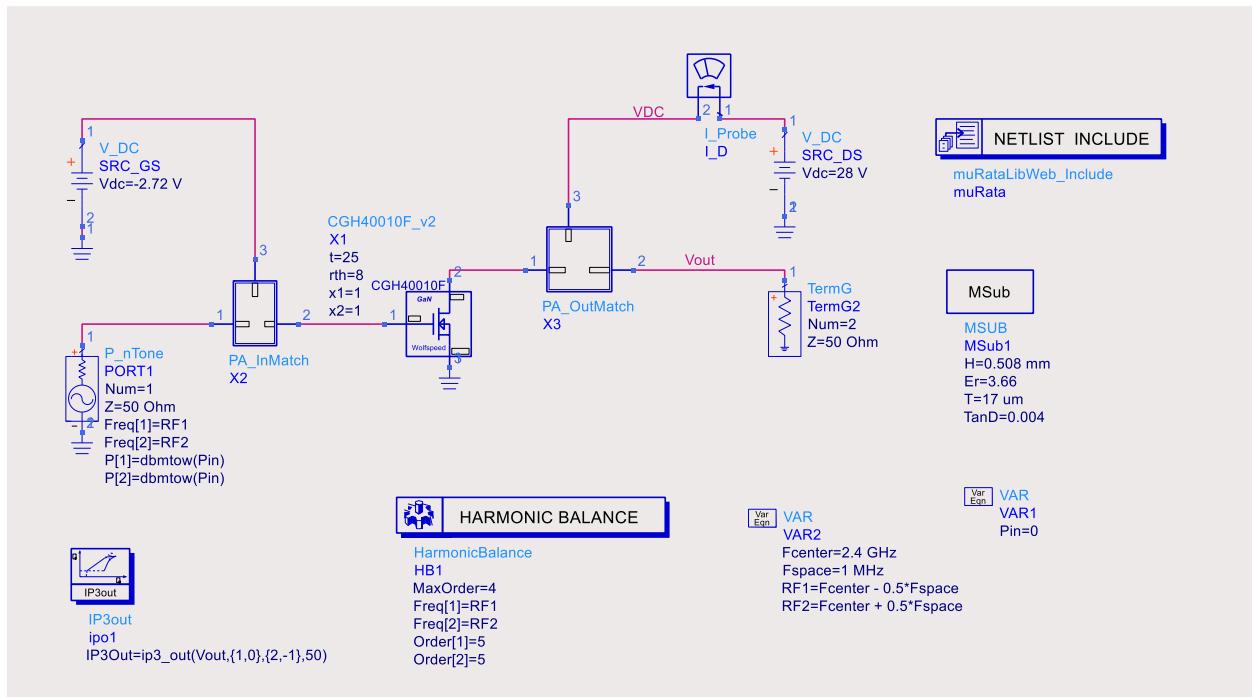


По данным графикам видно, что при приближении к рабочему диапазону входных мощностей Pin = 22..28 дБм PAE находится в диапазоне 55..60% и усилитель соптимизирован под данные условия работы.

Определение IP3 спроектированного усилителя мощности

Соберем схему для оценки уровня интермодуляционных искажений третьего порядка PA_FinalTwoTone. На вход подадим двухтоновый сигнал на частотах RF1 и RF2, отстоящих друг от друга на 1 МГц. Мощность Pin должна быть гарантированно в линейном участке, в схеме 0 дБм подойдет.

С учетом того, что никаких переносов частоты не происходит, можно воспользоваться измерительным выражением IP3out (из палитры Simulation-HB) с настройками по умолчанию.



Расчет дает значение $IP3_{out} = 42,6$ дБм, что совсем не на много больше выходной рабочей мощности в 40 дБм. Все это говорит о том, что усилитель спроектирован для работы в компрессии.

IP3Out
42.609

Задание на выполнение

В соответствии с вариантом спроектировать усилитель мощности с помощью техники LoadPull. При выборе ориентироваться на компромисс между выходной мощностью P_{out} , КПД добавленной мощности (PAE) и мощности насыщения (PSAT). При этом стараться не уходить далеко от приемлемого линейного коэффициента усиления.

Варианты заданий приведены в таблице 1.

При выполнении ориентироваться на методику выполнения.

Таблица 1. Варианты заданий

№ Варианта	Транзистор	Рабочая точка		Частотные свойства			
		VDS, В	IDQ, мА	Fc, ГГц	Pout, Вт	Kр, дБ, не менее	PAE, %,
1	CGH40006P	28	100	1,8	6	13	35
2	CGH40006P	28	100	2,2	6	12	35
3	CGH35015	28	100	3,45	15	10	20
4	CG2H40025	28	250	2,2	25	13	50
5	CG2H40025	28	250	3,2	25	11	50
6	CG2H40035	28	500	2,0	35	13	55
7	CG2H40035	28	500	3,0	35	12	55
8	CGH40035F	28	500	1,3	35	13	45
9	CGH40035F	28	500	2,7	35	12	45
10	CG2H40010	28	200	2,2	10	15	50

Каждый крупный этап рекомендовано делать в отдельных ячейках (схемах), т.к. при выполнении работы возможно придется возвращаться к предыдущим этапам. Рекомендовано использовать использованное в методике именование схем.

Этапы выполнения:

1. Создание проекта и подключение библиотеки моделей транзисторов:
 - (при необходимости) установить на рабочее место библиотеки компонентов WolfSpeed (альтернативное название Cree или MACOM) [6] и библиотеку пассивных компонентов Murata [7];
 - создать проект со стандартной технологией;
 - подключить к текущему проекту библиотеки компонентов.
2. Вывод транзистора на рабочую точку по постоянному току (схема PA_DC):
 - собрать схему для подбора напряжения смещения VGS;
 - рабочую точку брать из таблицы с заданием;
 - подобрать номинал смещения. Учтите, что смещение в применяемых в работе транзисторах отрицательное.
3. Выбор импеданса входной согласующей цепи ZS (схемы PA_ZsSP, PA_ZsLSSP):
 - подготовить схему для загрузки измеренных S-параметров в рабочей точке (схема PA_ZsSP). Диапазон частот брать от 500 МГц с некоторым превышением над центральной частотой работы Fc;
 - подготовить схему для LSSP-анализа нелинейной модели транзистора в рабочей точке (схема PA_ZsLSSP). Диапазон свипа входной мощности брать от гарантировано линейного участка до некоторого превышения над рабочим Pin;
 - создать область графиков PA_Zs. В ней по методике загрузить результаты моделирования схем PA_ZsSP и PA_LSSP;
 - отобразить на этой же диаграмме Смита интерполированные рекомендованные ZS_MFG из документации производителя;
 - сравнить между собой полученные кривые и выбрать ZS для проектирования;
 - также с использованием этой области графиков получить ZL_MFG рекомендованные от производителя.
4. Построение LoadPull моделирования (схема PA_LoadPull):
 - собрать основную схему для проведения LoadPull моделирования;

- в качестве ZS брать выбранное на этапе 3;
- настроить контроллер симуляции S_param на моделирование только на центральной частоте Fc;
- настроить контроллер симуляции HB для анализа относительно центральной частоты Fc с сохранением в результат Pin и ZL;
- настроить контроллер XDB на поиск насыщения как точки 5-децибелевой компрессии;
- настроить свип ZL в нормированном виде близко к области рекомендованной производителем ZL_MFG;
- в области графиков построить и вывести на одну диаграмму Смита контурные диаграммы линейного коэффициента усиления SPGain, выходной мощности POut, КПД добавленной мощности PAE и мощности насыщения PSAT. На эту же диаграмму Смита вывести рекомендованную производителем ZL_MFG;
- вывести на дополнительную диаграмму Смита диапазон точек ZL, по которым происходил свип;
- с учетом рекомендаций по методике выбрать ZL для проектирования выходной согласующей цепи. Зафиксировать для выбранной точки получаемые линейный коэффициент усиления SPGain, выходную мощность POut, КПД добавленной мощности PAE и мощность насыщения PSAT;
- сравнить получаемые в выбранной точке ZL линейный коэффициент усиления SPGain, выходную мощность POut, КПД добавленной мощности PAE и мощность насыщения PSAT с точкой ZL_MFG, рекомендованной производителем.

5. Схема проверки выбранных импедансов входной и выходной согласующей цепей (схемы PA_CheckZ):

- собрать схему для проверки выбранных ZS и ZL;
- выбранные ZS и ZL ввести в импедансы терминаторов;
- сравнить полученные линейный коэффициент усиления, выходную мощность, КПД добавленной мощности и мощность насыщения с точкой, выбранной на этапе 4.

6. Проектирование входной согласующей цепи (схемы PA_CalcC и PA_InMatch):

- исходя из размеров корпуса транзистора с помощью LineCalc определить, какие электрические параметры будут у добавленной линии со стороны входа транзистора;
- с помощью утилиты SmithChart спроектировать прикидочную версию входной согласующей цепи;
- при проектировании согласующей цепи использовать только микрополосковые линии, последовательные или шунтирующие емкости;
- учитывать существующие номиналы емкостей из ряда Е24, за исключением малых номиналов (единицы пФ), где возможны более частые шаги;
- для конденсаторов в ВЧ-тракте использовать модели ВЧ-конденсаторов от Murata GQM21 (0805inch) или GQM18 (0603inch);
- для подбора ВЧ-конденсаторов по их эффективной ёмкости использовать дополнительную схему PA_CalcC;
- модифицировать прикидочную схему входной согласующей цепи для возможности подачи смещения через развязывающий шлейф;
- ширину шлейфа брать порядка 0,2..0,4 мм, длину порядка 90°;
- добавить группу фильтрующих конденсаторов (декапов) аналогично тестовой платы производителя. Из полного списка фильтрующих конденсаторов в модель вносить имеющие номинал до единиц микрофарад. Использовать модели конденсаторов общего назначения Murata GRM18 (0603inch);
- подготовить спроектированную схему входной согласующей цепи для возможности включения в финальное моделирование как подсхему.

7. Проектирование выходной согласующей цепи (схемы PA_CalcC и PA_OutMatch):

- рассчитать минимальную ширину развязывающего шлейфа для подачи питания исходя из тока питания на основании стандарта IPC-2221;
- исходя из размеров корпуса транзистора и запаса на подключение развязывающего шлейфа с помощью LineCalc определить, какие электрические параметры будут у добавленной линии со стороны выхода транзистора;
- с помощью утилиты SmithChart спроектировать прикидочную версию выходной согласующей цепи;

- при проектировании согласующей цепи использовать только микрополосковые линии, последовательные или шунтирующие емкости;
- учитывать существующие номиналы емкостей из ряда Е24, за исключением малых номиналов (единицы пФ), где возможны более частые шаги;
- для конденсаторов в ВЧ-тракте использовать модели ВЧ-конденсаторов от Murata GQM21 (0805inch) или GQM18 (0603inch);
- для подбора ВЧ-конденсаторов по их эффективной ёмкости использовать дополнительную схему PA_CalcC;
- модифицировать прикидочную схему выходной согласующей цепи для возможности подачи питания через развязывающий шлейф;
- минимальную ширину шлейфа брать рассчитанной для пропуска тока питания, длину порядка 90°;
- добавить группу фильтрующих конденсаторов (декапов) аналогично тестовой платы производителя. Из полного списка фильтрующих конденсаторов в модель вносить имеющие номинал до единиц микрофарад. Использовать модели конденсаторов общего назначения Murata GRM18 (0603inch);
- подготовить спроектированную схему выходной согласующей цепи для возможности включения в финальное моделирование как подсхему.

8. Анализ спроектированного усилителя мощности (схема PA_Final):

- собрать схему для сравнения с характеристиками, ожидаемыми на основании LoadPull-анализа;
- внести в нее согласующие цепи как подсхемы;
- определить линейный коэффициент усиления SPGain на рабочей частоте Fc и сделать вывод, насколько он изменился относительно целей проектирования;
- по зависимостям выходной мощности POut и реального коэффициента усиления PGain от входной мощности Pin определить оптимальные режимы работы по входной мощности Pin;
- определить полученную мощность насыщения PSAT и сравнить с целями проектирования;
- определить КПД добавленной мощности PAE.

9. Определение IP3out (схема PA_FinalTwoTone):

- собрать схему с подачей двухтонового сигнала;
- частотный шаг между тонами двухтонового входного сигнала брать равным 1 МГц;
- уровень мощности входного двухтонового сигнала Pin брать из заведомо линейного участка;
- по спектральному представлению выходного сигнала (или с помощью измерительных выражений) определить уровень интермодуляционных искажений третьего порядка по выходу IP3out.

10. Проект текущей лабораторной работы будет использован в последующих работах. Необходимо сохранить проект.

Требования к отчёту

Отчет о выполненной лабораторной работе должен представлять из себя структурированное описание всей выполненной работы, в том числе должен содержать:

- Титульный лист, с наименованием работы, указанием исполнителя и даты выполнения.
- Цель (-и) работы.
- Список использованных инструментов в лабораторной работе.
- Разделы работы, которые рекомендовано формировать в соответствии с этапами выполнения (аналогично методике и заданию на выполнение).
 - Для каждого этапа необходимо привести все выполненные расчеты, подготовленные модели, результаты и анализ результатов.

Подробность описания этапов выполненной работе студент определяет самостоятельно. Самое простое правило, которому надо следовать – человек, незнакомый с выполненной работой (но знакомый с использованным инструментом) должен быть в состоянии по отчету повторить данную работу и понять, что в ней происходит.

Готовый отчет необходимо экспорттировать в pdf.

Архив проекта ADS лучше всего делать встроенным инструментом File – Archive Workspace из основного окна ADS. При архивации проекта можно выбрать, какие составляющие проекта добавлять в архив. Если какие-то ячейки или результаты расчета не нужны, то их можно исключить из архивирования.

По окончании выполнения лабораторной работы и подготовки отчета, отчет и архив проекта надо выложить в ОРИОКС в домашнее задание в дисциплину, привязав к контрльному мероприятию ЗЛР (Защита лабораторных работ). Именование отчета и архива проекта должно давать возможность точно понять, к какой лабораторной работы они относятся (Например, PPU_Lab7_PA вместо непонятного Lab7 или Workspace7).

Задание на самостоятельную работу

1) Подготовка к лабораторному занятию

При подготовке к выполнению лабораторной работы необходимо продумать шаблон отчета, при необходимости внести краткие теоретические сведения, продумать и наметить количество, вид и расположение таблиц и графиков с измеренными данными. Для получения допуска необходимо подробно изучить теоретический материал.

2) С использованием навыков, полученных в лабораторной работе, выполнить соответствующий этап БДЗ.

Контрольные вопросы

1. Что такое LoadPull-проектирование? Какие данные получают с его помощью?
2. Почему при проектировании усилителей мощности на мощных транзисторах избегают использования чип-индуктивностей в согласующих цепях, особенно в выходной?
3. Поясните принцип вывода транзистора на рабочую точку в текущей работе.
4. Почему при проверке выходной согласующей цепи при задании импеданса терминатора, имитирующего выход транзистора, указывается $\text{conj}(ZL)$, а не ZL ?
5. Зачем в работе использовалась дополнительная схема PA_CalcC, в которой анализировались S-параметры используемых конденсаторов?
6. Почему при проектировании согласующих цепей в расчет добавлялся небольшой участок со стороны транзистора?
7. Почему в работе при подготовке контурных диаграмм перед выводом их на диаграмму Смита проводится перерасчет вида $(P-1)/(P+1)$?
8. Что такое КПД добавленной мощности (PAE)? Как он определялся в работе?
9. Поясните, по какому принципу определяются индексы в результатах при подготовке контурных диаграмм?
10. В работе описаны четыре способа выбора сопротивления входной согласующей цепи ZS . Какие у какого способа преимущества и недостатки? Каким способом определялось ZS в работе?

Литература

1. Банков, С. Е. Электродинамика для пользователей САПР СВЧ : учебник / С. Е. Банков, А. А. Курушин. — Москва : СОЛОН-Пресс, 2017. — 316 с. — ISBN 978-5-91359-236-1. — Текст : электронный // Лань : электронно-библиотечная система. — URL: <https://e.lanbook.com/book/107661> (дата обращения: 02.02.2021). — Режим доступа: для авториз. пользователей.

Перечень ресурсов сети «Интернет»

2. Сборник примеров работы в ADS «ADS Example Book: Focused on RF and Microwave Design», доступен после свободной регистрации <https://www.keysight.com/main/editorial.jspx?cc=RU&lc=rus&ckey=2704333&id=2704333&cmpid=zzfindeesof-ads-rfmw-examples>

3. База знаний Образовательного центра Keysight EEsof EDA Knowledge Center, доступен после свободной регистрации, <http://edadocs.software.keysight.com/display/support/Knowledge+Center>

4. Тематический раздел «Rf & Microwave Design» форума electronix.ru, доступен после свободной регистрации, <https://electronix.ru/forum/index.php?showforum=63>

5. Интернет-энциклопедия разработчиков СВЧ-аппаратуры «Microwaves101» <https://www.microwaves101.com>

6. Раздел СВЧ-транзисторов MACOM
<https://www.macom.com/products/rf-microwave-mmwave/rf-products>

7. Библиотека дискретных компонентов от Murata для Keysight ADS <https://www.murata.com/en-global/tool/data/librarydata/library-keysight2>

8. Документация на СВЧ-транзистор CGH40010
<https://www.macom.com/products/product-detail/CGH40010>

9. Репозиторий с методическими указаниями по лабораторным работам <https://github.com/dee3mon/Keysight-ADS-RFDevices-methodic/>

10. Документация на ВЧ-подложки RO4003C и RO4350B
<https://www.rogerscorp.com/advanced-electronics-solutions/ro4000-series-laminates/ro4003c-laminates>

11. Онлайн-калькулятор расчета ширины линии в зависимости от пропускаемого тока по IPC-2221A
https://www.pcbway.com/pcb_prototype/trace-width-calculator.html

12. Описание измерительного комплекса Focus LoadPull <https://focus-microwaves.com/load-pull/>

13. Описание измерительного комплекса Maury LoadPull
<https://maurymw.com/applications/scalar-load-pull/>

Каналы Youtube с видеоуроками по Keysight Advanced Design System

14. Канал youtube образовательного центра Keysight EEsof EDA
<https://www.youtube.com/user/KeysightEESOF>
15. Канал youtube Anurag Bhargava образовательного центра
<https://www.youtube.com/user/BhargavaAnurag>
16. Канал youtube Keysight EEsof EDA Field
<https://www.youtube.com/c/EEsofAETips>

Разработчик:

Ст. преподаватель Института МПСУ

Приходько Д.В.