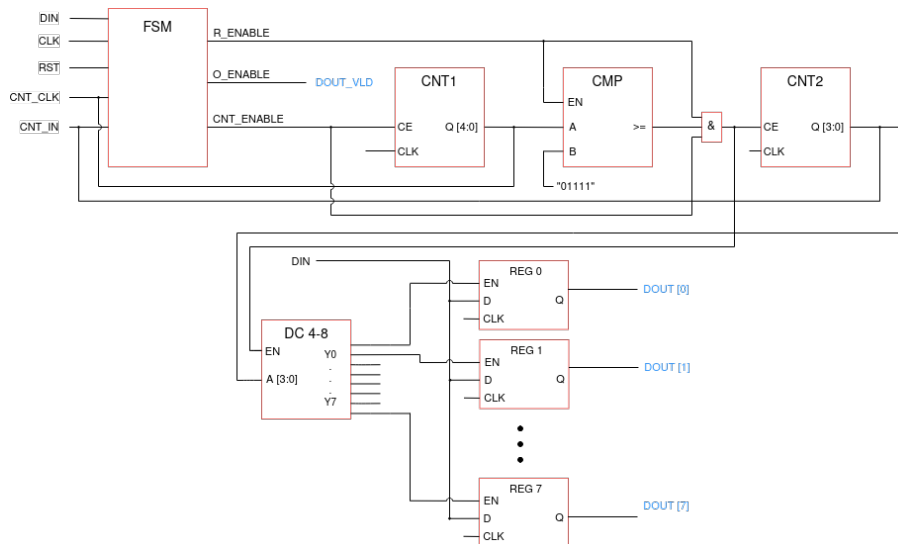


# Výstupní zpráva projektu z předmětu INC.

**Jméno:** Dominik Vágner

**Login:** xvagne10

## Architektura navrženého obvodu (na úrovni RTL)



RTL schéma UART\_RX komponenty s FSM.

## Popis funkce

Komponenta UART\_RX (RX = receive) slouží k zpracování synchronního inputu na asynchronní výstup a je řízena pomocí konečného stavového automatu UART\_FSM.

Obvod se skládá z FSM, dvou čítačů, jednoho komparátoru a dekodéru s osmi registry. Konečný stavový automat řídí obvod pomocí tří povolovacích signálů, které slouží k povolení čtení, zapnutí čítačů a k označení validních dat. Pokud je signál pro zapnutí čítačů na log. 1, tak první z čítačů počítá uběhnuté hodinové impulsy. Jeho výstup vede zpět do automatu a do komparátoru. Jestliže je signál pro čtení na log. 1, tak komparátor porovná je-li výstup z CNT1 větší nebo roven "01111". Pokud je výstup z komparátoru na log. 1 a signály pro čtení a čítače jsou aktivní, tak se druhý čítač inkrementuje a následně dekodér zvolí registr podle hodnoty druhého čítače. Do zvoleného registru se načte aktuální hodnota na vstupním signálu DIN. Každý registr představuje 1 bit výstupního signálu DOUT. Validitu výstupního signálu DOUT určuje signál DOUT\_VLD na který je namapovaný výstupní signál automatu O\_ENABLE.

Reset signály nejsou v RTL schématu uvedené, ale čítače a výstupní signál DOUT se vynulují pokaždé, když je RST na log. 1 nebo výstupní signál automatu CNT\_ENABLE je na log. 0.

# Návrh automatu (Finite State Machine)

## Schéma automatu

Legenda:

- Stavby automatu:

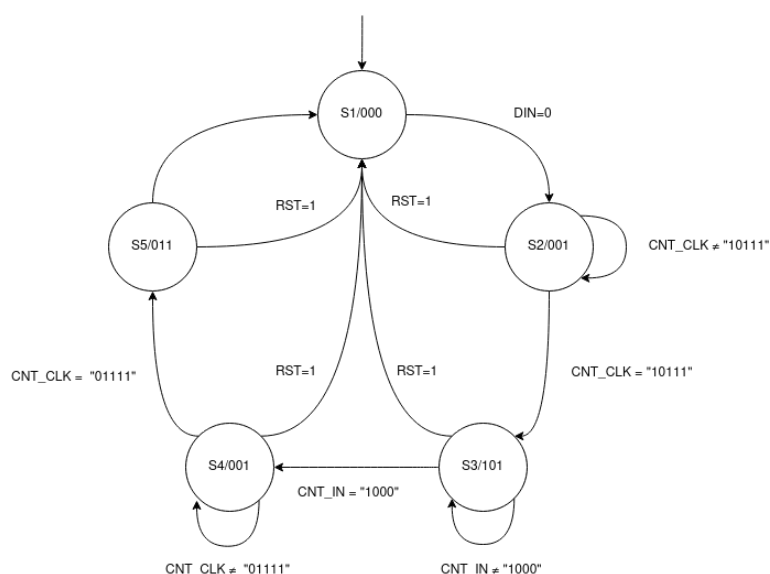
- S1 (W8\_FOR\_START)
- S2 (W8\_FOR\_FIRST)
- S3 (RECIEVE\_DATA)
- S4 (W8\_FOR\_STOP)
- S5 (DATA\_VALID)

- Vstupní signály:

- CLK
- RST
- DIN
- CNT\_CLK
- CNT\_IN

- Moorovy výstupy:

- R\_ENABLE
- O\_ENABLE
- CNT\_ENABLE



Pokud není signál uveden u přechodu tak na jeho stavu nezáleží.

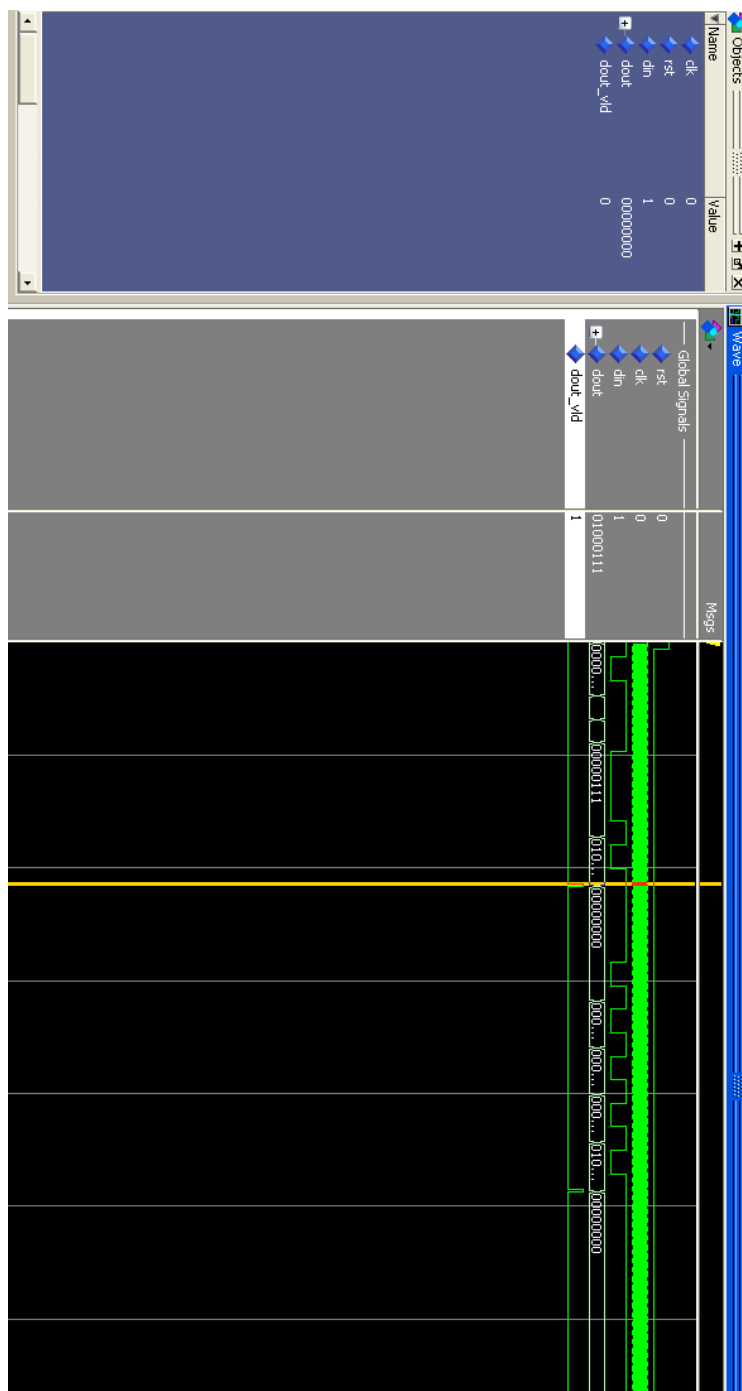
## Popis funkce

Automat začíná ve stavu S1 kde čeká na začátek přenosu, který nastane když na vstupní signál DIN přijde log. 0. Poté se přesouvá do stavu S2 kde nastaví výstupní signál CNT\_ENABLE na log. 1 a čeká dokud se CNT\_CLK nerovná 23, neboli doprostřed přenosu prvního bitu. Následně se automat přesune do stavu S3 kde čeká dokud se CNT\_IN, který počítá přenesené bity, nerovná 8. Ve stavu S3 je R\_ENABLE nastaven na log. 1. Po přenesení osmi bitů se přesouvá do S4 kde vrátí R\_ENABLE na log. 0 a počká na přenesení stop bitu. Po stop bitu se automat přesune do stavu S5 kde je O\_ENABLE na log. 1 a zůstane zde pouze jeden CLK a následně se vrátí do původního stavu S1.

Je-li vstupní signál RST roven log. 1, tak nezáleží na aktuálním stavu se automat přesouvá do původního stavu S1.

Behaviorálně popsaný automat ve VHDL tvoří tři procesy a dva stavové signály. Jeden z procesů slouží jako registr na aktuální stav, který v každém hodinovém impulsu nastaví aktuální stav na hodnotu nového stavu. Nový stav určuje druhý z procesů, jenž kontroluje podmínky pro přechod do dalšího automatu stavu podle aktuálního stavu. Třetí z procesů nastavuje hodnoty výstupních signálů podle aktuálního stavu, jedná se tedy o Moorův automat.

## Snímek obrazovky ze simulací



Snímek obrazovky z programu ModelSim.