

IR

université paris sud  
INSTITUT DE PHYSIQUE NUCLEAIRE  
BP N° 1 91406 - ORSAY - TEL. 941.51.10  
laboratoire associé à l'IN2P3

DMO- 97-06

SERVICE ELECTRONIQUE PHYSIQUE

J. P. REUTER

PROGRAMES RECENTS  
DANS LE DOMAINE DES  
MEMOIRES PERIPHERIQUES  
A  
GRAND CAPACITE

## R e m e r c i e m e n t s

Bien que la majeure partie de ce travail résulte d'un effort personnel, nul ne peut prétendre faire tout lui-même. Les personnes qui nous entourent, sans le savoir bien souvent, sont d'une aide efficace et bienfaisante. Je tiens donc à remercier vivement toutes les personnes qui, de près ou de loin, ont contribué à ce travail, en particulier :

### Messieurs

- COUSTENOBLE
- CULET
- DEMARIGNY
- GUIGNER
- ROUSSEAU

de la Compagnie IBM, pour l'accueil et les conseils qu'ils m'ont apportés ;  
et Madame HUTIN Christiane, de l'I.P.N. d'Orsay, pour son dévouement et son efficacité à la mise en page de ce document.

# S O M M A I R E

	page
I- <u>Introduction.</u>	3
II- <u>Situation du problème.</u>	3
III- <u>Mémoires à enregistrement magnétique</u>	5
III-1 les bandes	6
III-2 les disques	11
III-3 étude comparée.	19
IV- <u>Mémoires à Bulles</u>	21
IV-1 Principe	21
IV-2 Réalisations et performances	27
IV-3 Limitations actuelles et perspectives d'évolution.	30
V- <u>Mémoires à couplage de charge (CCD)</u>	33
V-1 Principe	33
V-2 Réalisations et performances	36
V-3 Limitations et évolution	39
V-4 Comparaison avec mémoires à Bulles.	40
VI- <u>Mémoires optiques</u>	42
VI-1 Mémoire point par point : le vidéodisque	
VI-2 Mémoires holographiques	46
VI-3 Mémoire à faisceau d'électrons.	49
VII- <u>C o n c l u s i o n : étude comparée des différentes technologies et prévisions.</u>	52
Annexes : Doc. TBM0103 Mémoire à Bulle 92K.	58
Doc. F464 Mémoire CCD 64K.	

## I - INTRODUCTION :

Avec l'avènement des calculateurs de plus en plus complexes et de plus en plus puissants, le stockage de l'information est devenu un des problèmes clés des systèmes informatiques.

La fonction "mémoire" coûte environ 40 % du prix d'un système, et représente à l'échelon mondial un budget de 30 milliards de francs (C.A. de l'Industrie Automobile Française). Si l'on tient compte du fait que les mémoires sont une des fonctions essentielles d'un ordinateur, qui lui confèrent en particulier ses principales caractéristiques (puissance, capacité, temps de cycle et prix) on comprend les moyens et le dynamisme mis en oeuvre pour améliorer sans cesse leurs caractéristiques techniques et leur prix de revient.

L'évolution de la technologie, au cours des dix dernières années, a quelque peu modifié le champ d'application des différents types de mémoires, et apporté sur le marché, récemment, de nouvelles possibilités très prometteuses.

Le but de l'exposé est de montrer quels ont été les principaux progrès technologiques et techniques réalisés dans le domaine des moyens de stockage périphérique à grande capacité. Nous allons pour cela situer le sujet dans son cadre général.

## II - SITUATION DU PROBLEME :

II-1 Progrès : la notion de progrès est indissociable de celle d'évolution positive d'une situation antérieure à une situation présente, et vers une situation future (perspectives). C'est donc les moyens et les causes de cette évolution que nous essaierons de dégager.

II-2 récents : si la période que nous analysons est restreinte au six derniers mois de cette année, l'évolution est déjà remarquable puisque nous avons vu apparaître pendant ce temps deux nouveaux produits sur le marché qui risquent de bouleverser la conception des moyens périphériques de stockage ; ce sont les mémoires à bulles (92Kbits/module) et les mémoires à couplage de charges (CCD) avec 64 Kbits/module.

Mais nous passerions à côté de tous les autres procédés de stockage de masse, et en particulier nous négligerions le type de mémoires

qui constitue à l'heure actuelle les 98 % des mémoires périphériques qui sont les mémoires à enregistrement magnétique (bandes et disques). Enfin nous oublierions de parler de procédés qui sont encore au niveau du laboratoire pour des raisons technologiques, mais dont l'évolution constante laisse prévoir un débouché industriel prochain, avec des caractéristiques impressionnantes ; ce sont les mémoires optiques (vidéodisque, holographie, faisceau d'électron).

C'est pourquoi nous élargirons la période aux dix dernières années qui ont vu l'évolution complète des mémoires à bulles, CCD et optique et la transformation radicale des procédés à enregistrement magnétique pour satisfaire le marché.

### II-3 Mémoire périphérique à grande capacité :

- par définition, la mémoire périphérique se trouve en dehors du calculateur qui, lui, contient la mémoire centrale.

- Cependant, la notion de mémoire périphérique restreint le domaine étudié aux procédés de stockage permettant un accès direct à l'information pour l'ordinateur, sans intervention extérieure d'un opérateur. Il y a donc une liaison et une disponibilité permanentes de l'information vers le calculateur central.

La capacité sera grande comparativement à celle de la mémoire centrale. C'est ainsi qu'une mémoire à disque de 250 K octets sera faible pour un IBM 360 mais sera une mémoire grande pour un microprocesseur.

### II-4 Définitions et critères :

Pour choisir un des procédés de mémorisation, il est nécessaire d'établir des critères de choix qui permettent de classer les différents type de mémoires. Les principaux critères sont :

- la capacité mesurée en bit (binary unit), octet (byte), K octets ( $10^3$ ) et M octets ( $10^6$ ).  
elle donne une idée de la puissance de stockage.

- la densité exprimée en bits/cm, bits/cm<sup>2</sup> ou bits/cm<sup>3</sup>, en anglais : bpi (bit per inch)  
elle donne une idée sur la vitesse de transfert (bit/cm), et sur les dimensions mécaniques des matériaux de stockage (bits/cm<sup>2</sup> et bits/cm<sup>3</sup>).

- le temps d'accès exprimé en ms ( $10^{-3}$ s) ou en  $\mu$ s ( $10^{-6}$ s), rend compte de la disponibilité plus ou moins rapide de l'information et de la

vitesse avec laquelle on pourra l'obtenir (temps d'accès moyen). La fig.1 donne la position relative des différents types de mémoire en fonction de la capacité et du temps d'accès.

- la vitesse de transfert : exprimée en Hz ou en bits/s, elle donne le taux d'informations successives que la mémoire peut donner à partir d'un même ordre d'accès.

- le prix : c'est un des critères non technique qui stimule le plus la recherche et l'évolution car il est directement lié aux performances techniques et à la technologie de fabrication des composants.

## II-5 Caractéristiques générales :

La majorité des mémoires périphériques sont des mémoires vives (lecture, écriture, effacement) à accès séquentiel par blocs d'informations. Une distinction sépare cependant les mémoires en deux groupes, les volatiles qu'il faudra donc régénérer, et les permanentes ou non volatiles, qui conservent l'information sans apport d'énergie.

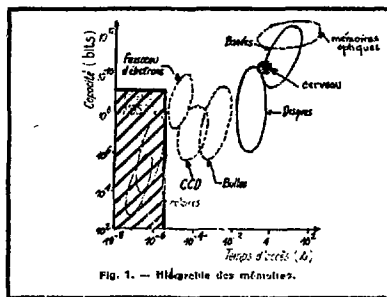
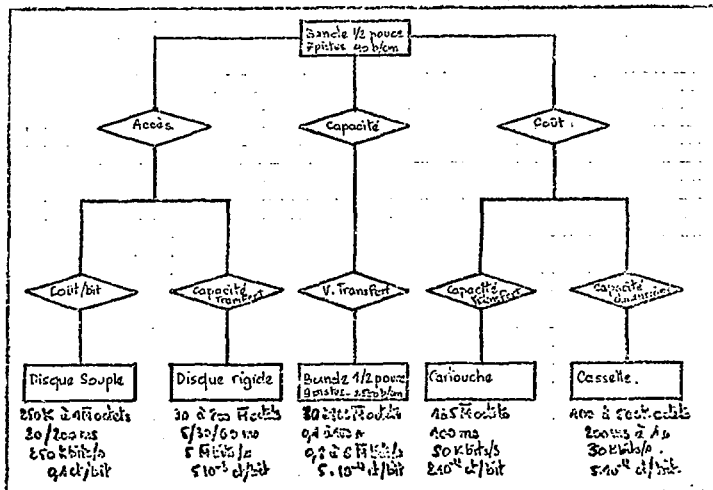


Fig. 1 Hiérarchie des mémoires

## III - MEMOIRES A ENREGISTREMENT MAGNETIQUE :

Introduits dès 1940 avec le tambour magnétique, ces systèmes utilisent le phénomène d'hystérésis des matériaux ferromagnétiques et des composés ferrimagnétiques. Dès 1953, la bande 1/2 pouce apparaît comme le premier moyen de stockage de masse.

Si on analyse l'évolution et les réalisations successives dans ce domaine, on peut dresser l'organigramme suivant de l'apparition des systèmes par rapport aux caractéristiques sur lesquelles on a mis l'accent :



### III-1 Bandes magnétiques -

#### III.1.1 Généralités.

Les principales caractéristiques de ce système sont liées d'une part, au support magnétique très bon marché et réalisable sur de grandes surfaces, et d'autre part, aux caractères mécanique et séquentiel de l'accès à l'information.

Les temps d'accès sont donc relativement longs (jusqu'à plusieurs secondes), à cause de la vitesse limitée du support (0,5 à 5 m/s) et de la recherche purement séquentielle du bloc d'informations que l'on veut atteindre (le temps est proportionnel à la position sur la bande).

Cependant, les bandes sont le moyen le plus répandu actuellement comme mémoires périphériques, grâce à leur capacité, la non-volatilité de l'information et leur souplesse d'emploi.

#### III.1.2 Evolutions

Initialement, les premières bandes avaient une densité de 40 b/cm sur 7 pistes. Après des progrès constants, la densité actuelle est de 2500 b/cm



sur 9 pistes.

Les principaux progrès ont donc été réalisés sur l'accroissement de la densité d'information, donc de la capacité totale du support, grâce à deux moyens conjugués.

### III.1.2.1 Augmentation de la densité surfacique du support.

L'étude des matériaux magnétiques et des techniques de fabrication du film sur son support souple a permis d'accroître la densité possible d'information. Le film est composé maintenant d'un liant contenant une poudre d'oxyde de fer constituée d'aiguilles de  $0,7 \mu\text{m}$  de long et de  $0,1 \mu\text{m}$  de diamètre, toutes orientées longitudinalement à la fabrication. Les films magnétiques performants utilisant des particules métalliques, permettent une densité de 4 000 b/cm - mais de telles densités ( $15/2,5 \mu\text{m}$ ) nécessitent une précision mécanique et une protection très grandes car la couche n'a que 1000 Å d'épaisseur.

Pour ces matériaux magnétiques, la limitation de la densité longitudinale est due principalement à la distance tête-film qui est de l'ordre de  $0,25 \mu\text{m}$  (pour un défilement lent). La densité maximale théorique est alors de 10 à 16 000 transitions/cm. Actuellement, les densités les plus courantes sont de 300 b/cm ou 600 b/cm (800 et 1600 bpi) ; certaines bandes sont maintenant disponibles avec 6 250 bpi soit 2500 b/cm.

La densité transversale, déterminant l'écart entre les pistes, est limitée par les tolérances de positionnement des têtes - les limites pratiques sont fixées à 200 pistes/cm - pour des bandes à tête fixe.

La densité effective, tenant compte des rapports S/Bruit supérieurs à 20 dB, nécessite un compromis entre ces deux densités. La figure 2 donne les densités théoriques possibles d'enregistrement en fonction de la densité transversale.

On peut remarquer que les bandes actuelles sont largement en-dessous de leur capacité maximale, à cause de la norme ANSI à 9 pistes.

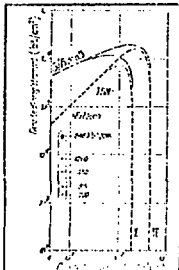


Fig. 2 - Densité en fonction de la densité transversale et du rapport S/bruit = 20dB.

### III.1.2.2. Le codage de l'information :

Le matériau magnétique limite la densité par le nombre d'inversions /cm du champ des particules magnétiques. On a donc cherché de nouveaux procédés de codage afin de réduire le nombre de transitions par bit.

Le tableau 3 montre l'efficacité des nouveaux codes tels que le PE (Phase encoding, codage de phase) et le GCR (Group coded recording, enregistrement par codage de groupe) quant à la densité longitudinale qui peut atteindre jusqu'à 5600 bits/cm pour le GCR.

Ce dernier code, mis au point en 1975, présente l'avantage du code NRZ par le nombre de transitions (1 par bit), et du code P.E. par l'autosynchronisation qui permet donc une vitesse de déroulement plus grande et moins régulière.

La fig. 4 montre le principe du code GCR comparé aux autres codes et la fig.5 montre les avantages de ce code en pratique. On peut voir que la capacité de la bande est triplée et que le débit (lié à la densité) quadruplé et devient de 0,8 M octets/s.

On voit donc que la combinaison des deux moyens d'augmenter la densité permet de donner aux bandes magnétiques une plus grande capacité (jusqu'à 120 M octets) et un débit très grand (0,8 M octets/s). Enfin, le prix très faible du matériau permet d'avoir un prix de revient au bit très bas ( $0,5 \cdot 10^{-3}$  centime/bit).

Tableau III -- Comparaison des techniques d'enregistrement.					
Codage	RE RB	NRZ NRZI	PE	Par non- saturat.	GCR
Densité max. possible .... (bpi)	200	1 000	3 500	14 000	5600
Taux d'erreur ....	$1/10^5$	$1/10^5$	$1/10^5$	$1/10^6$	

### III.1.2.3. Réalisations et performances.

Le tableau IV montre les caractéristiques actuelles et futures (code GCR à 300 cm/s) d'une bande 1/2 pouce standard en fonction du type de dérouleur. On voit que le prochain pas vers la capacité est à 180 M octets avec une vitesse de transfert de 780 K octets/s.

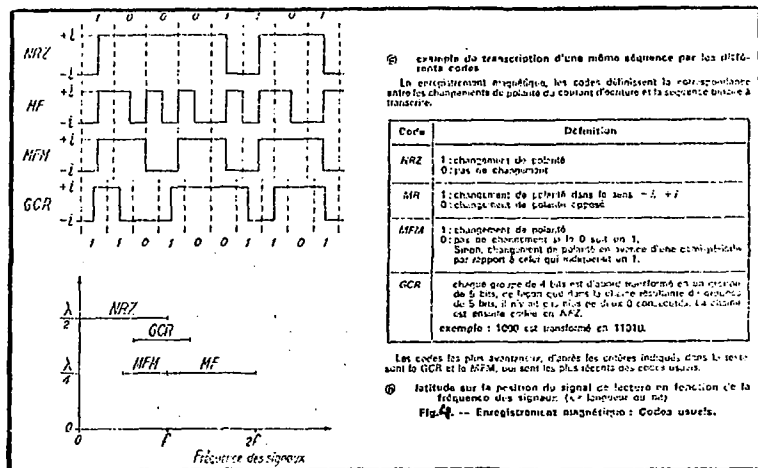


fig. 4 Codes usuels

Mode d'enregistrement	Densité de transitions (fxpi)	Densité d'informations dans le bloc (bpi)	Densité de données dans le bloc (bpi)	Bloc de 2000 octets		Bloc de 4000 octets	
				Densité moyenne sur la bande (bpi)	Capacité de la bande de 730 m (M octets)	Densité moyenne sur la bande (bpi)	Capacité de la bande de 730 m (M octets)
NRZ 1	800	800	800	645	18,6	715	20,6
PE	3 200	1 600	1 600	1 053	30,3	1 270	36,5
GCR	9 042	7 234	6 250	3 120	90	4 170	120

fig. 5 Comparaison des codes NRZ, PE, GCR

SPEED RANGE	MAX DATA RATE KBYTE/SEC	ACCESS TIME	CAPACITY (UNFORMATTED)	COST FACTOR
25-50 I/S	90	7.5 MS	46 MBYTE	1
50-75 I/S	120	6 MS	46 MBYTE	1.1
75-125 I/S	200	3 MS	46 MBYTES	1.5
125 I/S w/GCR	780	1.2 MS	180 MBYTES	1.7

Tableau IV : caractéristiques actuelles et futures des bandes.

Le tableau V donne les caractéristiques de gros systèmes de stockage en ligne à base de bandes magnétiques.

Matériel	Amex	Edsacp	Control Data	IBM
Capacité :				
... minimum	11	30	16	35
... maximum	350	300	253	472
Prix approximatif (en 1977) :				
... capacité minimum	2	0,4	2	3
... capacité maximum	7,5	1,3		12
Temps d'accès	15	20,5	5	16
Débit	1,2	1,2	0,008	0,974
Support	bande 1 800 m largeur 5 cm	bande standard 730 m x 1,25 cm	bande en cassette 25 m x 7 cm	bande en cassette 19,5 m x 0,5 cm
Capacité d'un support	5 620	40	8	50
Accès	1 dérouleur/bande	Changement automatique	Changement automatique	Changement automatique
Communication avec l'unité centrale	directe ou par l'intermédiaire de disques		directe ou par l'intermédiaire de disques	par l'intermédiaire de disques
Technique d'enregistrement	tête tournante	tête fixe, défillement longitudinal	tête fixe, défillement transversal	tête tournante
Densité				
... (piste/cm)	74		21	
... (bit/cm)	3 000		2 400	
... (bit/cm²)	110 000		52 000	50 000
	(chaque information est écrite deux fois)			

Tableau V : mémoires à bandes de grande capacité en ligne.

Cependant, les problèmes mécaniques liés au défilement de la bande limitent le temps d'accès à l'information. C'est le principal point qui a relégué ce système aux mémoires de grande capacité, nécessaires à la mémorisation de données que l'on peut archiver.

Les disques magnétiques à tête mobile (une tête par plan) et à têtes fixes (1 tête par piste) de capacité plus faible, ont des temps d'accès beaucoup plus courts et jouent donc le rôle de tampon entre la mémoire centrale et les bandes, servant bien souvent à la mémorisation de programmes ou de sous-programmes plus vite accessibles.

#### I.1.2.4 Cartouches et cassettes :

Ces deux types de mémoires, très semblables aux bandes, ont les mêmes caractéristiques générales, défilement mécanique et accès purement séquentiel. Elles correspondent cependant à une augmentation de la capacité par rapport aux premières bandes, et offrent à l'utilisateur un moyen de stockage de capacité relativement grande (250 K à 1 M octets) pour un coût d'investissement beaucoup plus bas que celui d'une unité de bande ; leur souplesse, leur prix, et leur facilité d'emploi leur ouvrent un marché assez bien défini pour les miniordinateurs.

Les tableaux VI et VII font le tour des principales unités actuelles sur le marché, avec les principales caractéristiques.

### I- 2 Les disques magnétiques -

#### III.2.1 Généralités :

Introduits dès 1956, les premiers disques à tête mobile (RAMAC) avaient une densité de 300 bits/cm<sup>2</sup>. Ce procédé à accès semi direct par blocs, rendu possible par l'innovation technique de tête à coussin d'air, a subi d'importants progrès en ce qui concerne la densité surfacique, puisque la plupart des disques travaillent maintenant à 500 Kbits/cm<sup>2</sup> (IBM 3350) et que les progrès sont encore possibles.

#### III.2.2 Performances et évolutions :

La figure 6 montre l'évolution de la densité entre 1956 et 1977, et l'extrapolation vers les années 80.

La densité d'écriture est liée pratiquement aux dimensions mécaniques tête-film, la distance tête-film étant une des principales limitations.

Company	Model	Read Speed (ips)	Search/Rewind Speed (ips)	Start/Stop Time (ms)	Head Configuration	Unformatted Capacity (flbits)	Remarks
Rideman Computer Devices	CS 400 (Circle 126)	10	75	10/40	2-track	5.76/cassette	Requires one 14-30 Vdc source
Conrac Corp.	CAS 4 (Circle 150)	1-7/8 or 3 3/4	90	100	Single gap, 2-track	6/cassette	Audio transport
Datal Systems	ICT Series (Circle 135)	0-0.163	Does not apply	20	Single gap, 1- or 2-track	2.2/cassette	Write only, incremental
Datum	Model 4000 (Circle 114)	25	120	30	Dual gap, read after write	300,000 char/cassette	Not ANSI/ECMA compatible
Dicom	173 (Circle 113)	5-20	40	30/18	Read after write	5.4/cassette	
Digital Equipment Corp.	TA 11 (Circle 119)	9.6	22/100-150	<20 in read/write mode, <45 in search mode	Read/write with erase	0.8/cassette	Not ANSI/ECMA compatible
Electronic Processors	STR-100 (Circle 137)	N.A.	100	N.A.	Single gap, 1-track read/write with erase, plus separate erase head	100,000 char/track	
Facit-Addo	4203 (Circle 168)	3.75 or 7.5	N.A.	40/85	Read after write	N.A.	
Interdyne	IC 2522-330 (Circle 142)	12	40/90	35	Dual gap, 1- or 2-track, read after write	5.8/cassette	
Kybe	CT-103 (Circle 121)	7.5	110	25	Read/write	2.88/track	
Memodyne	Model 763 (Circle 136)	20 or 40	120	50	Dual gap, 2-track, read/write	1.2/cassette	Not ANSI/ECMA compatible
MFE Computer Access Systems	290 B (Circle 102)	2-80	40-120	50/30 @ 10 ips	Dual gap	2.88/track	32 kbps transfer rate in P.E. format
Panasonic Industrial Div.	Model JK-970 (Circle 195)	15	55	30/40	1-track, read after write (2 rec. tracks)	5.4/cassette	
Raymond Engineering	6409 (Circle 149)	3	20	150 (avg.)	1-track	1/cassette	Uses ITC MI-50 mini cassette
Sveco	Model 135 (Circle 123)	12.5	60/120	20	Read after write	3/track	
Sykes Datatronics	TT120 (Circle 116)	5 or 12	120 (avg.)	20/30	Read/write	3.6/track	
Techtran Industries	8400 Series (Circle 103)	20	120	33	Dual gap	145,000 char/cassette	Not ANSI/ECMA compatible
Terminal Data Corp.	Model 32C (Circle 167)	3-3/4	75	10	N.A.	600,000 char/cassette	Not ANSI/ECMA compatible
Triple I	Phi-Deck (Circle 103)	1-10 std., other ranges available	<30	<100	2-channel, 2-track read/write	Depends on user specs	

Tab. VI. Principales unités de lecteurs de cassettes.

IBM 360/370 System/360	IBM 360/370 (Circle 178)	30	30	30	IBM 360/370 (Circle 178)	IBM 360/370 (Circle 178)	IBM 360/370 (Circle 178)
Nonaka Data Sciences	MOB 300 (Circle 178)	30	30	30	MOB 300 (Circle 178)	3M DC 300 A	IBM 360/370 (Circle 178)
Quincy	MOB 300 (Circle 178)	30	30	30	MOB 300 (Circle 178)	3M DC 300 A	IBM 360/370 (Circle 178)
Sperry Ditron 6	TT 140-3 (Circle 178)	30	30	30	TT 140-3 (Circle 178)	3M DC 300 A	IBM 360/370 (Circle 178)
Trucon D	TDC 3000 (Circle 178)	10-30	30	30	TDC 3000 (Circle 178)	3M DC 300 A	IBM 360/370 (Circle 178)
Terminal Systems	Desktop (Circle 178)	30	30	30	Desktop (Circle 178)	3M DC 300 A	IBM 360/370 (Circle 178)

Cartouches - Digital Design Juin 1976

Tab. VII

La figure 7 montre l'évolution des dimensions importantes :

- l'épaisseur du film qui est passée de  $25\text{ }\mu\text{m}$  à  $1\text{ }\mu\text{m}$  et en-dessous,
- la distance tête-film est passée de  $10\text{ }\mu\text{m}$  à  $0,25\text{ }\mu\text{m}$  et l'entref (gap) est descendu de  $75\text{ }\mu\text{m}$  à  $2\text{ }\mu\text{m}$ .

Avec la fabrication récente de têtes intégrées dont les dimension sont consignées fig. 8, le nombre de têtes peut être accru par patins, et on peut ainsi réduire le temps d'accès tout en augmentant la densité radiale (nombre de pistes).

Cependant, comme pour les bandes, la densité surfacique est limitée par le rapport S/Bruit comme représenté sur la fig. 9. On peut remarquer que les disques se rapprochent de la limite théorique avec un S/Bruit de 20 dB (pour IBM 3350). Cette approche est permise par la non limitation du nombre de pistes.

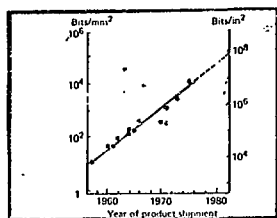


fig. 6 : évolution de la densité sur disque.

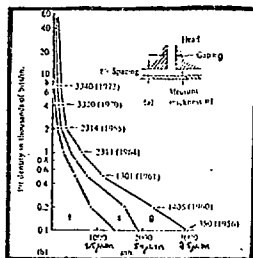


fig. 7 : évolution des dimensions tête-film.

	Nbre de tours	Courants d'écriture	Signal de lecture	Miniaturisation dimensions de la tête
Photo-circuits	1 5	$0,5\text{ A}$ $1\text{ A}$	$40\text{ }\mu\text{V}$ $300\text{ }\mu\text{V}$	$200\mu\text{ X } 200\mu\text{ X } 10\mu$
Hauteurs sous vide	10 20	$60\text{ mA}$ $400\text{ mA}$	$500\text{ }\mu\text{V}$ $2\text{ mV}$	$700\mu\text{ X } 700\mu\text{ X } 25\mu$

fig. 8 : dimensions des têtes intégrées.

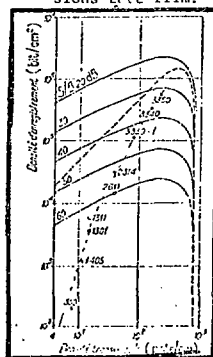


fig. 9 : densité surfacique maximale.



Dans les systèmes à disques, on distingue :

### III.2.2.1 Les disques rigides

Ils sont très performants et tournent à grande vitesse (3600 trs/mn).

- a) Sur les systèmes à tête mobile, le temps d'accès est relativement long, car il est composé du temps de positionnement du bras (50 à 100 ms) et du temps d'accès au bloc d'informations (1/2 rotation en moyenne, quelques ms).

La densité est grande et approche la densité maximale théorique (160 pistes/cm) car la tête peut se déplacer sur toute la surface du disque ; mais le positionnement est plus critique d'où la nécessité d'asservir la position du bras, et donc de perdre en capacité utile (une face pour l'asservissement).

Depuis peu, on rencontre des modules de 2 à 3 disques fixes (Kennedy C°, type 5300) ou amovibles (Fujitsu M 2201) pouvant atteindre des capacités de 14 à 70 K octets.

L'introduction de têtes intégrées améliorerait le temps d'accès et le prix de revient des têtes car on pourrait alors associer une piste d'asservissement (une tête) par groupe de pistes de lecture (8 ou 9 têtes) avec augmentation du taux de transfert (9 pistes en parallèle) et de la capacité (plus besoin de face asservissement).

Le tableau VIII montre l'évolution des caractéristiques des unités à disques IBM avec bras mobile.

Unité de mesure	2016	2018	2019	2020	2021
Temps d'accès moyen (ms)	60	30	30	25	25
Temps de latence (ms)	12,5	8,3	8,3	10,1	8,1
Débit (Bec/sec)	312	606	306	675	1 125
Capacité par piste (octets/piste)	2 300	12 000	12 000	9 000	10 000
Prix au face (€)	230	464	408	515	2 100
Nombre de faces utiles	20	19	19	6	15
Capacité par pile (Mo)	23,2	160	220	65,8	317,5
Coût par face (€)	0	0	0	0,5	1,34
Coût moyen par face (€)	230	1 660	1 560	2 200	2 400
Coût moyen par face (€)	40	85	160	160	270
Coût par système en ligne (en 10 <sup>3</sup> \$)	0,27	6,2	4,8	0,4	6,05
Prix par bit (€)	5 × 10 <sup>-5</sup>	2,5 × 10 <sup>-5</sup>	1,6 × 10 <sup>-5</sup>	5 × 10 <sup>-5</sup>	5 × 10 <sup>-5</sup>
Coût moyen par bit (€)	oui	oui	oui	oui	oui
Année d'introduction	1965	1973	1973	1973	1976

Tab.VIII - Evolution des caractéristiques des disques IBM à bras mobile.

- b) Sur les systèmes à tête fixe (1 tête par piste) le temps d'accès est plus court, car réduit au temps de latence de quelques ms (5 à 20 ms).

La densité radiale est réduite par les dimensions de la tête, d'où la nécessité d'augmenter le nombre de disques pour obtenir une capacité équivalente aux disques à tête mobile. On parle alors de pile (disc file) de 8 à 12 disques environ écrits sur les deux faces.

L'introduction des têtes intégrées apporterait dans ce cas un gain de 3 de la densité radiale maximale (3 têtes au mm pour les têtes réalisées par photogravure).

La tendance actuelle est de supprimer le caractère amovible des disques afin de réduire les jeux mécaniques qui limitent le progrès concernant les dimensions tête-film. Plusieurs firmes ont mis au point des unités à disques scellées sous atmosphère (Kennedy C° 5300) qui comportent 1 à 3 disques pour des capacités de 14 à 70 M octets. La vitesse de rotation est accrue (3000 trs/mn).

Le tableau IX montre les caractéristiques de 5 unités à disques les plus performantes à l'heure actuelle.

Cependant, ces unités sont trop performantes pour beaucoup d'utilisations, et ne correspondent pas toujours aux besoins plus modestes des miniordinateurs et des "mégaminis" type PDP 1130 et 1170. C'est pour répondre à ce marché que IBM a lancé le premier les "Floppy discs" ou disques souples, alliant le faible coût du support (40 F) à de moins bonnes performances en temps d'accès et capacité.

Disques rigides	HD200 (GE)	112201 (Fujitsu)	5500 (Percy)	CD 9498	3340 (Toshiba)
Capacité (Mo)	200	50	14 à 70	32-64-96	30
Nb disques	12	2 (amovibles)	1 à 3 (fixes)	2 à 4 (mixtes)	2 à 4
T. accès (ms)	5/30/55	6,5	12/25	4,3/30	15/25/60
Vit. rot. (tr/mn)	3600	2400	3000	3600	3000
débit (Mo/s)	6,4	6,5	8	9,6	7,4
densité l./mm radiale	1600/160	2400/160	3400/180	2400	2250
Prix (10 <sup>3</sup> F/mo)	—	20	10 à 20	20-25-30	—

Tab. IX

### III.2.2.2 Les disques souples ou "Floppy discs"

Introduits dès 1965 par IBM, ce sont les systèmes les moins chers du marché avec les cassettes, avec 2000 F pour une capacité allant jusqu'à 350 K octets.

Les performances sont moins bonnes car la vitesse de rotation n'est que de 360 tours/mn (la tête frotte sur le support), ce qui réduit la vitesse de transfert à 250 Kbits/s.

Les temps d'accès sont relativement grands (entre 100 et 800 ms) ; la densité longitudinale est de 1200 bits/cm mais le nombre de pistes est réduit (20 pistes/cm contre 160 sur disques rigides).

Le tableau X rapporte les caractéristiques de trois unités à disques souples les plus performantes actuellement, et le tableau XI rassemble les caractéristiques des principaux systèmes à disques souples sur le marché.

Disques souples	Capacité (Koctets)	Rot. (tours/mn)	Densité (bits/cm)	débit (Kbits/s)	densité (bits/cm)	Prix.
IBM 5740	400	360	16/10 mm	250	1200/20	
SDS (Sangam)	400	360	10 mm/mn	250	1200/20	
SGC (Shugart)	400 - 800	360	2/20"	250/500	1200/20	3750 F.

Tab. X

#### Amélioration des performances.

La principale évolution a consisté à quadrupler simplement la capacité en combinant deux moyens :

- utiliser la deuxième face du disque en adoptant un système d'écriture - lecture à double tête (IBM 3740),
- en doublant la densité par un codage judicieux (MFM et GCR par exemple).

La firme Shugart Associates a multiplié par 8 la capacité de ses disques, portée ainsi à 1,2 M octets en doublant la densité transversale et en utilisant les deux faces du disque, le facteur 2 manquant revenant au codage double densité.

Company	Model	Track-to-Track Access Time (msec)	Write/Load Time (msec)	Voltage Required (V)	Formatted Controller Provided?	Daisy Chain Capability	Remarks
Art, Inc. Electronics Design	AED 3103 (Circle 104)	11	40/40	115/230 ac	Yes	4 max.	Disk system. Double density available.
California Computers Products	140 (Circle 101)	6	10/16	115/220 ac +5, +24 dc	No	Unlimited	
Control Data	8104 (Circle 105)	10	10/N.A.	160 or 120 or 220 ac +24, +5, -5 dc	No	4 max.	Double density available.
Dialco Systems	Series 10, Model 12 (Circle 105)	10	10/40	115/230 ac, +5, +24 dc	No	4 Dual units, max.	
Digital Equipment Corp.	FX8, 11 (Circle 104)	10	20/N.A.	115 ac	Yes	16 max.	
Diva	DF-100 (Circle 124)	6	10/16	115/220 ac +5, +24 dc	Yes	Unlimited	Disk system. Uses Colompa drive.
Echit Audio	4231 (Circle 127)	4	N.A.	N.A.	N.A.	N.A.	
General Systems International	GSI-116 (Circle 106)	6	14/35	120 ac +24, +5, -5 dc	Yes	4 max.	Double density available.
ICRM	11350 281 (Circle 110)	10	20/40	115/220 ac	Yes	N.A.	Disk system. Uses Perlec drive.
Innovex	Model 910 (Circle 106)	10	10/30	100-112 ac	Yes	8 max.	
Kempex	Model L-1 (Circle 129)	10	10/10	110 ac +24, +5, -15 dc	No	No	Non-IBM compatible drive 130 in spec.
Orbit Systems	Orbit 116 (Circle 127)	6	14/16	110/220 ac +5, +24 dc	No	4 max.	
Per Se	Model 773 (Circle 129)	19, with settling	0/40	+5, -5, +24 dc	No	4 max.	Double density available.
Perlec	1 D500 (Circle 171)	10	20/40	20-130 ac (60 Hz, 193-250 and 50-120 ac 50 Hz)	No	4 max.	Double density available.
Rever	RD1802 (Circle 120)	6	24/50	+5, -5, +24 dc and either 100, 115, 200, 220 or 240 ac	Yes	4 max.	Double density available.
Septom	OS-3 (Circle 109)	10	10/N.A.	+24, +5, -5 or -15 dc 115/220 ac	Yes (optional)	N.A.	
Shugart Associates	SA-1007 (Circle 104)	10	8/35	115/220 ac +24, +5, -5 dc	Yes (optional)	8 max.	Double density available.
Syer	Model 145 (Circle 109)	25	25/30	110 ac +5, +12, -12, +47 dc	Yes (optional)	No	Double density available.
Stylis Electronics	7013-1023 (Circle 115)	6	20/30	+24, +12, -12 +5 dc	Yes	4 max.	Double density available.
Tek Data	Model 10 (Circle 177)	N.A.	N.A.	120 ac	Yes	No	Non-IBM compatible drive 7123 rpm, 1600 lpi (magnetic).
Video Systems	2204 (Circle 104)	10 with settling	0/40	110/220 ac	Yes	No	Non-IBM compatible drive.

- Tab. XI: "Floppy discs" ou disques souples.

### III.3 Etude comparative -

Le tableau XII donne la comparaison entre les systèmes de moyenne capacité et le diagramme fig. 10 montre la hiérarchie des capacités des systèmes.

Le prix est plus difficile à comparer car il y a des distorsions assez grandes entre les systèmes suivant que l'on tient compte ou non du système complet ou seulement du support de l'information ou suivant que l'on compare le prix au bit ou le prix global.

Ainsi le "Floppy disc" qui est très bon marché (40 F pour 250 Koctets environ), se retrouve être le plus cher des systèmes au coût par bit en incorporant le lecteur. (voir diagramme fig. 10).

On remarquera que la bande magnétique, grâce à sa grande capacité et son faible coût du support, emporte le meilleur critère capacité/prix de revient.

#### C o n c l u s i o n :

Avec une gamme de produits bien adaptés aux demandes de l'informatique, les systèmes à enregistrement magnétique, par leur prix, leur fiabilité et leur capacité, se partagent actuellement la majorité du marché des mémoires périphériques à grande capacité.

Mais les nouvelles technologies, ainsi que les procédés d'intégration à grande échelle (LSI) ouvrent la voie à de nouveaux produits qui visent les places extrêmes de la hiérarchie.

Ce sont les mémoires optiques, en haut de la gamme de capacité et de temps d'accès, et les mémoires intégrées, utilisant soit les domaines magnétiques (les bulles), soit les éléments à couplage de charge (CCD) pour les mémoires de performances égales à celles des disques.



#### IV - MEMOIRES A BULLES.

La théorie des domaines magnétiques, appliquée dès 1967 par les laboratoires de la Bell Company, par A.H. Bobeck, n'a abouti à des réalisations industrielles que depuis quelques années, et c'est seulement en 1977, dix ans plus tard que les premiers produits arrivent sur le marché et sont déjà prêts à remplacer les disques à tête fixe et disques souples par leurs performances en capacité, temps d'accès, prix de revient, et souplesse d'emploi.

Ce sont des mémoires vives, non volatiles, dont l'encombrement est réduit grâce à la grande densité d'information du support.

##### IV.1 Principe des mémoires à bulles :

###### IV.1.1 Les domaines magnétiques

###### IV.1.1.1 Le matériau :

On utilise une fine couche ( $50\text{ }\mu\text{m}$ ) monocristalline d'un matériau ferromagnétique (orthoferrite ou grenats de fer et de terres rares). Ces matériaux présentent une anisotropie uniaxiale et ne sont magnétisables que dans la direction normale à la surface du film.

###### IV.1.1.2 Phénomène physique :

a) en l'absence de champ magnétique extérieur, le matériau se compose de domaines magnétisés dans un sens ou dans l'autre, séparés par des parois (ou murs) droites. Ces domaines ont l'aspect de rubans s'enroulant de façon anarchique, résultat d'un équilibre magnétique complexe (fig. 11 a).

b) si on applique un champ externe  $H_A$  dans la direction de facile aimantation, les domaines magnétisés suivant  $H_A$  s'étendent, mais ceux polarisés en sens inverse se rétrécissent jusqu'à former des bulles cylindriques (fig 11 b et 11 c). Si le champ dépasse une valeur maximale  $H_C$  (Collapse field), la bulle est annihilée (fig. 12).

Les dimensions des bulles et les critères de stabilité sont liés au matériau et, en particulier, aux énergies magnétostatiques des parois. Les grenats sont les plus intéressants car ils donnent une dimension ( $0,5$  à  $20\text{ }\mu\text{m}$ ) et une stabilité de la bulle pour des variations de champ assez grandes. La fig. 13 donne les conditions de stabilité d'une bulle dans une couche d'orthoferrite  $\text{TmFeO}_3$ .

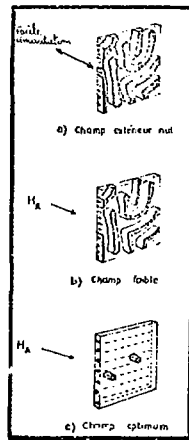


fig.11 : phénomène physique.

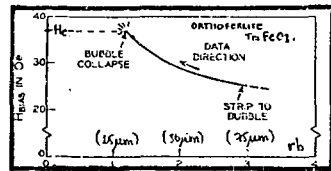


fig. 12 : annihilation d'une bulle.

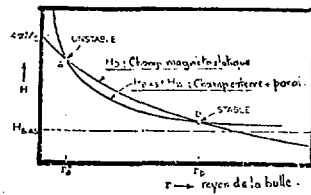


fig. 13 : conditions de stabilité des bulles.

ORIENTATION DU CHAMP TOURNAIENT	NOMS DONNÉS AUX MOTIFS			
	T-BARRÉS	X-ASSYM	V-BARRÉS	CHICORÉES
↓				
←				
↑				
→				

fig. 14 : déplacement des bulles.



Le champ  $H_A$  de polarisation est statique (aimant permanent) et ne consomme donc aucune énergie. Sa valeur pratique est de l'ordre de 100 G (8000 A/m).

#### IV.1.2 Déplacement des bulles

On utilise la propriété des bulles de se déplacer vers les minima du champ perpendiculaire à la couche. On peut moduler celui-ci en créant des champs locaux avec des conducteurs (méthode initiale) ou en utilisant le champ de fuite de motifs magnétiques déposés sur la couche (méthode actuelle).

On dispose des motifs de forme variable (T, I, Y, chevrons) en permalloy (Ni-Fe) de  $1\mu\text{m}$  d'épaisseur, qui s'aimantent facilement suivant la direction parallèle au plan du film magnétique. Ces motifs forment un réseau qui guide les bulles. On utilise un champ tournant créé par deux bobines en quadrature et excitées avec deux courants également en quadrature.

La figure 14 montre le mécanisme de transfert d'une bulle pour les principaux réseaux utilisés.

La figure 15 montre le système de bobines orthogonales qui créent le champ tournant.

La figure 16 représente le domaine de fonctionnement (formation stable et déplacement) d'un réseau de bulles en fonction de la fréquence du champ tournant.

#### IV.1.3 Génération des bulles

La présence (ou l'absence) de bulle représente l'information. La formation des bulles se fait par application d'un courant dans une boucle qui dédouble un domaine existant servant de réservoir.

La figure 17 montre le procédé de dédoublement d'un domaine.

#### IV.1.4 Lecture des informations

Les bulles (ou leur absence) sont détectées par un réseau magnéto-résistif qui recueille un signal différentiel de quelques mV à chaque passage de bulle. Un réseau d'élargissement des bulles est nécessaire pour augmenter le signal.

La figure 18 montre le réseau de lecture et le signal recueilli par le circuit magnéto-résistif.

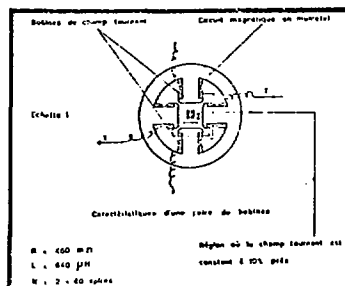


fig. 15 : bobine de champ tournant

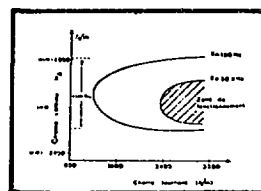


fig. 16 : domaine de fonctionnement pour diverses fréquences du champ.

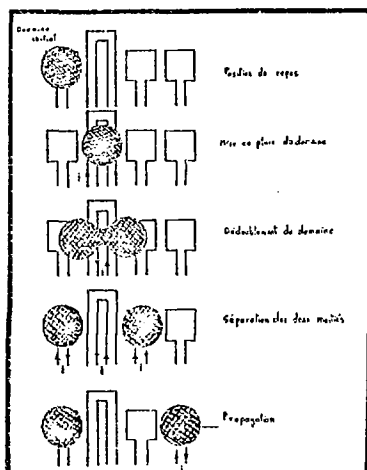


fig. 17 : dédoublage d'un domaine : création d'une bulle.

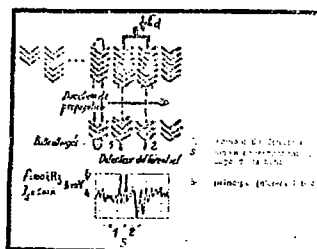


fig. 18 : réseau de lecture.

#### IV.1.5 Autres fonctions

a) effacement - il se fait par annihilation de la bulle en appliquant un champ supérieur au champ de "Collapse". On peut également diriger la bulle sur une voie inutilisée.

b) duplication - cette fonction permet de transférer les bulles des boucles mineures vers les boucles de lecture et inversement, sans perte d'information de la boucle mineure.

#### IV.1.6 Structures

. La plupart des circuits réalisés ont une structure série-parallèle en boucles mineures - boucle majeure, telle que présentée fig. 19

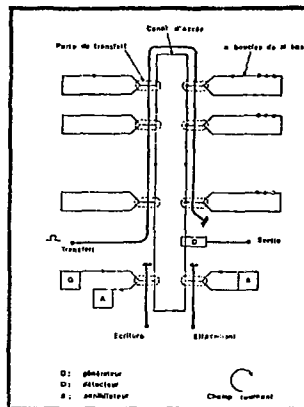


fig. 19 - Structure d'une mémoire à bulles

. le module complet comporte en général tout le système de champs fixe et tournant ainsi que les réseaux d'écriture, lecture et effacement.

le schéma fig. 20 montre une vue éclatée d'un module mémoire.

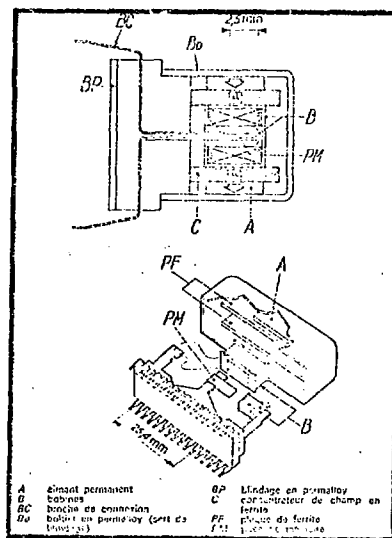


fig.21 : structure d'un module mémoire à bulles.

#### IV.2 Réalisations :

Les réalisations actuelles sont au nombre de deux à être commercialisées :

- Bell laboratoires (pour ses propres besoins),
- Texas Instruments TBM 0101 (sur le marché).

Nous examinerons ensuite les études de laboratoires qui constituent les perspectives.

##### IV.2.1 Bell laboratoires :

a) Module mémoire 68 Kbits en structure registre à décalage (R.A.D.).

Bell a installé 4 de ces modules en série (soit 272 Kbits en tout) pour un répondeur automatique de central téléphonique. Cette capacité permet de contenir 12 s de parole et de remplacer un disque qu'il fallait changer souvent à cause de l'usure.

b) Caractéristiques :

- capacité : 68 K bits série,
- dimensions :
  - bulle  $3 \mu\text{m}$
  - réseau  $16 \mu\text{m}$
  - puce  $5 \times 6 \text{ mm}^2$
- fréquence de transfert : 24 KHz.

Le module de 32 pattes contient tout le système de champs.

##### IV.2.2 Texas Instruments : TBM 0101 :

C'est le seul module disponible actuellement sur le marché, sous forme de carte complète avec le système de contrôle. Cette carte dite "de lancement" coûte 10 000 F pour 92 Kbits complets. Les caractéristiques sont les suivantes :

- capacité : 92 K bits en 157 boucles de 641 bits  
144 boucles utiles,
- dimensions :
  - bulle  $5 \mu\text{m}$
  - réseau  $25 \mu\text{m}$
  - puce
  - module  $25 \times 25 \times 10 \text{ mm}^3$
- temps d'accès moyen : 4 ms
- fréquence de transfert : 50 KHz

Le module de 14 pattes contient tout le système de champ et consomme 0,7 W en continu.

Texas Instruments lance également sur le marché un contrôleur de mémoire TMS 9916 permettant de contrôler et de générer les signaux pour 8 modules TBM 0101.

Le prix de lancement du module est d'environ 1 000 F et celui de production devrait tomber à 0,2 centimes / bit soit 200 F par module.

Le module est unipuce pour des raisons de prix de revient, car la nécessité d'apparier les puces entre elles pour qu'elles fonctionnent avec le même système de champs, réduit la rentabilité de modules multi-puces.

Toutes les caractéristiques de ce module TBM 0101 sont consignées en annexe I.

#### IV.2.3. Rockwell (laboratoire)

Module de 1 M bits en 520 boucles mineures de 2 047 bits chacune, 8 boucles redondantes (insuffisant).

Les réseaux de propagation sont différents et ont la forme de demi-disques tels que présentés fig. 21.

##### Caractéristiques :

- capacité : 1 Mbits, 1 puce, 520 boucles de 2047 bits  
512 utiles,
- dimensions : - bulle 1,8  $\mu$ m  
- réseau 8  $\mu$ m espacés de 1  $\mu$ m  
- puce 10 x 5,5 mm<sup>2</sup>,
- fréquence de transfert : 300 KHz
- prix prévu 0,05 centimes/bit,

Ce produit est prévu en série pour les années 80.

#### IV.2.4. Développement IBM

Comme pour tous les systèmes, les progrès sont orientés vers l'augmentation de la capacité des modules, critère permettant de réduire le coût/bit.

Les dimensions des réseaux sont relativement grandes comparées au diamètre des bulles à cause des phénomènes de couplage par proximité entre réseaux, qui risquent de perturber la propagation et la stabilité des bulles.

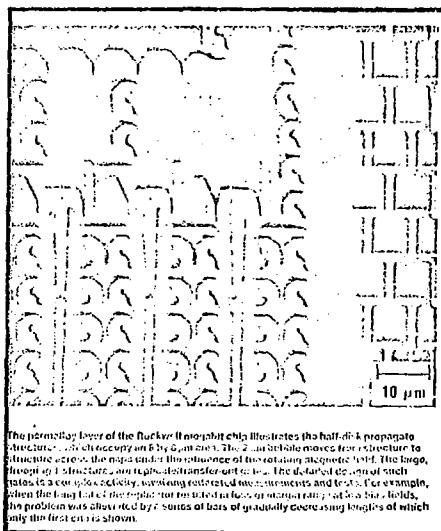


fig. 21 : Structure du réseau Rockwell.

C'est ainsi que LIN, ALMASI et KEEFE, des laboratoires IBM, ont fait des essais de propagation et de transfert sur des domaines de  $1\text{ }\mu\text{m}$  avec des réseaux de disques contigus de 4 à  $5\text{ }\mu\text{m}$ . Le film de grenats était réalisé par implantation ionique, qui réduit les risques de défauts empêchant les bulles de se propager.

La densité est alors quatre fois supérieure et atteint environ  $500\text{ Kbits/cm}^2$ , voire même  $20\text{ Mbits/cm}^2$  vers 1980, avec des tolérances plus grandes au niveau de la fabrication (plus d'espace entre réseaux).

Enfin, le nouveau procédé proposé par IBM (E. Pugh) est le réseau de bulles (ou Bubble Lattice Device) tel que présenté fig. 22 et qui apporterait un facteur 10 dans la densité. Ce procédé permettrait de rapprocher les bulles à près d'un  $\mu\text{m}$  l'une de l'autre, car les forces entre rangées pleines de bulles guident celles-ci comme s'il y avait un réseau permallé. La propagation se fait par influence dans un sens ou dans l'autre mais pose des problèmes complexes qui ne sont pas tous résolus. La densité plus grande serait enfin obtenue aux dépens d'une fabrication plus coûteuse (8 niveaux de masques au lieu de 2).

#### IV.2.5. Perspectives

Le tableau XIII consigne les perspectives des performances des mémoires à bulles (document IBM).

#### IV.3 Limitations actuelles et perspectives d'évolution :

Les limitations actuelles viennent principalement du faible rendement du matériau magnétique (bulles dures) qui entraîne le coût élevé de ces modules, coût trop élevé pour concurrencer réellement les disques souples et tête fixe.

Le nouveau procédé par implantation ionique (suppression des anisotropies locales) devrait permettre un meilleur rendement, donc des surfaces de matériau plus grandes et une capacité accrue, d'où un prix plus bas.

Le second handicap est la limitation de la vitesse de transfert ( $2\text{ }000\text{ cm/s}$  max.) et de la fréquence de rotation du champ ( $300\text{ KHz}$  max.). Le taux de transfert est donc relativement réduit ( $50\text{ Kbits/s}$ ).



Cependant, ces mémoires ont une grande densité d'information ( $1 \text{ Mbits/cm}^2$  en 78) et une non-volatilité de l'information qui, alliées à une fabrication très aisée (2 niveaux de masques) représentée fig. 23, compensent largement les inconvénients actuels de cette technologie. Le diagramme (fig. 24) montre la place relative des mémoires à bulles concernant la capacité et le prix.

On remarquera que, contrairement aux systèmes à enregistrement magnétique, le coût/bit ne varie pas en fonction de la capacité grâce à la modularité de cette technologie.



## V - MEMOIRES A TRANSFERT DE CHARGES (CCD).

Depuis leur conception par Boyle et Smith en janvier 1970, les dispositifs à couplage de charge ont subi une grande évolution liée aux technologies de plus en plus poussées des procédés d'intégration. La densité très grande d'information ( $10^6$  bits/cm<sup>2</sup>) et la facilité de leur réalisation (structure MOS), leur donne une place de choix pour remplacer, aux côtés des mémoires à bulles, les disques à tête fixe et disques souples. Leur vitesse de transfert supérieure au MHz (1 à 100), leur donne un atout nécessaire pour compenser la volatilité de l'information.

### V.1 Principe de la mémoire :

#### V.1.1 Le point mémoire :

Il est constitué par un certain nombre d'électrodes (2 à 4) ayant les fonctions de maintien et de transfert de la charge, et d'isolement entre cellules (fig. 25).

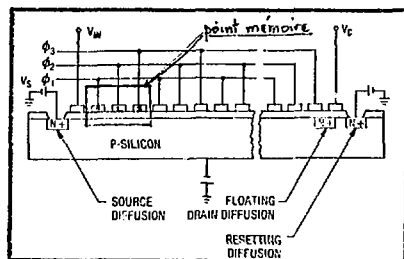


Fig. 25 : constitution d'un point mémoire CCD.

#### V.1.2. Fonctionnement :

Les mémoires sont constituées d'un réseau de capacités MOS réalisées par des électrodes métalliques disposées sur une couche d'oxyde SiO<sub>2</sub> continue d'environ 1200 Å d'épaisseur, elle-même déposée sur un substrat de silicium type P (initialement type N) pour une mobilité plus grande des porteurs.

En appliquant aux électrodes reliées deux à deux (ou trois à trois suivant le nombre de phases comme sur la figure 26), des potentiels différents en séquence, on peut stocker et déplacer les charges minoritaires d'une électrode à une autre (figure 26).

L'information est écrite par un apport de charges minoritaires dans la zone de déplétion créée par une tension négative (type N) appliquée à une électrode.

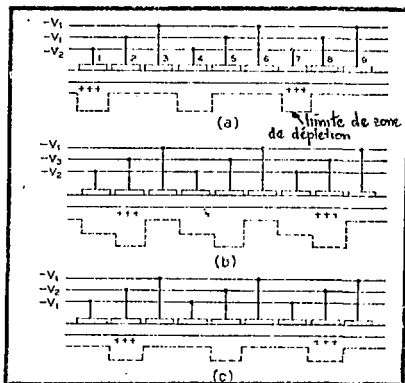


Fig. 26 Principe du déplacement des charges (Boyle et Smith, 1970, BST.I).

Cette charge est généralement induite pour les mémoires en faisant conduire une jonction PN située au départ des électrodes de mémorisation. Elle est lue ensuite par récupération (fig. 27 et 28).

### V.1.3 Structures :

Les mémoires CCD, de par leur principe, sont des mémoires à accès séquentiel (R.A.D.).

Leur principale limitation vient de l'inefficacité du transfert des charges, qui est de l'ordre de  $10^{-3}$  à  $10^{-5}$ , et qui dépend de la fréquence de transfert. Il est donc nécessaire de reformer l'information toutes les 100 ou 10 000 cellules suivant l'inefficacité. Ce sont des mémoires dynamiques, volatiles, qu'il faut régénérer et alimenter sans arrêt (constante de temps de quelques secondes maximum).

Pour pallier ces inconvénients et pour augmenter la vitesse d'accès

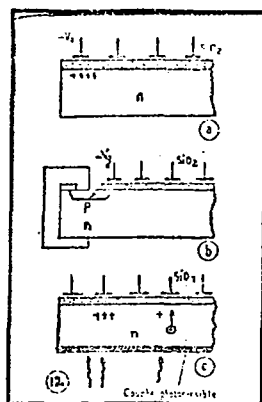


fig. 27 : génération des charges,

- a- par avalanche,
- b- par jonction PN
- c- par éclaircissement.

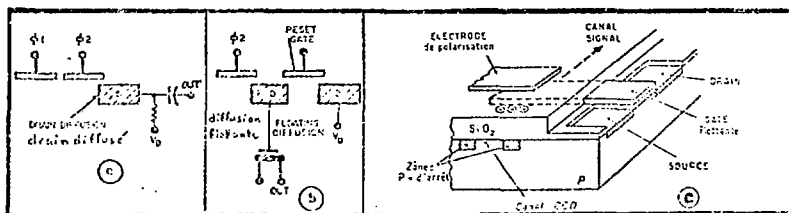


fig. 28 : Récupération des charges en lecture

- a- senseur de courant,
- b- ampli à diffusion flottante
- c- ampli à grille flottante

on distingue trois types de structures de mémoire (fig. 29).

- le registre série : limité à  $10^4$  bits sans régénération,
- le registre serpent : mise en série avec régénération de plusieurs R.A.D. Consommation assez grande car l'information circule à F horloge. Et le temps d'accès est proportionnel à la position dans le registre (fig. 29a),
- le registre série-parallèle-série (SPS) contenant plusieurs boucles parallèles et deux boucles série d'entrée-sortie (fig. 29b),
- le registre à adressage de boucle qui offre le meilleur compromis temps d'accès aléatoire aux boucles mineures et consommation car une seule boucle travaille à la fréquence maximale (fig. 29c).

Le tableau XIV montre les différentes caractéristiques des mémoires en fonction de la structure adoptée, pour une même capacité.

Caractéristique	Serpentine	Série-parallèle-série	Reg. adress. série
Capacité (bits)	16,384	16,384	16,384
Organisation	$256 \times 16 \times 4$	$4,096 \times 4$	$128 \times 32 \times 4$
Access time, (at 5 MHz)	$51.7 \mu s$	$819.7 \mu s$	$25.6 \mu s$
Power dissipation (mW)	400	150	250
Temperature range ( $^{\circ}C$ )	0 - 85	0 - 70	0 - 55
Relative chip area	1.0	0.9	1.1
Clock drive requirements (pF)	1,000	1,000	100
	1,000	40	15
Relative cost	1.0	0.8	1.1

Tab. XIV : Comparaison des différentes structures.

## V.2 Réalisations et performances :

Jusqu'en 1976, les réalisations avaient comme objectif une capacité allant de 4 à 16 Kbits par module avec des structures diverses.

### V.2.1 Réalisations :

- a) Intel 2416 : un module 16 Kbits pour 300 F (2centimes/bit)  
 64 R.A.D. de 256 bits chacun.  
 fréquence de transfert : 1 Mbits/s  
 temps d'accès : 200  $\mu s$ .

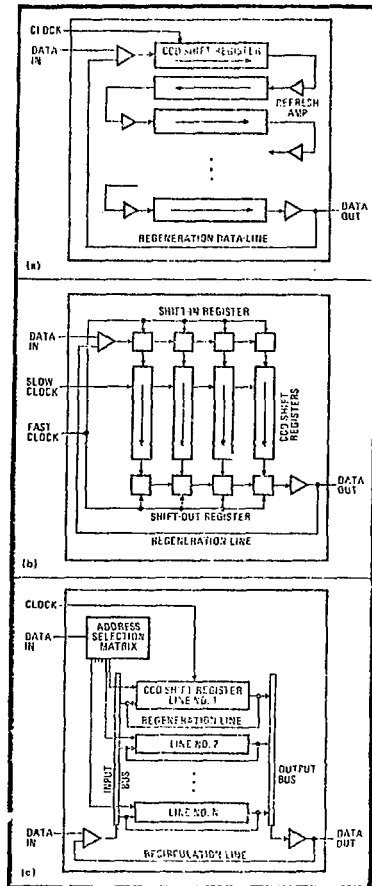


fig. 29 : structures des mémoires CCD,

a- serpentin

b- SPS

c- à adressage de boucles.

- b) Bell Northern : commercialise un module 16 K ayant les mêmes dimensions qu'une RAM 4K.  
Organisé en  $4 \times 4$  K, le module consomme  $20 \mu\text{W/bit}$  à 10 MHz et  $4 \mu\text{W/bit}$  au repos (régénération seule).

- c) Dans les grandes capacités : RCA a réalisé un tambour composé de registres CCD simulant les pistes. Les caractéristiques comparées des deux techniques sont consignées sur le tableau X chacune des pistes comporte 16 Kbits sur une surface de  $5,6 \times 6 \text{ mm}^2$ . Chaque bit a une surface de  $625 \mu\text{m}^2$ .

	Drum	Low Cost CCD
Total capacity	256	1,024
Bits per track (net)	32,768	8,192
Data rate	2 MHz	2.4714
Access time (max), (average)	16 ms, 8 ms	4 ms, 2 ms
Usable capacity	8,388,608	8,388,608
Volume	3 cubic feet	1/3 cubic foot
Weight	125 pounds	15 pounds
Power	300 W	5 W operating, 2 W standby

Tab. XV : Caractéristiques comparées d'un tambour magnétique et d'un "tambour" CCD.

IBM étudie une mémoire ayant une fréquence de  $32 \text{ N bits/s}$  et un temps d'accès inférieur à  $500 \mu\text{s}$ .

#### V.2.2. Performances actuelles

En 1977, les objectifs ont changé et les capacités courantes sont maintenant de 64 Kbits par module.

Trois fabricants ont lancé sur le marché de tels modules, dont les caractéristiques sont consignées sur le tableau XVI ; le prix de vente actuel pour le module Fairchild est de 660 F et pour le module TMS 3064 de 1000 F.



Fabricant	Type	Organisation interne	Nombre d'horloges externes	Fréquences des données max. (en MHz)	Fréquences des données min.	Temps d'accès moyen (au 1 <sup>er</sup> bit)	Tensions d'alimentations (en volts)
Mnemonics . . . .	MN 2.5	16 registres adressables de 4 K	10	5	1 MHz	400 $\mu$ s	-7, +5, +12
Texas Instruments .	TMS 3064	16 registres adressables de 4 K	2	5	400-KHz 1 MHz	500 $\mu$ s	-5, +5, +12
Fairchild . . . . .	CCD 464	16 registres adressables de 4 K	2	5	1 MHz	400 $\mu$ s	-5, +5, +12

Tableau XVI. Caractéristiques principales des modules 64 Kbits.

Les caractéristiques complètes ainsi que les schémas du module Fairchild F 464 sont reportés en annexe II. Le module est un boîtier D.I.L. 16 pattes consommant 400 mW à 5 MHz et moins de 70 mW au repos (régénération seule).

### V.3 Limitations et évolutions :

Le principal défaut de ces mémoires est la volatilité de l'information qui oblige le rafraîchissement de celles-ci à une fréquence minimale de transfert. La puissance minimale est donc relativement grande.

De l'autre côté, la fréquence maximale est limitée par l'inefficacité de transfert  $\xi$ , qui impose de régénérer les charges au bout d'un certain nombre de transferts (100 à 10 000).

Enfin, des progrès sont prévisibles en ce qui concerne la densité d'information, grâce à une diminution de la surface d'un bit ( $200 \mu\text{m}^2$ ) par des procédés d'intégration plus précis.

Le tableau XVII montre l'évolution des caractéristiques pour les années 1980, avec une prévision de  $10^6$  bits/cm<sup>2</sup> et une capacité de 384 Kbits par puce de 300/300 mils soit  $7 \times 7 \text{ mm}^2$ .

Technology	Cells/cm <sup>2</sup>	Bit density (bits/cm <sup>2</sup> )	Number of 1 bits per		Is this number of repeating frequency by 1000
			280 by 240 mil chip	300 by 300 mil chip	
Future high density CCD	0.16	6.75	178	384	4
Serial CCD (parallel flow)	0.32	1.125	64	192	1
Serial CCD (series-parallel flow)	0.64	1.56	32	96	1
MOS RAM (4 channels, 4 channels, and silicon on sapphire)	1 - 6	1 - 0.15	4	16	10
Digital RAM (1T1 and 1T2)	2 - 12	0.5 - 0.07	1	4	20

\*Figures in this column represent values of each technology's level in the serial CCD form

Tab. XVII : Evolution des densités d'information des CCD comparée aux autres technologies.

#### V.4 Comparaison avec mémoires à bulles :

Ces deux technologies sont en effet très faciles à comparer pour bien des raisons.

Issues du même laboratoire (Bell Company) au début de la décennie, elles utilisent les mêmes procédés de fabrication et bénéficient toutes deux des mêmes progrès technologiques dans le domaine de l'intégration à grande échelle.

La commercialisation des deux produits s'est faite à peu près en même temps, avec une légère avance pour les CCD (due aux techniques de fabrication des MOS). Mais la densité et la capacité offertes actuellement par les bulles sont légèrement supérieures (92K contre 64K).

Les divergences entre ces deux produits, qui coûtent le même prix à l'achat, tiennent donc essentiellement à :

- nature de l'information qui est volatile pour les CCD, mais permanente pour les bulles,
- vitesse de transfert qui est beaucoup plus rapide pour les CCD (jusqu'à 160 Mhz en 1980) que pour les bulles (100 à 300 KHz),
- puissance consommée : elle est supérieure pour les CCD qui doivent être sans arrêt régénérées à une fréquence minimale de 1 MHz environ,
- densité d'information : la surface occupée par un bit est plus grande pour les CCD (100  $\mu\text{m}^2$ ) que pour les bulles (5  $\mu\text{m}^2$  prévus en 1980).

Les courbes présentées fig. 30 donnent les perspectives d'évolution comparées des deux systèmes à bulles et CCD jusqu'en 1982. On remarquera les mêmes pentes d'évolution avec un avantage certain pour les bulles malgré tout (densité, coût).

La grande différence réside donc dans la vitesse et la volatilité de l'information qui décideront des applications respectives, avec probablement une restriction pour les CCD à des mémoires très près des calculateurs à cause de leur volatilité.

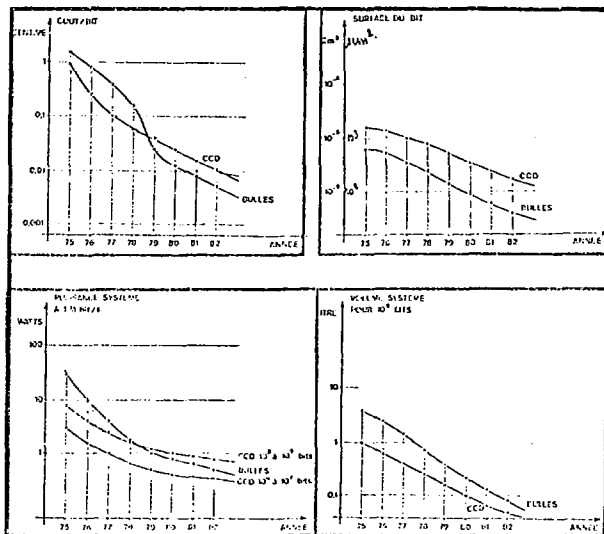


Fig. 30 : Evolution et perspectives comparées Bulles et CCD.

## VI - MÉMOIRES DE MASSE : PROCÉDÉS OPTIQUES :

Au sommet des mémoires à grande capacité, on trouve sans aucun doute les procédés optiques tels que mémoires point par point, mémoires holographiques et mémoires à faisceau d'électrons (BEAMOS).

Ces mémoires en sont toutes à peu près au même point : celui des réalisations spectaculaires à l'échelon de prototypes et de laboratoires. Toutes les recherches sont faites sur les matériaux qui permettent à ces systèmes de travailler en mémoires vives. Dès que ce pas sera franchi, d'ici quelques années, l'arrivée sur le marché de ces technologies bouleversera les conceptions actuelles du stockage grand-capacité.

### VI.1 Mémoire optique point par point :

Ces mémoires ont pour but de remplacer le magnéto-scope à bandes par le vidéoscope à disques, procédé bien meilleur marché, donc accessible au grand public. En effet, la technique de gravure et de duplication est identique à celle des disques 30cm audio.

VI.1.1. Principe : il utilise la faible dimension de la tache de diffraction d'un faisceau laser pour graver une pellicule photosensible haute résolution déposée sur un disque. Les dimensions de la tache, de l'ordre de  $1\text{ }\mu\text{m}$  de diamètre (fig.31) permettent une très grande densité d'informations pour un support à haute résolution ( $10^6$  à  $10^7$  bits/cm<sup>2</sup>). Cette densité est équivalente à celle des mémoires à bulles, mais reproductible sur des surfaces beaucoup plus grandes (quelques dm<sup>2</sup>).

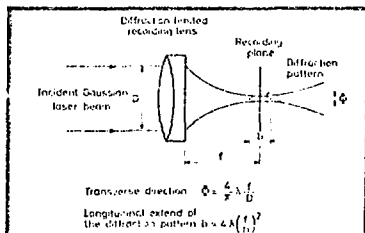


Fig. 31 - Principe de base du stockage bit/bit.

### VI.1.2 Lecture :

La lecture de l'information se fait par conversion électro-optique sur un photo-détecteur.

Le montage de principe d'une mémoire optique point par point (bit/bit) est représenté fig. 32.

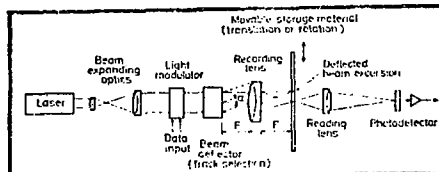


Fig. 32 : montage de principe d'une mémoire pt/pr.

### VI.1.3 Réalisations :

La plus spectaculaire est sans aucun doute le vidéodisque, qui apporte une nouvelle dimension à l'audiovisuel, en permettant d'enregistrer sur un disque 30 cm, 25 à 30 mn de programme TV couleur, au prix d'un disque stéréo de qualité.

Le disque comporte une spirale continue au pas de  $2,5 \mu\text{m}$ , chaque piste portant une image, et le disque tourne à 1500 trs/mn (25 images/s). La capacité du disque est d'environ  $40 \cdot 10^9$  éléments d'information, enregistrés sous forme de microcuvettes modulées en dimension et reproduisant la fréquence instantanée du signal. La structure d'un disque vidéo est présentée fig. 33.

L'accès à n'importe quelle image est obtenu par déplacement du faisceau lumineux en quelques ms et le débit de l'information est de 5 Mbits/s environ.

Cependant, le gros inconvénient de ce système pour l'informatique est que la lecture seule est possible (mémoire morte).

Des études ont été faites pour résoudre ce problème d'écriture/lecture réversible. Des essais ont été réalisés sur un film magnéto-optique de Mn Bi (Manganèse-Bismuth).

### VI.1.4 Le disque magnéto-optique :

a) Principe : en portant un domaine magnétique orienté statiquement au-delà de son point de Curie ( $360^\circ\text{C}$ ), on peut inverser son orientation si on lui applique un champ local inverse quand il refroidit.

On utilise un pinceau laser haute intensité pour chauffer les domaines magnétiques, et l'inversion ou non de l'aimantation constitue l'information. Le domaine a environ  $4 \mu\text{m}^2$ .

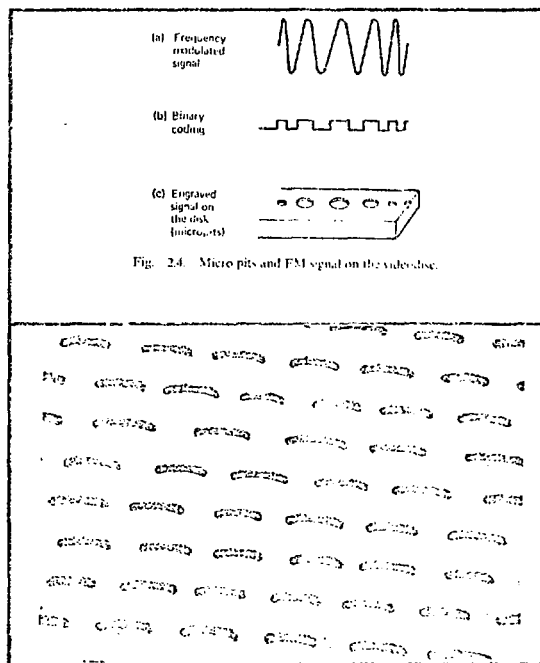


Fig. 24. Micro pits and FM signal on the videodisc.

Fig. 33 : Principe et structure de l'information sur vidéodisque.

La lecture s'effectue par réflexion ou transmission en utilisant les propriétés magnéto-optiques avec un faisceau laser plus faible.

L'effacement se fait comme pour l'écriture mais en sens inverse (fig. 34).

Honeywell a mis au point un tel système ayant les performances suivantes (tableau XVIII).

Ce type de mémoire est à accès purement sériel et s'adresse particulièrement aux méthodes audiovisuelles par sa grande capacité de stockage et son faible prix.

Bit diameter	1 $\mu\text{m}$
Write laser power	5-10 mW entering focusing lens
Write magnetic field	< 300 Oe
Erase laser power	5-10 mW
Erase magnetic field	700 Oe
Film temperature	Room temperature (20 °C)
Read-out laser power	< 3 mW entering focusing lens
Read-out signal noise	> 8
Write pulse width	0.1-1 $\mu\text{s}$
Read-out band width	1 MHz

Tab. XVIII : Performances d'une mémoire point par point  
sur film magnétooptique réversible Mn Bi

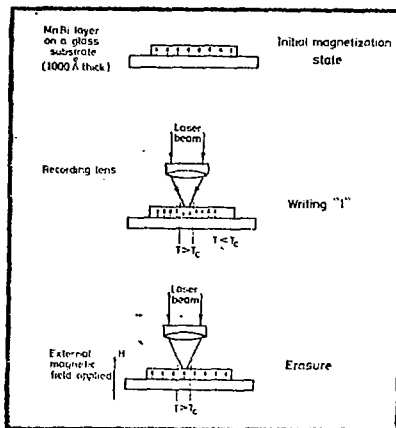


fig. 34 : méthode d'écriture et d'effacement sur film Mn Bi.

On lui préfère, pour les applications en informatique, le stockage holographique plus sûr et à accès aléatoire des blocs d'informations.

## VI.2 Stockage holographique :

Les mémoires optiques à accès aléatoire utilisent ce procédé qui procure une redondance de l'information et la stigmatisme de l'image restituée.

Le principe de l'enregistrement holographique consiste à enregistrer sur un film photosensible les franges d'interférences entre un faisceau cohérent laser de référence et le même faisceau réfléchi par un objet (ici une matrice d'informations). Le document mémorisé ainsi comporte les informations d'amplitude et de phase.

VI.2.1 Le principe d'une mémoire holographique, proposé dès 1967 par Smith et Gallager, avec une organisation par pages (fig. 35) permet une grande densité d'informations.

Pour un plan comportant M pages, de N bits la capacité est  $C = M \times N$ , soit pour des valeurs courantes de  $M = 10^4$  et  $N = 10^4$  ( $100 \times 100$ )  $C = 10^8$  bits sur une surface de  $200 \text{ cm}^2$  soit  $0,5 \cdot 10^6$  bits/cm<sup>2</sup> (1e bit a quelq  $\mu\text{m}^2$  de surface pour des raisons de rapport S/B).

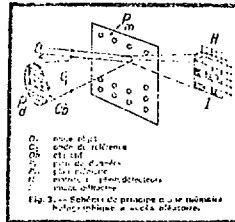


fig. 35 : Principe d'une mémoire holographique par pages.

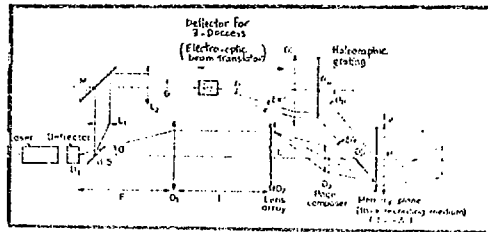


fig. 36 : Principe d'une mémoire holographique tridimensionnelle.



### VI.2.2. Stockage en volume :

Pour augmenter la densité d'information, on peut utiliser des cristaux épais et enregistrer les hologrammes dans le volume en changeant légèrement l'angle d'incidence du faisceau de référence. Si 100 plans sont superposés, la capacité devient alors :

$$C = M \times N \times P = 10^{10} \text{ à } 10^{11} \text{ bits.}$$

Le principe de l'enregistrement tri-dimensionnel est indiqué fig. 36.

Ces mémoires ont donc des possibilités extraordinaires en capacité ( $10^{11}$  bits), en vitesse de transfert (10 à 100 M bits/s) et en temps d'accès (quelques ms pour accéder à une page quelconque).

Pourquoi n'ont-elles toujours pas vu le grand jour ?

### VI.2.3. Recherches et développements :

De nombreux procédés entrent en jeu dans ce type de mémoire et des études technologiques et techniques sont nécessaires pour les rendre opérationnelles :

#### VI.2.3.1. Problème du matériau support de l'information, qui soit réversible, sensible et non volatile.

Les matériaux nouveaux tels que le  $\text{LiNbO}_3$  dopé au fer (Niobate de lithium) ou l'oxyde de Bismuth Silicium (BSO) de formule  $\text{Bi}_{12} \text{SiO}_{20}$ , semblent apporter une réponse satisfaisante mais non idéale. Les courbes fig. 37 montrent les réponses de ces deux matériaux à l'écriture et à la lecture, qui sont soit trop volatiles à la lecture, soit pas assez sensibles à l'écriture, mais ils possèdent des résolutions très bonnes.

Le tableau XIX donne les caractéristiques des principaux matériaux électrooptiques utilisés.

#### VI.2.3.2. Déflexion tridimensionnelle du faisceau laser. Des études sur les possibilités électrooptiques des cristaux anisotropes sont faites pour trouver des déflecteurs analogiques ou digitaux de meilleure séparation et plage d'utilisation. Les déflecteurs les plus performants actuellement peuvent balayer 1000 positions

avec un temps d'accès de 10  $\mu$ s.

VI.2.3.3 Le composeur de pages doit pouvoir charger l'information sous forme matricielle et la transmettre par une modulation de transparence. On utilise un matériau électrooptique récemment découvert, le PLZT qui a la propriété de modifier sa transparence en fonction d'un champ électrique appliqué. L'hologramme est donc la transformée de Fourier de la transparence du réseau composeur. Mais la sensibilité de ce matériau est faible et le temps de composition est donc long.

#### VI.2.4 Conclusion :

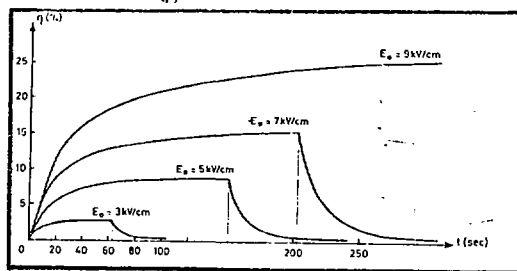
Moyennant des améliorations technologiques principalement au niveau des matériaux électrooptiques, les mémoires holographiques pourraient trouver une application prochaine dans le stockage à grande capacité ( $10^{11}$  bi.) avec des temps d'accès de quelques  $\mu$ s (10  $\mu$ s) et des débits d'information de plusieurs  $\bar{M}$  bits/s (100  $\bar{M}$  bits max.).

La fig. 38 rappelle les principales performances des systèmes optiques en laboratoires.

	Mode d'accès	Forme du matériau de stockage	Densité de stockage d'information	Temps d'accès (ms)
Stockage bit par bit	séquentiel	Disque en rotation	$10^7$ à $10^8$ bits/cm <sup>2</sup>	10
	séquentiel	Film en translation	$10^6$ bits/cm <sup>2</sup>	10 à 200
Stockage holographique	aléatoire	Plaque fixe	$2 \cdot 10^6$ bits/cm <sup>2</sup>	10
	séquentiel	Film en translation	$5 \cdot 10^5$ à $10^7$ bits/cm <sup>2</sup>	400 à 1 000
Stockage holographique à accès aléatoire	aléatoire	Catode photosensible	$10^8$ à $10^9$ bits/cm <sup>2</sup>	10 à 100

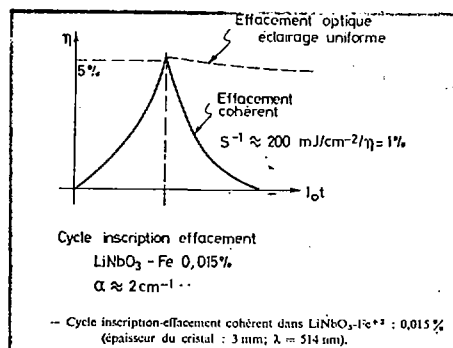
Fig. 38 : performances en laboratoires des mémoires optiques.

fig. 37 a)



-- Cycles inscription-effacement optique dans  $\text{Bi}_{12}\text{SiO}_{20}$  pour différentes valeurs du champ appliqué  $E_0$  (épaisseur du cristal : 10 mm;  $\lambda \approx 514$  nm). Puissance incidente :  $245 \mu\text{W}/\text{cm}^2$ , rapport de faisceau :  $m = 0,7$ , franges :  $\Lambda = 3 \mu\text{m}$ .

fig. 37 b)



Les différents matériaux électro-optiques photosensibles  
utilisables pour l'enregistrement holographique

Matériau	$S^{-1}$	Stockage $\tau_0$	Remarques
$\text{LiNbO}_3$ $\text{Fe}^{+2}$	$200 \text{ mJ}/\text{cm}^2$	100h → qq ms	qualité optique haute résolution
BSO BGO	$300 \mu\text{J}/\text{cm}^2$	30h	qualité optique haute résolution
KTH	$200 \mu\text{J}/\text{cm}^2$	10h	qualité faible
SBN	$1 \text{ mJ}/\text{cm}^2$	1h	qualité faible
$\text{KNbO}_3$	$10 \text{ mJ}/\text{cm}^2$	1 sec.	qualité faible
PLZT	$10 \text{ J}/\text{cm}^2$	qq années	sensibilité faible résolution limitée

Tab. XIX

### VI.3 Mémoire à faisceau d'électrons (BEAMOS).

Ce procédé, développé essentiellement pour l'armée, a été expérimenté en laboratoire et offre des possibilités très prometteuses de stockage de masse par sa grande densité d'informations.

Le principe en est résumé sur la fig. 39.

Le support mémoire est un cristal de silicium P dopé N en surface et recouvert d'une couche d'isolant  $\text{SiO}_2$  supportant une électrode d'aluminium.

**VI.3.1 Ecriture** Le faisceau d'électrons accélérés à 10 KeV sur le point mémoire crée des paires  $e^-$  - trous dans le silicium. En appliquant une tension positive entre l'électrode et le silicium N, les électrons mobiles laissent des trous minoritaires non recombinaisonnés, piégés près de l'interface  $\text{SiO}_2$  -  $\text{SiN}$ .

**VI.3.2 Effacement** On applique une tension négative entre l'électrode et le silicium et quand le faisceau d'électrons est appliqué, on recombine les trous et les électrons créés.

**VI.3.3. Lecture** Le même faisceau est envoyé avec une intensité réduite sans appliquer de tension. Les charges positives piégées favorisent la diffusion des trous créés par le faisceau vers la jonction polarisée en inverse, où ils donnent un courant. Le rapport

$$\frac{I_{\text{jonction}}}{I_{\text{faisceau}}} \text{ est de } 100 \text{ pour un "0"} \\ \text{de } 1400 \text{ environ pour un "1"}.$$

**VI.3.4. Rafraîchissement** Il faut réécrire l'information toutes les 20 lectures car les charges se recombinent partiellement à chacune d'elles. Cette mémoire vieillit car en un mois à  $20^\circ\text{C}$ , 20 % des charges se recombinent. Une panne d'alimentation ne supprime pas l'information.

**VI.3.5 Réalisation et évolution** Des tubes de 32 Mbits ont été réalisés avec 30  $\mu\text{s}$  de temps d'accès aléatoire et un débit de 10 Mbits/s. La densité est telle que 32 Mbits tiennent dans 9  $\text{cm}^2$  soit 3,7 Mbits/ $\text{cm}^2$ . Le prix de revient prévu est de 0,1 centime/bit.

Ce type de mémoire est étudié par les compagnies General Electric qui a réalisé le prototype ci-dessus, IBM, Micro-bits et le Stanford Research Institute. La rentabilité de ce système n'est bonne que pour de très grandes capacités.

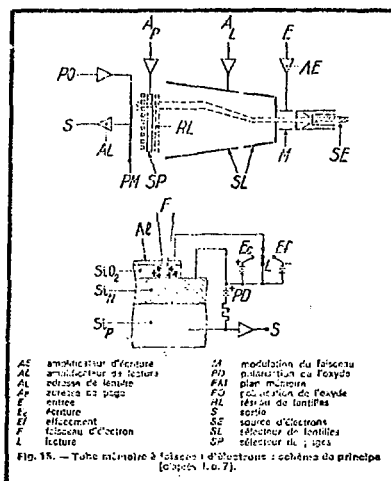


Fig. 39 : Principe d'une mémoire à faisceau d'électrons.

## VII - C O N C L U S I O N

Comment évolueront ces différentes technologies dans les dix prochaines années ? La question est sur les lèvres des concepteurs comme des fabricants.

La Société MacIntosh Consultants de Londres, a réalisé une étude prospective sur le sujet en février 1977 pour les industriels et concepteurs du monde entier.

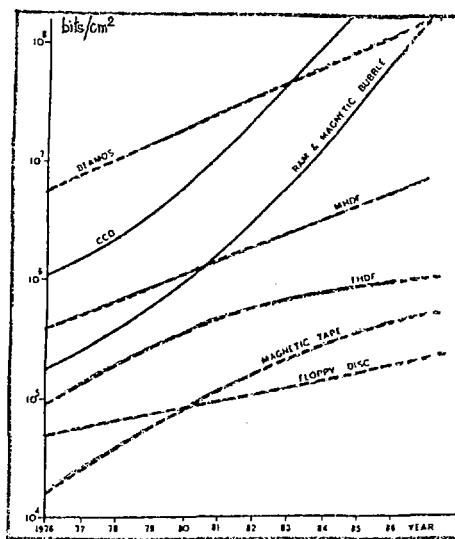
C'est dire l'intérêt et les questions que se posent ces deux partis afin de prévoir les directions les plus judicieuses à prendre dès maintenant pour screr au plus près le marché.

Il paraît important de souligner que le "leit motiv" de toutes les technologies est l'accroissement de la densité, dans le but de réduire à la fois le coût et les dimensions, pour permettre une plus grande modularité. Ensuite viennent les temps d'accès et vitesse de transfert.

Le tableau XX montre l'évolution prévisible de la densité et les diagrammes fig. 40, 41 et 42 offrent une comparaison coût-capacité, capacité-temps d'accès et temps d'accès-coût des différentes technologies abordées dans cet exposé.

A la vitesse où évoluent les progrès technologiques et techniques, on peut se demander où s'arrêteraient les densités d'information dans l'expectative d'un phénomène de mémorisation au niveau submoléculaire.

Comme notre propre capacité de mémoire du cerveau est bien loin, avec ces  $10^9$  bits en tout et pour tout ! Mais la force de celui-ci réside dans le fait que le calculateur qui gère cette mémoire est à apprentissage et n'a donc pas besoin de plus de capacité. Voici un autre domaine de la recherche qui pourrait modifier l'informatique : le calculateur à apprentissage.



Tab. XX : Perspectives d'évolution de la densité  
des différentes technologies.

fig. 40

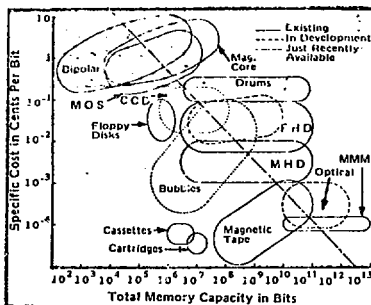


fig. 41

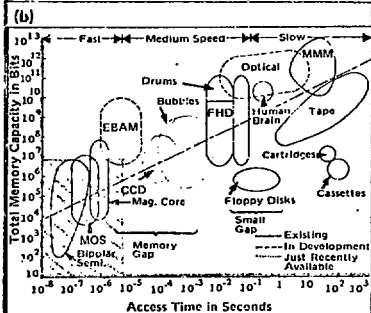
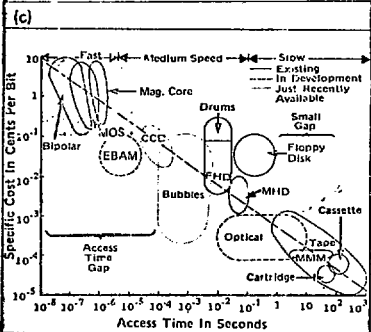


fig. 42



(a) Cost as a function of memory capacity. (b) Memory capacity as a function of access time. (c) Cost as a function of access time. MOS: Metal-Oxide Semiconductor; CCD: Charge-Coupled Devices; EBAM: Electron Beams Accessed Memories; FHD: Fixed Head Disks; MMM: Magnetic Mass Memory (magnetic tape automated library).



## B i b l i o g r a p h i e

III. Mémoires à enregistrement magnétique.

1. La Recherche, Vol. 6 p. 541, Juin 1975.
2. D. Randet. Techniques de l'Ingénieur, feuille H 1254.3.6.
3. J.P. Lazzari Colloque IRIA, Nov. 1974 p. 63.
4. H.M.C. Lutz, D. Dartigues, Colloque IRIA, p. 78.
5. P. Laborde, D. Dartigues, Colloque IRIA, p. 37.
6. P. Begue, Bandes et disques, Techniques de l'Ingénieur H 1500.6.
7. L.C. Hobbs "Low cost tape devices", Computer, Mars 1976.
8. Ahoagland "Magnetic recording storage". Trans. on comp. Déc.1976.
9. A.J. Kolk "Low cost rotating memories". Status and future : computer.
10. J. Backler "Low cost data storage. Multiple options, hard choice"  
Digital design, Juin 1976
11. Electronics, Juin 1977 "Disks hold 70 Mbits"

IV. Mémoires à Bulles.

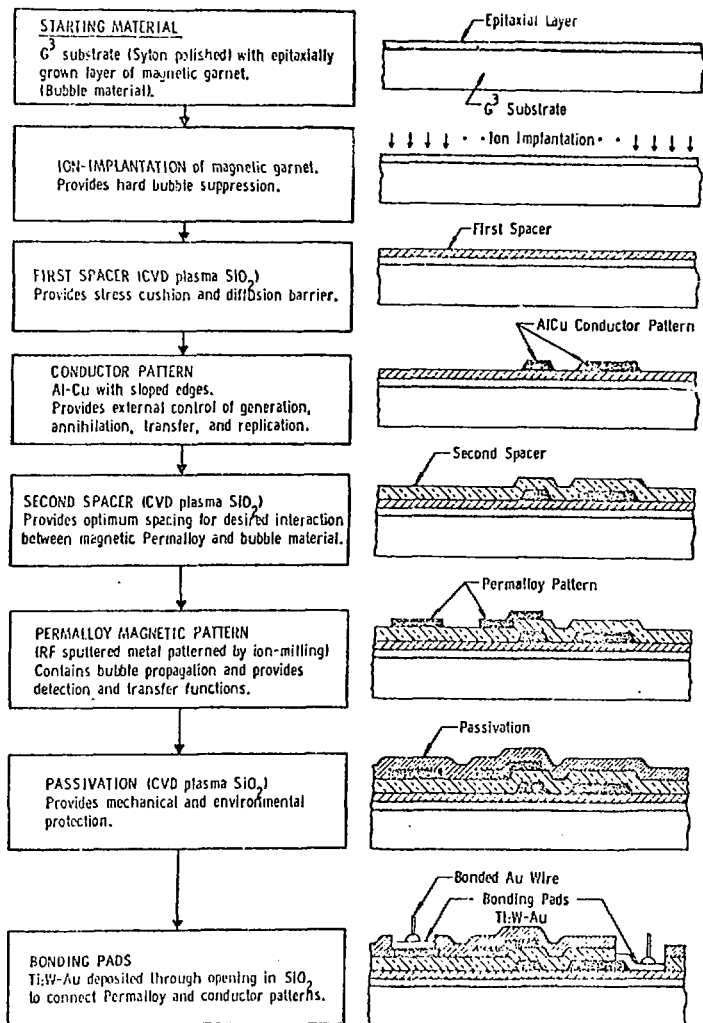
1. G. Bonnes, LETI Rapport CEA R4589 "Contribution à l'étude des portes logiques à domaines magnétiques".
2. W. Myers Consultant, "Current developments in M. Bubble technology, Computer août 1977.
3. E.A. Torrero "Bubbles rise from the labs." IEEE Spectrum Sept. 1976.
4. J.E. Juliussen "Bubbles". Technical article, Electronics Août 1977.
5. D. Randet "Technologie des mémoires" Techniques de l'Ingénieur H1254.
6. Wang et Yue "Data Organization in M.B. Lattice File" IBM J.R.D. Nov.1976.
7. B.J. Lin "Deep UV comformable contact photo-lithography for bubble circuits" IBM J.R.D. Mai 1976
8. A.H. Bobeck "Properties and device applications of magnetic domains in orthoferrite.
9. A.A. Thiele Theory of cylindrical magnetic domains, BSTJ, Déc. 1969.

# V. Mémoires à couplage de charge .

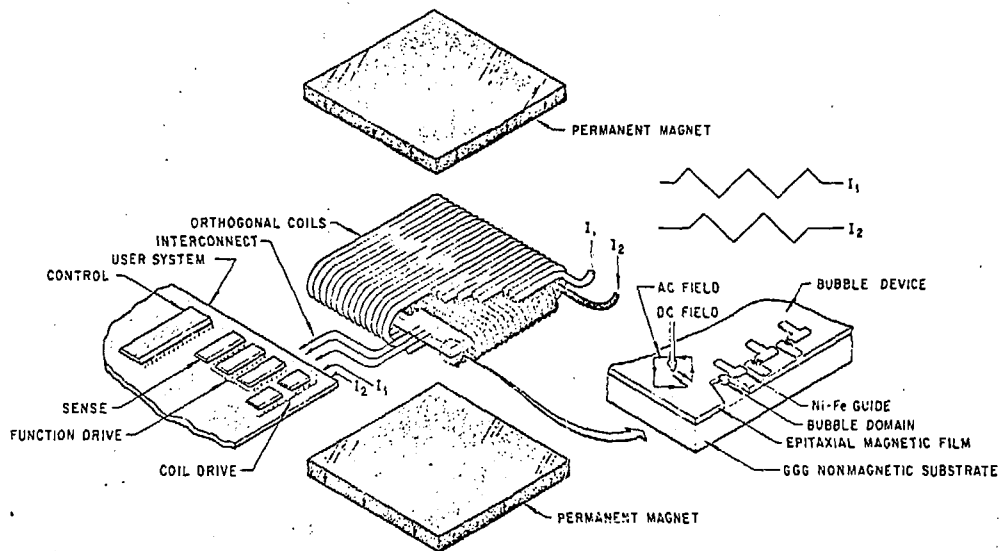
- G. Panignahi Burroughs Corp. CCD memories for computer systems.
- Boyle et Smith Charge coupled semi conductor devices  
BSTJ Avril 1970, p. 587-593.
- G.F. Amélio, Tompsett et Smith  
Experimental verification of the CCD  
Concept - BSTJ Avril 1970 p. 593-600.
- L. Altmann CCD devices move in on memories and analog signals  
Electronics Août 1974.
- Benwill Computer memory technologies - Digital design Août 1977
- C. Battarel Comparaison entre les nouvelles technologies de mémoires  
Bulles et CCD, Colloques IRIA 1974
- J. Backler Advanced memory technologies D. Design Oct. 1975
- Electronics "65 K RAM looms large but CCD and bubbles are 'iffy' ".  
Janv. 1977.
- Toute l'électronique Oct. 1977, Enquête sur les mémoires.
- A.S. Grove Physique et technologie des dispositifs à semi-conducteurs  
Dunod.
- Documentation technique T.I. et Fairchild sur les mémoires 64K.

# VI. Mémoires optiques .

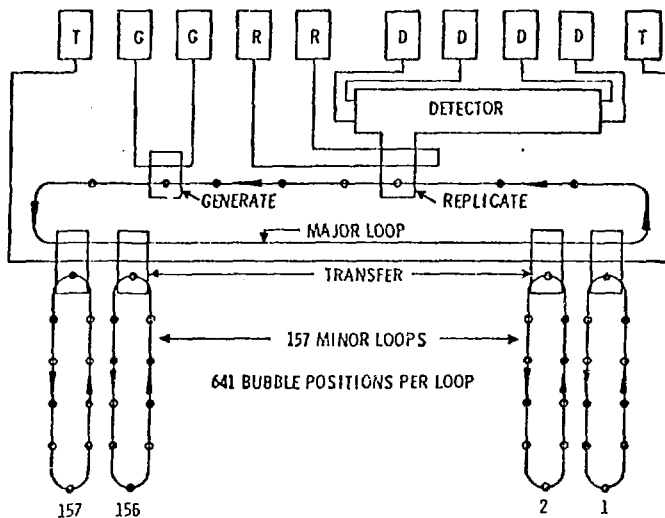
- J P Huignard et al. "Optical systems and photosensitive materials for  
information storage" Revue technique Th. CSF.
- J P Huignard et al. "Les matériaux électro-optiques photosensibles pour  
le stockage holographique d'informations"  
Revue technique Th. CSF, Vol. 8 n° 4, Déc. 1976.
- J P Huignard et Spitz "Mémoires optiques" Techniques de l'Ingénieur.
- D. Ramlet Mémoire à faisceau d'électrons. Techniques de l'Ingénieur  
H 1254-12.
- A.S. Grove Physique et technologie des dispositifs à semi-conducteurs.
- Hugues W. A semi conducteur non volatile, E.B.A.M.M. (Electron beam  
accessed mass memory) IEEE Proc. 63 n° 8, Août 1975, p. 1230-12



# MAGNETIC BUBBLE MEMORY OPERATION



ELECTRONIC FUNCTIONS OBJECTIVE  
MAGNETIC BUBBLE MEMORIES  
100K BIT BUBBLE CHIP SCHEMATIC



# MAGNETIC BUBBLE MEMORIES

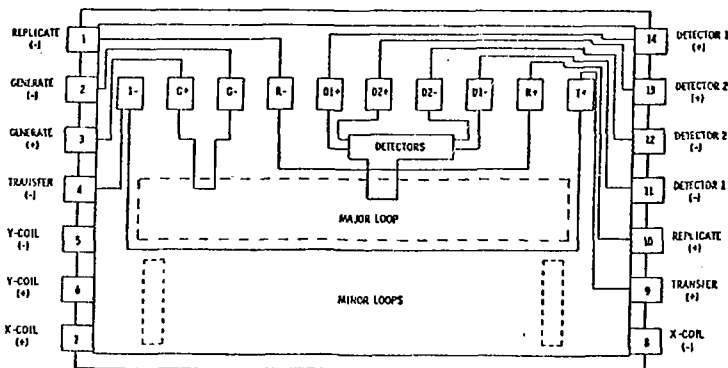
TBM 0101

- 92,304 bits
- Serial/parallel organization
- High density
- Non-volatile/removable
- Solid state/no moving parts
- Low power consumption
- Single chip package
- Self contained magnetics

## DESCRIPTION

The TBM 0101 is a 92,304 bit non-volatile bubble memory in a single chip 14 pin package. The package includes the chip, two coils to provide the rotating magnetic field, a permanent magnet, and a magnet shield to protect the data from external fields. Chip architecture is major loop/minor loop. Data is written into and read out of the major loop; data is transferred to minor loops for storage. The resultant memory is serial input/output with random access to a page 144 bits wide. Bubble control functions, i.e., generate, transfer, replicate, and detect, are accomplished by providing current pulses. Applications include microprocessor coupled systems such as terminals and calculators and replacement of existing rotating disk memories i.e., fixed head and floppy.

## SCHEMATIC/PIN OUT



TENTATIVE DATA SHEET

THIS DOCUMENT PROVIDES TENTATIVE INFORMATION ON A NEW PRODUCT. TEXAS INSTRUMENTS RESERVES THE RIGHT TO CHANGE SPECIFICATIONS FOR THIS PRODUCT IN ANY MANNER WITHOUT NOTICE.

TEXAS INSTRUMENTS

POST OFFICE BOX 5012 • DALLAS, TEXAS 75222

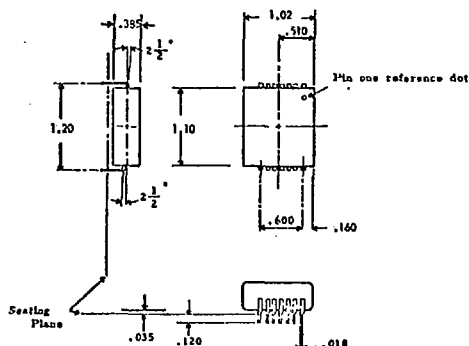
# MAGNETIC BUBBLE MEMORIES

TBM 0101

## DEVICE CHARACTERISTICS

Minor loop total	157
Minor loop usable	144
Minor loop length	641 periods
Useful capacity	92,304 bits
Operating frequency	100 KHz
Average access time	4.0 ms
Average cycle time	12.8 ms
Data rate	50 Kb/sec
Bias margin	8 Oersteds
Operating temperature	0 to 70°C
Non-volatile storage range	-40 to 85°C
Package size	1.0 x 1.1 x 0.4 inches
Weight	25 grams
Shielding capacity	40 Oersteds

## MECHANICAL OUTLINE



Note: a) All dimensions in inches

b) Lead centerlines are located within 0.005 of true position relative to body

TEXAS INSTRUMENTS  
INCORPORATED  
POST OFFICE BOX 5012 • DALLAS, TEXAS 75222

### System Controller Requirements

To provide a convenient interface to the MM memory system, a high level controller is needed to provide read, write, and memory addressing operations upon command from the user system. The TMS9916JL MM Controller shown in Figure II-C responds to commands from the microprocessor system and enables the necessary control functions to the FTG to access a page (or pages) of data. The controller maintains page position information, provides internal input/output buffering for one page (160 bits max) of data, and handles redundancy by the inclusion of a data inhibit pin which gates out clocks to the internal buffer.

### System Power Supply Requirements

The power supply requirements for the MM system are: +5 volts, -5 volts, +12 volts, and -12 volts. The individual power supply connections to the family of integrated circuit components in the MM system are shown in Table 2.

ESTIMATED POWER SUPPLY REQUIREMENTS FOR  
MAGNETIC BUBBLE MEMORY SYSTEM

INTEGRATED CIRCUIT TYPE	TYP CURRENT IN mA AT 100% DUTY CYCLE	TYP CURRENT IN mA AT IDLE	VOLTAGE
TBM0100 TMS9916JL	5.5 35*	5.5 35*	+12v $\pm$ 5%
TBM0100 TMS9916JL FUNCTION DRIVER FUNCTION TIMING GEN COIL DRIVER SENSE AMP	8 75* 52 60 24 19	0 75* 52 60 15 19	+5v $\pm$ 5%
TMS9916JL SENSE AMPLIFIER	1* 8	1* 8	-5v $\pm$ 5%
FUNCTION DRIVER COIL DRIVER R/C NETWORK DIODE ARRAY	39 49 5.5 N/A	18 17 5.5 N/A	-12v $\pm$ 5%

\* MAXIMUM VALUES SHOWN

TABLE 2



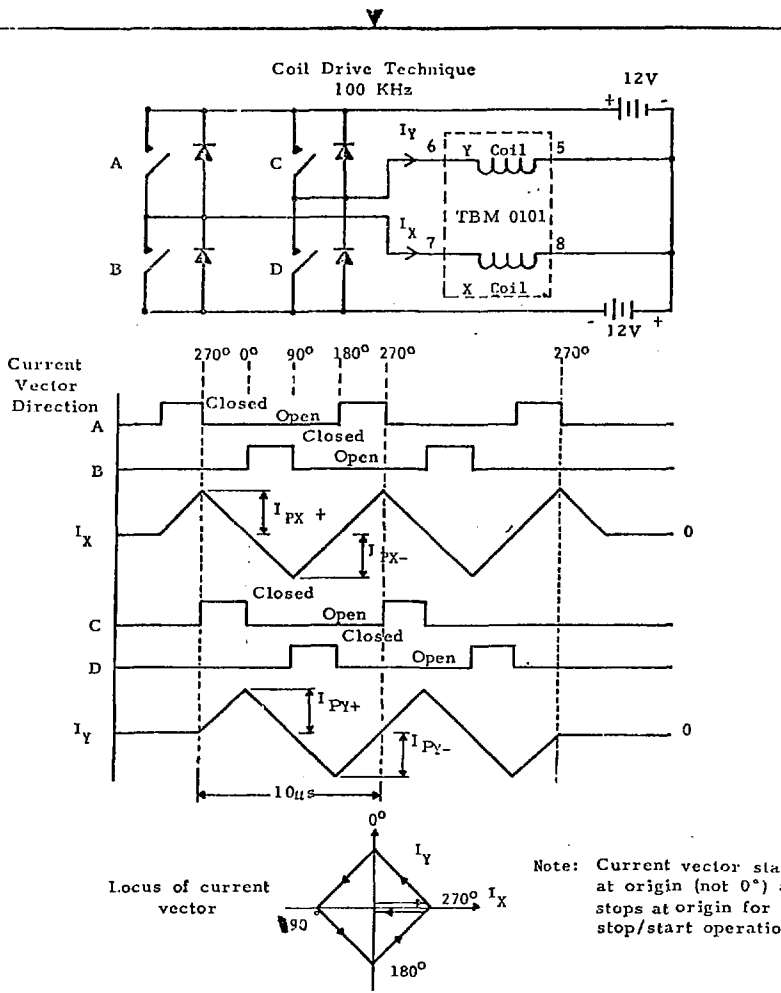
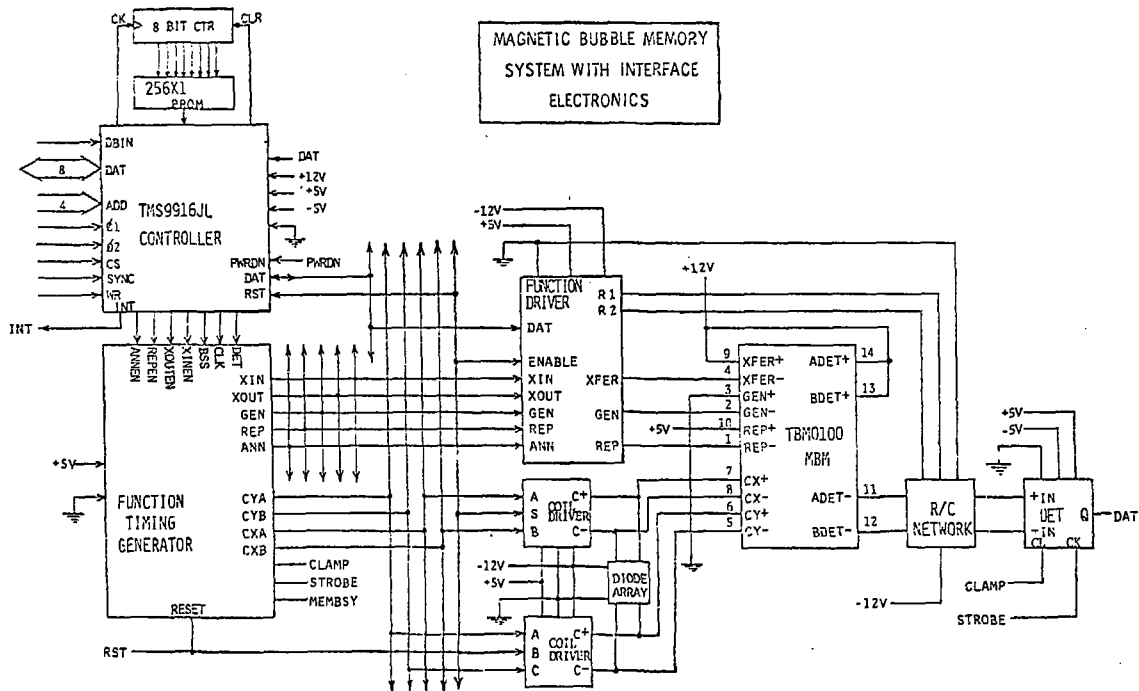


Figure 2

SIZE	LOGIC IDENT NO	DRAWING NO
A	96214	SK 2007651
SCALE	REV A	SHEET 8 of 17



## F464

## 65,536 X 1 DYNAMIC SERIAL MEMORY

FAIRCHILD CHARGE COUPLED DEVICE

**BRIEF DESCRIPTION** — The F464 is a 65,536-bit dynamic serial memory consisting of 16 randomly assessable shift registers, each 4096 bits long. Each of these shift registers is designed utilizing Charge Coupled Device (CCD) techniques along with the Serial-Parallel-Serial (SPS) register structure which features both low power and high density characteristics. The high density of the F464 is further enhanced by the use of an electrode-per-bit memory cell approach. The high density permits the memory in a standard 16-pin (0.3" wide) dual in-line package which allows construction of highly dense memory systems using widely available automated test-insertion equipment.

In addition, this buried-channel CCD memory is fabricated using Fairchild's double-poly silicon planar process. This process allows the F464 to be a high performance, high-art memory circuit which is manufacturable in volume quantities.

**PACKAGING STANDARD 16 PIN (0.3" WIDE) DUAL IN-LINE PACKAGE.**

**RATING FREQUENCY RANGE:** 1 MHz TO 5 MHz.

**INPUTS:** CAPACITIVE TTL-COMPATIBLE INPUTS (EXCEPT CLOCKS).

**OUTPUTS:** CMOS, TTL-COMPATIBLE, LATCHED DATA OUTPUT.

**OUTPUT DRIVE CAPABILITY:** 3.5 mA INTO 100 pF LOAD.

**INPUT CAPACITANCE:** 12 V CLOCKS:

$\phi_1$  AND  $\phi_2$ : 100 pF (TYP)

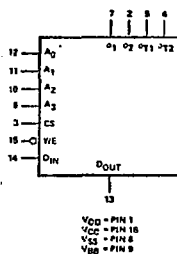
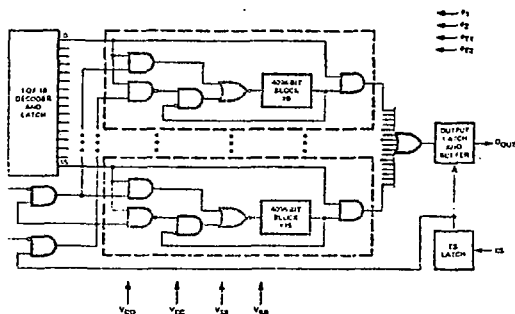
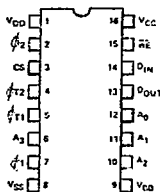
AND  $\phi_{T2}$ : 30 pF (TYP)

**POWER**

**MAXIMUM POWER OPERATION:** <400 mW (MAX) @  $f_{max}$

**QUIESCENT POWER:** <70 mW (MAX) @  $f_{min}$

**STANDARD POWER SUPPLIES (+12 V, +5 V, AND -5 V)**

**LOGIC SYMBOL****BLOCK DIAGRAM****CONNECTION DIAGRAM  
DIP (TOP VIEW)**

Fairchild Semiconductor Corporation, Fairchild, U.S.A.

37500 STREET, MOUNTAIN VIEW, CALIFORNIA, 94042 (415) 962-5011/TWX 510-379-6435

FAIRCHILD

## PIN NAMES

$\phi_1, \phi_2$	Serial Clocks	$D_{IN}$	Data Input
$\phi_{T1}, \phi_{T2}$	Transfer Clocks	$D_{OUT}$	Data Output
$A_n$	Address Inputs	$V_{CC}$	+5 V Power Supply
CS	Chip Select Input	$V_{SS}$	0 V Power Supply
$\overline{WE}$	Write Enable Input (Active LOW)	$V_{BB}$	-5 V Power Supply
		$V_{DD}$	+12 V Power Supply

## FUNCTIONAL DESCRIPTION

**ORGANIZATION** — The F464 is a 65,536 x 1 bit dynamic serial memory organized internally as 16 dynamic shift registers (or blocks) of 4096 bits each in length. These 16 shift register blocks are randomly accessible through four internally decoded Address inputs ( $A_0 - A_3$ ). When a given register is selected, its input and output are internally connected (as needed) to the  $D_{IN}$  and  $D_{OUT}$  pins, respectively, thus permitting simultaneous read and write operations.

**ARCHITECTURE** — Each of the sixteen shift register blocks is implemented using a Serial-Parallel-Serial (SPS) register architecture. In this approach N data bits are sequentially shifted into a "serial" input register. When full, the entire N-bit word is shifted in parallel into N "parallel" registers of M bits in length, as illustrated in Figure 1. At the other end of this parallel register structure, bits are loaded in parallel into an N-bit serial output register. Bits in this register are then shifted out toward the output latch and then are automatically recirculated back to the input serial register unless a WRITE operation is specified.

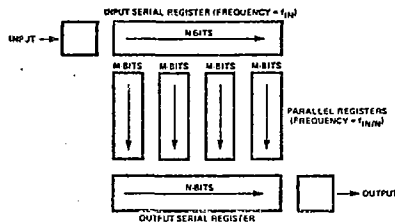


Fig. 1 SIMPLIFIED SPS EXAMPLE WITH N = 4

The primary advantages of this type of architecture include very high density, low power, and low clock capacitance. These features all result from the fact that in the SPS architecture the parallel registers which encompass most of the total storage capacity within each block are shifted at a considerably slower rate ( $f_{IN}/N$ ) than clock rate of the input or output serial registers,  $f_{IN}$ .

In actuality, each 4096-bit block of the F464 is implemented using an "interleaved" SPS structure in which each bit of the serial input register services two parallel registers rather than just one. The same is true for the output serial register. In addition, "electrode-per-bit" design techniques are used to reduce the effective cell size by minimizing the number of electrodes used to store each bit of information. These techniques obviously enhance the memory density considerably. The dimensions of the F464's interleaved SPS structure are 32-bit input and output serial registers and 64 parallel registers, each 63 bits in length. See Figure 2. These dimensions were chosen in order to optimize the power/density/latency tradeoffs inherent in the CCD memory approach.

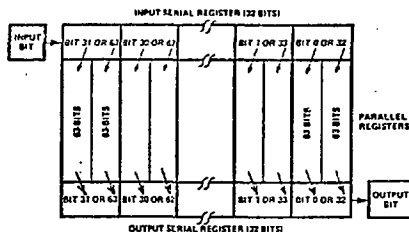


Fig. 2 INTERLEAVED SPS ARCHITECTURE

**CLOCKS** — The F464 requires four MOS level clocks: Two high frequency (1 to 5 MHz) serial clocks and two low frequency transfer clocks. The serial clocks,  $\phi_1$  and  $\phi_2$ , control the movement of data within the input and output serial registers of each 4096-bit block and have a frequency equal to the data rate. The transfer clock  $\phi_{T1}$  is used to transfer data from the input serial register to the parallel registers while the transfer clock  $\phi_{T2}$  is used to transfer data from the parallel registers to the output serial register of each block. The data present in the parallel registers is shifted by internally generated ripple clocks. This ripple clock technique allows a high bit-packing density approaching one electrode per bit.

To achieve proper transfer phasing, the two transfer clocks are asymmetrical about a 32-cycle interval (31.5 and 32.5 cycles) but symmetrical about a 64-cycle interval. The phasing between these transfer clocks alternates in order to achieve correct bit storage in each block. When  $\phi_{T1}$  occurs during  $\phi_1$  time,  $\phi_{T2}$  occurs during  $\phi_2$  time 1.5 cycles prior to  $\phi_{T1}$ . When  $\phi_{T1}$  occurs during  $\phi_2$  time,  $\phi_{T2}$  occurs during  $\phi_1$  time 2.5 cycles prior to  $\phi_{T1}$ . Figure 3 below illustrates the clock phase relationships.

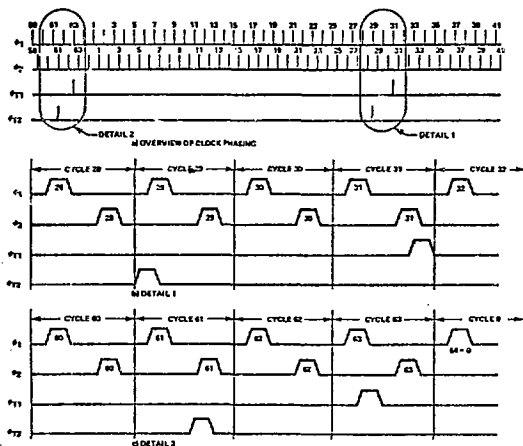


Fig. 3 F464 CLOCKS

## CONTROLS

In addition to the four Address inputs ( $A_0$  through  $A_3$ ), other TTL level control signals available on the F464 include Write Enable ( $\overline{WE}$ ) and Chip Select ( $CS$ ). The  $CS$  input, along with the address information, is presented during  $\phi_1$  HIGH time and dynamically latched with the trailing edge of  $\phi_1$  while simultaneously disabling both the address and  $CS$  buffers. This action prevents changes that occur on the external pins from entering the internal circuitry when  $\phi_1$  is LOW. The  $\overline{WE}$  control signal determines whether new data from the  $D_{IN}$  pin, or recirculated output data, is presented to the input of the addressed block.

## MODES OF OPERATION

## STANDBY (Recirculate-only cycle)

In Standby mode ( $CS$  LOW), the contents of all 16 blocks are recirculated automatically, and the device disregards the  $\overline{WE}$ , Address, and  $D_{IN}$  inputs. The output latch goes into the high impedance state after the trailing edge of the  $\phi_1$  clock. Minimum device power results when operating the device in the recirculate mode with minimum  $\phi_1$  and  $\phi_2$  pulse widths at the lowest allowed frequency.

## READ-RECIRCULATE MODE

In this mode of operation ( $\overline{WE}$  HIGH and  $CS$  HIGH) the data from the selected block is presented to the output buffer immediately following the leading edge of  $\phi_2$  and appears at the output,  $Q_{OUT}$ , after a delay equal to the access time  $t_{ACC}$ . Thus, the access time is referenced from the leading edge of the  $\phi_2$  pulse and is independent of the duration of  $\phi_2$ . The output data is latched and remains valid at the  $Q_{OUT}$  pin until the end of the  $\phi_1$  clock pulse in the next cycle. The data present in all 16 blocks automatically recirculates from the output back to the input regardless of the address inputs, provided that  $\overline{WE}$  remains inactive throughout the cycle.

## READ AND WRITE MODE

In the Read and Write mode ( $\overline{WE}$  LOW and  $CS$  HIGH), the output data from the selected block is available at the output pin as in the read-recirculate mode; however, the recirculate path of that particular block is disabled. Input data present at the  $D_{IN}$  pin during  $\phi_2$  is written into the selected block by the falling edge of  $\phi_2$ , while the other 15 blocks automatically recirculate their contents. This form of an "early-write" cycle ( $\overline{WE}$  LOW prior to the falling edge of  $\phi_1$ ) requires that both  $\overline{WE}$  and  $D_{IN}$  have set-up times with respect to the trailing edge of  $\phi_1$ . In fact, for successive write operations handled in this mode,  $\overline{WE}$  may be held LOW continuously without returning it to the HIGH state between cycles. A "delayed-write" cycle ( $\overline{WE}$  goes LOW after the trailing edge of the  $\phi_1$  clock pulse) is also possible and is discussed in the next paragraph as a subset of the RMW operating mode.

## READ-MODIFY-WRITE MODE

The Read-Modify-Write mode ( $CS$  HIGH,  $\overline{WE}$  HIGH goes LOW) is simplified by the fact that the F464 is always in the read mode whenever it is selected ( $CS$  HIGH). Since the access time is referenced to the leading edge of  $\phi_2$  and the setup times of  $\overline{WE}$  and  $D_{IN}$  are referenced to the trailing edge of  $\phi_2$ , this mode of operation requires an extended  $\phi_2$  HIGH time in order to provide the required modify time. This "stretched"  $\phi_2$  HIGH time may be determined by the following relationship:

$$t_{\phi 2H} = t_{ACC} + t_{MOD} + t_{DS} + t_{WCL} + t_T$$

The modify time,  $t_{MOD}$ , is determined by the memory designer and is dependent on the delays of the external logic used to modify the output data. The Read-Modify-Write (RMW) cycle time then, is given by:

$$t_{CYC} = t_{\phi 1H} + t_{UL1} + t_{\phi 2H} + t_{UL2} + 4t_T$$

where  $t_{\phi 2H}$  is the new "stretched" version of the  $\phi_2$  clock pulse.

If no modification of output data is required, then this operating mode reduces to a "delayed-write" mode in which  $D_{IN}$  and  $\overline{WE}$  may occur after the  $\phi_1$  clock pulse.

## MEMORY START-UP

When the F464 is initially powered up, the  $V_{BB}$  supply (i.e., the -5 volt supply) should be applied to the memory before the other supplies. This action results in greater protection against accidental violation of the voltage limits specified in the Absolute Maximum Ratings section and, in general, enhances the long term reliability of the memory.

In order to clear the memory of extraneous charge following power-up, the F464 must be clocked through a minimum of 32,000 cycles of any type before a valid memory cycle should be attempted.

## ABSOLUTE MAXIMUM RATINGS

Voltage of any pin relative to  $V_{BB}$  ( $V_{SS} - V_{BB} > 4.5$  V)  
 Operating Temperature (Ambient)  
 Storage Temperature (Ambient)  
 Power Dissipation

-0.5 V to +20 V  
 $0^{\circ}\text{C}$  to  $150^{\circ}\text{C}$   
 $-55^{\circ}\text{C}$  to  $150^{\circ}\text{C}$   
 1 W

Stresses greater than those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. This is a stress rating only and functional operation of the device at these or any other conditions above those indicated in the operational sections of this specification is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

DC REQUIREMENTS:  $T_A = 0^{\circ}\text{C}$  to  $150^{\circ}\text{C}$  (see note 1)

SYMBOL	PARAMETER	MIN	TYP	MAX	UNITS	NOTES
$V_{DD}$	Supply Voltage	11	12	13	V	
$V_{CC}$	Supply Voltage	4.75	5.0	5.25	V	
$V_{SS}$	Supply Voltage	0	0	0	V	1
$V_{BB}$	Supply Voltage	-5.5	-5.0	-4.5	V	
$V_{IH}$	Input HIGH Clock Voltage	$V_{DD}-1$		$V_{DD}+1$	V	
$V_{IL}$	Input Low Clock Voltage	-0.5		0.8	V	2
$ V_{ILC} $	Voltage Differential Between Any Two Clock Lows	0		0.8	V	2
$V_{IH}$	Input HIGH Voltage, all inputs except clocks	2.4		$V_{CC}$	V	
$V_{IL}$	Input LOW Voltage, all inputs except clocks	-0.5		0.8	V	

FAIRCHILD • F464

DC ELECTRICAL CHARACTERISTICS: Over Full Range of Voltage and Temperature (see notes 1)

SYMBOL	PARAMETER			MIN	TYP	MAX	UNITS	NOTES
$I_{DD}$	Average $V_{DD}$ Current	Active	$f_{min}$		5	8	mA	3, 10
			$f_{max}$		15	25	mA	
		Standby	$f_{min}$		3	5	mA	
			$f_{max}$		12	19	mA	
$I_{CC}$	Average $V_{CC}$ Current	Active	$f_{min}$		1.5	2.5	mA	3, 10
			$f_{max}$		2.5	4	mA	
		Standby	$f_{min}$		0.3	0.5	mA	
			$f_{max}$		1.2	2	mA	
$I_{BB}$	Average $V_{BB}$ Current					100	$\mu$ A	4
$V_{OH}$	Output HIGH Voltage			2.8			V	5
$V_{OL}$	Output LOW Voltage					0.4	V	6
$I_{IN}$	Input Leakage Current (any input)			-10		10	$\mu$ A	7
$I_{OUT}$	Output Leakage Current			-10		10	$\mu$ A	8
$C_{IN1}$	Input Capacitance, $\phi_1$ and $\phi_2$				100		pF	9
$C_{IN2}$	Input Capacitance, $\phi_{T1}$ and $\phi_{T2}$				30		pF	9
$C_{IN3}$	Input Capacitance, $A_0 - A_3$ , CS, $\overline{WE}$ , and $D_{IN}$				5		pF	9
$C_{OUT}$	Output Capacitance, $D_{OUT}$				7		pF	9

RECOMMENDED CLOCKING CONDITIONS (OVER FULL RANGE OF VOLTAGE AND TEMPERATURE)

IEEE SYMBOL	SYMBOL	PARAMETER	F464-A		F464		UNITS	NOTES
			MIN	MAX	MIN	MAX		
TE1HE1L	$t_{\phi 1H}$	$\phi_1$ HIGH Pulse Width	50		60	200	ns	10
TE2HE2L	$t_{\phi 2H}$	$\phi_2$ HIGH Pulse Width	50	300	60	300	ns	10
TE1LE2H	$t_{U1L}$	$\phi_1$ to $\phi_2$ Underlap Time	30		45		ns	
TE2LE1H	$t_{U12}$	$\phi_2$ to $\phi_1$ Underlap Time	30		45		ns	
TYHEL	$t_{OV1}$	$\phi_{T1}$ and ( $\phi_1$ or $\phi_2$ ) Overlap Time	30		30		ns	
TEHTL	$t_{OV2}$	$\phi_{T2}$ and ( $\phi_1$ or $\phi_2$ ) Overlap Time	20		30		ns	
TEHTH	$t_{T1D}$	( $\phi_1$ or $\phi_2$ ) to $\phi_{T1}$ Delay Time	0		0		ns	
TTLEH	$t_{T1S}$	$\phi_{T1}$ to ( $\phi_1$ or $\phi_2$ ) Setup Time	0		0		ns	
TELTH	$t_{T2D}$	( $\phi_1$ or $\phi_2$ ) to $\phi_{T2}$ Delay Time	0		0		ns	
TTLEL	$t_{T2S}$	$\phi_{T2}$ to ( $\phi_1$ or $\phi_2$ ) Setup Time	5		5		ns	
TELT	$t_{T1H0}$	$\phi_{T1}$ Hold Time	20		30		ns	
-	$t_T$	Clock Transition Time (Rise and Fall)	10	50	10	50	ns	11, 12
-	$f$	Operating Frequency	1.0	5.0	1.0	4.0	MHz	12



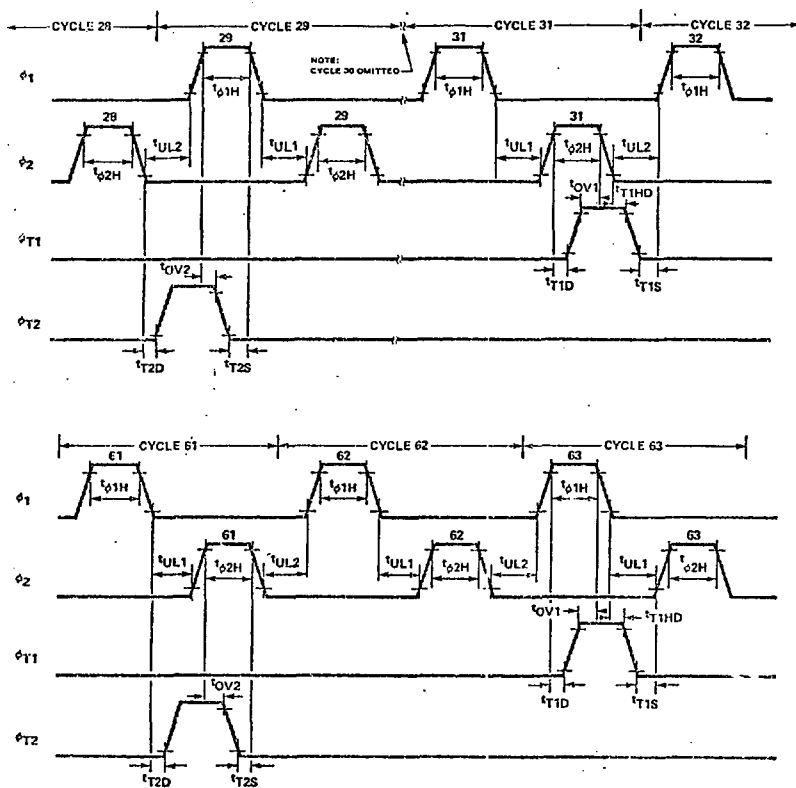
## RECOMMENDED AC OPERATING CONDITIONS: (OVER FULL RANGE OF VOLTAGE AND TEMPERATURE)

IEEE SYMBOL	SYMBOL	PARAMETER	F464-A		F464		UNITS	NOTES
			MIN	MAX	MIN	MAX		
tAVEH	t <sub>AS</sub>	Address Setup Time	5		5		ns	
tELAX	t <sub>AH</sub>	Address Hold Time	5		5		ns	
tSVEH	t <sub>CS</sub>	Chip Select Setup Time	5		5		ns	
tELSX	t <sub>CSH</sub>	Chip Select Hold Time	5		5		ns	
tWHEL	t <sub>RCS</sub>	Read-Recirculate Command Setup Time	5		5		ns	13
tELWX	t <sub>RCH</sub>	Read-Recirculate Command Hold Time	25		25		ns	13
tWLEL	t <sub>WCS</sub>	Write Command Setup Time	0		0		ns	
tELWX	t <sub>WCH</sub>	Write Command Hold Time	25		25		ns	
tWLEL	t <sub>WCL</sub>	Write Command Lead Time (RMW Only)	60		60		ns	
tDVWL	t <sub>DS</sub>	Input Data Setup Time	0		0		ns	14
tELDX	t <sub>DH</sub>	Input Data Hold Time	25		25		ns	
tELQZ	t <sub>OFF</sub>	Output Buffer Turn-Off Delay	0	50	0	50	ns	15
tEHQV	t <sub>ACC</sub>	Output Data Access Time		50		60	ns	16

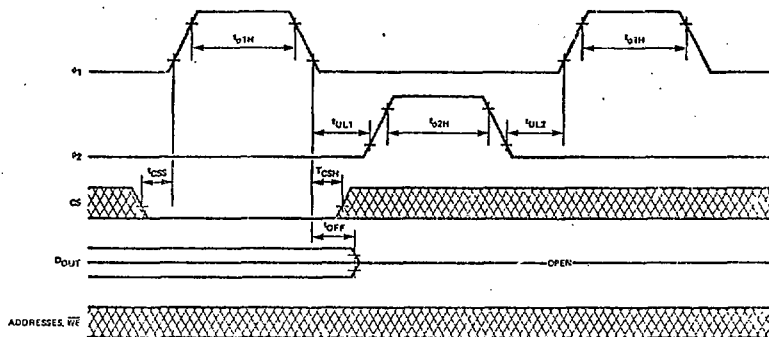
## NOTES:

1. All voltages are measured with respect to  $V_{SS}$ .
2. The differential voltage between a LOW for any clock input and a LOW for any other clock input should not exceed 0.8 V.
3. Current levels at both minimum and maximum frequencies are specified for minimum  $\phi_1$  and  $\phi_2$  clock pulse widths. See Figure 4.
4. Maximum at maximum frequency and  $V_{BB} = -5.5$  V.
5. Measured with  $I_{OUT} = -2.5$  mA.
6. Measured with  $I_{OUT} = 3.5$  mA.
7. Input leakage current is measured with  $V_{IN} = V_{DD}$  for clock inputs and  $V_{IN} = V_{CC}$  for all other inputs.
8. Leakage current at the  $O_{OUT}$  pin is measured for both  $V_{OUT}$  equal to  $V_{CC}$  and  $V_{SS}$  when the output buffer is in the high impedance state.
9. Effective capacitance is calculated from the equation  $C = \frac{I \Delta t}{\Delta V}$  with  $\Delta V = 12$  V for clock inputs and with  $\Delta V = 3$  V for TTL pins while the device is active.
10. Maximum clock pulse widths are specified in order to limit power dissipation. See Figure 4 showing the relationship between power and clock pulse width.
11. Reference levels used for timing measurements are  $V_{IH}(min)$  and  $V_{IL}(max)$  for clock inputs and  $V_{IH}(min)$  and  $V_{IL}(max)$  for all other inputs. Transition times for both rise and fall are measured between these reference points.
12. Minimum and maximum frequency values assume clock transition times of 10 ns.
13. The Read-Recirculate command is performed by keeping  $\overline{WE}$  in the inactive state (i.e. HIGH) for the prescribed set-up and hold times.
14.  $t_{DS}$  references  $D_{IN}$  to the trailing edge of  $\phi_1$  in a Read-early Write cycle. However, in a Read-Modify Write (i.e. delayed write) cycle,  $t_{DS}$  references  $D_{IN}$  to the negative-going edge of  $\overline{WE}$ .
15.  $t_{OFF}$  (max) defines the time at which the output achieves the open circuit condition and is not referenced to output voltage levels.
16. Measured with a load equivalent to two TTL loads and 100 pF.

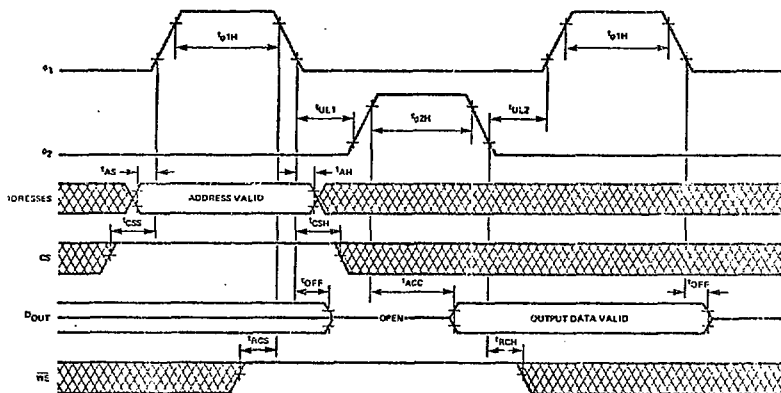
## SERIAL AND TRANSFER CLOCKS



## RECIRCULATE-ONLY CYCLE (STANDBY)

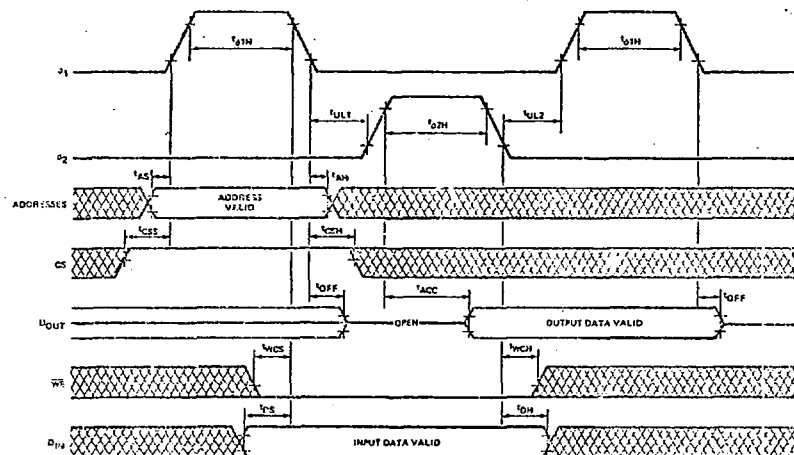


## READ-RECIRCULATE-CYCLE

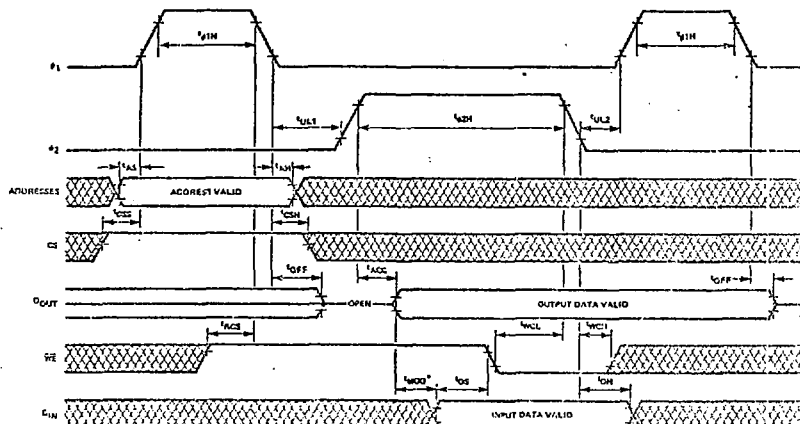


 DON'T CARE

## READ-WRITE CYCLE



## READ-MODIFY-WRITE CYCLE



DON'T CARE

$$t_{WCL} = t_{ADH} - t_{ACC} - t_{DS} - t_{WCH} - t_{PH}$$

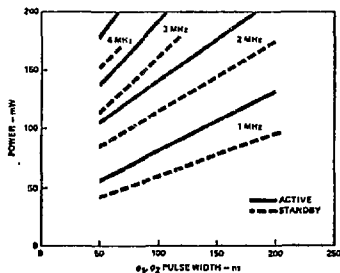
TYPICAL POWER DEPENDENCE  
ON CLOCK PULSE WIDTH

Fig. 4

TEST LOAD

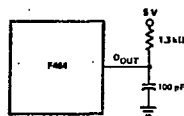
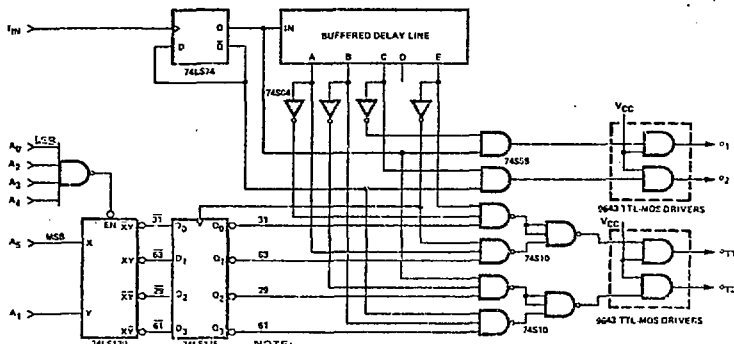


Fig. 5

## CLOCK GENERATION CIRCUIT -

The circuit shown below may be used to generate the four clocks required for operation of the F464 with proper phase relationships from a single master clock. This master input frequency  $f_{IN}$  must be twice the desired data rate at the F464 output pin. Since the input clock frequency is "squared-up" with a divide-by-two flipflop, the duty cycle of this clock is non-critical. A pulse edge at the input of the buffered delay line produces a sequence of delayed pulse edges from the A, B, C and D output taps. These delayed pulse edges are ANDed together to produce the required  $\phi_1$  and  $\phi_2$  clocks as well as the  $\phi_{T1}$  and  $\phi_{T2}$  transfer clocks. Since the transfer clocks are generated (but not necessarily used) every cycle, the outputs of the 6-bit, module 64 counter are decoded to enable selected transfer clock gates at counts of 29, 31, 61, and 63. Thus,  $\phi_{T1}$  is passed along to the clock drivers only during cycles 31 and 63, while  $\phi_{T2}$  is passed through only during cycles 29 and 61. These four counts are easily decoded with only 2 bits of the 6-bit, module 64 counter. These 6 bits are the lower order bits of the 12-bit, module 4096 loop counter required to define address locations within each 4K block and which will, in most cases be already present in the system.

## SERIAL AND TRANSFER CLOCK GENERATION CIRCUIT



NOTE:  
All clock pulses are strictly a function  
of the edges of the input clock, i.e.  
pulse widths are not a function of frequency.

## ORDERING INFORMATION

PART NUMBER	OPERATING FREQUENCY	TEMPERATURE RANGE	PACKAGE (SEE BELOW)
F464ADC	1.0 to 5.0 MHz	0° to 55°C	16-pin ceramic
F464DC	1.0 to 4.0 MHz	0° to 55°C	16-pin ceramic

## PACKAGE OUTLINES

16-Pin Side-Brazed Ceramic DIP