



Министерство науки и высшего образования Российской Федерации  
Федеральное государственное бюджетное образовательное учреждение  
высшего образования  
«Московский государственный технический университет  
имени Н.Э. Баумана  
(национальный исследовательский университет)»  
(МГТУ им. Н.Э. Баумана)

---

---

ФАКУЛЬТЕТ \_\_\_\_\_ ИНФОРМАТИКА И СИСТЕМЫ УПРАВЛЕНИЯ

КАФЕДРА \_\_\_\_\_ КОМПЬЮТЕРНЫЕ СИСТЕМЫ И СЕТИ (ИУ6)

\_\_\_\_\_  
НАПРАВЛЕНИЕ ПОДГОТОВКИ 09.03.04 ПРОГРАММНОЕ ОБЕСПЕЧЕНИЕ ЭВМ И  
ИНФОРМАЦИОННЫЕ ТЕХНОЛОГИИ (ИУ7)

Отчет  
по лабораторной работе № 2

Название: Исследование дешифратора

Дисциплина: Архитектура ЭВМ

Вариант: -

Студент гр. ИУ7-43Б

\_\_\_\_\_  
(Подпись, дата)

В. П. Авдейкина

\_\_\_\_\_  
(И.О. Фамилия)

Преподаватель

\_\_\_\_\_  
(Подпись, дата)

А. Ю. Попов

\_\_\_\_\_  
(И.О. Фамилия)

2023 г.

## Оглавление

Оглавление .....	2
Цели и задачи работы .....	3
Выполнение работы .....	4
Задание №1 .....	4
Задание №2 .....	8
Задание №3 .....	11
Задание №4 .....	14
Контрольные вопросы .....	18
1. Что называется дешифратором .....	18
2. Какой дешифратор называется полным (неполным)? .....	18
3. Определите закон функционирования дешифратора аналитически и таблично. ....	18
4. Поясните основные способы построения дешифраторов. ....	18
5. Что называется гонками и как устраняются ложные сигналы, вызванные гонками? .....	18
6. Каковы способы наращивания дешифраторов по количеству входов и выходов и как они реализуются схемотехнически? .....	19

## **Цели и задачи работы**

Цель работы - изучение принципов построения и методов синтеза дешифраторов; макетирование и экспериментальное исследование дешифраторов.

## **Выполнение работы**

### ***Задание №1***

#### **Формулировка**

Исследование линейного двухвходового дешифратора с инверсными выходами:

- а) собрать линейный стробируемый дешифратор на элементах 3И-НЕ; наборы входных адресных сигналов  $A_0$ ,  $A_1$  задать в выходы  $Q_0$   $Q_1$  четырехразрядного счетчика; подключить световые индикаторы к выходам счетчика и дешифратора;
- б) подать на вход счетчика сигнал с выхода ключа (Switch) лог. 0 и 1 как генератора одиночных импульсов; изменяя состояние счетчика с помощью ключа, составить таблицу истинности нестробируемого дешифратора (т. е. при  $EN=1$ );
- в) подать на вход счетчика сигналы генератора и снять временные диаграммы сигналов дешифратора; временные диаграммы здесь и в дальнейшем наблюдать на логическом анализаторе;
- г) определить амплитуду помех, вызванных гонками, на выходах дешифратора;
- д) снять временные диаграммы сигналов стробируемого дешифратора; в качестве стробирующего сигнала использовать инверсный сигнал генератора, задержанный линией задержки логических элементов (повторителей и инверторов);
- е) опередить время задержки, необходимое для исключения помех на выходах дешифратора, вызванных гонками.

#### **Выполнение**

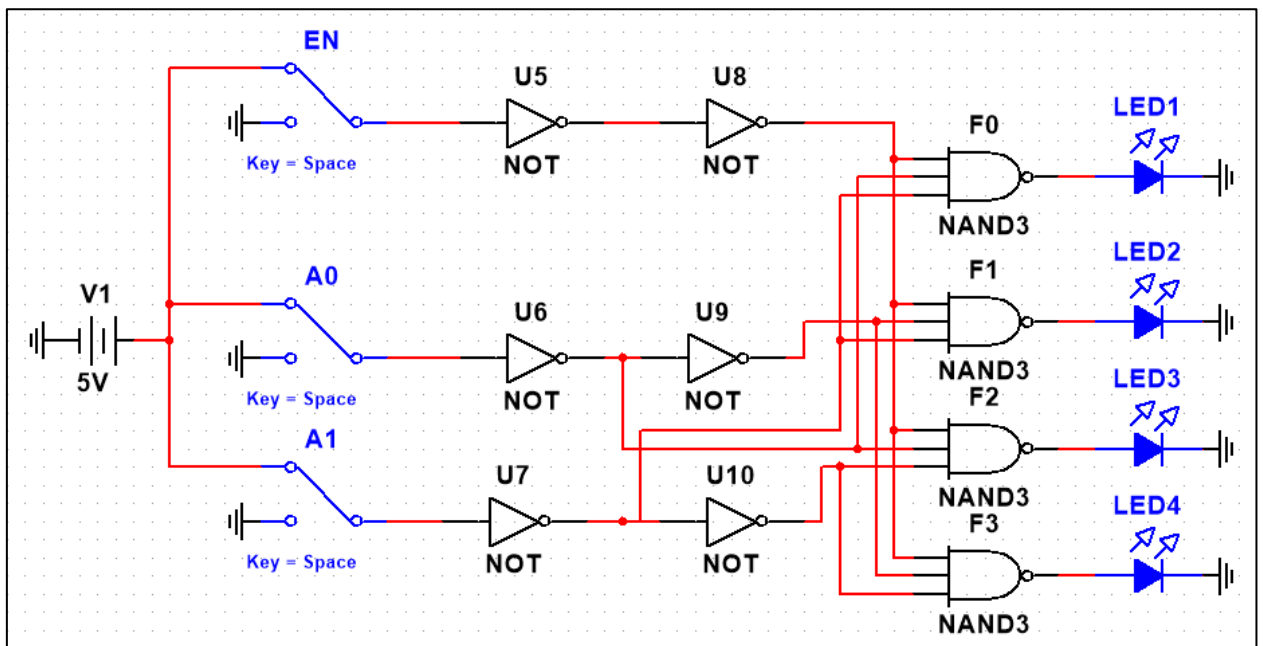


Рисунок 1. Линейный стробируемый дешифратор на элементах 3И-НЕ

Входы			Выходы			
EN	A1	A0	$\sim F0$	$\sim F1$	$\sim F2$	$\sim F3$
0	×	×	1	1	1	1
1	0	0	0	1	1	1
1	0	1	1	0	1	1
1	1	0	1	1	0	1
1	1	1	1	1	1	0

Таблица 1. Таблица истинности линейного стробируемого дешифратора



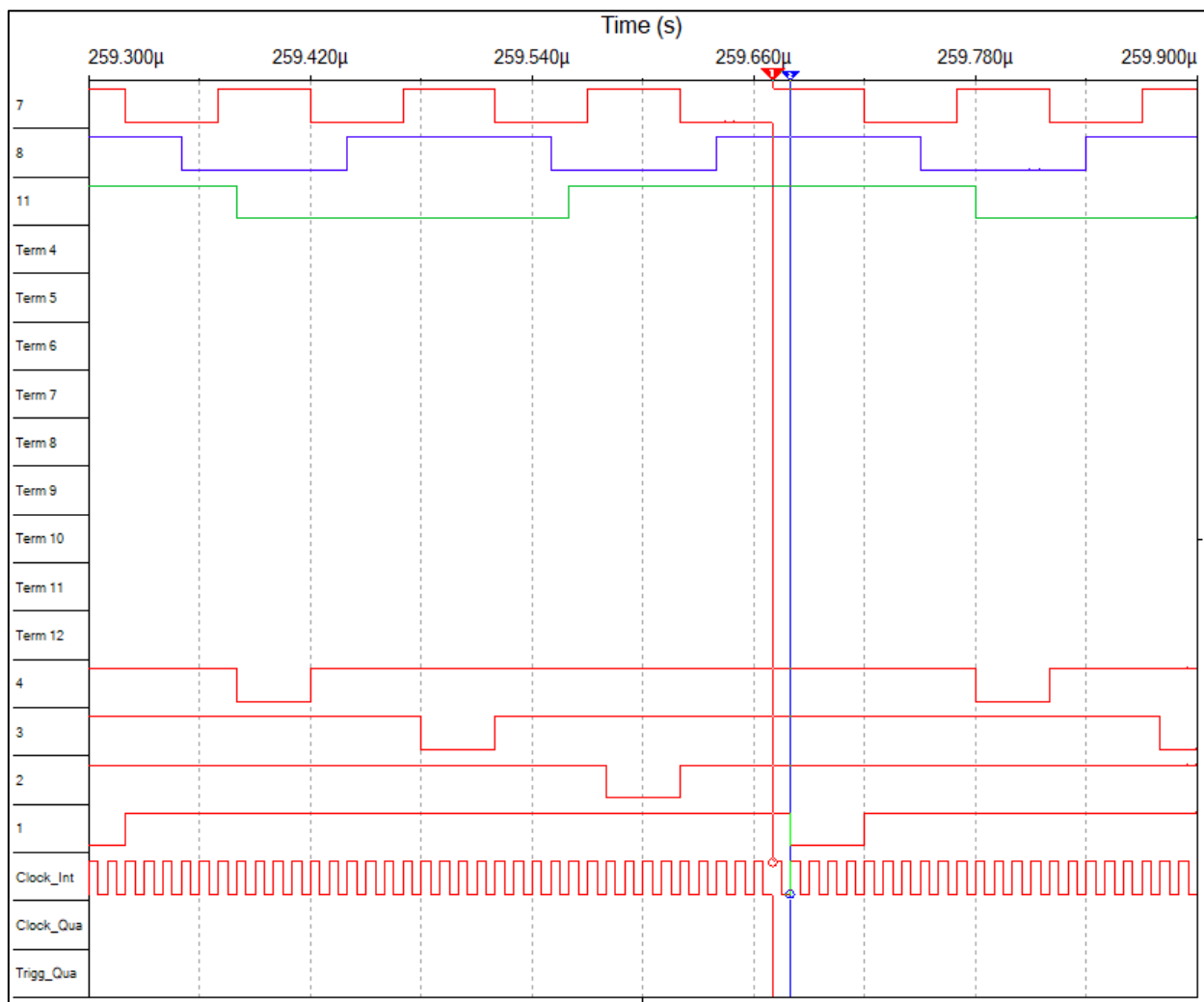


Рисунок 4. Результат работы логического анализатора (время задержки)

Итог: время задержки стробирующего сигнала – порядка 20 нс

## Задание №2

### Формулировка

Исследование дешифраторов ИС К155ИД4 (74LS155):

- снять временные диаграммы сигналов двухвходового дешифратора, подавая на его адресные входы 1 и 2 сигналы Q0 и Q1 выходов счетчика, а на стробирующие входы  $\sim E3$  и  $\sim E4$  – импульсы генератора, задержанные линией задержки;
- определить время задержки стробирующего сигнала, необходимое для исключения помех на выходах дешифратора;
- собрать схему трехвходового дешифратора на основе дешифратора К155ИД4, задавая входные сигналы A0, A1, A2 выходов Q0, Q1, Q2 счетчика; снять временные диаграммы сигналов дешифратора и составить по ней таблицу истинности.

### Выполнение

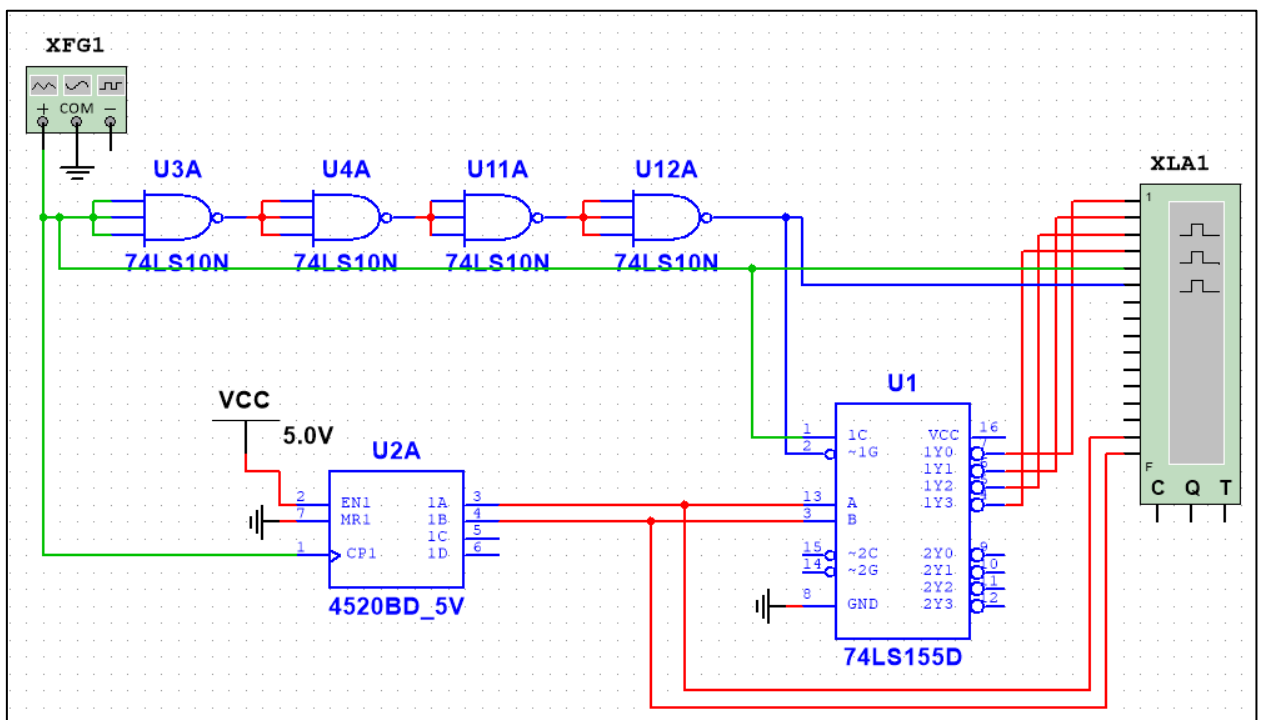


Рисунок 5. Двухвходовый дешифратор с линией задержки



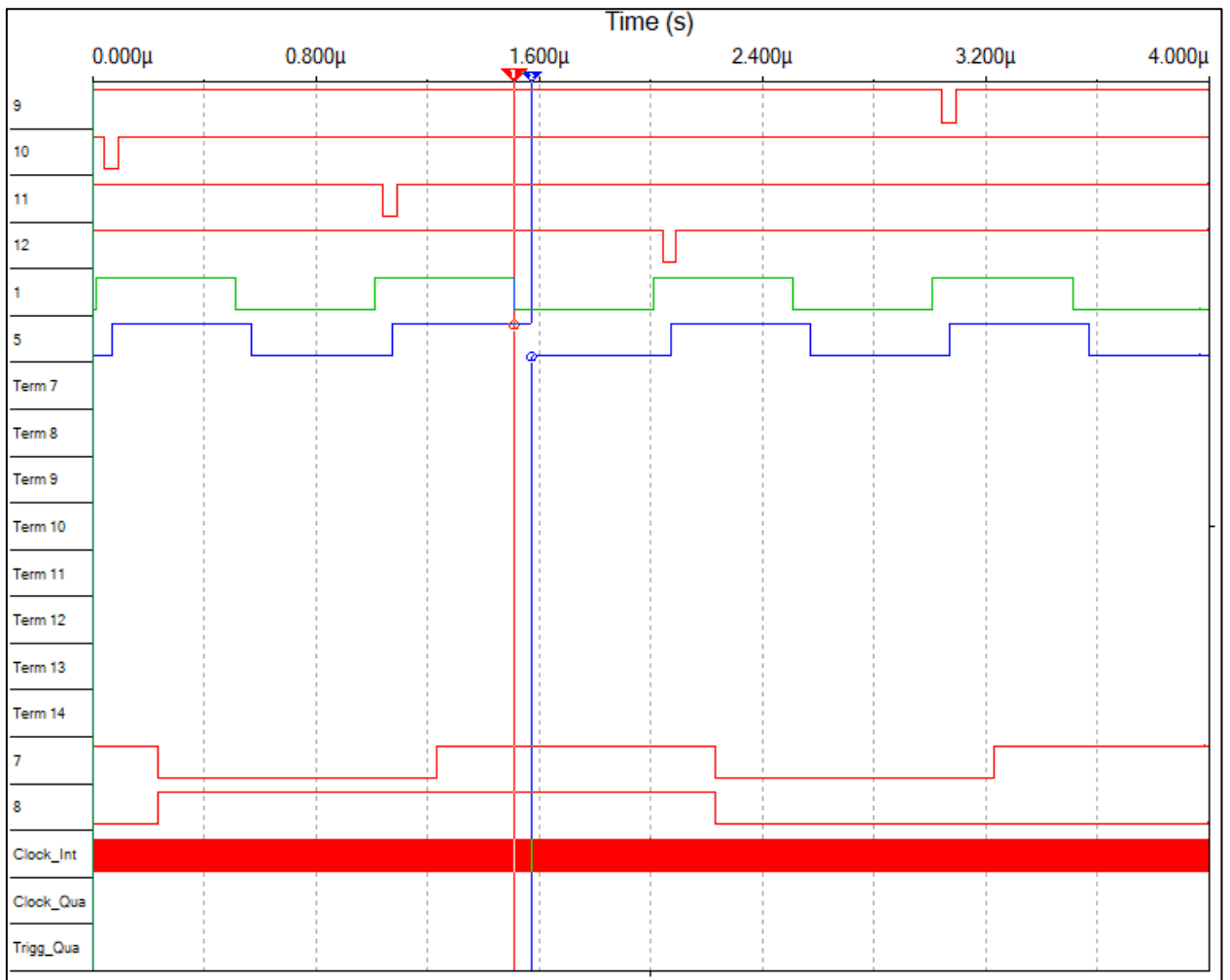


Рисунок 6. Результат работы логического анализатора

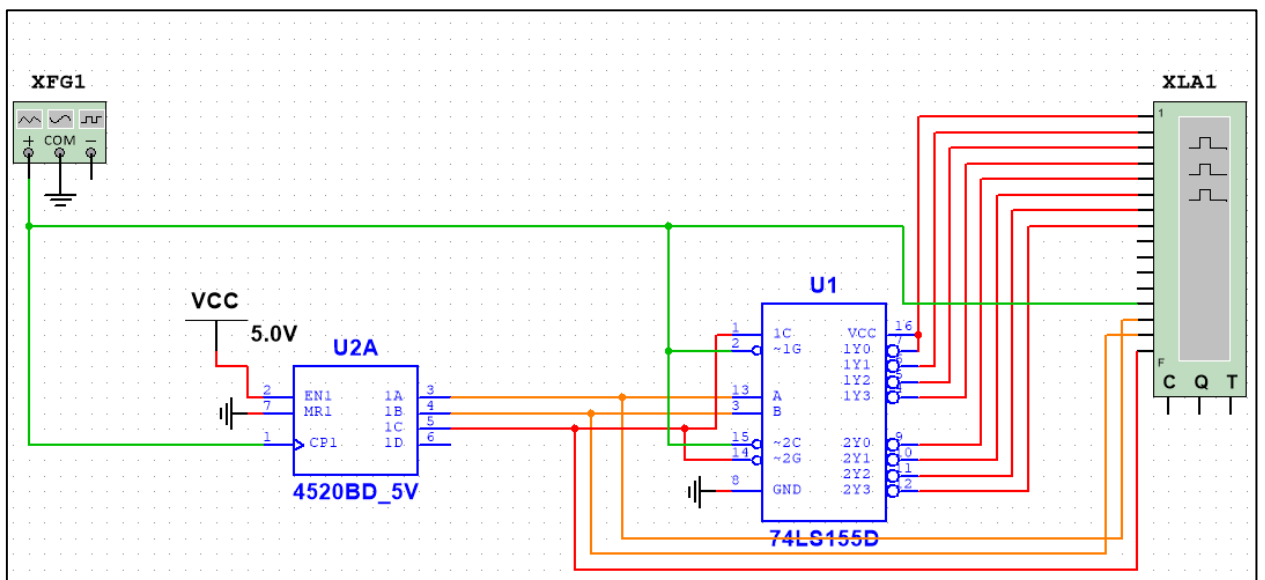


Рисунок 7. Трехвходовый дешифратор

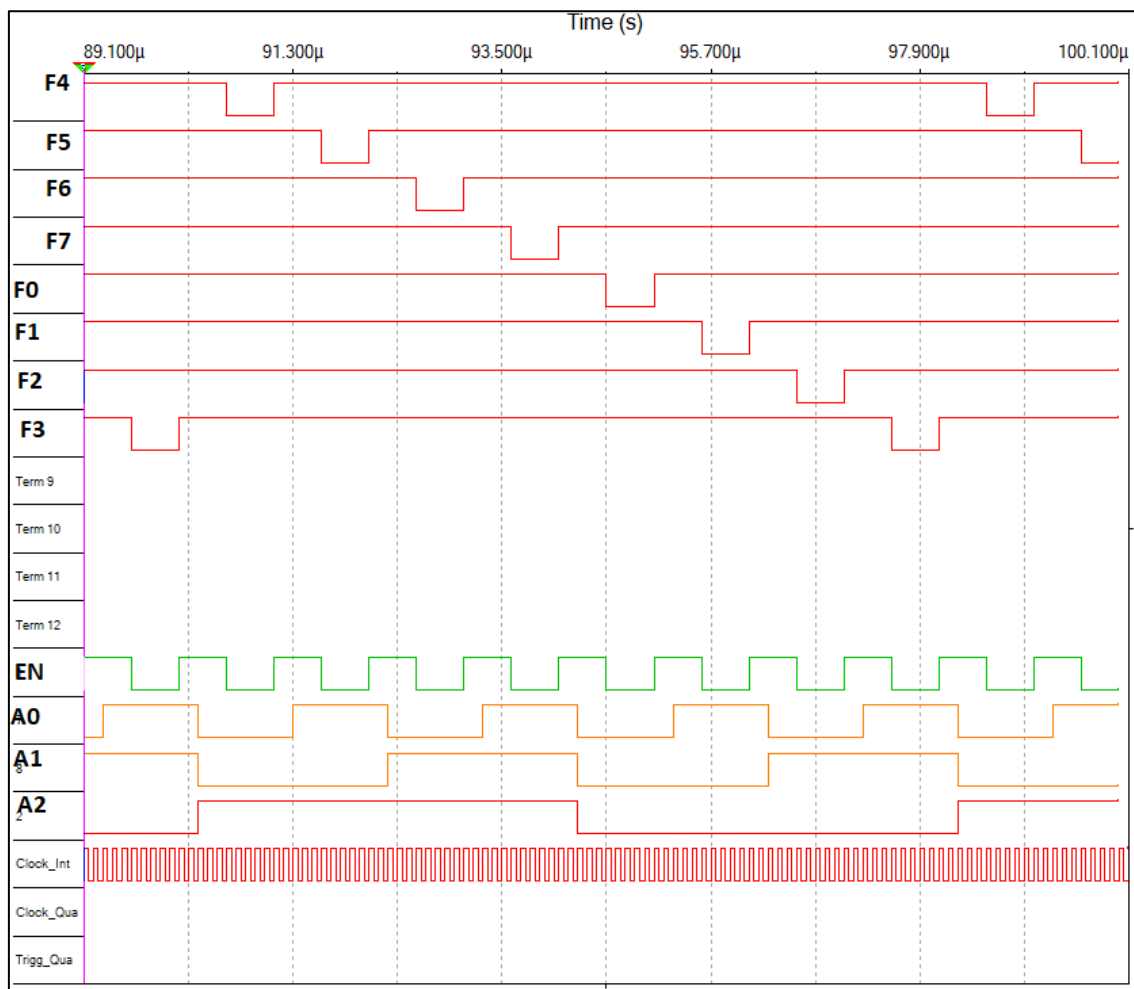


Рисунок 8. Результат работы логического анализатора

Входы			Выходы							
A2	A1	A0	~F0	~F1	~F2	~F3	~F4	~F5	~F6	~F7
0	0	0	0	1	1	1	1	1	1	1
0	0	1	1	0	1	1	1	1	1	1
0	1	0	1	1	0	1	1	1	1	1
0	1	1	1	1	1	0	1	1	1	1
1	0	0	1	1	1	1	0	1	1	1
1	0	1	1	1	1	1	1	0	1	1
1	1	0	1	1	1	1	1	1	0	1
1	1	1	1	1	1	1	1	1	1	0

Таблица 2. Таблица истинности трехвходового дешифратора

### Задание №3

#### Формулировка

Исследование дешифраторов ИС КР531ИД14 (74LS139) аналогично п.2. ИС 74LS139 содержит два дешифратора DC 2–4 (U1A и U1B) с отдельными адресными входами и разрешения. Входы разрешения – инверсные. Так как каждый дешифратор имеет один вход разрешения, то для образования двух инверсных входов необходимо перед входом разрешения включить двухвходовой ЛЭ.

Чтобы на выходе ЛЭ получить функцию конъюнкции  $\sim EN1 \cdot \sim EN2$ , ЛЭ при наборе 00 входных сигналов должен формировать выходной сигнал 0, а на остальных наборах входных сигналов – 1.

#### Выполнение

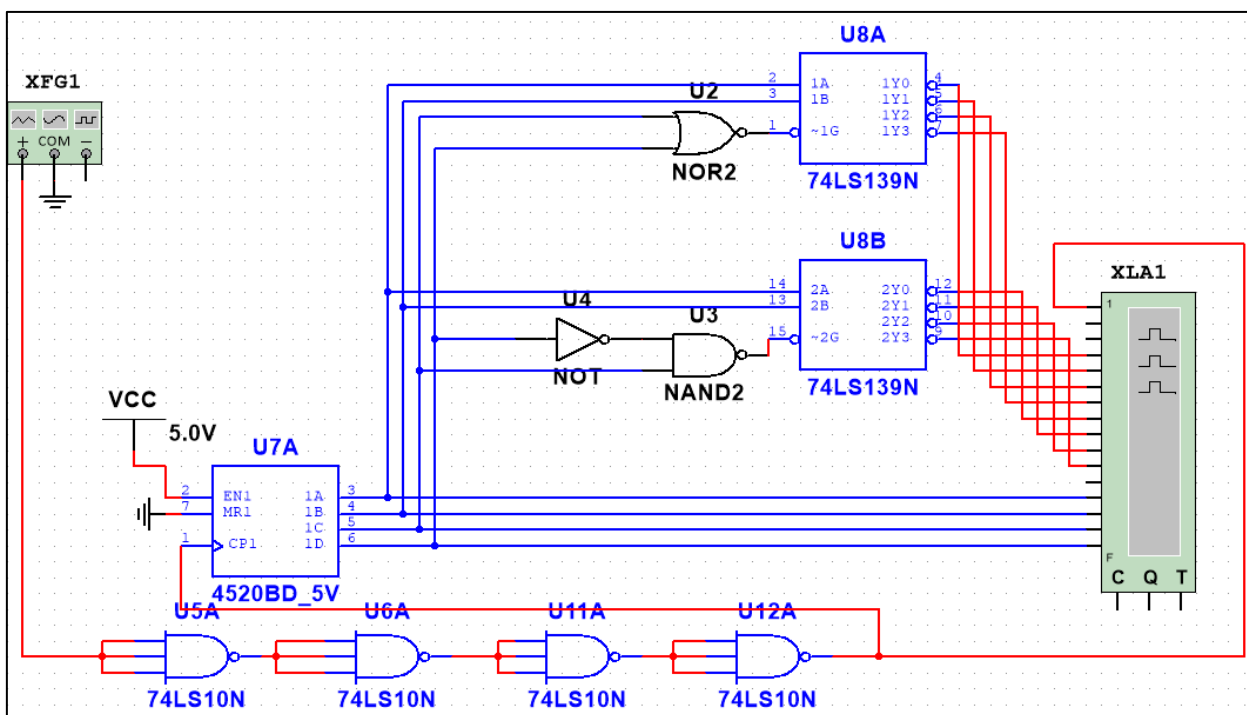


Рисунок 9. Схема ИС КР531ИД14 на основе двух дешифраторов с линией задержки

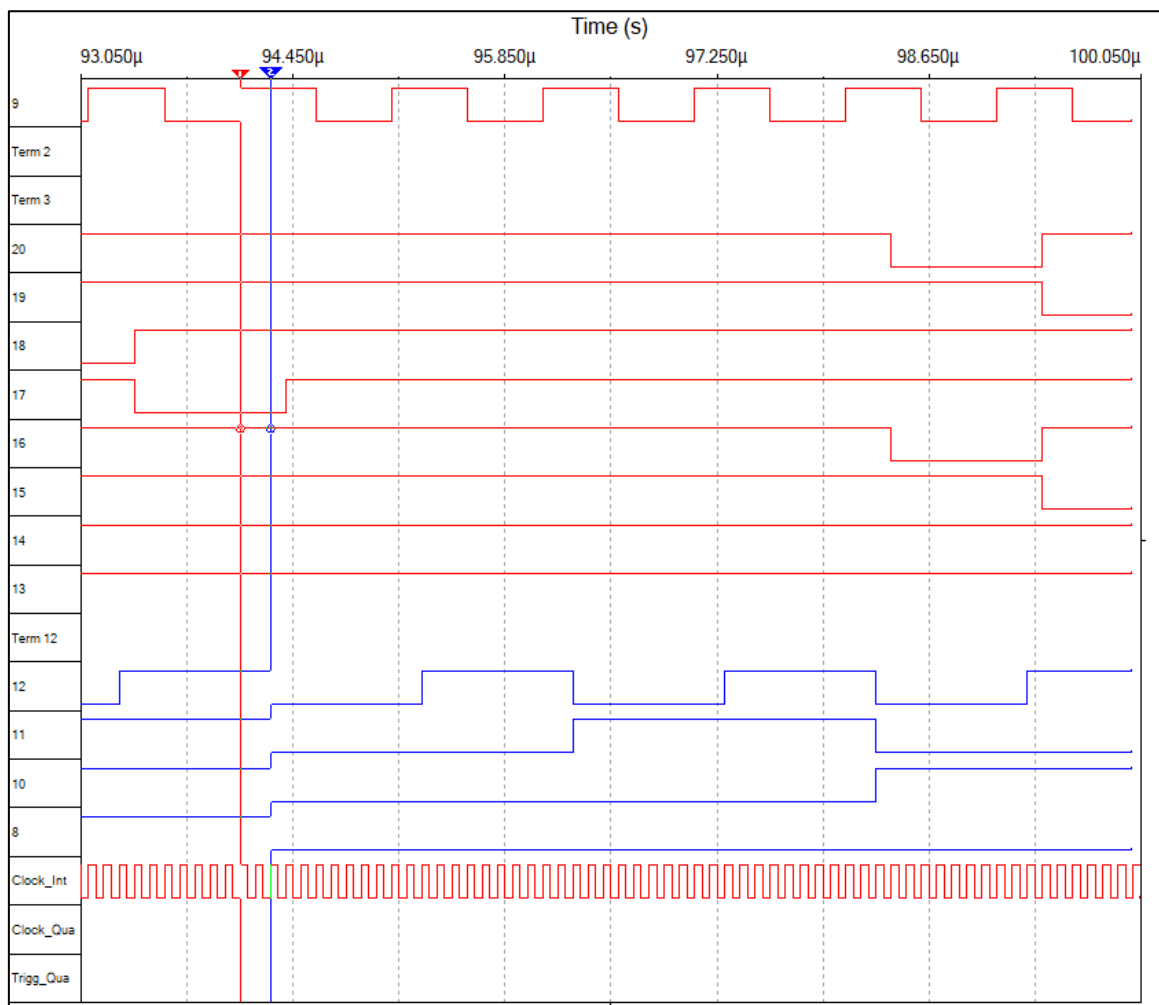


Рисунок 10. Результат работы логического анализатора

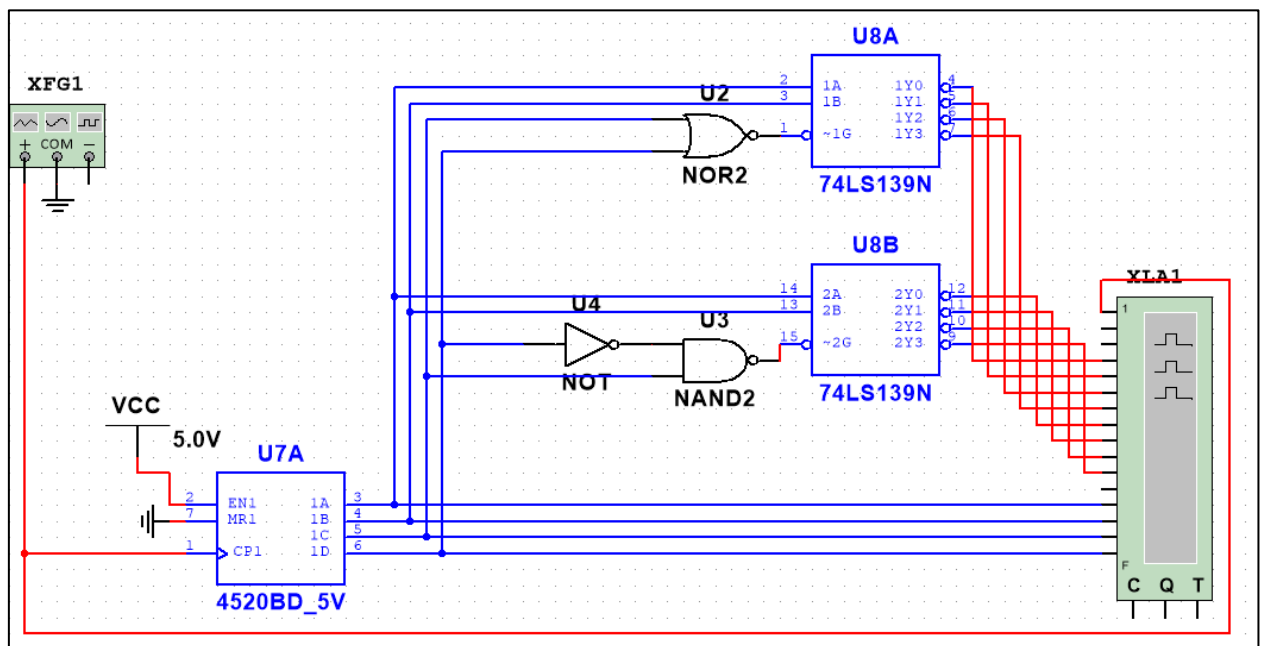


Рисунок 11. Схема без линии задержки

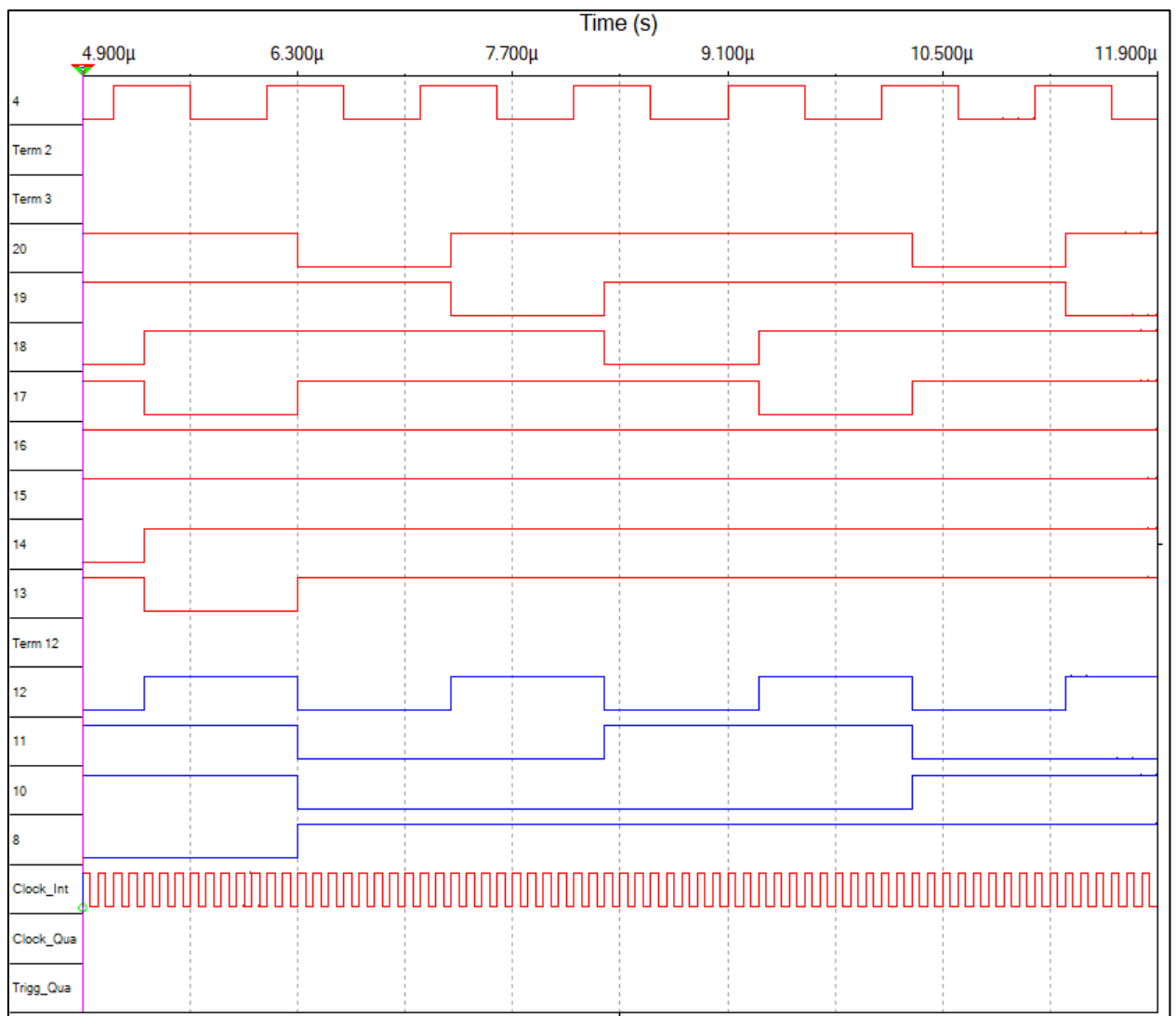


Рисунок 12. Результат работы логического анализатора

## Задание №4

### Формулировка

Исследовать работоспособность дешифраторов ИС 533ИД7 (74LS138):

- а) снять временные диаграммы сигналов нестробируемого дешифратора DC 3–8 ИС 533ИД7, подавая на его адресные входы 1, 2, 4 сигналы Q0, Q1, Q2 с выходов счетчика, а на входы разрешения E1, E2, E3 – сигналы лог. 1, 0, 0 соответственно;
- б) собрать схему дешифратора DC 5–32 согласно методике наращивания числа входов и снять временные диаграммы сигналов, подавая на его адресные входы сигналы Q0, Q1, Q2, Q3, Q4 с выходов 5-разрядного счетчика, а на входы разрешения – импульсы генератора, задержанные линией задержки макета.

### Выполнение

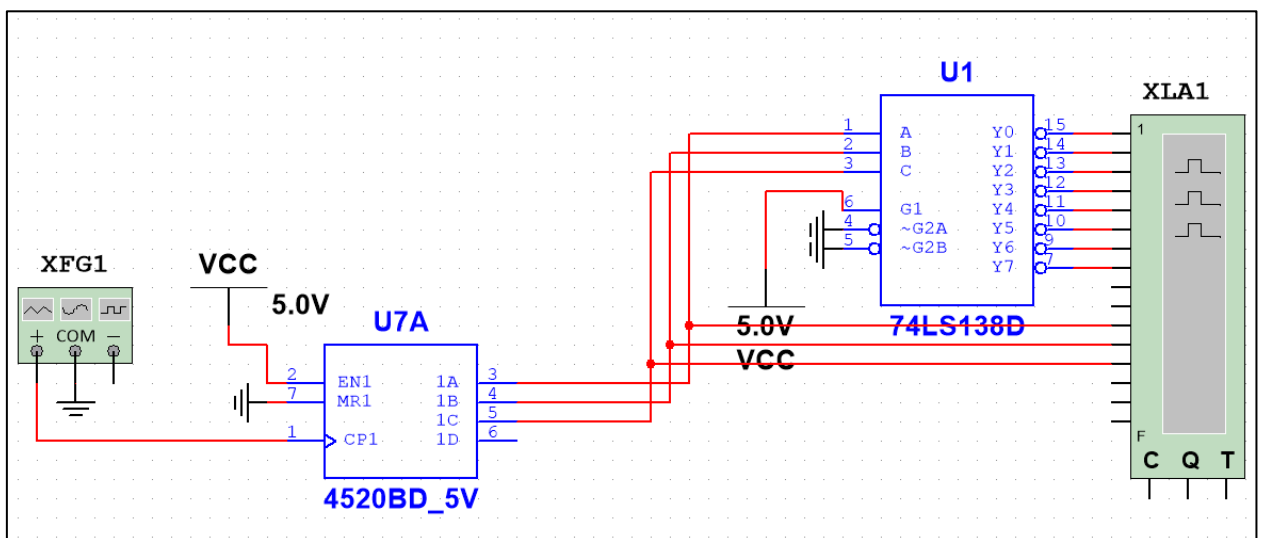


Рисунок 13. Схема для анализа работоспособности ИС 533ИД7

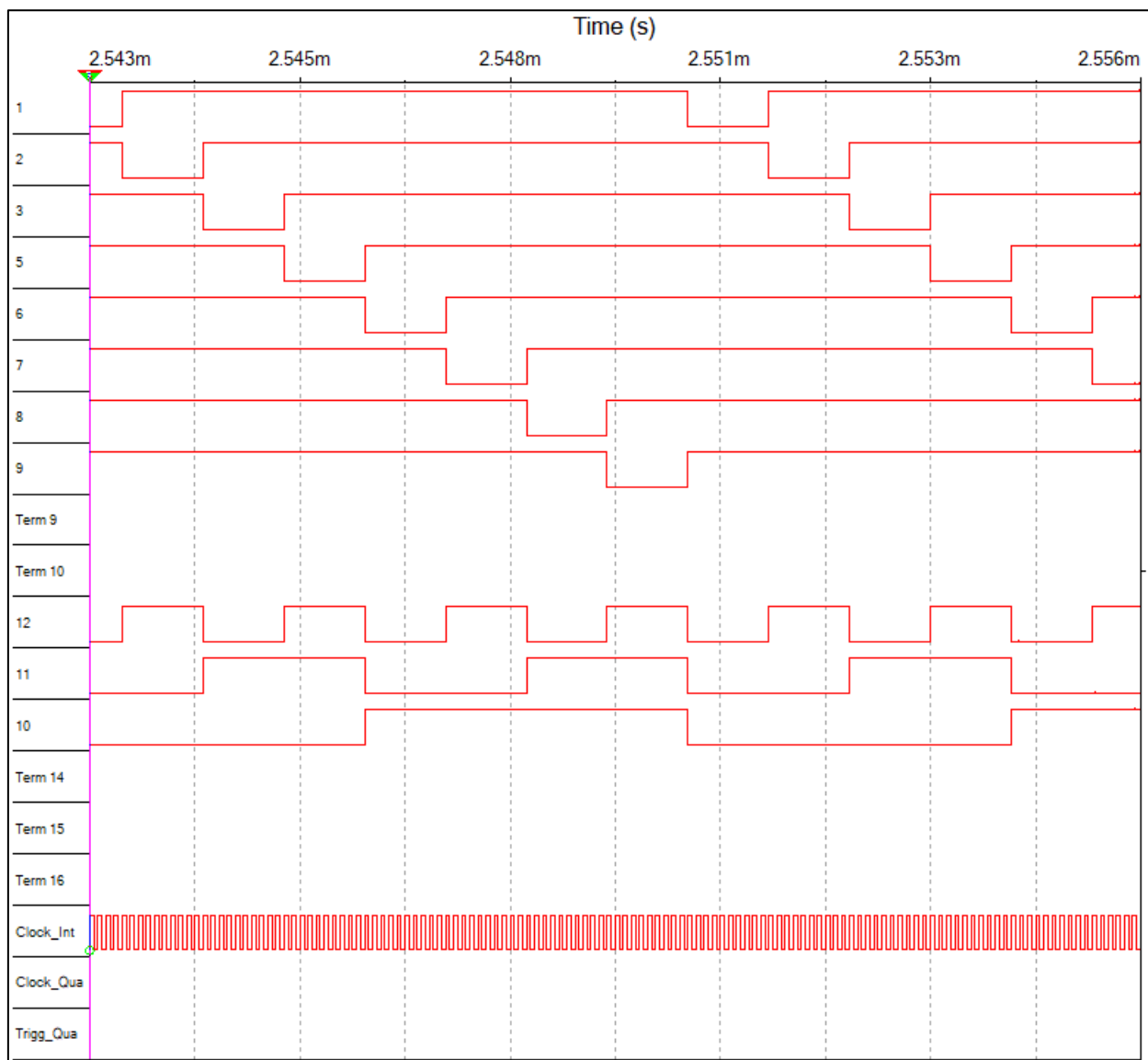


Рисунок 14. Результат работы логического анализатора

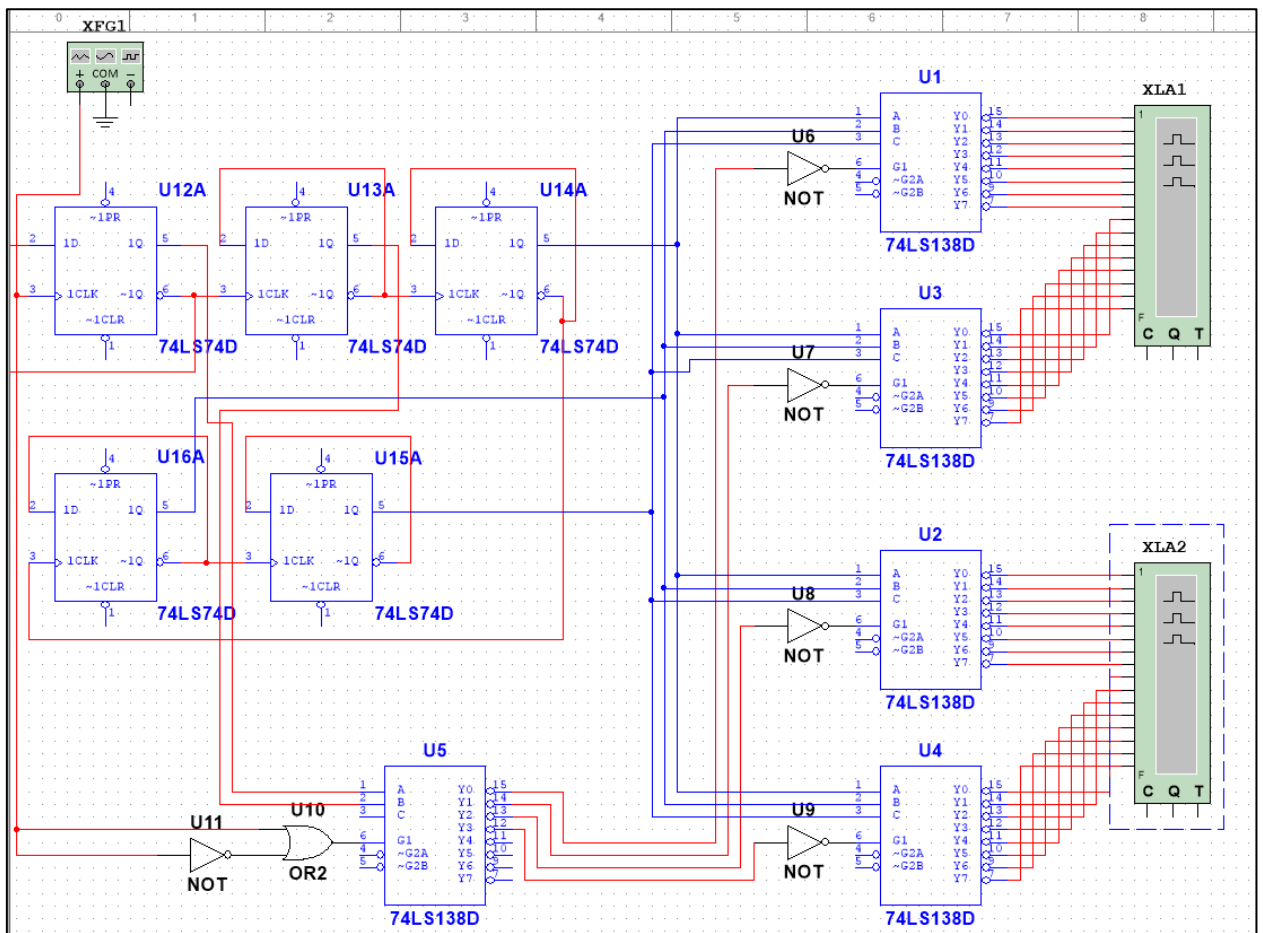


Рисунок 15. Схема, полученная методом наращивания количества входов

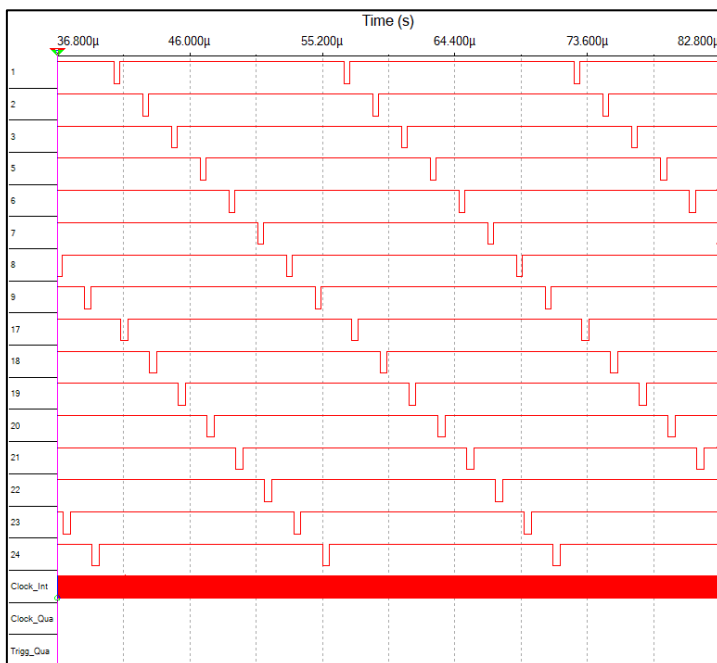


Рисунок 16. Результат работы логического анализатора (1)



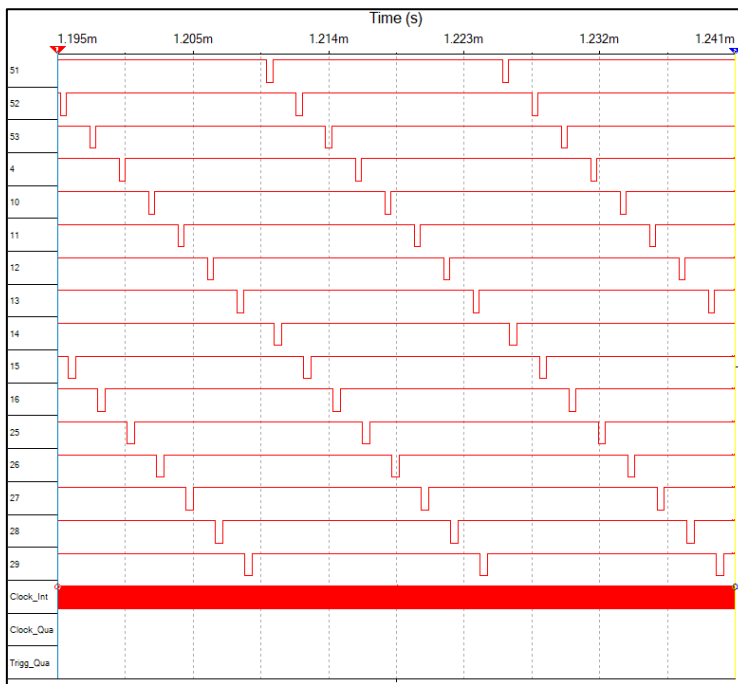


Рисунок 17. Результат работы логического анализатора (2)

## **Контрольные вопросы**

### **1. Что называется дешифратором**

Дешифратором называется комбинационный узел с  $n$  входами и  $N$  выходами, преобразующий каждый набор двоичных входных сигналов в активный сигнал на выходе, соответствующий этому набору.

### **2. Какой дешифратор называется полным (неполным)?**

Дешифратор, имеющий  $2^n$  выходов, называется полным, при меньшем числе выходов - неполным.

### **3. Определите закон функционирования дешифратора аналитически и таблично.**

Функционирование дешифратора  $DC\ n-N$  определяется таблицей истинности: аналитически описать дешифратор можно совокупностью логических функций в СДНФ.

### **4. Поясните основные способы построения дешифраторов.**

Линейный дешифратор строится в соответствии с системой, представленной в предыдущем вопросе, и представляет собой  $2^n$  конъюнктурой или логических элементов ИЛИ-НЕ с  $n$ -входами каждый при отсутствии стробирования и с  $(n+1)$  входами - при его наличии. Пирамидальный дешифратор строится на основе последовательной (каскадной) реализации выходных функций. На первом этапе реализуются конъюнкции двух переменных. На втором – все конъюнкции трех переменных путем логического умножения каждой ранее полученной конъюнкции двух переменных на переменную. Таким образом, на каждом следующем этапе получают вдвое больше конъюнкции, чем на предыдущем. Пирамидальные дешифраторы независимо от числа их входов строятся на основе только двухвходовых конъюнктурой.

### **5. Что называется гонками и как устраняются ложные сигналы, вызванные гонками?**

Вследствие переходных процессов и временных задержек сигналов в

цепях логических элементов могут возникнуть так называемые гонки (состязания), приводящие к появлению ложных сигналов на выходах схемы. Основным средством, позволяющим исключить гонки, является стробирование (выделение из информационного сигнала той части, которая свободна от искажений, вызываемых гонками).

#### **6. Каковы способы наращивания дешифраторов по количеству входов и выходов и как они реализуются схемотехнически?**

Пусть для построения сложного дешифратора DC  $n$ - $N$  используются простые дешифраторы DC  $n_1$  -  $N_1$ , причем  $n_1 \ll n$ , следовательно и  $N_1 \ll N$ .

1. Число каскадов равно  $K = n/n_1$ . Если  $K$  – целое число, то во всех каскадах используются полные дешифраторы DC  $n_1$  -  $N_1$ . Если  $K$  – правильная или смешанная дробь, то во входном каскаде используется неполный дешифратор DC  $n_1$  -  $N_1$ .
2. Количество простых дешифраторов DC  $n_1$ - $N_1$  в выходном каскаде равно  $N/N_1$ , в предвыходном -  $N/N_1^2$ , пред предвыходном -  $N/N_1^3$  и т. д.; во входном каскаде -  $N/N_1^k$ . Если  $N/N_1^k$  – правильная дробь, то это означает, что во входном каскаде используется неполный простой дешифратор.
3. В выходном каскаде дешифрируются  $n_1$  младших разрядов адреса сложного дешифратора, в предвыходном – следующие  $n_1$  младших разрядов адреса сложного дешифратора и т. д. Во входном каскаде дешифрируется полная или неполная группа старших разрядов адреса. Поэтому  $n_1$  младших разрядов адреса сложного дешифратора подаются параллельно на адресные входы всех дешифраторов выходного каскада, следующие  $n_1$  младших разрядов адреса – на адресные входы всех дешифраторов предвыходного каскада и т. д.; группа старших разрядов адреса подается на адресные входы дешифратора.
4. Выходы дешифраторов предвыходного каскада соединяются с входами разрешения простых дешифраторов выходного каскада, выходы

дешифраторов пред предвыходным каскадом — с входами разрешения простых дешифраторов предвыходного каскада и т. д.