



Министерство науки и высшего образования Российской Федерации
Федеральное государственное бюджетное образовательное учреждение
высшего образования
«Московский государственный технический университет
имени Н.Э. Баумана
(национальный исследовательский университет)»
(МГТУ им. Н.Э. Баумана)

ФАКУЛЬТЕТ _____ ИНФОРМАТИКА И СИСТЕМЫ УПРАВЛЕНИЯ

КАФЕДРА _____ КОМПЬЮТЕРНЫЕ СИСТЕМЫ И СЕТИ (ИУ6)

НАПРАВЛЕНИЕ ПОДГОТОВКИ 09.03.04 ПРОГРАММНОЕ ОБЕСПЕЧЕНИЕ ЭВМ И
ИНФОРМАЦИОННЫЕ ТЕХНОЛОГИИ (ИУ7)

Отчет
по лабораторной работе № 2

Название: Исследование дешифратора

Дисциплина: Архитектура ЭВМ

Вариант: -

Студент гр. ИУ7-43Б

(Подпись, дата)

В. П. Авдейкина

(И.О. Фамилия)

Преподаватель

(Подпись, дата)

А. Ю. Попов

(И.О. Фамилия)

2023 г.

Оглавление

Оглавление	2
Цели и задачи работы	3
Выполнение работы	4
Задание №1	4
Задание №2	8
Задание №3	11
Задание №4	13
Контрольные вопросы	16
1. Что называется дешифратором	16
2. Какой дешифратор называется полным (неполным)?	16
3. Определите закон функционирования дешифратора аналитически и таблично.	16
4. Поясните основные способы построения дешифраторов.	16
5. Что называется гонками и как устраняются ложные сигналы, вызванные гонками?	16
6. Каковы способы наращивания дешифраторов по количеству входов и выходов и как они реализуются схемотехнически?	17

Цели и задачи работы

Цель работы - изучение принципов построения и методов синтеза дешифраторов; макетирование и экспериментальное исследование дешифраторов.

Выполнение работы

Задание №1

Формулировка

Исследование линейного двухвходового дешифратора с инверсными выходами:

- a) собрать линейный стробируемый дешифратор на элементах 3И-НЕ; наборы входных адресных сигналов A_0 , A_1 задать в выходы Q_0 Q_1 четырехразрядного счетчика; подключить световые индикаторы к выходам счетчика и дешифратора;
- b) подать на вход счетчика сигнал с выхода ключа (Switch) лог. 0 и 1 как генератора одиночных импульсов; изменяя состояние счетчика с помощью ключа, составить таблицу истинности нестробируемого дешифратора (т. е. при $EN=1$);
- c) подать на вход счетчика сигналы генератора и снять временные диаграммы сигналов дешифратора; временные диаграммы здесь и в дальнейшем наблюдать на логическом анализаторе;
- d) определить амплитуду помех, вызванных гонками, на выходах дешифратора;
- e) снять временные диаграммы сигналов стробируемого дешифратора; в качестве стробирующего сигнала использовать инверсный сигнал генератора, задержанный линией задержки логических элементов (повторителей и инверторов);
- f) опередить время задержки, необходимое для исключения помех на выходах дешифратора, вызванных гонками.

Выполнение

В ходе выполнения данного задания был исследован двухвходовый дешифратор с инверсными выходами.

- a) Схема двухвходового дешифратора на элементах 3И-НЕ и НЕ представлена на рис. 1. Количество входов – 2, выходов – $2^2=4$.

Стrobe signal is represented as a constant voltage, connected with the help of a switch.

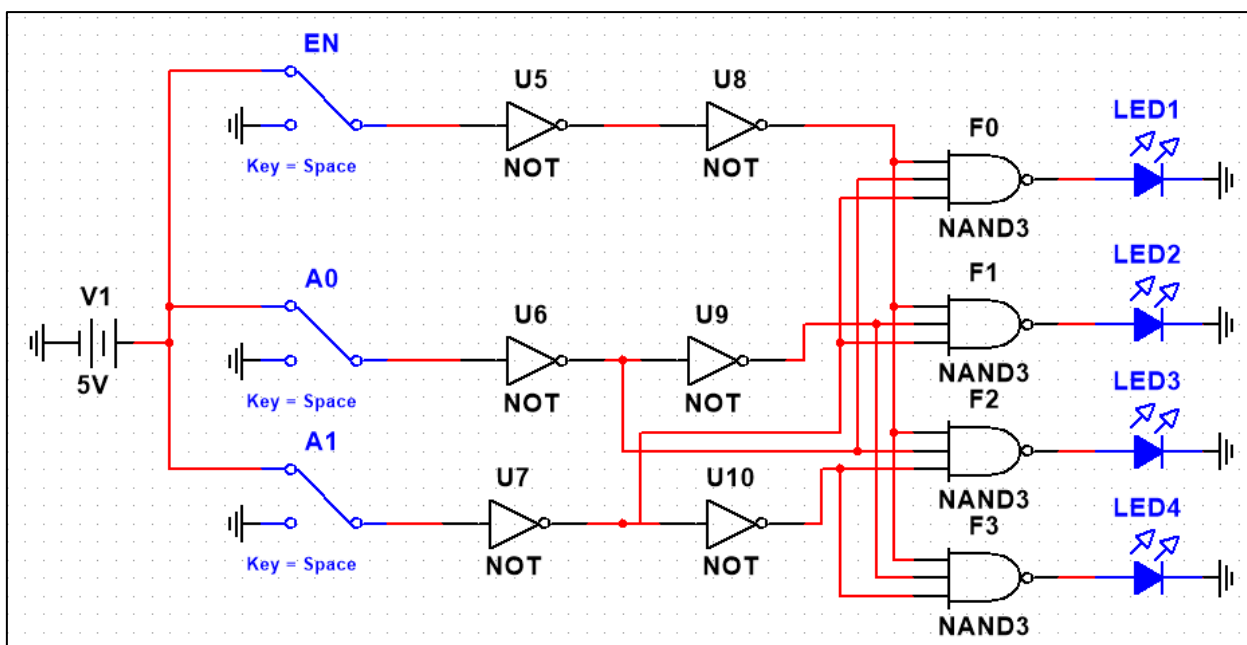


Рисунок 1. Двухходовый стробируемый дешифратор

б) Подавая на входы последовательно сигналы 1 и 0, составляем таблицу истинности исследуемого дешифратора (табл. 1).

Входы			Выходы			
EN	A1	A0	~F0	~F1	~F2	~F3
0	×	×	1	1	1	1
1	0	0	0	1	1	1
1	0	1	1	0	1	1
1	1	0	1	1	0	1
1	1	1	1	1	1	0

Таблица 1. Таблица истинности линейного стробируемого дешифратора

с) В данном пункте в качестве источника сигналов был использован генератор (с частотой 1 МГц), схема представлена на рис. 2:

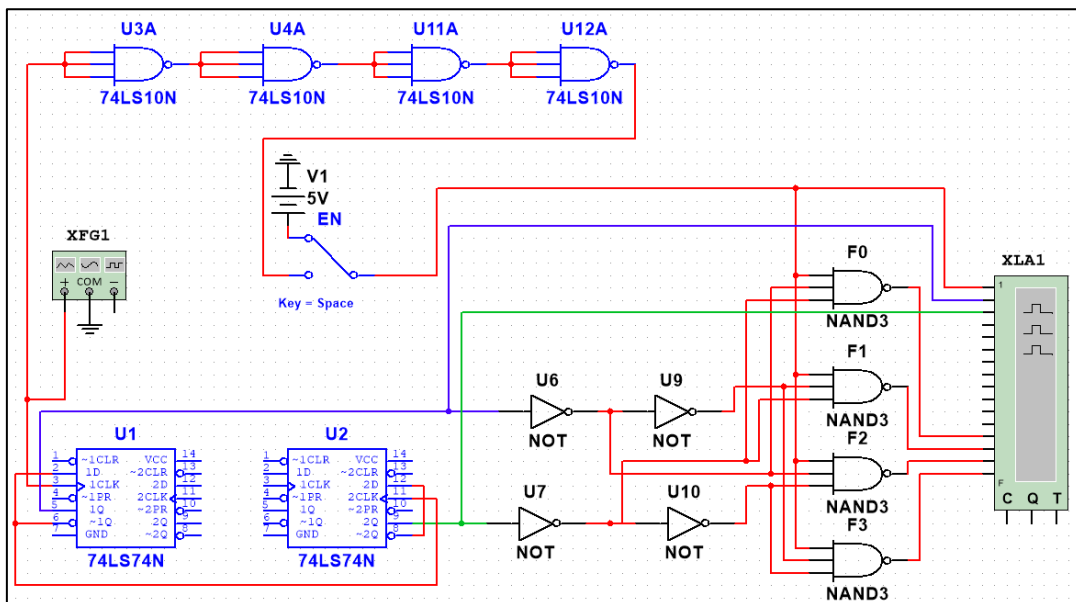


Рисунок 2. Линейный стробируемый дешифратор на элементах 3И-НЕ (с логическим анализатором)

С помощью логического анализатора получаем временные диаграммы при постоянно неактивном стробирующем сигнале и замечаем, что вследствие переходных процессов (гонок сигналов) появляются помехи (рис. 3).

д) Порядок помех – 100 нс.

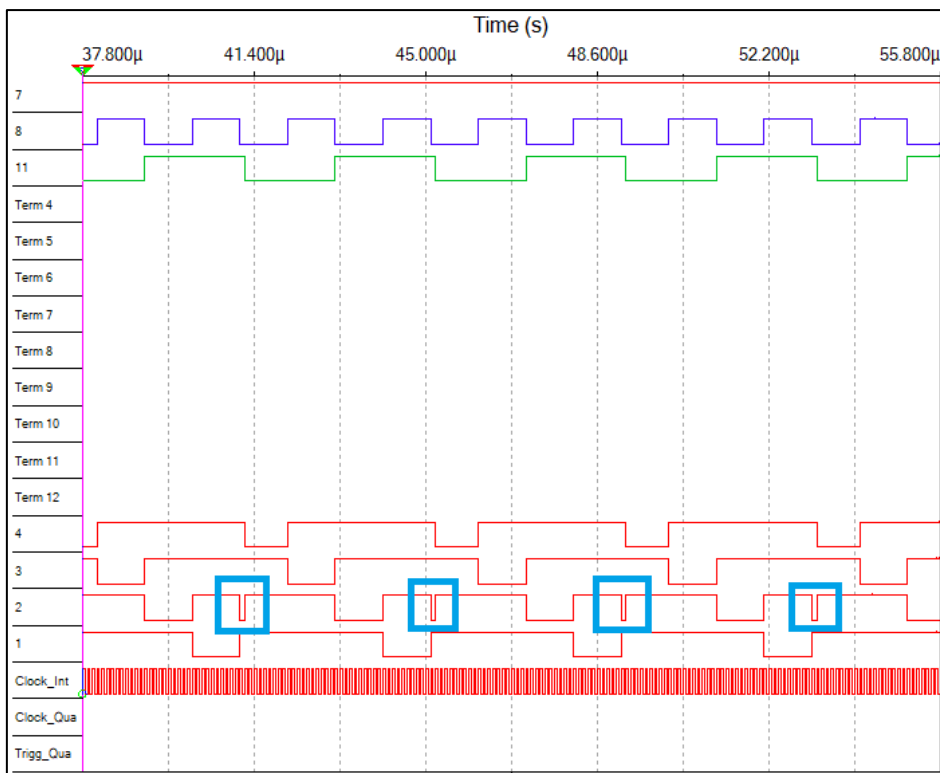


Рисунок 3. Результат работы логического анализатора (гонки сигналов)

е) Далее в качестве стробирующего сигнала был использован инверсный сигнал генератора, задержанный линией повторителей (схема с рис. 2, ключ в другом положении). С помощью логического анализатора получаем временные диаграммы (рис. 4), на котором видна задержка, необходимая стробирующему сигналу.

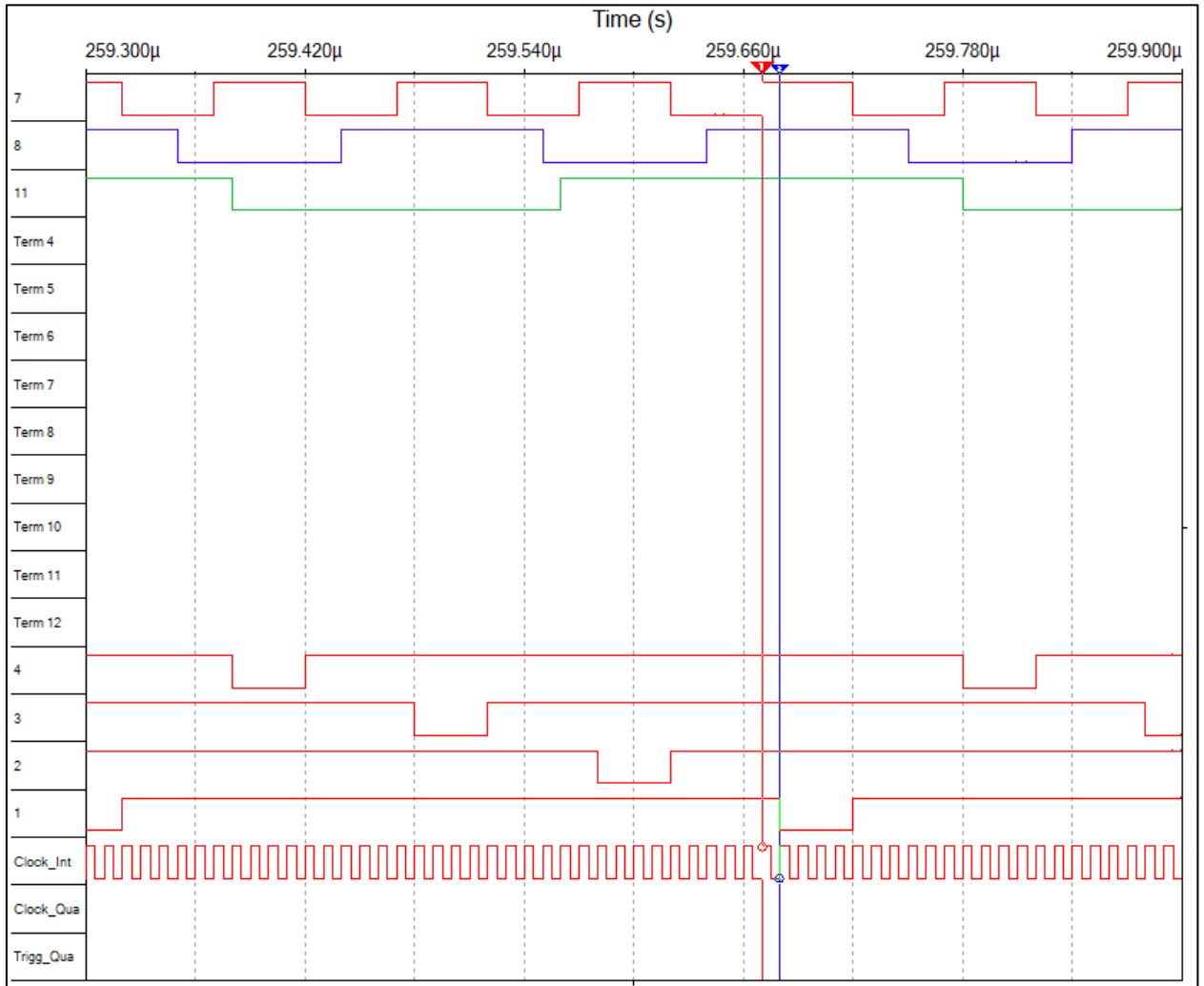


Рисунок 4. Результат работы логического анализатора (время задержки)

ф) Итог: время задержки стробирующего сигнала – порядка 20 нс

Задание №2

Формулировка

Исследование дешифраторов ИС K155ИД4 (74LS155):

- снять временные диаграммы сигналов двухвходового дешифратора, подавая на его адресные входы 1 и 2 сигналы Q0 и Q1 выходов счетчика, а на стробирующие входы $\sim E3$ и $\sim E4$ – импульсы генератора, задержанные линией задержки;
- определить время задержки стробирующего сигнала, необходимое для исключения помех на выходах дешифратора;
- собрать схему трехвходового дешифратора на основе дешифратора K155ИД4, задавая входные сигналы A0, A1, A2 выходов Q0, Q1, Q2 счетчика; снять временные диаграммы сигналов дешифратора и составить по ней таблицу истинности.

Выполнение

- На рис. 5 представлена схема двухвходового дешифратора, на адресные входы которого подаются сигналы выходов счетчика, а на стробирующие входы – задержанный сигнал генератора.

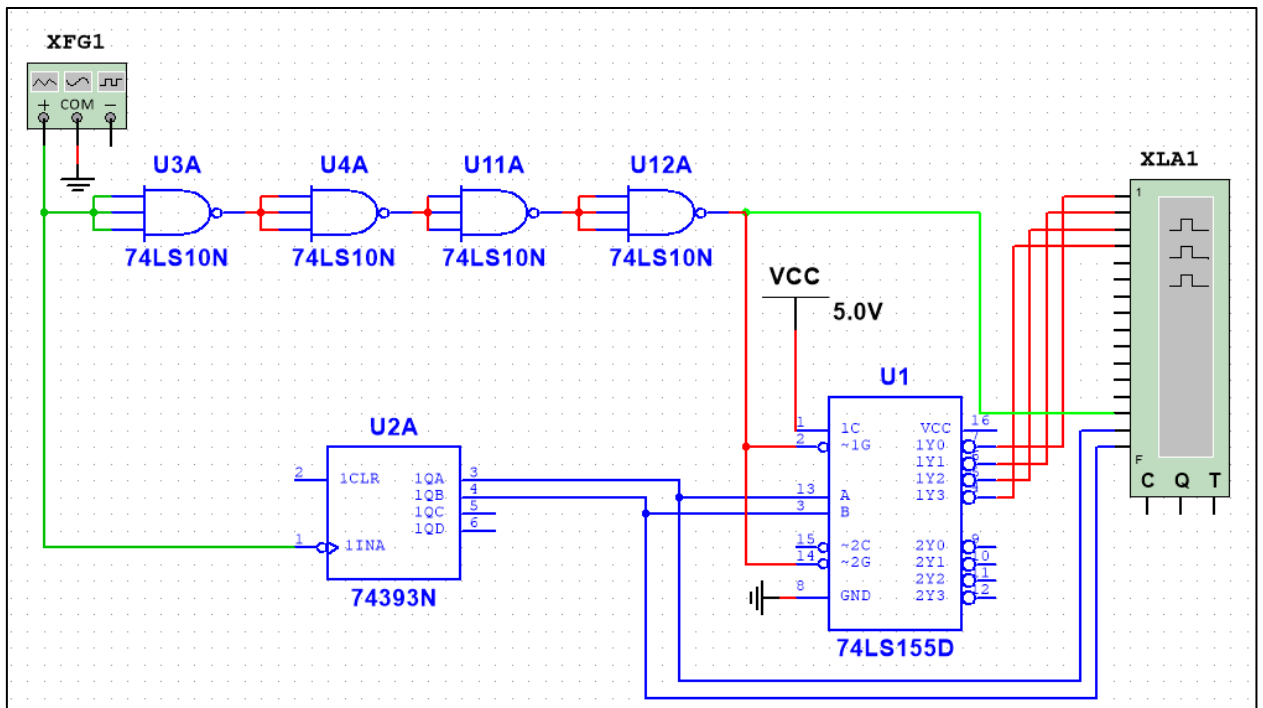


Рисунок 5. Двухвходовый дешифратор с линией задержки

б) На временных диаграммах, полученных логическим анализатором, представлен результат работы дешифратора (рис. 6).

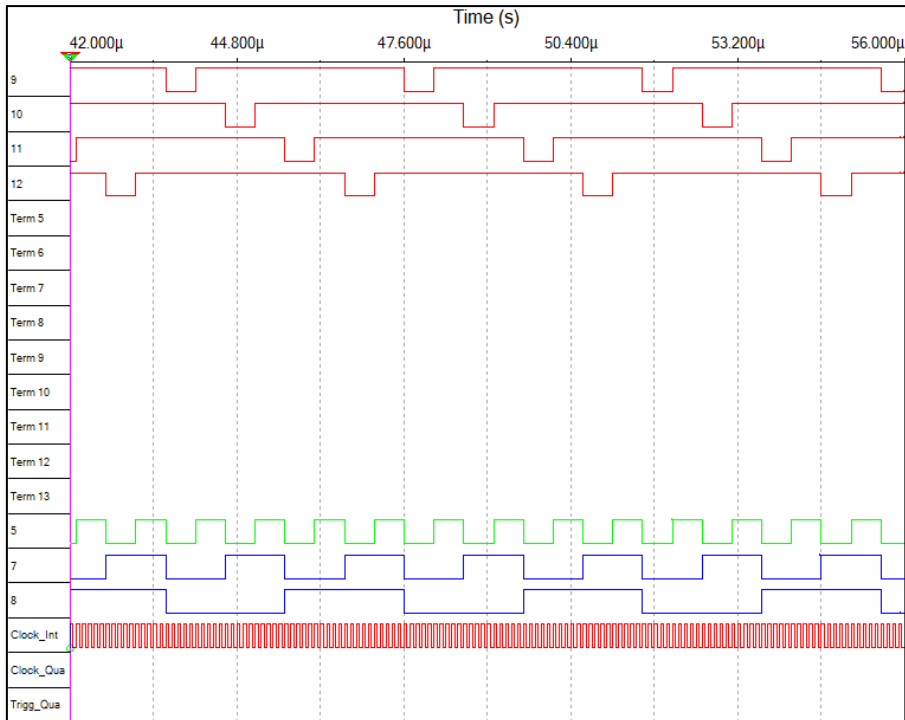


Рисунок 6. Результат работы логического анализатора

с) На основе исследуемого в предыдущих подпунктах дешифратора был собран трехходовый дешифратор (рис. 7), работа которого основана на двух парах сигналов – стробирующего и управляющего (отвечающего за «выбор» части дешифратора)

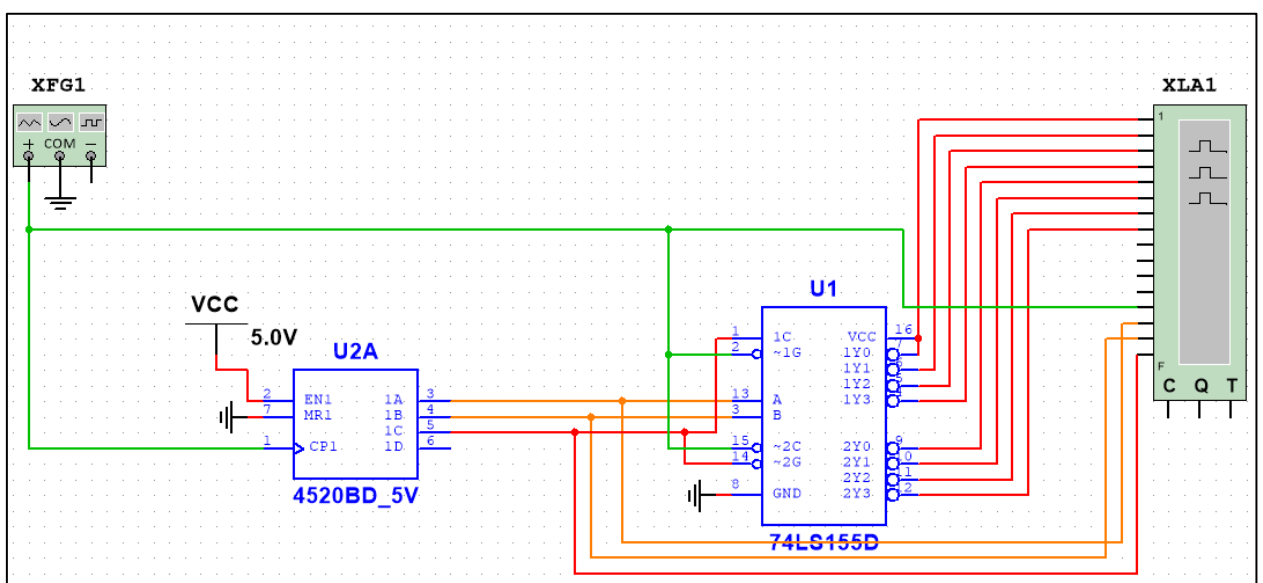


Рисунок 7. Трехходовый дешифратор

На рис. 8 представлен результат работы полученного дешифратора, а в табл. 2 – его таблица истинности.

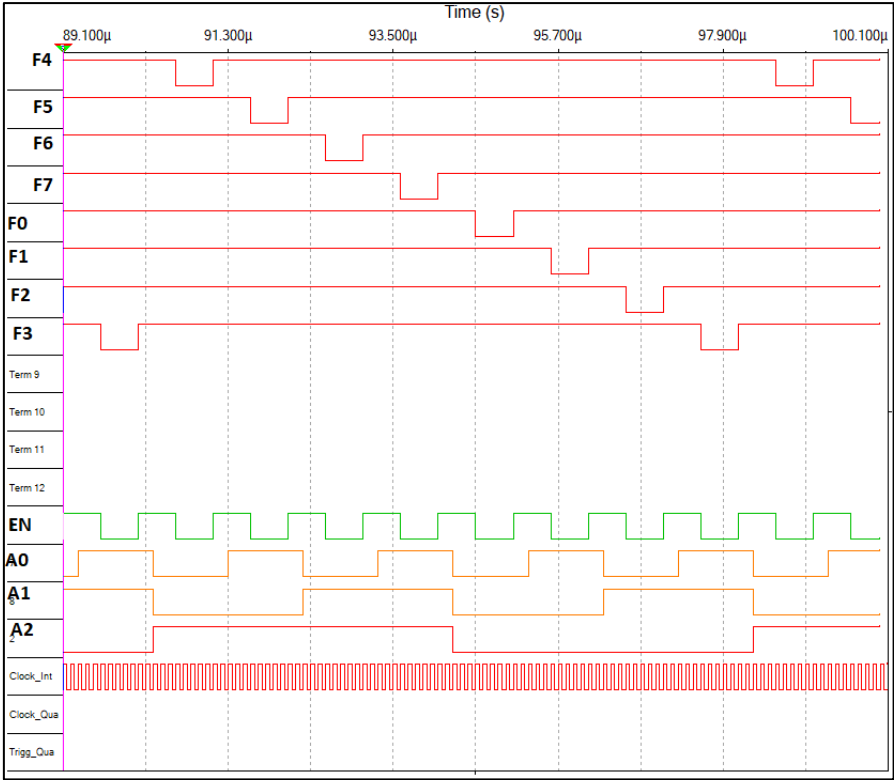


Рисунок 8. Результат работы логического анализатора

Входы			Выходы							
A2	A1	A0	~F0	~F1	~F2	~F3	~F4	~F5	~F6	~F7
0	0	0	0	1	1	1	1	1	1	1
0	0	1	1	0	1	1	1	1	1	1
0	1	0	1	1	0	1	1	1	1	1
0	1	1	1	1	1	0	1	1	1	1
1	0	0	1	1	1	1	0	1	1	1
1	0	1	1	1	1	1	1	0	1	1
1	1	0	1	1	1	1	1	1	0	1
1	1	1	1	1	1	1	1	1	1	0

Таблица 2. Таблица истинности трехвходового дешифратора

Задание №3

Формулировка

Исследование дешифраторов ИС КР531ИД14 (74LS139) аналогично п.2. ИС 74LS139 содержит два дешифратора DC 2–4 (U1A и U1B) с отдельными адресными входами и разрешения. Входы разрешения – инверсные.

Так как каждый дешифратор имеет один вход разрешения, то для образования двух инверсных входов необходимо перед входом разрешения включить двухвходовой ЛЭ. Чтобы на выходе ЛЭ получить функцию конъюнкции $\sim EN1 \cdot \sim EN2$, ЛЭ при наборе 00 входных сигналов должен формировать выходной сигнал 0, а на остальных наборах входных сигналов – 1.

Выполнение

В ходе работы над данным заданием был собран трехвходовый дешифратор на основе двух двухвходовых (рис. 9). Для корректной работы с одним входом разрешения перед ним необходимо поставить ЛЭ, который будет выполнять сочетание двух сигналов, подающихся на вход – стробирующего и «выбирающего», которые так же использовались в предыдущем пункте. Чтобы в результате дешифратор выполнял свою функцию, для двух дешифраторов ЛЭ должны быть разными, так как в один момент времени необходимо допускать работу одного двухвходового дешифратора, а в другой момент – второго.

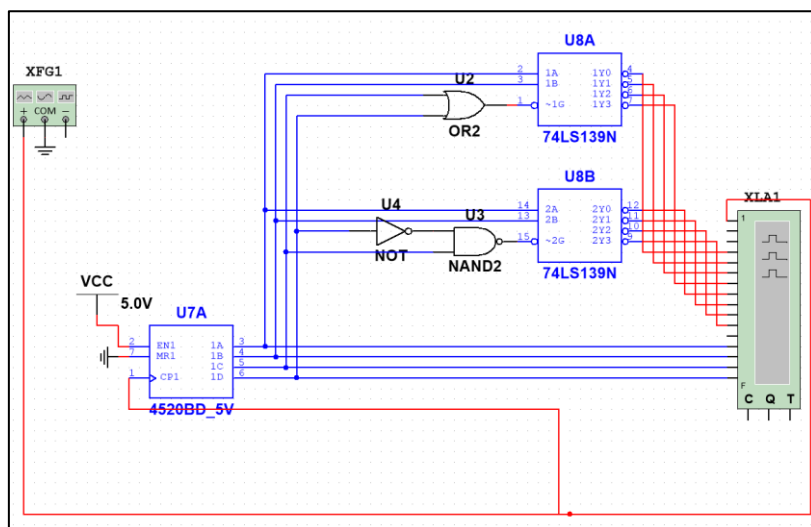


Рисунок 9. Схема ИС КР531ИД14 на основе двух дешифраторов

На рис. 10 представлен результат корректной работы собранного трехвходового дешифратора.

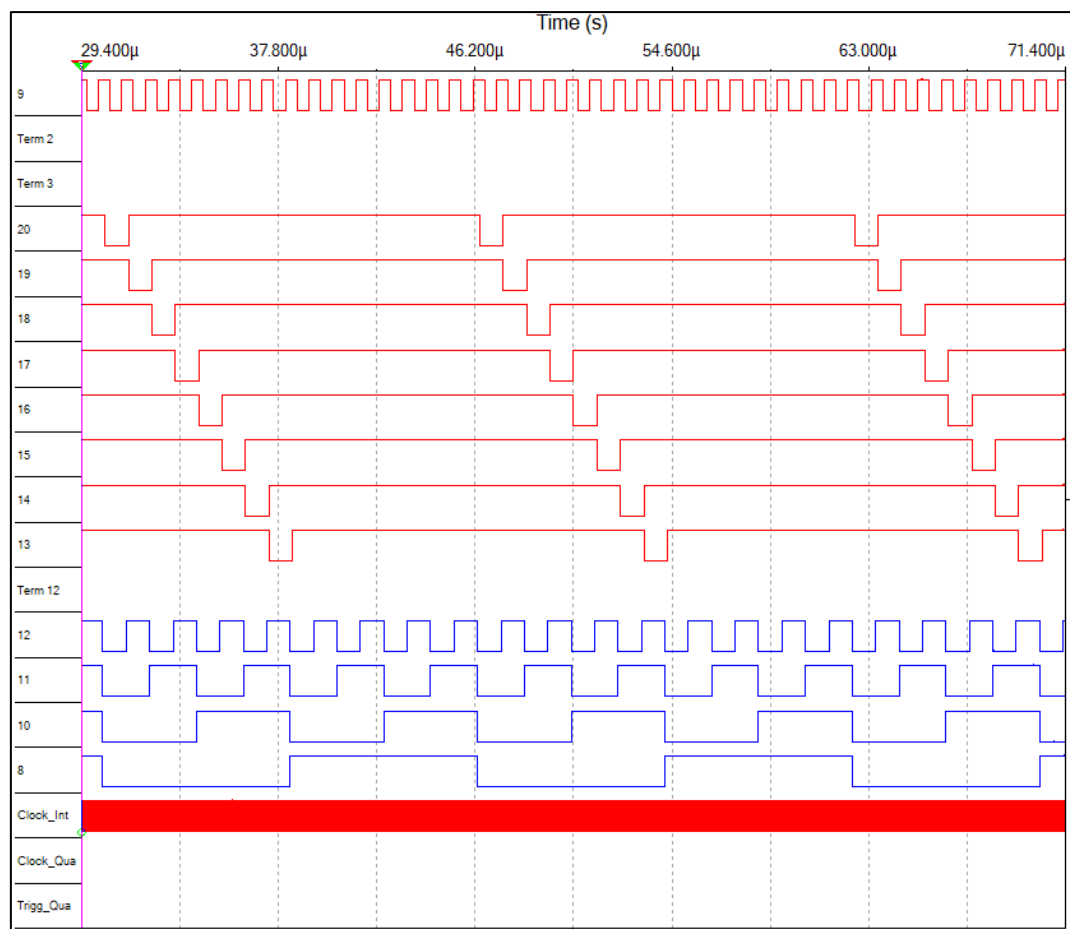


Рисунок 10. Результат работы логического анализатора

Задание №4

Формулировка

Исследовать работоспособность дешифраторов ИС 533ИД7 (74LS138):

- снять временные диаграммы сигналов нестробируемого дешифратора DC 3–8 ИС 533ИД7, подавая на его адресные входы 1, 2, 4 сигналы Q0, Q1, Q2 с выходов счетчика, а на входы разрешения E1, E2, E3 – сигналы лог. 1, 0, 0 соответственно;
- собрать схему дешифратора DC 5–32 согласно методике наращивания числа входов и снять временные диаграммы сигналов, подавая на его адресные входы сигналы Q0, Q1, Q2, Q3, Q4 с выходов 5-разрядного счетчика, а на входы разрешения – импульсы генератора, задержанные линией задержки макета.

Выполнение

- Для выполнения данного задания необходимо проверить работоспособность дешифратора ИС 533ИД7. Для этого собираем схему с рис. 11 и отмечаем корректную работу с помощью логического анализатора (рис. 12).

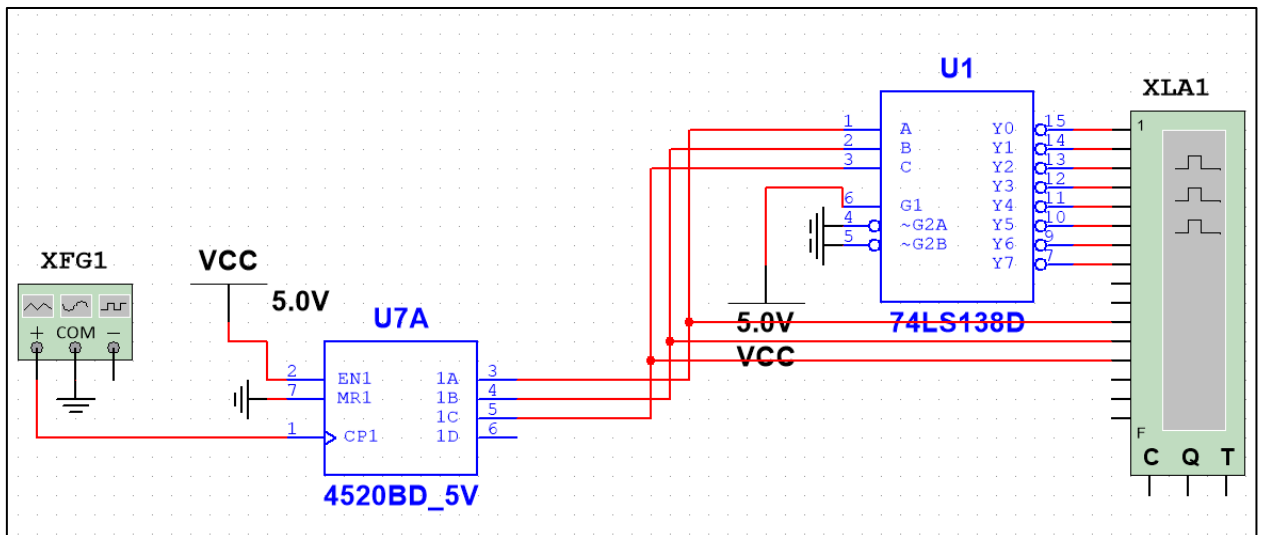


Рисунок 11. Схема для анализа работоспособности ИС 533ИД7

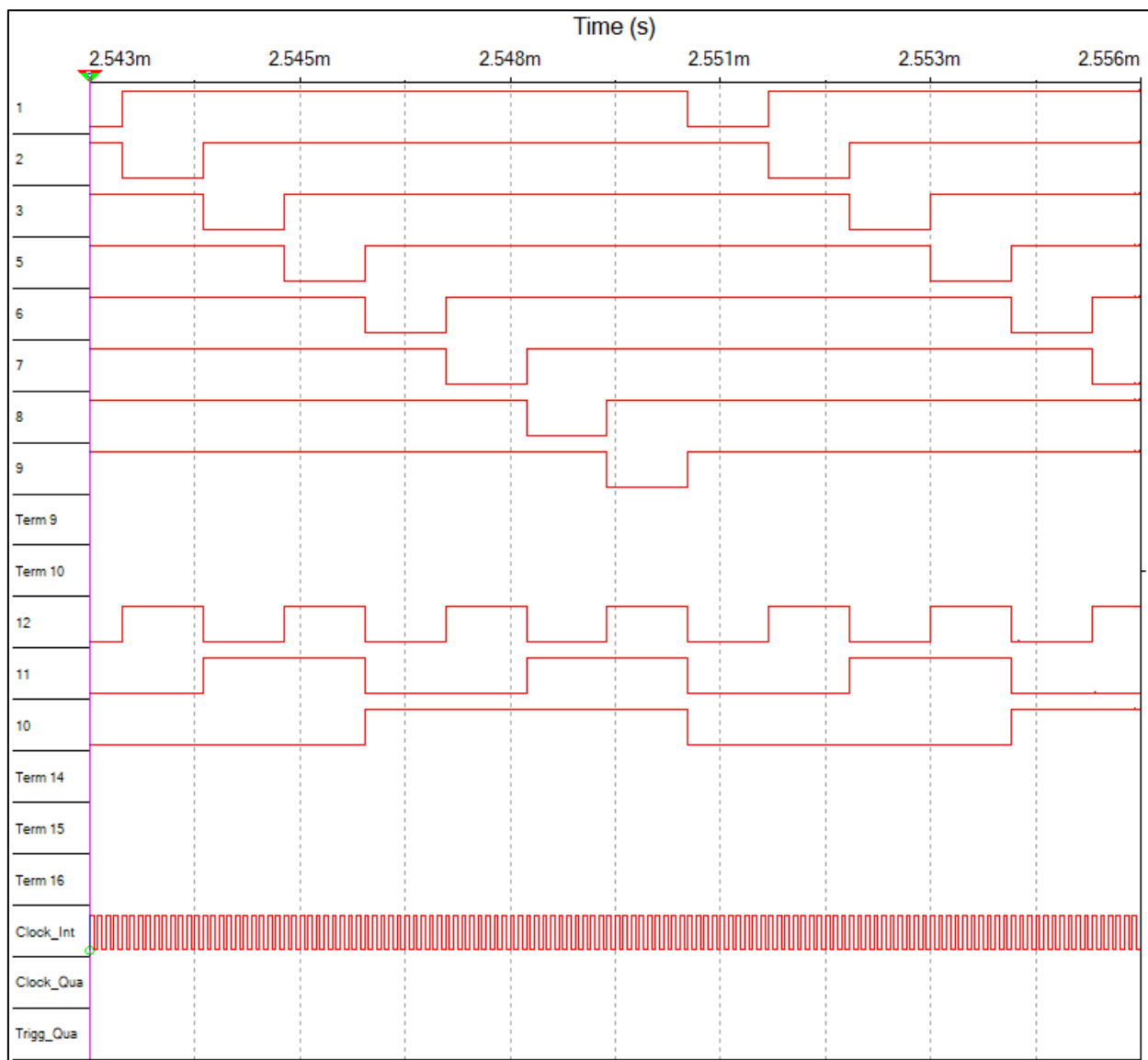


Рисунок 12. Результат работы логического анализатора

б) Далее составим на основе трехвходового (восьмивыходового) дешифратора пятивходовый (32-выходовый). Для этого используем метод наращивания количества входов и учтем, что младшие три входных сигнала подаются на вход выходному каскаду, а следующие два сигнала — на вход неполному трехвходовому дешифратору, выполняющему роль входного каскада (рис. 13). Результат работы полученного пятивходового дешифратора наблюдаем с помощью логического анализатора (рис. 14).

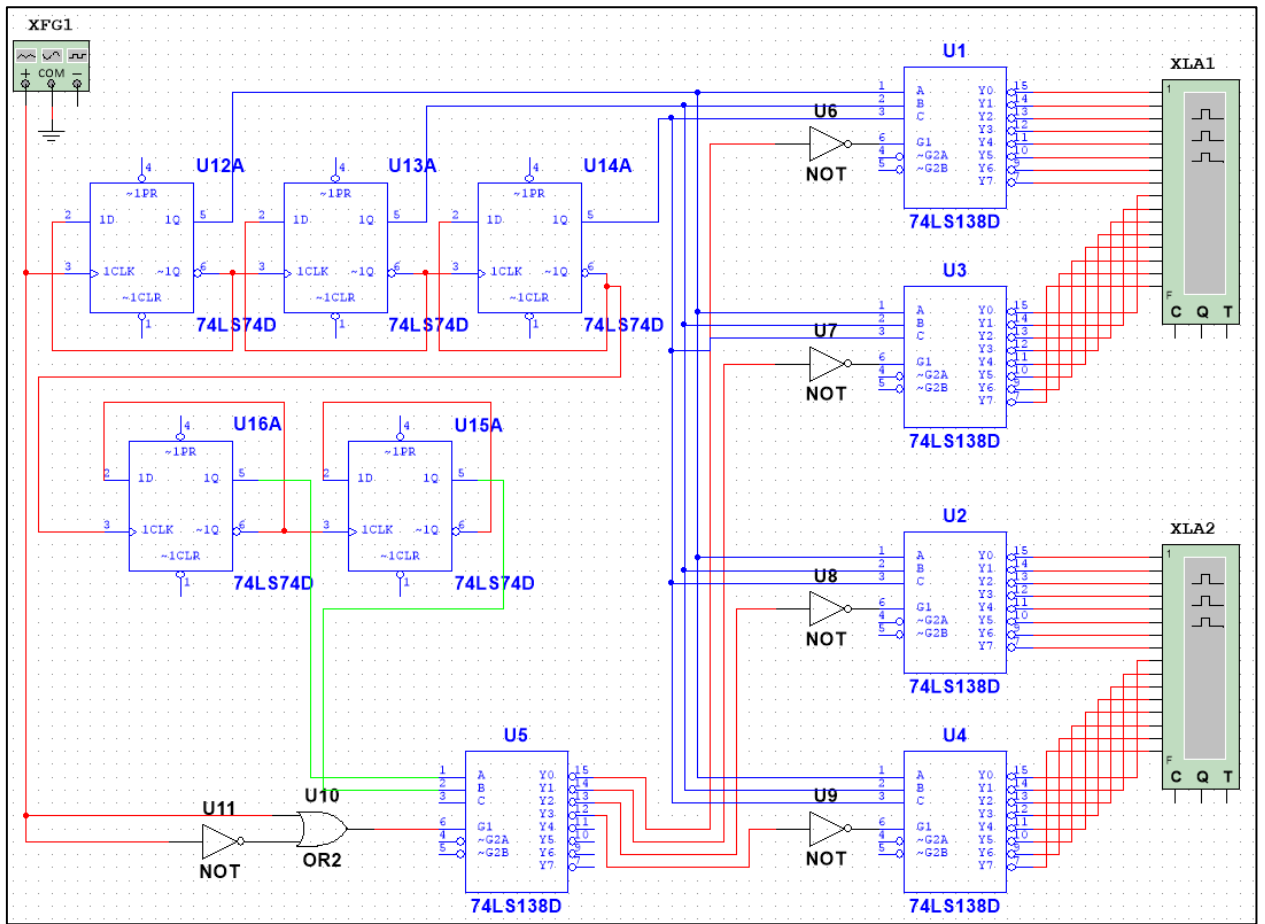


Рисунок 13. Схема, полученная методом наращивания количества входов

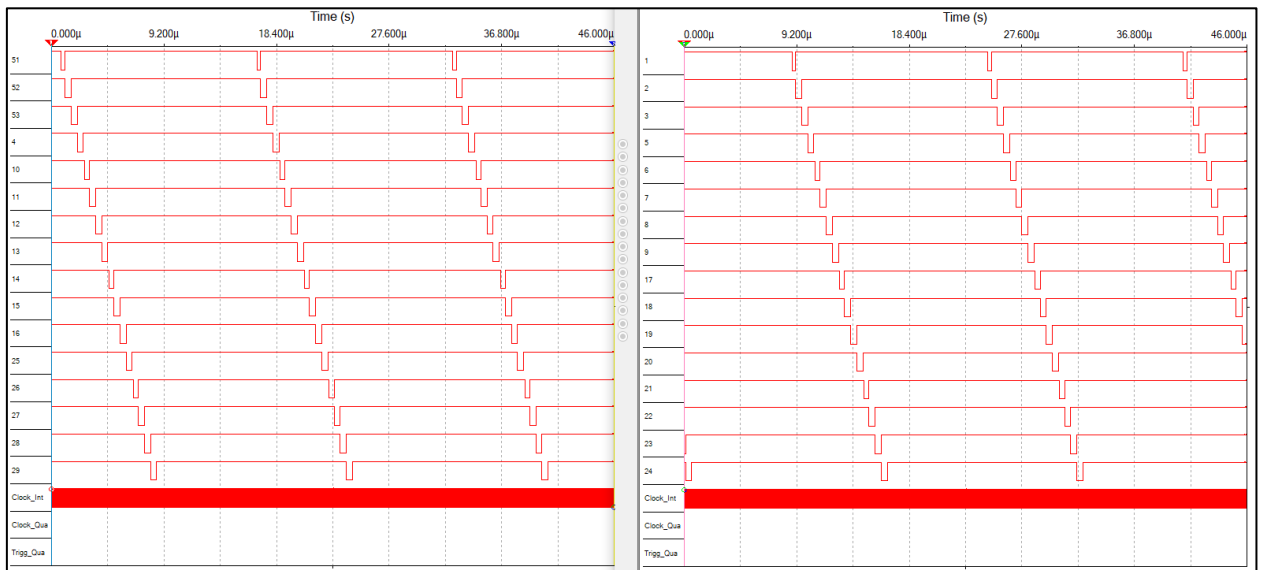


Рисунок 14. Результат работы логического анализатора

Контрольные вопросы

1. Что называется дешифратором

Дешифратором называется комбинационный узел с n входами и N выходами, преобразующий каждый набор двоичных входных сигналов в активный сигнал на выходе, соответствующий этому набору.

2. Какой дешифратор называется полным (неполным)?

Дешифратор, имеющий 2^n выходов, называется полным, при меньшем числе выходов - неполным.

3. Определите закон функционирования дешифратора аналитически и таблично.

Функционирование дешифратора $DC\ n-N$ определяется таблицей истинности: аналитически описать дешифратор можно совокупностью логических функций в СДНФ.

4. Поясните основные способы построения дешифраторов.

Линейный дешифратор строится в соответствии с системой, представленной в предыдущем вопросе, и представляет собой 2^n конъюнктурой или логических элементов ИЛИ-НЕ с n -входами каждый при отсутствии стробирования и с $(n+1)$ входами - при его наличии. Пирамидальный дешифратор строится на основе последовательной (каскадной) реализации выходных функций. На первом этапе реализуются конъюнкции двух переменных. На втором – все конъюнкции трех переменных путем логического умножения каждой ранее полученной конъюнкции двух переменных на переменную. Таким образом, на каждом следующем этапе получают вдвое больше конъюнкции, чем на предыдущем. Пирамидальные дешифраторы независимо от числа их входов строятся на основе только двухвходовых конъюнктурой.

5. Что называется гонками и как устраняются ложные сигналы, вызванные гонками?

Вследствие переходных процессов и временных задержек сигналов в

цепях логических элементов могут возникнуть так называемые гонки (состязания), приводящие к появлению ложных сигналов на выходах схемы. Основным средством, позволяющим исключить гонки, является стробирование (выделение из информационного сигнала той части, которая свободна от искажений, вызываемых гонками).

6. Каковы способы наращивания дешифраторов по количеству входов и выходов и как они реализуются схемотехнически?

Пусть для построения сложного дешифратора DC n - N используются простые дешифраторы DC n_1 - N_1 , причем $n_1 \ll n$, следовательно и $N_1 \ll N$.

1. Число каскадов равно $K = n/n_1$. Если K – целое число, то во всех каскадах используются полные дешифраторы DC n_1 - N_1 . Если K – правильная или смешанная дробь, то во входном каскаде используется неполный дешифратор DC n_1 - N_1 .
2. Количество простых дешифраторов DC n_1 - N_1 в выходном каскаде равно N/N_1 , в предвыходном - N/N_1^2 , пред предвыходном - N/N_1^3 и т. д.; во входном каскаде - N/N_1^k . Если N/N_1^k – правильная дробь, то это означает, что во входном каскаде используется неполный простой дешифратор.
3. В выходном каскаде дешифрируются n_1 младших разрядов адреса сложного дешифратора, в предвыходном – следующие n_1 младших разрядов адреса сложного дешифратора и т. д. Во входном каскаде дешифрируется полная или неполная группа старших разрядов адреса. Поэтому n_1 младших разрядов адреса сложного дешифратора подаются параллельно на адресные входы всех дешифраторов выходного каскада, следующие n_1 младших разрядов адреса – на адресные входы всех дешифраторов предвыходного каскада и т. д.; группа старших разрядов адреса подается на адресные входы дешифратора.
4. Выходы дешифраторов предвыходного каскада соединяются с входами разрешения простых дешифраторов выходного каскада, выходы

дешифраторов пред предвыходным каскадом — с входами разрешения простых дешифраторов предвыходного каскада и т. д.