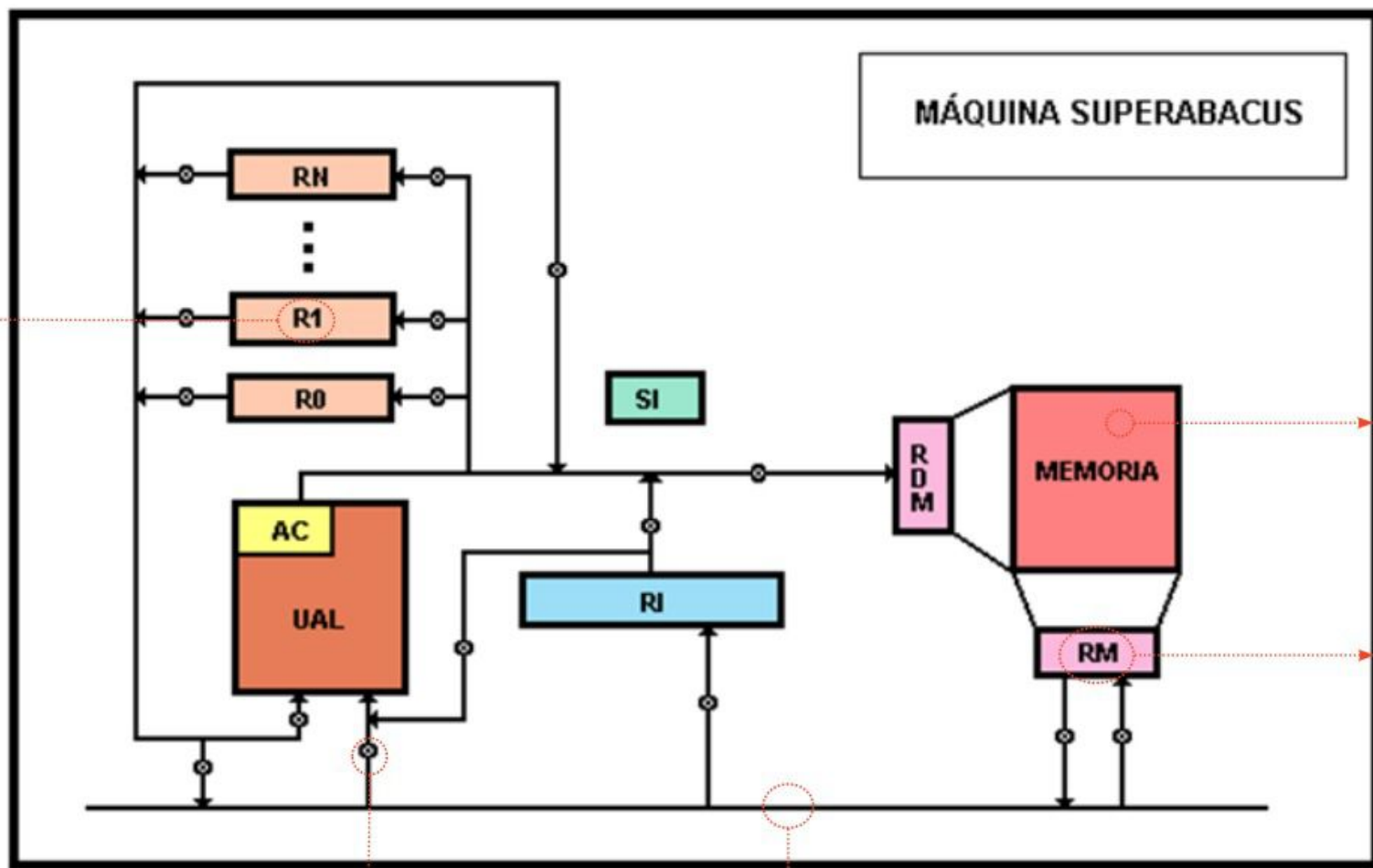


75.03 / 95.57 Organización del Computador (Cátedra Benítez)

Clase III : Máquina Elemental (SuperAbacus)



Registro de uso general

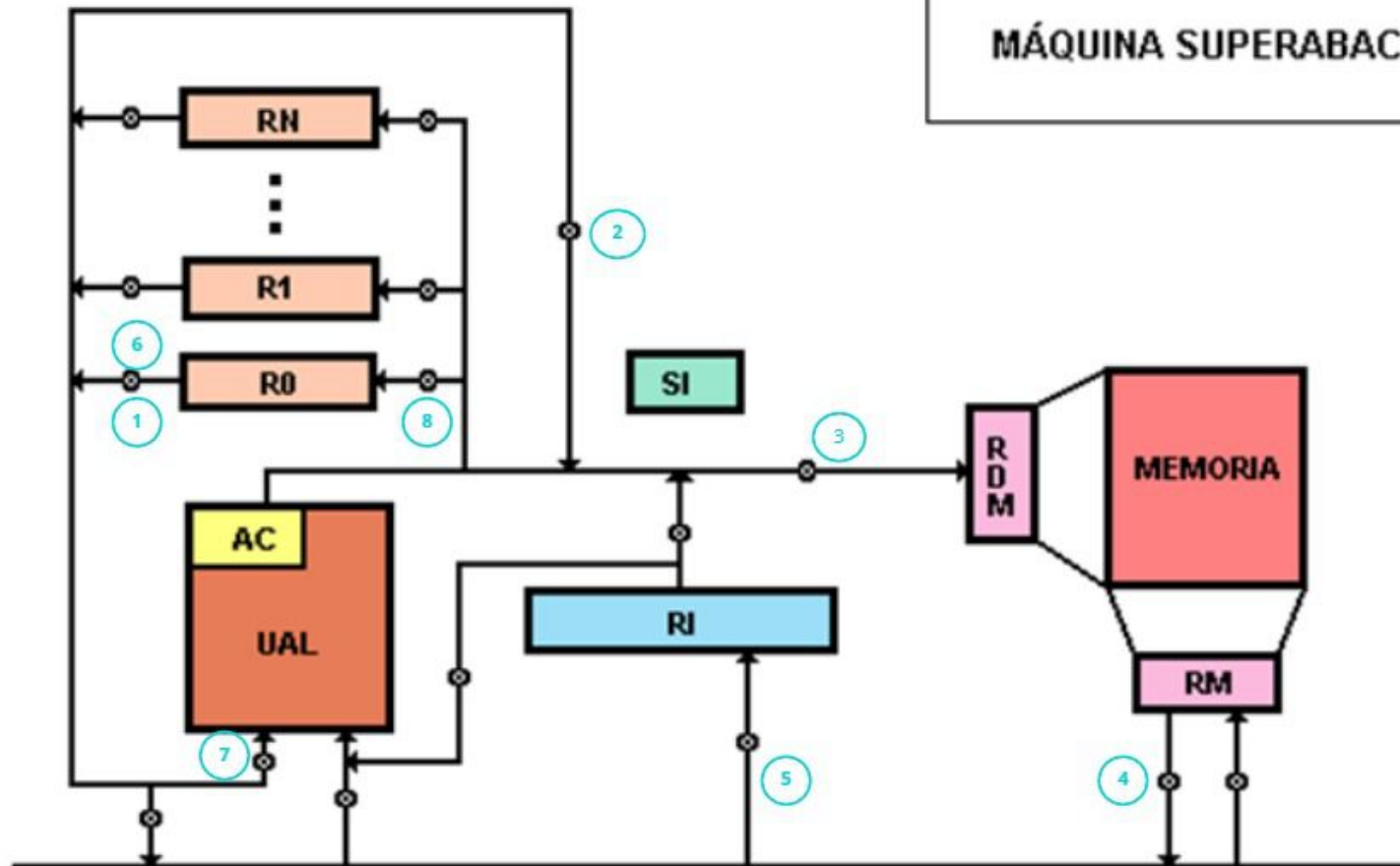
Celda de memoria

Registro (register)

Compuerta

Bus

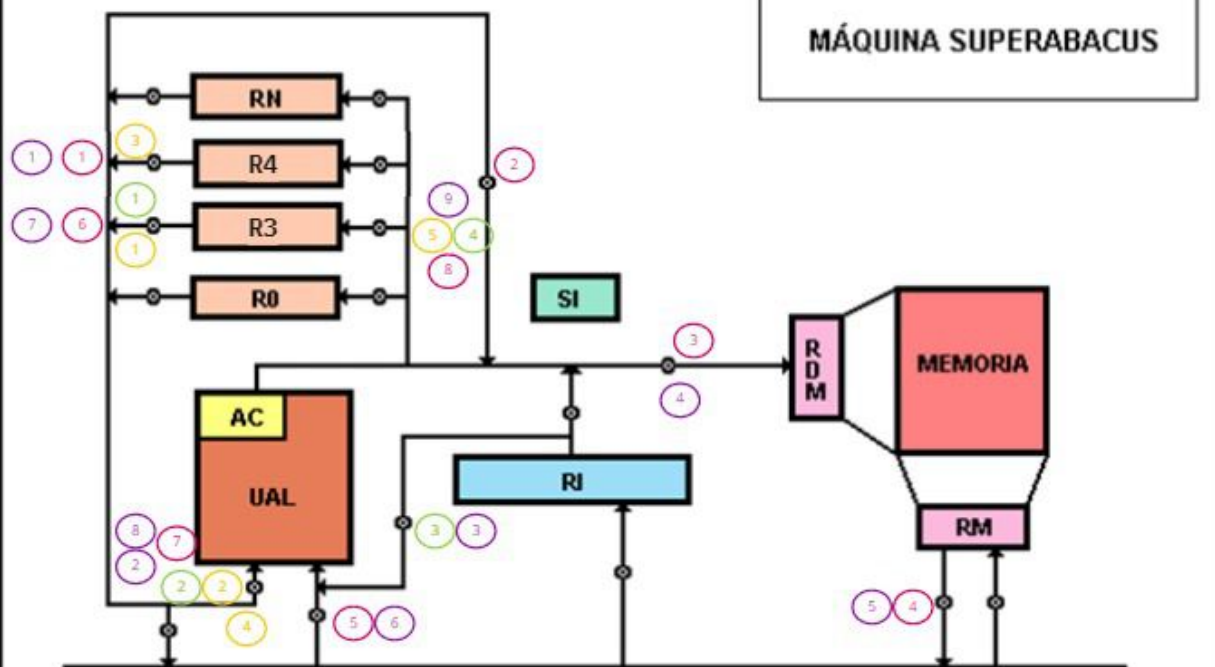
MÁQUINA SUPERABACUS



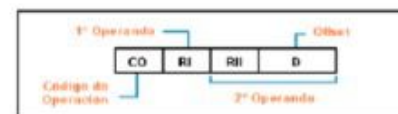
(R0)	----->	RDM	
((RDM))	----->	RM	← Operación de lectura
(RM)	----->	RI	
(R0)	----->	AC	
(AC) + 1	----->	AC	
(AC)	----->	R0	

Incremento vía circuito sumador UAL

MÁQUINA SUPERABACUS



Registro de instrucción



sumar 3,4

RI	CO	R1	R2	D
XX	3	4	0	

(R3) ----> AC
(R4) + (AC) ----> AC
(AC) ----> R3

sumar 3,(4)

RI	CO	R1	R2	D
XX	3	4	0	

(R4) ----> RDM
((RDM)) ----> RM
(RM) ----> AC
(R3) + (AC) ----> AC
(AC) ----> R3

sumar 3,100

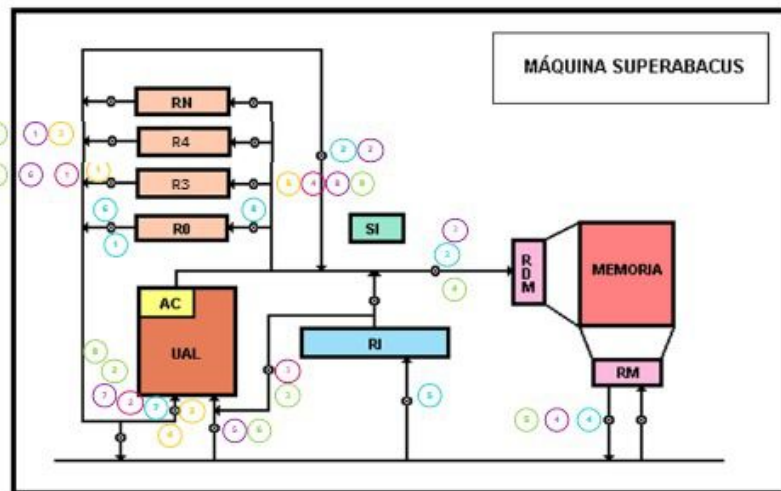
RI	CO	R1	R2	D
XX	3	0	64	

(R3) ----> AC
64[16] + (AC) ----> AC
(AC) ----> R3

sumar 3,20(4)

RI	CO	R1	R2	D
XX	3	4	14	

(R4) ----> AC
14[16] + (AC) ----> AC
(AC) ----> RDM
((RDM)) ----> RM
(RM) ----> AC
(AC) + (R3) ----> AC
(AC) ----> R3



Fase de búsqueda:

(R0)	----	RDM
((RDM))	----	RM
(RM)	----	RI
(R0)	----	AC
(AC) + 1	----	AC
(AC)	----	R0

Fase de ejecución [SUMAR 3,4]:

(R3)	----	AC
(AC) + (R4)	----	AC
(AC)	----	R3

Fase de ejecución [SUMAR 3,100]:

(R3)	----	AC
64[16] + (AC)	----	AC
(AC)	----	R3

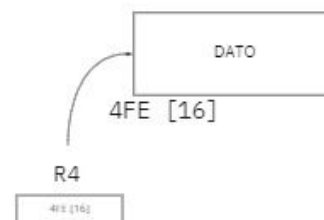
Fase de ejecución [SUMAR 3,(4)]:

(R4)	----	RDM
((RDM))	----	RM
(RM)	----	AC
(R3) + (AC)	----	AC
(AC)	----	R3

Fase de ejecución [SUMAR 3,20(4)]:

(R4)	----	AC
(AC) + 14[16]	----	AC
(AC)	----	RDM
((RDM))	----	RM
(RM)	----	AC
(AC) + (R3)	----	AC
(AC)	----	R3

Memoria



Memoria



Para pensar:

Si a la máquina SuperAbacus le modificamos el formato de instrucción y el RI ahora tiene lo siguiente:



Es decir, que se podría pensar en instrucciones con dos operandos en memoria del estilo:

sumar 20(3), 50(4)

¿Sería posible su ejecución en la máquina SuperAbacus?