75.03 & 95.57 Organización del Computador

U5 – COMPONENTES DE UN COMPUTADOR PROCESADOR

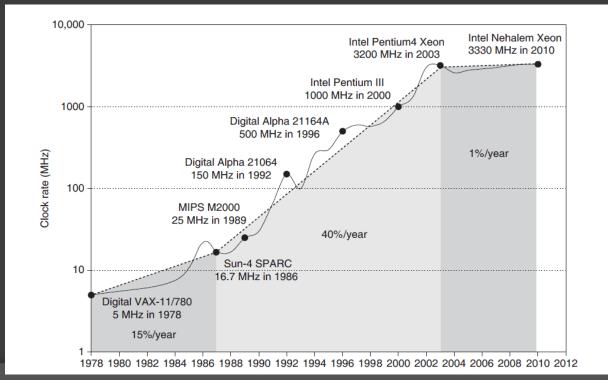
- Procesador
 - Arquitectura de procesadores
 - Historia
 - Primero orientado al hardware (hasta los '70)
 - Luego orientado al software (a partir de los '80)
 - CISC vs RISC

- CISC (Complex Instruction Set Computer)
 - Pocos registros de procesador (especializados)
 - Set de Instrucciones amplio
 - Muchas instrucciones para trabaja con memoria
 - Microarquitectura en sofware/hardware compleja
 - Instrucciones complejas (más de un ciclo de reloj)
 - Varios modos de direccionamiento
 - Muchos tipos de datos
 - Muchos formatos de instrucción (variables o híbridos)
 - Orientado al hardware, compiladores relativamente simples (tamaño de código pequeño)
 - Ejemplos: VAX, Intel x86 (hasta IA -32), Intel-64, IBM Mainframe, Motorola 68k

- RISC (Reduced Instruction Set Computer)
 - Muchos registros de procesador de uso general
 - Set de Instrucciones pequeño
 - Solo acceso a memoria a través de LOAD/STORE
 - Microarquitectura en hardware simple
 - Instrucciones simples (un ciclo de reloj)
 - Pocos modos de direccionamiento
 - Pocos tipos de datos
 - Pocos formatos de instrucción (fijos)
 - Orientado al software, compiladores relativamente complejos (tamaño de código largo)
 - Ejemplos: SPARC, MIPS, ARM, Intel Itanium (IA-64)

- Procesador
 - Arquitectura de procesadores
 - Ecuación de Performance
 MIPS rate = Frecuencia del reloj en MHz (f) *
 Instrucciones por ciclo (IPC)
 - Uniprocesadores
 - Taxonomía de Flynn
 - SISD (Single Instruction Single Data) (Uniprocesadores)
 - SIMD (Single Instruction Multiple Data)
 - MISD (Multiple Instruction Single Data) (No comercial)
 - MIMD (Multiple Instruction Multiple Data)
 - Limitación de la velocidad del reloj (calor)

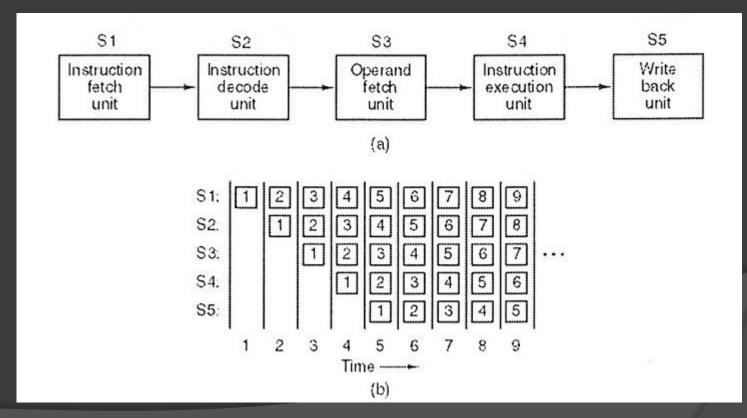
- Procesador
 - Arquitectura de procesadores
 - Velocidad de reloj (uniprocesadores)



- Procesador
 - Arquitectura de procesadores
 - Paralelismo
 - Técnicas
 - A nivel instrucción
 - Pipelining
 - Dual pipelining
 - Superscalar
 - Multithreading
 - A nivel procesador
 - Procesadores paralelos de datos
 - Multiprocesadores
 - Multicomputadores

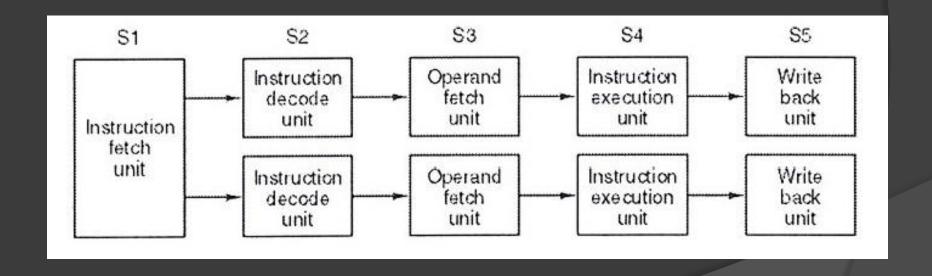
- Procesador
 - Paralelismo
 - A nivel instrucción
 - Pipelining (Stages)
 - Solapa la ejecución de las instrucciones para reducir el tiempo total de una secuencia de instrucciones
 - Ejecuta una instrucción por ciclo de reloj
 - Control de dependencia entre las instrucciones (compilador o hardware)
 - Ej. Intel 486

- Procesador
 - Pipelining (Stages)



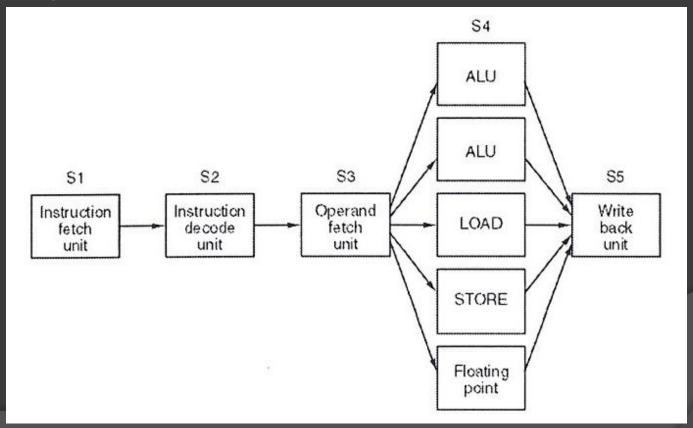
- Procesador
 - Paralelismo
 - A nivel instrucción
 - Dual Pipelining
 - Ejecuta dos instrucciones por ciclo de reloj
 - Ej. Intel Pentium

- Procesador
 - Dual Pipelining



- Procesador
 - Paralelismo
 - A nivel instrucción
 - Superscalar (múltiples unidades funcionales)
 - Ejecuta más de una instrucción por ciclo de reloj
 - N-way / N-issue (N entre 3 y 6)
 - Ej. Intel Core

- Procesador
 - Superescalar



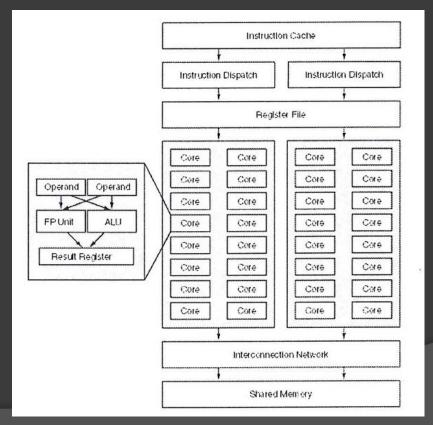
- Procesador
 - Paralelismo
 - A nivel instrucción
 - Hardware multithreading
 - Busca incrementar el uso del CPU intercambiando la ejecución entre threads (hilos de ejecución) cuando uno está frenado por alguna causa
 - Thread: Contiene un PC, un conjunto de registros y la pila (stack). Comparten un mismo address space. Se los conoce como "lightweight processes"
 - Proceso: Puede tener uno o más threads, contiene un address space y un estado gestionado por el S.O.
 - El cambio de contexto entre threads es "liviano" (en un mismo ciclo de reloj) en comparación con los procesos, que requieren del S.O.

- Procesador
 - Paralelismo
 - A nivel instrucción
 - Hardware multithreading
 - Fine-grained multithreading: se intercambia el uso del procesador entre threads luego de la ejecución de cada instrucción.
 - Ej. Procesadores Intel IA-32
 - Coarse-grained multithreading: se intercambia el uso del procesador entre threads solo luego de algún evento significativo, como puede ser un page fault o un "cache miss". En este último caso se cambia la ejecución a otro thread en vez de esperar el acceso más lento a la memoria principal.

Ej. Intel Itanium 2

- Procesador
 - Paralelismo
 - A nivel procesador
 - Procesadores paralelos de datos
 - Una sola unidad de control
 - Múltiples procesadores
 - Métodos
 - SIMD Single Instruction Multiple Data
 - Múltiples procesadores ejecutan la misma secuencia de pasos sobre un conjunto diferente de datos
 - Ej. GPU (Nvidia Fermi GPU)
 - Vectoriales
 - Similar a SIMD
 - Registro vectorial: conjunto de registros convencionales que se cargan desde memoria en una sola instrucción.
 - Se opera por pipelining
 - Ej. Intel Core (SSE Streaming SIMD Extension)

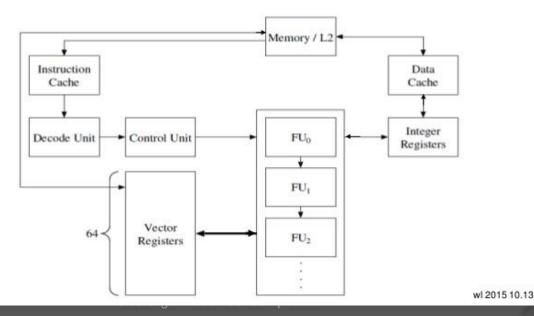
- Procesador
 - SIMD Single Instruction Multiple Data



- Procesador
 - Vectoriales

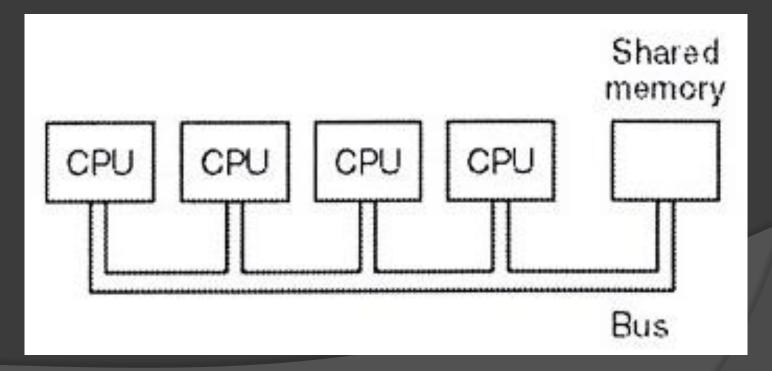
Vector processors

- vector registers, eg 8 sets x 64 elements x 64 bits
- vector instructions: VR3 = VR2 VOP VR1

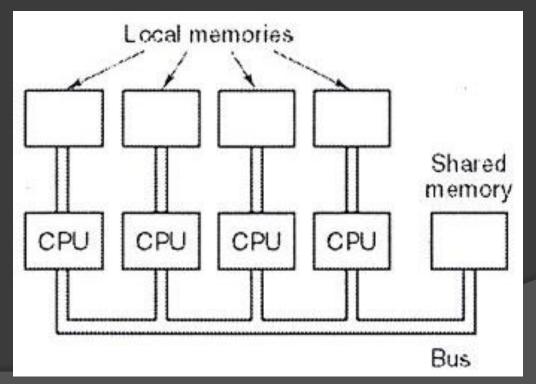


- Procesador
 - Paralelismo
 - A nivel procesador
 - Multiprocesadores
 - Múltiples CPUs que comparten memoria común
 - MIMD (Multiple Instruction Multiple data)
 - CPUs fuertemente acoplados
 - Diferentes implementaciones
 - Single bus y memoria compartida (centralizada) (UMA – Uniform memory access) (SMP – Symmetric multiprocessor)
 - Ej. Intel Core i7
 - CPUs con memoria local y memoria compartida (NUMA – non-uniform memory access)
 - Ej. BBN Butterfly, SGI Origin 2000, Compaq AlphaServer GS320, Intel Itanium 2

- Procesador
 - Single bus y memoria compartida (centralizada)

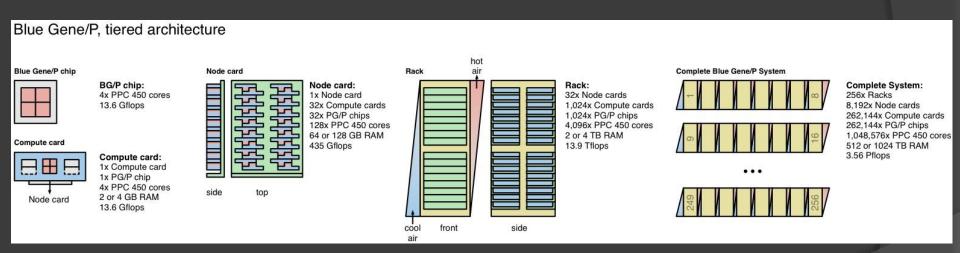


- Procesador
 - CPUs con memoria local y memoria compartida



- Procesador
 - Paralelismo
 - A nivel procesador
 - Multicomputadores
 - Computadores interconectados con memoria local (memoria distribuida)
 - No hay memoria compartida
 - CPUs ligeramente acoplados Clusters
 - MIMD (Multiple Instruction Multiple data)
 - Intercambio de mensajes
 - Topologías de grillas, árboles o anillos
 - Ej. IBM Blue Gene/P

- Procesador
 - IBM Blue Gene/P



Referencias

- "Structured Computer Organization" 6ta edición. Andrew Tanenbaum / Todd Austin
 - (http://www.pearsonhighered.com/educator/product/Structured-Computer-Organization-6E/9780132916523.page)
- "Computer Organization and Architecture Designing for Perfomance"
 10ma edición. William Stallings
 (http://williamstallings.com/ComputerOrganization/)
- "Server Architectures Multiprocessors, Clusters, Parallel Systems, Web Servers, and Storage Solutions" 1ra edición. René Chevance
- "Computer Architecture a quantitative approach" 5ta edición. John Hennessy / David Patterson