





Gowin ソフトウェア クイックスタートガイド

SUG918-1.6J, 2023-08-18

著作権について(2023)

著作権に関する全ての権利は、**Guangdong Gowin Semiconductor Corporation** に留保されています。

GOWIN **高云**、、Gowin、GowinSynthesis、及びGOWINSEMIは、当社により、中国、米国特許商標庁、及びその他の国において登録されています。商標又はサービスマークとして特定されたその他全ての文字やロゴは、それぞれの権利者に帰属しています。何れの団体及び個人も、当社の書面による許可を得ず、本文書の内容の一部もしくは全部を、いかなる視聴覚的、電子的、機械的、複写、録音等の手段によりもしくは形式により、伝搬又は複製をしてはなりません。

免責事項

当社は、GOWINSEMI Terms and Conditions of Sale (GOWINSEMI取引条件)に規定されている内容を除き、(明示的か又は黙示的かに拘わらず)いかなる保証もせず、また、知的財産権や材料の使用によりあなたのハードウェア、ソフトウェア、データ、又は財産が被った損害についても責任を負いません。当社は、事前の通知なく、いつでも本文書の内容を変更することができます。本文書を参照する何れの団体及び個人も、最新の文書やエラッタ(不具合情報)については、当社に問い合わせる必要があります。

バージョン履歴

日付	バージョン	説明
2020/05/07	1.0J	初版。
2020/09/07	1.1J	<ul style="list-style-type: none">● ファイルの暗号化の説明を追加。● RTL 回路図の確認方法を追加。● tcl コマンドの説明を追加。
2020/10/21	1.1.1J	合成プロセスで代わりに GowinSynthesis を使用するように変更。
2021/06/10	1.2J	<ul style="list-style-type: none">● Synplify Pro の説明を削除。● MIPI 設計における IP を変更。
2021/11/02	1.3J	一部の説明を更新。
2022/05/31	1.4J	設計を FIFO HS に変更し、その説明を更新。
2022/12/19	1.5J	<ul style="list-style-type: none">● 合成後ネットリストの回路図を表示する機能を追加。● 一部のスクリーンショットを更新。
2023/05/25	1.5.1J	<ul style="list-style-type: none">● 図 3-12 合成オプションの構成および図 3-13 GowinSynthesis の属性と命令を更新。● セクション「3.9.1 オプションの構成」を更新。
2023/08/18	1.6J	タイミングの最適化の説明を削除。

目次

目次	i
図一覧	iii
表一覧	v
1 本マニュアルについて	1
1.1 マニュアル内容	1
1.2 関連ドキュメント	1
1.3 用語、略語	1
1.4 テクニカル・サポートとフィードバック	3
2 概要	4
2.1 設計フローの概要	4
2.2 クイックスタート設計の概要	4
3 クイックスタート	6
3.1 プロジェクトの新規作成	6
3.1.1 プロジェクトの新規作成	6
3.1.2 FIFO HS IP の生成	7
3.1.3 ファイルのロード	9
3.2 RTL 回路図の確認	10
3.3 GAO の構成	10
3.3.1 Standard Mode GAO 構成ファイルの作成	10
3.3.2 Standard Mode GAO の構成	11
3.4 GowinSynthesis による合成	13
3.4.1 オプションの構成	13
3.4.2 合成	14
3.5 合成後ネットリストの回路図の確認	16
3.6 物理制約	17
3.6.1 物理制約の新規作成	17
3.6.2 物理制約の変更	18
3.7 タイミング制約	18
3.7.1 タイミング制約の新規作成	18
3.7.2 タイミング制約の変更	20
3.8 消費電力解析の構成	21
3.8.1 消費電力解析の構成ファイルの作成	21
3.8.2 オプションの構成	21
3.9 配置配線	24

3.9.1 オプションの構成.....	24
3.9.2 PnR の実行.....	25
3.10 ビットストリームのダウンロード.....	26
3.11 GAO によるデータ収集.....	27
3.12 ファイルの出力.....	28
3.12.1 配置配線レポート.....	28
3.12.2 ポート属性レポート	29
3.12.3 タイミングレポート	29
3.12.4 電力解析レポート.....	30
3.13 ファイルの暗号化.....	31
3.13.1 ソースファイルの暗号化.....	31
3.13.2 シミュレーションファイルの暗号化.....	33
4 Tcl コマンドの使用	34
4.1 Tcl コマンドの実行方法.....	34
4.1.1 Tcl コマンド編集ウィンドウで実行.....	34
4.1.2 Tcl コマンドラインで実行	34
4.2 Tcl コマンドのクイックスタート	35
4.2.1 rm_file.....	35
4.2.2 add_file.....	36
4.2.3 set_file_enable	36
4.2.4 set_option.....	36
4.2.5 run	37
4.2.6 set_device	37
4.2.7 saveto.....	37

図一覧

図 2-1 サンプルプロジェクトを開く	5
図 3-1 プロジェクトの新規作成	6
図 3-2 プロジェクトディレクトリ	7
図 3-3 FIFO HS の構成	8
図 3-4 FIFO HS IP ディレクトリ	9
図 3-5 [Design]ウィンドウ	9
図 3-6 ファイルのロード	10
図 3-7 GAO 構成ファイルの作成	11
図 3-8 GAO 構成ファイルの設定	11
図 3-9 トリガオプションの構成	12
図 3-10 キャプチャオプションの構成	12
図 3-11 GAO の構成ファイル	13
図 3-12 合成オプションの構成	14
図 3-13 GowinSynthesis の属性と命令	14
図 3-14 合成完了	15
図 3-15 gwsynthesis ディレクトリ	15
図 3-16 RTL_GAO ディレクトリ	16
図 3-17 I/O 制約	17
図 3-18 物理制約の表示	18
図 3-19 Clock 制約	19
図 3-20 タイミングレポート制約	20
図 3-21 タイミング制約	20
図 3-22 消費電力解析の構成ファイルの作成	21
図 3-23 General Setting の構成	22
図 3-24 Rate Setting の構成	23
図 3-25 Clock Setting の構成	23
図 3-26 消費電力解析の構成ファイルの表示	24
図 3-27 配置配線のオプションの構成	25
図 3-28 配置配線完了	26
図 3-29 PnR ディレクトリ	26
図 3-30 Programmer インターフェース	27
図 3-31 GAO のインターフェース	28
図 3-32 GAO での波形表示	28
図 3-33 配置配線レポート	29
図 3-34 ポート属性レポート	29
図 3-35 タイミングレポート	30
図 3-36 電力解析レポート	30

図 3-37 Hierarchy ウィンドウでのリソース情報の表示	31
図 3-38 Pack User Design ダイアログボックス	32
図 4-1 Tcl コマンド編集ウィンドウ	34
図 4-2 Tcl コマンドライン方法.....	35
図 4-3 Tcl スクリプトファイル.....	35

表一覽

表 1-1 用語、略語	1
-------------------	---

1 本マニュアルについて

1.1 マニュアル内容

このマニュアルは、FIFO HS 設計を例に、Gowin ソフトウェアの操作について説明し、ユーザーが Gowin ソフトウェアを使いこなせるように作成されています。

1.2 関連ドキュメント

GOWIN セミコンダクターの公式サイト www.gowinsemi.com/ja から、以下の関連ドキュメントをダウンロード及び閲覧できます。

- Gowin ソフトウェア ユーザーガイド([SUG100](#))
- Gowin 物理制約ユーザーガイド([SUG935](#))
- Gowin タイミング制約ユーザーガイド([SUG101](#))
- Gowin アナライザオシロスコープ ユーザーガイド([SUG114](#))
- Gowin パワーアナライザ ユーザーガイド([SUG282](#))
- Gowin Programmer ユーザーガイド([SUG502](#))
- GowinSynthesis ユーザーガイド([SUG550](#))
- Gowin HDL 回路図ビューア ユーザーガイド([SUG755](#))
- Arora V 物理制約ユーザーガイド([SUG1018](#))

1.3 用語、略語

本マニュアルで使用される用語、略語、及びその意味を表 1-1 に示します。

表 1-1 用語、略語

用語、略語	正式名称	意味
AO Core	Analysis Oscilloscope Core	機能コア
BSRAM	Block Static Random Access Memory	ブロック SRAM
DFF	D Flip-Flop	Dフリップフロップ
FloorPlanner	FloorPlanner	物理制約エディタ

用語、略語	正式名称	意味
GAO	Gowin Analyzer Oscilloscope	Gowinアナライザオシロスコープ
GPA	Gowin Power Analyzer	Gowinパワーアナライザ
PnR	Place & Route	配置配線

1.4 テクニカル・サポートとフィードバック

GOWIN セミコンダクターは、包括的な技術サポートをご提供しています。使用に関するご質問、ご意見については、直接弊社までお問い合わせください。

Web サイト : www.gowinsemi.com/ja

E-mail : support@gowinsemi.com

2 概要

2.1 設計フローの概要

Gowin ソフトウェアは、Windows 版と Linux 版で実行でき、インターフェースモードとコマンドラインモードをサポートします。このマニュアルでは、Windows 版、インターフェースモード、FIFO HS 設計を例として、Gowin ソフトウェアのクイックスタート方法を紹介합니다。

設計フローには、FloorPlanner による物理制約、Timing Constraints Editor によるタイミング制約、GAO による GAO 構成ファイルの追加とデータの収集、消費電力解析ツールによる消費電力解析構成ファイルの追加、および Programmer によるビットストリームのダウンロードが含まれます。

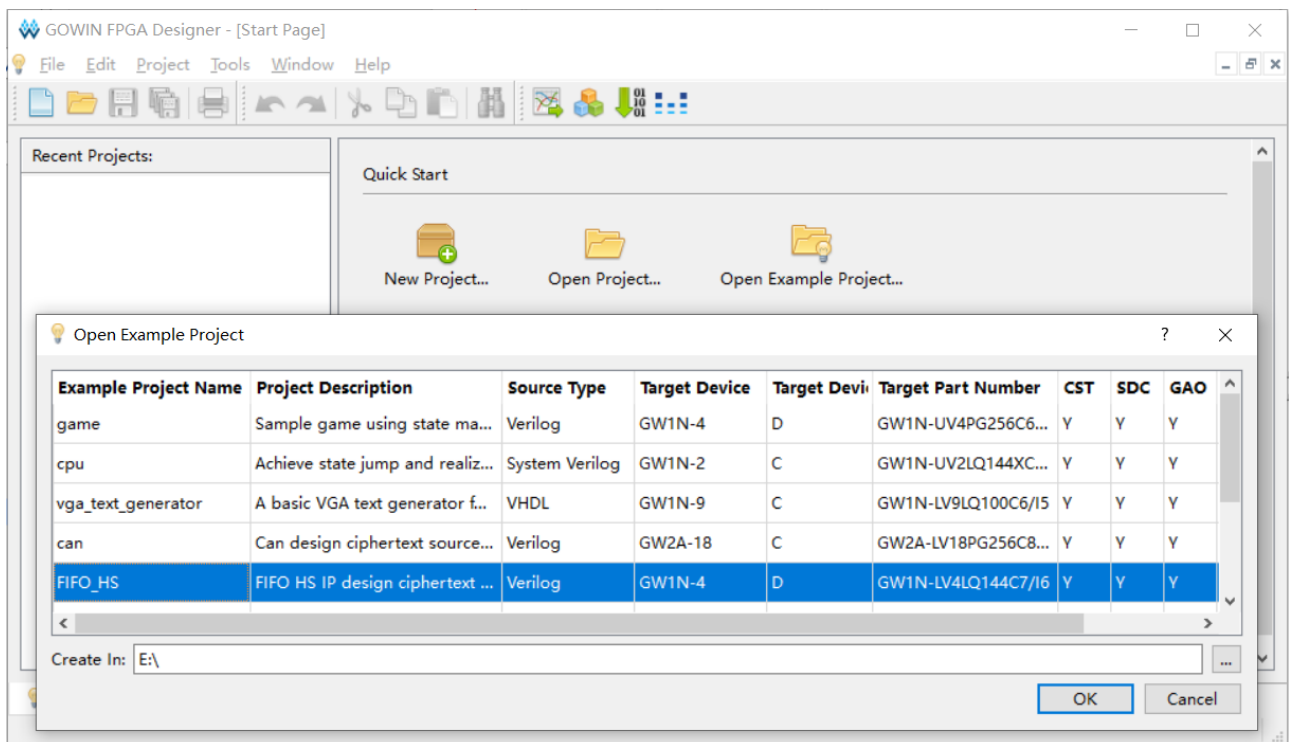
2.2 クイックスタート設計の概要

FIFO HS IP は、非同期クロックドメインで異なるビット幅のデータを転送およびバッファリングし、ユーザーのニーズに応じて異なる出力制御信号とデータ構造を構成できます。

設計全体では、ポートを介して FIFO HS にクロックを提供し、ロジックによりリセット信号イネーブル信号、および入力データを提供し、最後に GAO を使用してデータを収集し、FIFO HS の正確さを検証します。

この設計はサンプルプロジェクトとして追加されており、図 2-1 に示すように **Start Page > Open Example Project** からすばやく作成できます。サンプルプロジェクトを使用してプロジェクトを作成する場合、前の手順がスキップされ、配置配線および後続のプロセスに直接移動します。Gowin ソフトウェアの使い方をより深く理解したい場合は、ドキュメントのガイドラインに従って操作してみてください。設計に必要なソースファイル、制約ファイル、および構成ファイルは、サンプルプロジェクトのものと同じであるので、後で使用するためにサンプルプロジェクトのファイルを保存しておくことをお勧めします。

図 2-1 サンプルプロジェクトを開く



3 クイックスタート

3.1 プロジェクトの新規作成

3.1.1 プロジェクトの新規作成

Gowin ソフトウェアを開き、“Start Page”で“Quick Start > New Project”を選択して、FIFO_HS という名前の新しいプロジェクトを作成します。図 3-1 に示すようにデバイスを選択します。

- Series : GW1N
- Device : GW1N-4
- Device Version : D
- Package : LQFP144
- Speed : C7/I6
- Part Number : GW1N-LV4LQ144C7/I6

“Next” をクリックします。プロジェクトの新規作成の詳細については、『Gowin ソフトウェア ユーザーガイド([SUG100](#))』を参照してください。

図 3-1 プロジェクトの新規作成

Select Device

Filter

Series: GW1N Package: LQFP144

Device: GW1N-4 Speed: C7/I6





Device Version: D
*no version number is initial version

Part Number	Device	Device Version	Package	Speed	Voltage
GW1N-LV4LQ144C7/I6	GW1N-4	D	LQFP144	C7/I6	LV
GW1N-UV4LQ144C7/I6	GW1N-4	D	LQFP144	C7/I6	UV

OK Cancel

プロジェクトが作成された後、図 3-2 に示すように、プロジェクトの作成パスに **impl** フォルダと **src** フォルダが生成されます。**impl** には合成および配置配線後のファイルがあり、**src** にはソースファイルがあります。

図 3-2 プロジェクトディレクトリ

Name	Date modified	Type	Size
 impl	5/31/2022 15:54	File folder	
 src	5/31/2022 15:54	File folder	
 FIFO_HS.gprj	5/31/2022 15:43	GPRJ File	1 KB
 FIFO_HS.gprj.user	5/31/2022 15:51	USER File	4 KB

3.1.2 FIFO HS IP の生成

まずはメニューバーの “Tools > IP Core Generator” を選択して IP Core Generator を開きます。次に Memory Control > FIFO をダブルクリックして展開し、FIFO HS をダブルクリックして IP Customization インターフェースを開きます。必要に応じて IP を構成します。この設計の FIFO HS の構成は図 3-3 に示すとおりです。構成が完了した後、“OK” をクリックして FIFO HS IP を生成します。

図 3-3 FIFO HS の構成

Options

☐ Output Registers Selected ☐ Controlled by RdEn

Write Depth: 1024 Write Data Width: 32 (1~256)

Read Depth: 512 Read Data Width: 64 (1~256)

FIFO Implementation

☒ BSRAM ☐ SSRAM ☐ REG

Read Mode

☒ Standard FIFO ☐ First-Word Fall-Through

Data Number

☒ Read Data Num(Synthonized with Read Clk) ☒ Write Data Num(Synthonized with Write Clk)

☒ En_Reset ☐ Reset_Synchronization

Flag Control

☒ Almost Full Flag Full_Single Threshold Constant Parameter

Set: 1 (1~1023) Clear: 1 (1~1023)

☒ Almost Empty Flag Empty_Single Threshold Constant Parameter

set: 1 (1~511) Clear: 1 (1~511)

☐ ECC Selected(Support for data width in 1-64 bit)

Generation Config

☒ Disable I/O Insertion

OK Cancel

IP が生成された後、図 3-4 に示すように、IP 設計ファイルとシミュレーションに必要なファイルが IP 作成パスに生成されます。

- .v ファイルは暗号化された形式の IP 設計ファイルです。
- _tmp.v ファイルは IP のテンプレートファイルです。
- .vo ファイルはシミュレーションに使用できる、プレーンテキストの IP シミュレーションモデルファイルです。
- .ipc ファイルは IP の構成ファイルであり、ユーザーはこのファイルを開いて構成を変更できます。
- temp フォルダーには、IP の生成に必要なファイルが含まれています。

注記：

- 1.9.8.06 以降の Gowin ソフトウェアでは、IP 生成時に Language として VHDL が選択されている場合、.vho ファイルが IP 作成パスの下に生成されます。これはプレーンテキストの IP シミュレーション・モデル・ファイルです。

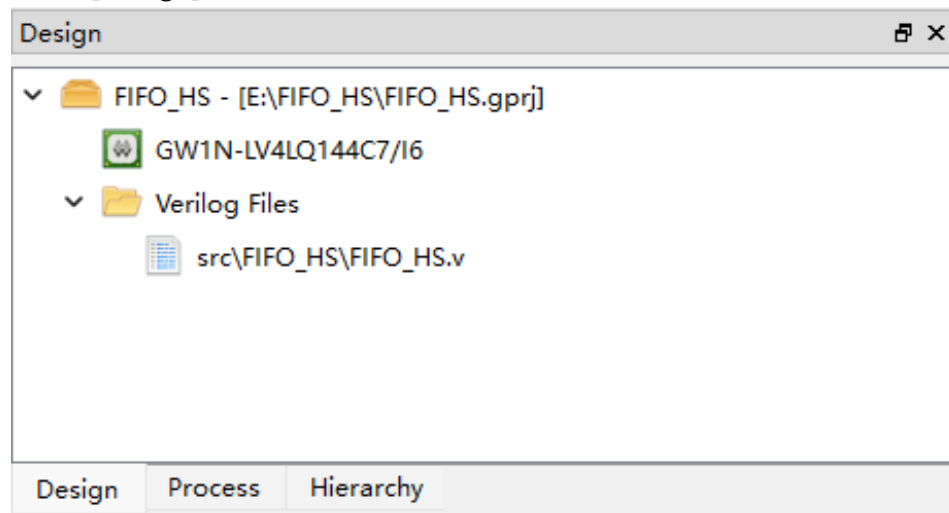
- 現在、一部の IP では、それぞれ説明ドキュメント、シミュレーションモデル、シミュレーションスクリプト、および **testbench** ファイルである **doc**、**model**、**sim**、および **tb** フォルダが IP 作成パスに生成されます。

図 3-4 FIFO HS IP ディレクトリ

Name	Date modified	Type	Size
temp	5/31/2022 15:54	File folder	
FIFO_HS.ipc	5/30/2022 16:59	IPC File	1 KB
FIFO_HS.v	5/30/2022 16:59	V File	59 KB
FIFO_HS.vo	5/30/2022 16:59	VO File	60 KB
FIFO_HS_tmp.v	5/30/2022 16:59	V File	1 KB

FIFO HS IP が生成された後の **Design** ウィンドウは図 3-5 に示すとおりです。

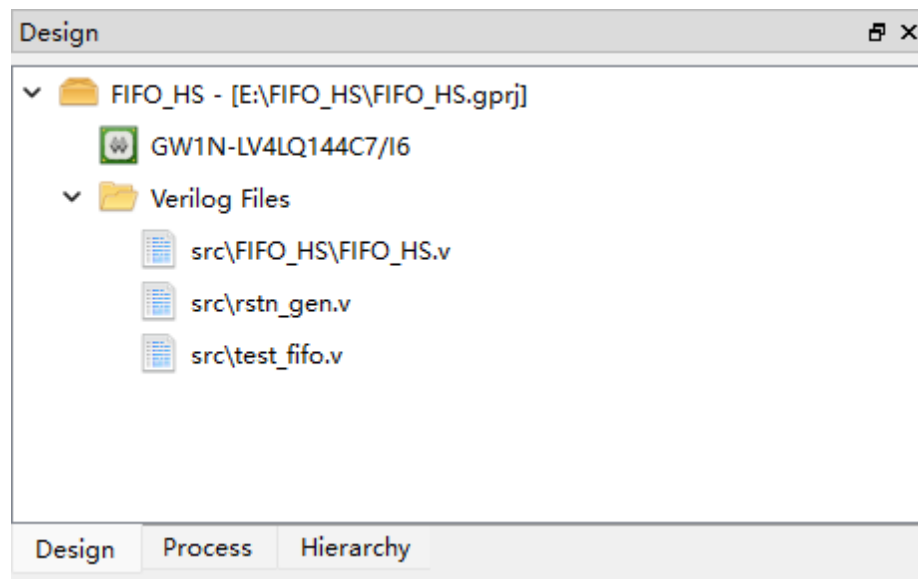
図 3-5 [Design]ウィンドウ



3.1.3 ファイルのロード

FIFO HS の機能をテストするためのいくつかのファイルを作成またはロードします(図 3-6)。

図 3-6 ファイルのロード



3.2 RTL 回路図の確認

ファイルが追加されたら、メニューバーの “Tools > Schematic Viewer > RTL Design Viewer” から RTL デザイン全体の回路図を確認することができます。Schematic Viewer の詳細については、『Gowin HDL 回路図ビューア ユーザーガイド([SUG755](#))』を参照してください。

3.3 GAO の構成

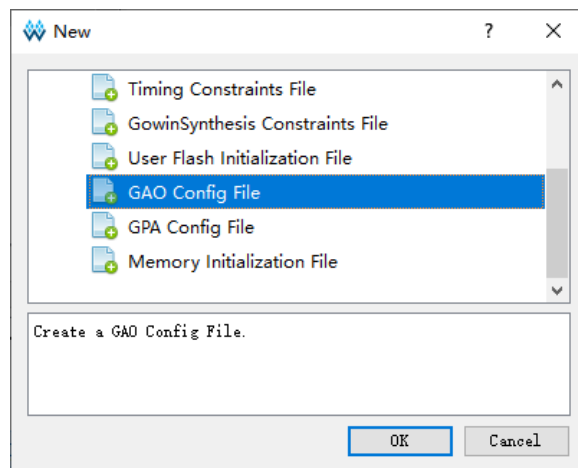
Gowin ソフトウェアは、RTL レベルの信号キャプチャと合成後ネットリストレベルの信号キャプチャをサポートします。RTL レベルの信号キャプチャの場合、ソースファイルの作成またはロード後に GAO 構成ファイルを作成でき、合成後ネットリストレベルの信号キャプチャの場合、合成後に GAO 構成ファイルを作成できます。GAO 構成ファイルは、データを収集し、デザインが正しいかを検証するために使用されます。また、Standard Mode GAO および Lite Mode GAO が提供されます。GAO の使用法については、『Gowin アナライザオシロスコープ ユーザーガイド([SUG114](#))』を参照して下さい。

ここでは RTL レベルの信号キャプチャおよび Standard Mode GAO を例に説明します。

3.3.1 Standard Mode GAO 構成ファイルの作成

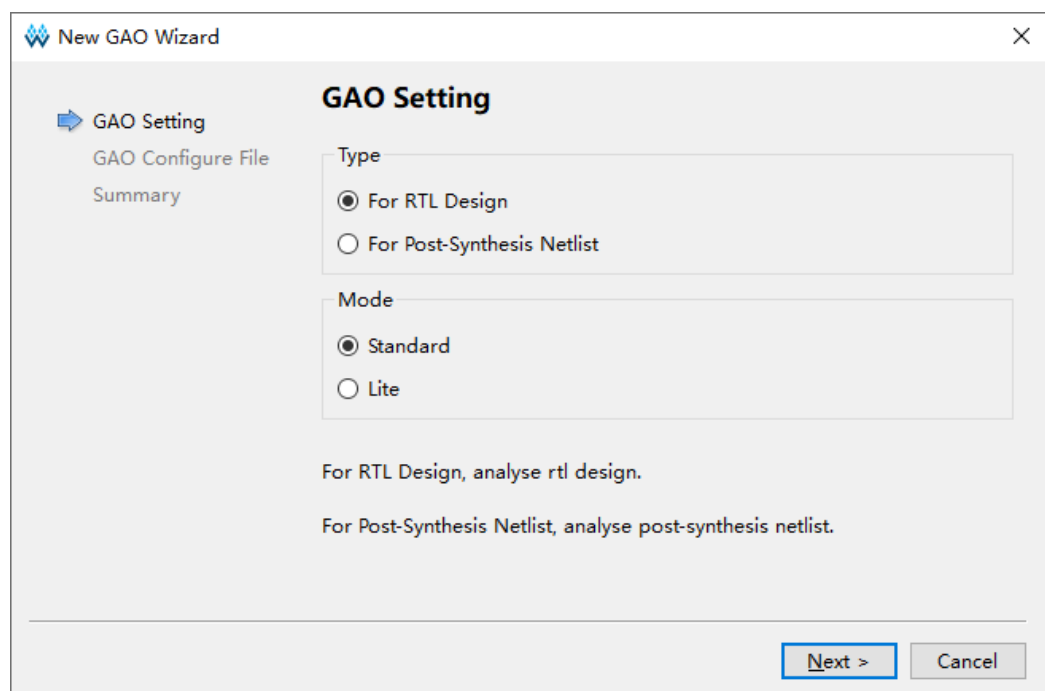
Gowin ソフトウェアから “Design > New File…” を選択し、ポップアップする [New] ダイアログボックスで、GAO Config File を選択します(図 3-7)。

図 3-7 GAO 構成ファイルの作成



Type として For Post-Synthesis Netlist、Mode として Standard を選択し、“Next”をクリックします。ファイル名は FIFO HS として設定し、Standard Mode GAO の構成ファイルが作成されるまで “Next” をクリックします(図 3-8)。

図 3-8 GAO 構成ファイルの設定



3.3.2 Standard Mode GAO の構成

Standard Mode GAO 構成ファイルが作成されたら、機能コアの数、トリガオプション、およびキャプチャオプションを構成します。トリガオプションには、トリガ条件、トリガポート、マッチユニット、およびトリガ式が含まれ、キャプチャオプションには、キャプチャ信号、ストレージ情報、およびキャプチャデータ信号が含まれます。この設計では、機能コアの数は 1 であり、トリガオプションの構成およびキャプチャオプションの構成を図 3-9 と図 3-10 に示します。

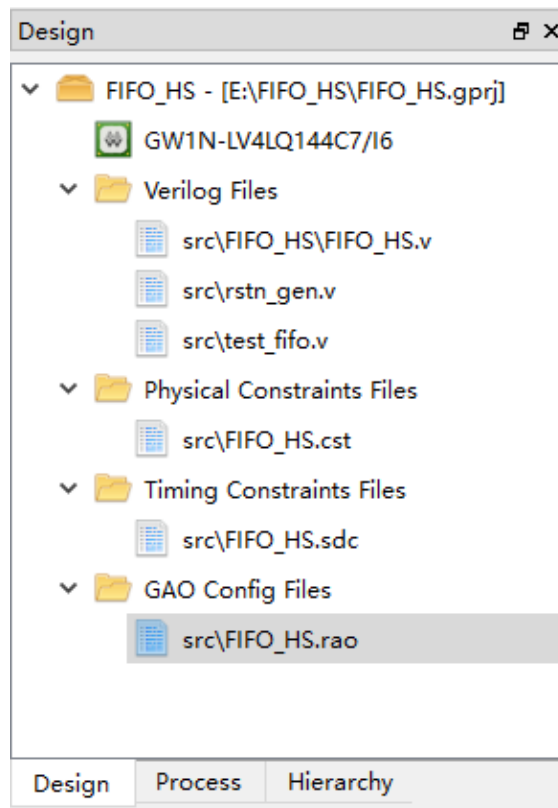
図 3-9 トリガオプションの構成

Match Unit	Trigger Port	Match Type	Function	Counter	Value
<input checked="" type="checkbox"/> M0	Trigger 0	Basic w/edges	==	Disabled	R
<input type="checkbox"/> M1	NONE	Basic	==	Disabled	
<input type="checkbox"/> M2	NONE	Basic	==	Disabled	
<input type="checkbox"/> M3	NONE	Basic	==	Disabled	
<input type="checkbox"/> M4	NONE	Basic	==	Disabled	
<input type="checkbox"/> M5	NONE	Basic	==	Disabled	
<input type="checkbox"/> M6	NONE	Basic	==	Disabled	
<input type="checkbox"/> M7	NONE	Basic	==	Disabled	
<input type="checkbox"/> M8	NONE	Basic	==	Disabled	
<input type="checkbox"/> M9	NONE	Basic	==	Disabled	
<input type="checkbox"/> M10	NONE	Basic	==	Disabled	

図 3-10 キャプチャオプションの構成

すべてのオプションの構成が完了した後、“**Save**”をクリックします。**GAO**の構成ファイルは、図 3-11 に示すように、**Design** ウィンドウに表示されます。

図 3-11 GAO の構成ファイル



3.4 GowinSynthesis による合成

3.4.1 オプションの構成

“Process > Synthesize > Configuration”を選択すると、Configurationダイアログボックスが表示され、このダイアログボックスで合成オプションを構成することができます。GowinSynthesisの詳細については、『Gowinソフトウェア ユーザーガイド([SUG550](#))』を参照してください。

この設計では、TOP Module/Entity は test_fifo です(図 3-12)。

図 3-12 合成オプションの構成

Synthesize

General

Synthesis Tool: ☒ GowinSynthesis

Top Module/Entity: test_fifo

Include Path: ...

TclPre: ...

GowinSynthesis

Verilog Language: System Verilog 2017 ▼

Looplimit: 2000

☐ Show All Warnings

☐ Disable Insert Pad

☒ Ram R/W Check

また、ソースファイルに合成の属性と命令を追加して合成の結果を制御することもできます。属性と命令の詳細については、『Gowin ソフトウェア ユーザーガイド(SUG550)』を参照してください。図 3-13 に示すように、このデザインでは `/* synthesis syn_keep=1 */` 合成属性が使用され、合成および最適化中に、この net は保持されます。

図 3-13 GowinSynthesis の属性と命令

```

67 reg [1:0] ALT_CNT_d;
68 reg [7:0] rand_num;
69 reg [9:0] rand_cnt;
70 reg [11:0] start_rdmck;
71 reg fifo_empty_d;
72 wire [WRSIZE-1:0] w_data_d/* synthesis syn_keep=1 */;
73 wire load;
74 wire [RDSIZE-1:0] r_data;
75 wire [WNSIZE:0] w_num;
76 wire [RNSIZE:0] r_num;
77 wire fifo_full;
78 wire fifo_empty;
79 wire fifo_alempy;
80 //test state machine

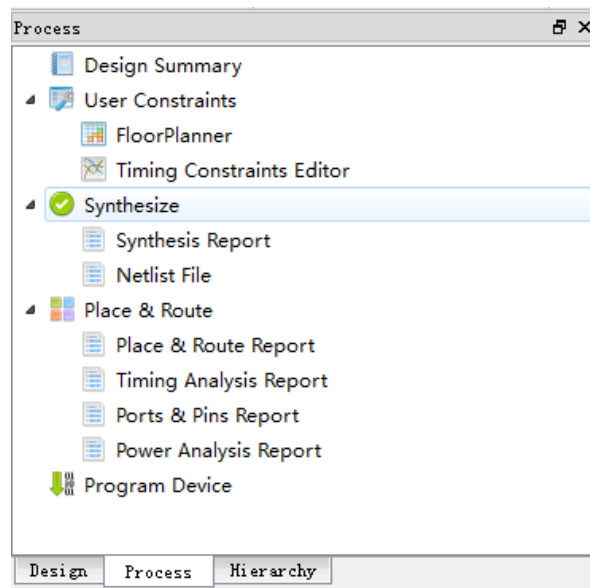
```

3.4.2 合成

合成オプションの構成が完了したら、合成を実行できます。

[Process]ウィンドウで[Synthesize]をダブルクリックして合成を開始します。合成が完了すると、図 3-14 に示すように、Synthesize の前のアイコンが “” になります。[Synthesis Report]をダブルクリックして合成レポートを表示し、[Netlist File]をダブルクリックして合成後のネットリストファイルを表示できます。

図 3-14 合成完了



合成が完了すると、プロジェクト作成パス¥implの下に **gwsynthesis** フォルダが生成されます。このフォルダには、図 3-15 に示すように、合成中に生成されたすべてのファイルが含まれます。

図 3-15 gwsynthesis ディレクトリ

Name	Date modified	Type	Size
RTL_GAO	5/31/2022 15:54	File folder	
FIFO_HS.log	5/31/2022 15:51	LOG File	6 KB
FIFO_HS.prj	5/31/2022 15:50	PRJ File	2 KB
FIFO_HS.vg	5/31/2022 15:51	VG File	454 KB
FIFO_HS_syn.rpt.html	5/31/2022 15:51	360 se HTML Doc...	29 KB
FIFO_HS_syn_resource.html	5/31/2022 15:51	360 se HTML Doc...	3 KB
FIFO_HS_syn_rsc.xml	5/31/2022 15:51	XML Document	1 KB

プロジェクトに **GAO** 構成ファイルがある場合、合成が完了すると、プロジェクトパス¥impl¥gwsynthesisの下に **RTL_GAO** フォルダが生成されます(図 3-15)。このフォルダには、図 3-16 に示すように、**RTL GAO** の合成中に生成されたすべてのファイルが含まれます。

- **ao_0** には、機能コアのパラメータファイルが含まれています。
- **ao_control** には、制御コアのパラメータファイルが含まれています。
- **gw_gao_top.v** は、**ao**、**ao_control**、および **jtag** モジュールを接続させる **GAO** のトップレベルファイルです。

図 3-16 RTL_GAO ディレクトリ

Name	Date modified	Type	Size
ao_0	5/31/2022 15:54	File folder	
ao_control	5/31/2022 15:54	File folder	
gw_gao_top.v	5/31/2022 15:54	V File	6 KB

3.5 合成後ネットリストの回路図の確認

合成が完了した後、メニューバーの “Tools > Schematic Viewer>Post-Synthesis Netlist Viewer” から合成後ネットリストの回路図を確認することができます。Schematic Viewer の詳細については、『Gowin HDL 回路図ビューア ユーザーガイド([SUG755](#))』を参照してください。

3.6 物理制約

合成が完了したら、物理制約を手動で編集するか、FloorPlanner で編集できます。このデザインでは、FloorPlanner を使用して物理制約を編集します。FloorPlanner の使用法については、『Gowin 物理制約ユーザーガイド(SUG935)』および『Arora V 物理制約ユーザーガイド(SUG1018)』を参照してください。

3.6.1 物理制約の新規作成

Gowin ソフトウェアから “Process > User Constraints > FloorPlanner” を選択して FloorPlanner を開きます。このツールは、I/O、Primitive、および Group などの物理制約をサポートしています。このデザインは I/O 制約を例として使用します。

制約編集ウィンドウの I/O 制約ウィンドウで I/O Constrains を作成できます。[Netlist] ウィンドウまたは [I/O Constraints] ウィンドウで、制約されるポートの行を選択し、それを [Package View] または [Chip Array] ビューの特定の位置にドラッグします。完了後、制約されるポートの Location 情報は、それがドラッグされる IOB の位置になります(図 3-17)。

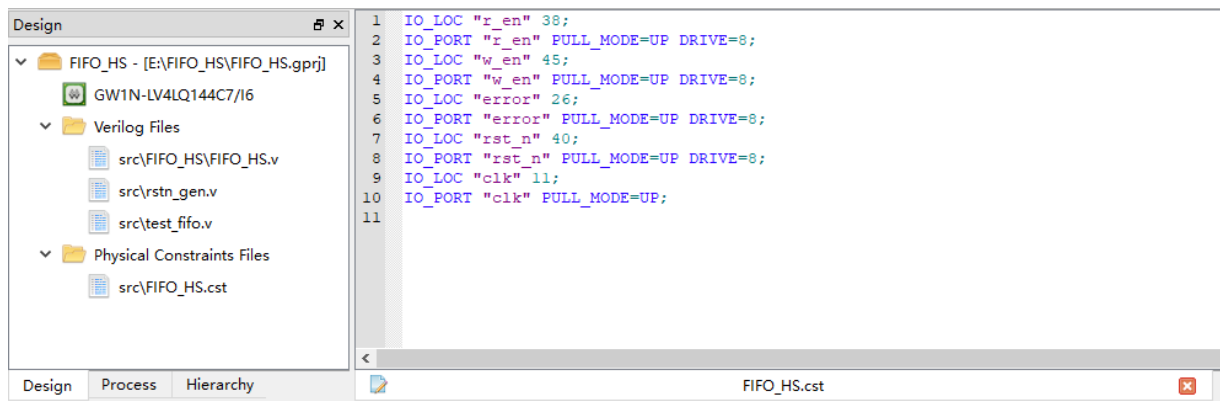
図 3-17 I/O 制約

Port	Direction	Diff Pair	Location	Bank	Exclusive	IO Type	Drive	Pull Mode	PCI Clamp	Hysteresis
1 clk	input		11	3	False	LVCMS18	N/A	UP	N/A	NONE
2 error	output		26	3	False	LVCMS18	8	UP	N/A	N/A
3 r_en	output		38	2	False	LVCMS18	8	UP	N/A	N/A
4 rst_n	output		40	2	False	LVCMS18	8	UP	N/A	N/A
5 w_en	output		45	2	False	LVCMS18	8	UP	N/A	N/A

すべての制約の編集が完了した後、ツールバーの “Save” をクリックし

て物理制約ファイルを生成します。図 3-18 に示すとおりです。

図 3-18 物理制約の表示



配置配線の際、物理制約ファイルがない場合は、自動的に配置配線されます。物理制約ファイルがある場合は、物理制約ファイルに従って配置配線されます。

3.6.2 物理制約の変更

物理制約ファイルが生成されたら、FloorPlanner を使用して物理制約を変更できます。変更した後、ツールバーの“Save”をクリックして制約の変更を完了します。

3.7 タイミング制約

合成が完了したら、タイミング制約を手動で編集するか、Timing Constraints Editor で編集できます。このデザインでは、Timing Constraints Editor を使用してタイミング制約を編集します。Timing Constraints Editor の使用法については、『Gowin タイミング制約ユーザーガイド([SUG101](#))』を参照してください。

3.7.1 タイミング制約の新規作成

Gowin ソフトウェアから“Process > User Constraints > Timing Constrains Editor”を選択して Timing Constrains Editor を開きます。このツールは、クロック、I/O、およびタイミングレポートなどのタイミング制約をサポートしています。このデザインはクロックおよびタイミングレポート制約を例として使用します。

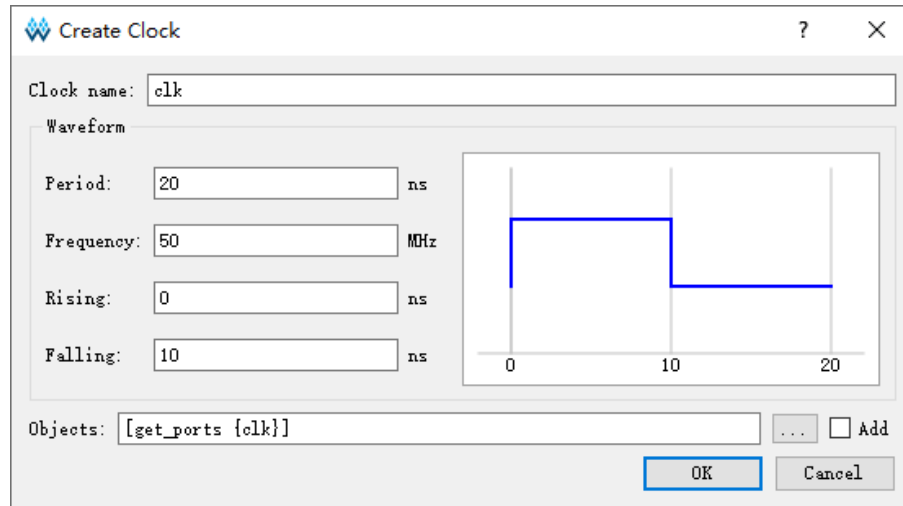
クロック制約

Timing Constraints > Clocks を選択します。右側の空白で右クリックし、Create Clock を選択すると、Create Clock ダイアログボックスが表示されます(図 3-19)。

- Clock name : clk
- Period : 20
- Frequency : 50

- Rising : 0
- Falling : 10
- Source Object : get_ports {clk}

図 3-19 Clock 制約

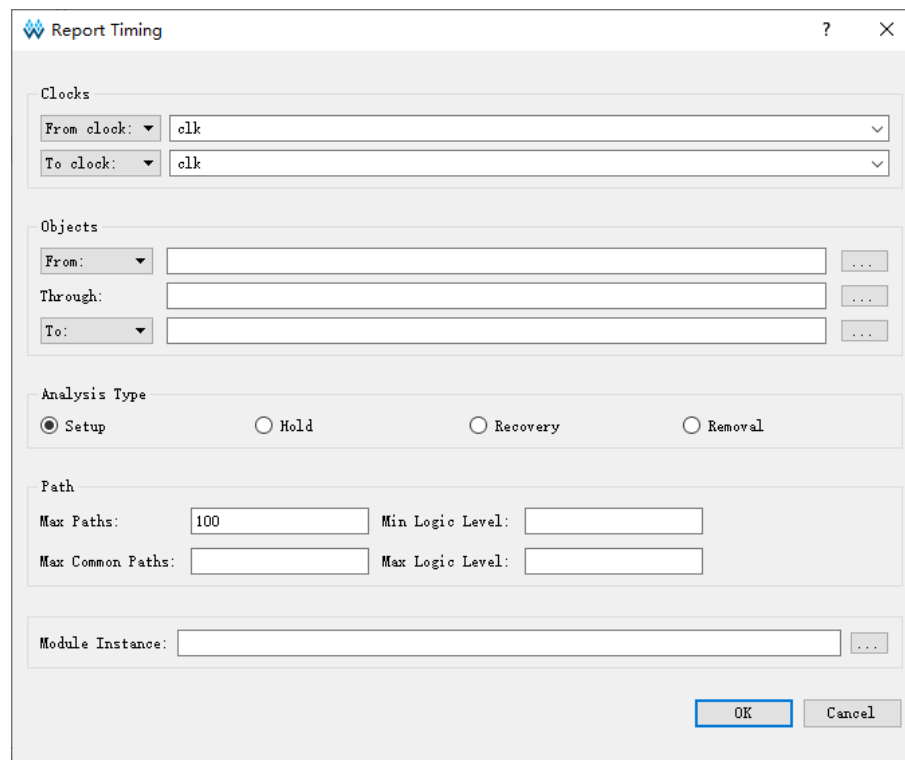


本設計では **GAO** が使用されるため、クロック **tck_pad_i** を **clk** と同じ方法で作成します。**clk** と **tck_pad_i** は非同期クロックです。**Gowin** ソフトウェアに 2 つの関係を解析させたくない場合は、タイミング制約エディタを使用してクロックグループ制約を作成できます。

タイミングレポート制約

“Timing Constraints > Report > Report Timing” を選択し、右側の空白スペースで右クリックして **Create Report** を選択し、ポップアップした **Report Timing** ダイアログボックスでパラメータを設定します(図 3-20)。

図 3-20 タイミングレポート制約

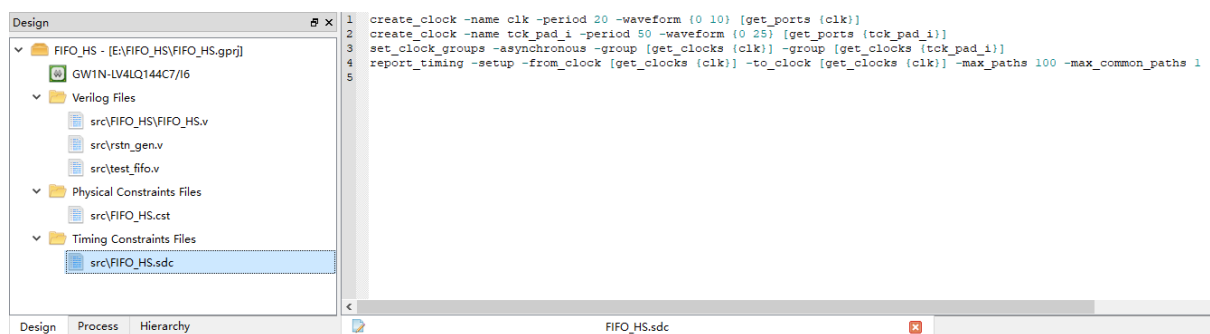


The "Report Timing" dialog box is shown with the following settings:

- Clocks:** From clock: clk, To clock: clk
- Objects:** From: (empty), Through: (empty), To: (empty)
- Analysis Type:** Setup (selected), Hold, Recovery, Removal
- Path:** Max Paths: 100, Min Logic Level: (empty), Max Common Paths: (empty), Max Logic Level: (empty)
- Module Instance:** (empty)
- Buttons:** OK, Cancel

すべての制約の編集が完了した後、ツールバーの“Save”をクリックしてタイミング制約を生成します。図 3-21 に示すとおりです。

図 3-21 タイミング制約



配置配線の際、タイミング制約ファイルがない場合は、デフォルトのクロックに従ってタイミング解析が実行され、タイミング制約ファイルがある場合は、タイミング制約ファイルに従ってタイミング解析が実行されます。

3.7.2 タイミング制約の変更

タイミング制約ファイルが生成されたら、Timing Constrains Editor を使用してタイミング制約を変更できます。変更した後、ツールバーの“Save”をクリックして制約の変更を完了します。

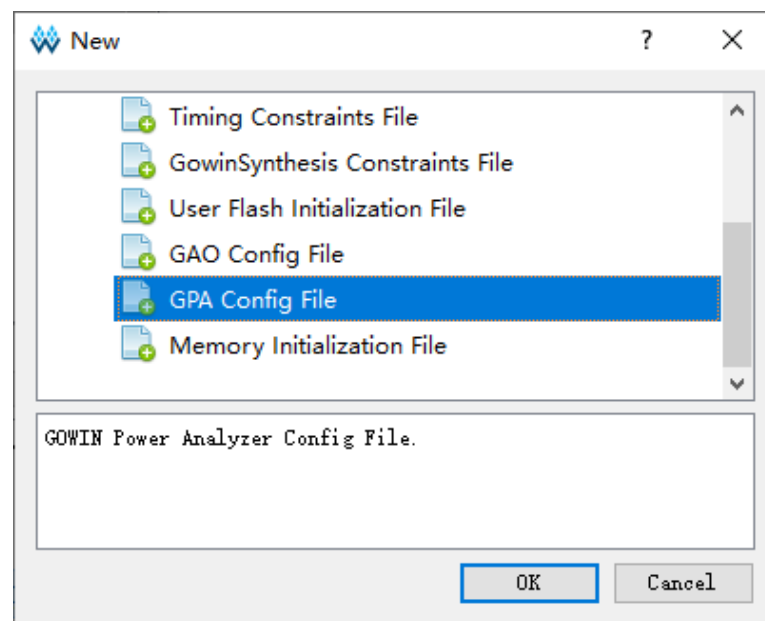
3.8 消費電力解析の構成

合成が完了したら、消費電力解析用の消費電力解析構成ファイルを作成することができます。詳細については、『Gowin パワーアナライザ ユーザーガイド([SUG282](#))』を参照してください

3.8.1 消費電力解析の構成ファイルの作成

Gowin ソフトウェアから “Design > New File…” を選択し、ポップアップする[New]ダイアログボックスで、GPA Config File を選択します(図 3-22)。ファイル名は FIFO_HS として設定します。ファイルパスは、デフォルトでプロジェクトの下での src フォルダを選択します。最後に、[OK]をクリックします。

図 3-22 消費電力解析の構成ファイルの作成



3.8.2 オプションの構成

消費電力解析構成ファイルを作成した後、General Setting、Rate Setting、および Clock Setting を構成します。

- **General Setting** には、デバイス、パッケージ、スピードグレード、温度グレード、熱インピーダンス、および電圧などのパラメータが含まれます。
- **Rate Setting** ウィンドウは、信号のトグルレートの設定に使用され、IO または Net のトグルレートを設定するか、デフォルトのトグルレートを使用することができます。
- “**Clock Setting**” ウィンドウは、主に動作クロックと、BSRAM、I/O、および DFF クロックのイネーブル特性を構成するために使用されます。

General Setting

この設計における General Setting は図 3-23 に示すとおりです。

図 3-23 General Setting の構成

General Setting Rate Setting Clock Setting

Operating Conditions

Grade: **COMMERCIAL** Process: **TYPICAL**

Environment

Ambient Temperature: **25.000°C**

☐ Custom Theta JA: **25.000°C/W**

Heat Sink

☒ None ☐ Low Profile ☐ Medium Profile ☐ High Profile ☐ Custom

Air-flow: **0** (LFM)

Custom Theta SA: **25.000°C/W**

Board Thermal Model

☒ None ☐ Custom ☐ Typical

Board Temperature: **25.000°C** (-40°C-100°C)

Custom Theta JB: **25.000°C/W**

Voltage

VCC: **1.200V**

VCCX: **3.300V**

FIFO_HS.gpa

Rate Setting

この設計では、図 3-24 に示すように、クロック信号 **clk** のトグルレートは **50%**で、残りの信号のトグルレートはデフォルトの **12.5%**です。

図 3-24 Rate Setting の構成

General Setting Rate Setting Clock Setting

Net Rate

☒ % ☐ transition/s

Name	Value
clk	50.00%

VCD File

Instance	File Name	File Type
----------	-----------	-----------

☐ Filter glitch on VCD file

Default Rate Setting

Default Rate used for IO input signals: 12.50 %

Default Rate used for remaining signals

Default Value: 12.50 %

FIFO_HS.gpa

Clock Setting

この設計における Clock Setting は図 3-25 に示すとおりです。

図 3-25 Clock Setting の構成

General Setting Rate Setting Clock Setting

Clock

Global Enable: 100.00

Clock Name	Clock Enable	Quad1	Quad2	Quad3	Quad4
clk	100				

B-SRAM

Clock Enable: 100.00 Read Probability: 100.00 Write Probability: 100.00

Name	ClockA Enable	ReadA Probability	WriteA Probability	ClockB Enable	ReadB Probability	WriteB Probability
------	---------------	-------------------	--------------------	---------------	-------------------	--------------------

IO

Name	Out Enable	Load Capacity
------	------------	---------------

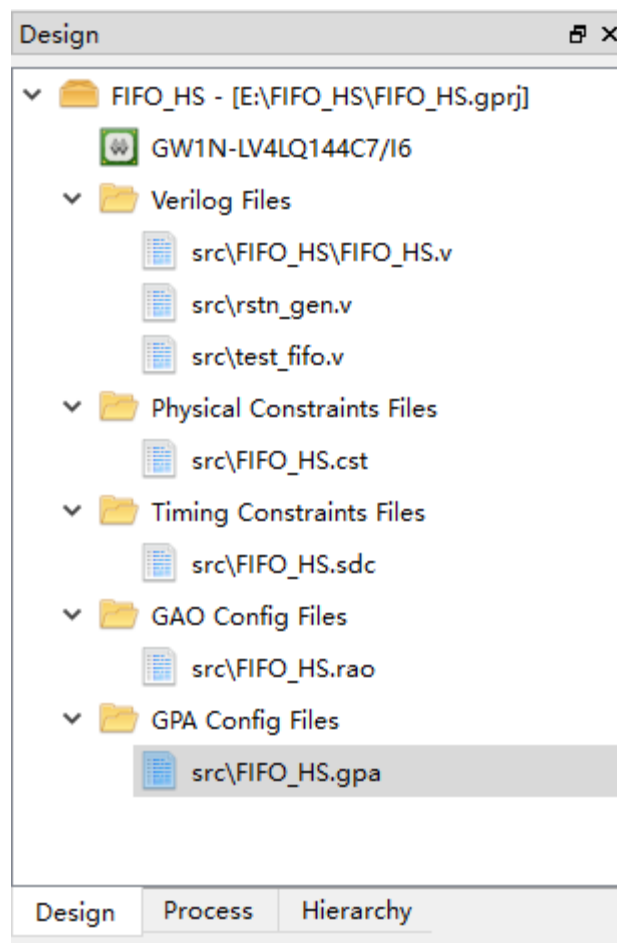
DFF

Name	Value
------	-------

FIFO_HS.gpa

すべてのオプションの構成が完了した後、“**Save**”をクリックします。
図 3-26 に示すように、**Design** ウィンドウに表示されます。

図 3-26 消費電力解析の構成ファイルの表示



配置配線の際、消費電力解析構成ファイルがない場合は、デフォルトの構成に従って消費電力解析が実行され、消費電力解析構成ファイルがある場合は、消費電力解析構成ファイルに従って消費電力解析が実行されます。

3.9 配置配線

合成の後にユーザーのニーズに応じて物理制約ファイル、タイミング制約ファイル、消費電力解析構成ファイルを作成したら、配置配線を開始できます。

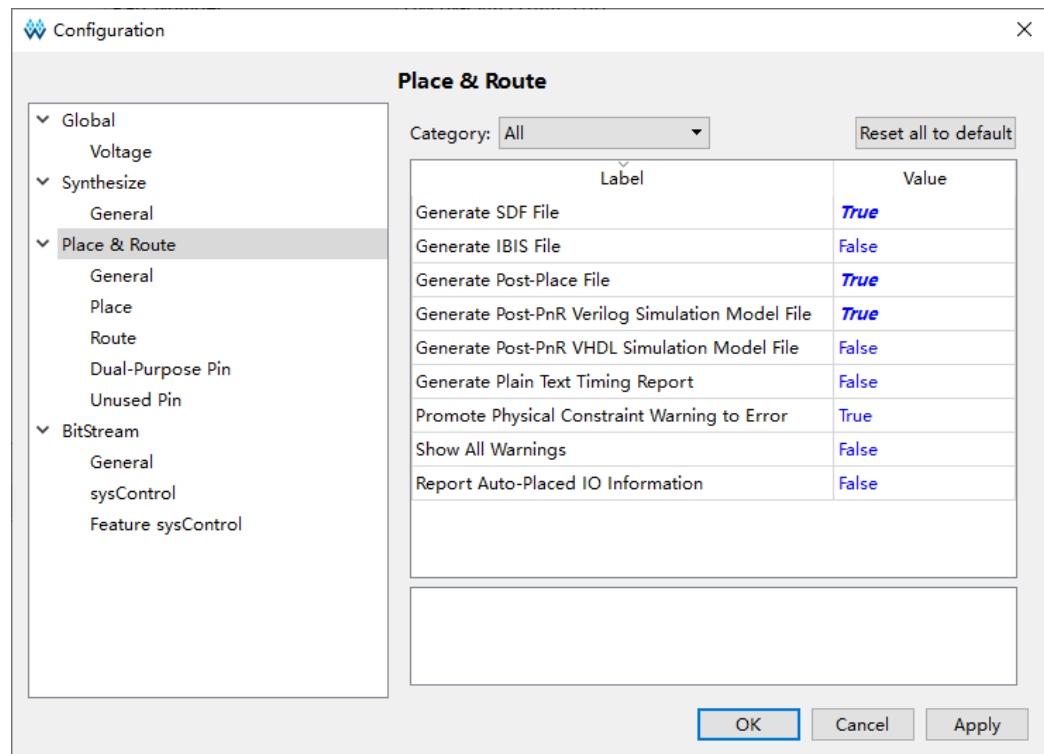
3.9.1 オプションの構成

“Process > Place & Route > Configuration”を選択すると、Configurationダイアログボックスが表示され、このダイアログボックスでPlace & RouteおよびBitstreamのオプションを構成することができます。オプション構成の詳細については、『Gowin ソフトウェア ユーザーガイド([SUG100](#))』を参照してください。

本設計では、図 3-27 に示すように、Generate SDF File、Generate Post-Place File、Generate Post-PNR Verilog Simulation Model File を True に構成し、Place output register to IOB を False に構成し、それ以外のオブ

ションはデフォルト値を使用します。

図 3-27 配置配線のオプションの構成



3.9.2 PnR の実行

配置配線オプションを構成した後、配置配線を実行できます。


[Process]ウィンドウで[Place&Route]をダブルクリックして、配置配線を開始します。配置配線の際、GAOの構成と物理制約、タイミング制約、および消費電力解析の構成に従って、それぞれ配置配線、タイミング解析、および消費電力解析が実行されます。配置配線が完了すると、図 3-28 に示すように、Place & Route の前のアイコンが “” になります。

図 3-28 配置配線完了

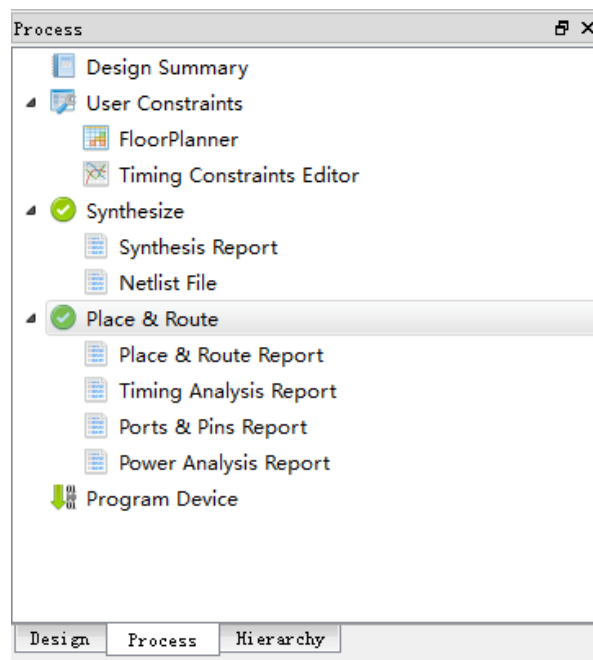


図 3-29 に示すように、配置配線が完了すると、プロジェクト作成パス¥impl の下に pnr フォルダが生成されます。このフォルダには、配置配線中に生成されたすべてのファイル(ビットストリームファイル、配置配線後のネットリストファイル、出力レポートなど)が含まれます。このうち、配置配線レポート、ポート属性レポート、タイミングレポート、および消費電力解析レポートの詳細は、[3.12 ファイルの出力](#)を参照してください。

図 3-29 PnR ディレクトリ

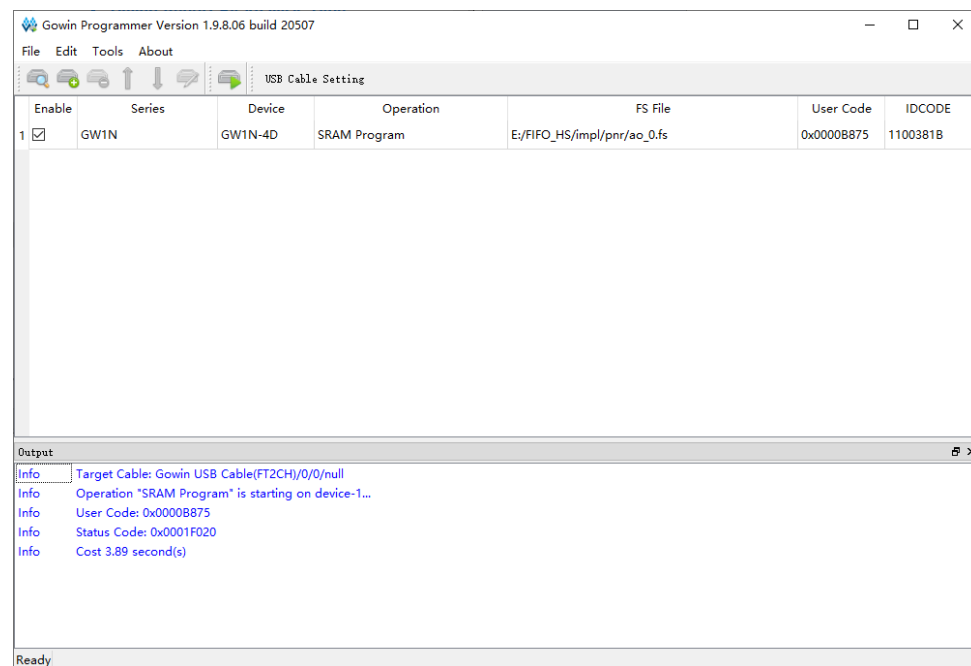
Name	Date modified	Type	Size
ao_0.fs	5/31/2022 15:51	FS File	1,732 KB
cmd.do	5/31/2022 15:51	DO File	1 KB
device.cfg	5/31/2022 15:51	CFG File	1 KB
FIFO_HS.db	5/31/2022 15:51	Data Base File	43 KB
FIFO_HS.log	5/31/2022 15:51	LOG File	2 KB
FIFO_HS.pin.html	5/31/2022 15:51	360 se HTML Doc...	35 KB
FIFO_HS.posp	5/31/2022 15:51	POSP File	1 KB
FIFO_HS.power.html	5/31/2022 15:51	360 se HTML Doc...	8 KB
FIFO_HS.rpt.html	5/31/2022 15:51	360 se HTML Doc...	40 KB
FIFO_HS.rpt.txt	5/31/2022 15:51	TXT File	29 KB
FIFO_HS.sdf	5/31/2022 15:51	SDF File	2,321 KB
FIFO_HS.timing_paths	5/31/2022 15:51	TIMING_PATHS File	32 KB
FIFO_HS.tr.html	5/31/2022 15:51	360 se HTML Doc...	1 KB
FIFO_HS.vo	5/31/2022 15:51	VO File	561 KB
FIFO_HS_tr_cata.html	5/31/2022 15:51	360 se HTML Doc...	8 KB
FIFO_HS_tr_content.html	5/31/2022 15:51	360 se HTML Doc...	844 KB

3.10 ビットストリームのダウンロード

配置配線が完了した後、ビットストリームファイルが生成されます。**Programmer** を介してビットストリームファイルをダウンロードできます。**Programmer** の使用法については『**Gowin Programmer ユーザーガイド (SUG502)**』を参照してください。

“**Process > Program Device**” を選択して、プロジェクトのビットストリームファイルを自動的に認識してロードする **Programmer** を開きます。開発ボードの準備ができたなら、ツールバーの **Program/Configure** アイコンをクリックして、ビットストリームを開発ボードにダウンロードします(図 3-30)。

図 3-30 **Programmer** インターフェース

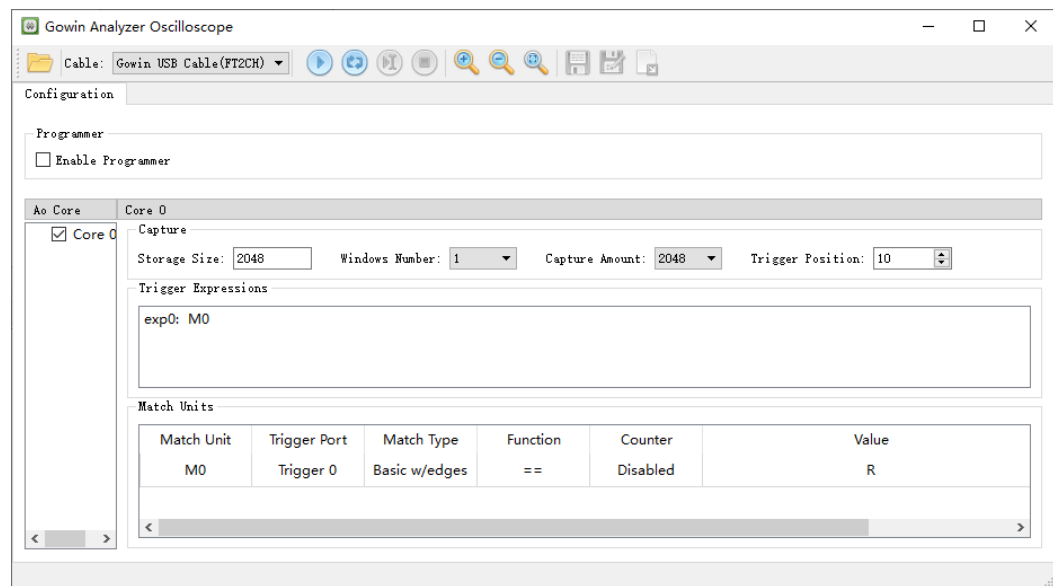


3.11 GAO によるデータ収集

ビットストリームのダウンロードが完了したら、**GAO** でデザインが正しいかを確認できます。**GAO** の使用法については、『**Gowin アナライザオシロスコープ ユーザーガイド(SUG114)**』を参照して下さい。

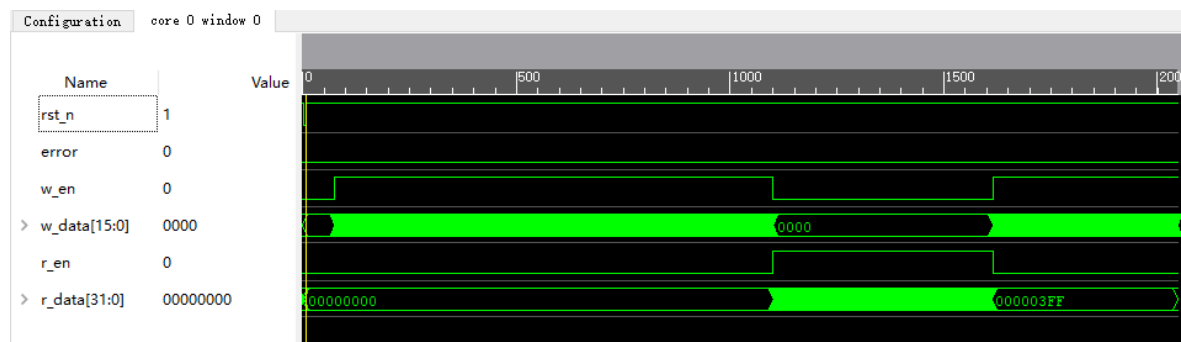
Gowin ソフトウェアのツールバーの **Gowin Analyzer Oscilloscope** アイコンをクリックすると、**GAO** のインターフェースが表示されます。**GAO** は、プロジェクトの **GAO** 構成ファイルを自動的に認識してロードします(図 3-31)。

図 3-31 GAO のインターフェース



GAO インターフェースの[Start]アイコンをクリックして、データの収集を開始します。収集が完了すると、GAO インターフェースには、波形を表示するための **windows** ウィンドウが生成されます(図 3-32)。このウィンドウは、マーカーによる位置情報表示や波形の拡大縮小などをサポートしており、データの正確さを分析するのに便利です。

図 3-32 GAO での波形表示



3.12 ファイルの出力

3.12.1 配置配線レポート

配置配線レポートには、ユーザーデザインが占有するデバイスリソース情報、メモリ使用情報、時間使用情報などが記載されます。これにより、ユーザーはデザインのサイズと、ターゲットデバイスと一致するかどうかを確認できます。ファイルの拡張子は **rpt.html** で、詳細は ***.rpt.html** ファイルを参照してください。

図 3-33 に示すように、**Process** ウィンドウの **Place & Route > Place & Route Report** をダブルクリックして、配置配線レポートを開きます。

配置配線レポートの詳細については、『**Gowin ソフトウェア ユーザーガイド(SUG100)**』を参照してください。

図 3-33 配置配線レポート

PnR Details

Running placement:
 Placement Phase 0: CPU time = 0h 0m 0.203s, Elapsed time = 0h 0m 0.198s
 Placement Phase 1: CPU time = 0h 0m 0.11s, Elapsed time = 0h 0m 0.107s
 Placement Phase 2: CPU time = 0h 0m 0.218s, Elapsed time = 0h 0m 0.218s
 Placement Phase 3: CPU time = 0h 0m 1s, Elapsed time = 0h 0m 1s
 Total Placement: CPU time = 0h 0m 2s, Elapsed time = 0h 0m 2s

Running routing:
 Routing Phase 0: CPU time = 0h 0m 0s, Elapsed time = 0h 0m 0.001s
 Routing Phase 1: CPU time = 0h 0m 0.063s, Elapsed time = 0h 0m 0.061s
 Routing Phase 2: CPU time = 0h 0m 0.64s, Elapsed time = 0h 0m 0.648s
 Total Routing: CPU time = 0h 0m 0.703s, Elapsed time = 0h 0m 0.71s
 Generate output files:
 CPU time = 0h 0m 0.875s, Elapsed time = 0h 0m 0.864s

Total Time and Memory Usage
 CPU time = 0h 0m 3s, Elapsed time = 0h 0m 3s, Peak memory usage = 232MB

Resource Usage Summary:

Resource	Usage	Utilization
Logic	1341/4608	29%
--LUT,ALU,ROM16	1341(1084 LUT, 257 ALU, 0 ROM16)	-
--SSRAM(RAM16)	0	-
Register	822/3756	21%
--Logic Register as Latch	1/3456	1%
--Logic Register as FF	821/3456	23%
--I/O Register as Latch	0/300	0%
--I/O Register as FF	0/300	0%
CLS	929/2304	40%
I/O Port	9	-

3.12.2 ポート属性レポート

ポート属性レポートは、配置後に出力されるポート属性のファイルで、ポートのタイプ、属性、ポート位置情報などが含まれます。生成されるファイルの拡張子は.pin.html で、詳細については*.pin.html ファイルを参照してください。

図 3-34 に示すように、Process ウィンドウの Place & Route > Ports & Pins Report をダブルクリックして、ポート属性レポートを開きます。

ポート属性レポートの詳細については、『Gowin ソフトウェア ユーザーガイド(SUG100)』を参照してください。

図 3-34 ポート属性レポート

Pin Details

Pinout by Port Name:

Port Name	Diff Pair	Loc./Bank	Constraint	Dir.	Site	IO Type	Drive	Pull Mode	PCI Clamp	Hysteresis	Open Drain	Slew Rate	Vref	Single Resistor	Diff Resistor
clk		11/3	Y	in	IOL9[A]	LVCMOS18	NA	UP	NA	NONE	NA	NA	NA	NA	OFF
tms_pad_j		13/3	N	in	IOL10[A]	LVCMOS18	NA	UP	NA	NONE	NA	NA	NA	NA	OFF
tck_pad_j		14/3	N	in	IOL10[B]	LVCMOS18	NA	UP	NA	NONE	NA	NA	NA	NA	OFF
tdo_pad_j		16/3	N	in	IOL10[D]	LVCMOS18	NA	UP	NA	NONE	NA	NA	NA	NA	OFF
rst_n		40/2	Y	out	IOB7[A]	LVCMOS18	8	UP	NA	NA	OFF	FAST	NA	NA	OFF
error		26/3	Y	out	IOB11[B]	LVCMOS18	8	UP	NA	NA	OFF	FAST	NA	NA	OFF
w_en		45/2	Y	out	IOB10[B]	LVCMOS18	8	UP	NA	NA	OFF	FAST	NA	NA	OFF
r_en		38/2	Y	out	IOB6[A]	LVCMOS18	8	UP	NA	NA	OFF	FAST	NA	NA	OFF
tdo_pad_o		18/3	N	out	IOL10[E]	LVCMOS18	8	UP	NA	NA	OFF	FAST	NA	NA	OFF

All Package Pins:

Loc./Bank	Signal	Dir.	Site	IO Type	Drive	Pull Mode	PCI Clamp	Hysteresis	Open Drain	Slew Rate	Vref	Single Resistor	Diff Resistor
144/0	-	in	IOT2[B]	LVCMOS18	NA	UP	NA	NONE	NA	NA	NA	NA	NA
143/0	-	in	IOT3[B]	LVCMOS18	NA	UP	NA	NONE	NA	NA	NA	NA	NA
142/0	-	in	IOT4[A]	LVCMOS18	NA	UP	NA	NONE	NA	NA	NA	NA	NA
141/0	-	in	IOT4[B]	LVCMOS18	NA	UP	NA	NONE	NA	NA	NA	NA	NA
140/0	-	in	IOT6[A]	LVCMOS18	NA	UP	NA	NONE	NA	NA	NA	NA	NA
139/0	-	in	IOT6[B]	LVCMOS18	NA	UP	NA	NONE	NA	NA	NA	NA	NA
138/0	-	in	IOT7[A]	LVCMOS18	NA	UP	NA	NONE	NA	NA	NA	NA	NA
137/0	-	in	IOT7[B]	LVCMOS18	NA	UP	NA	NONE	NA	NA	NA	NA	NA
136/0	-	in	IOT9[A]	LVCMOS18	NA	UP	NA	NONE	NA	NA	NA	NA	NA
135/0	-	in	IOT9[B]	LVCMOS18	NA	UP	NA	NONE	NA	NA	NA	NA	NA

3.12.3 タイミングレポート

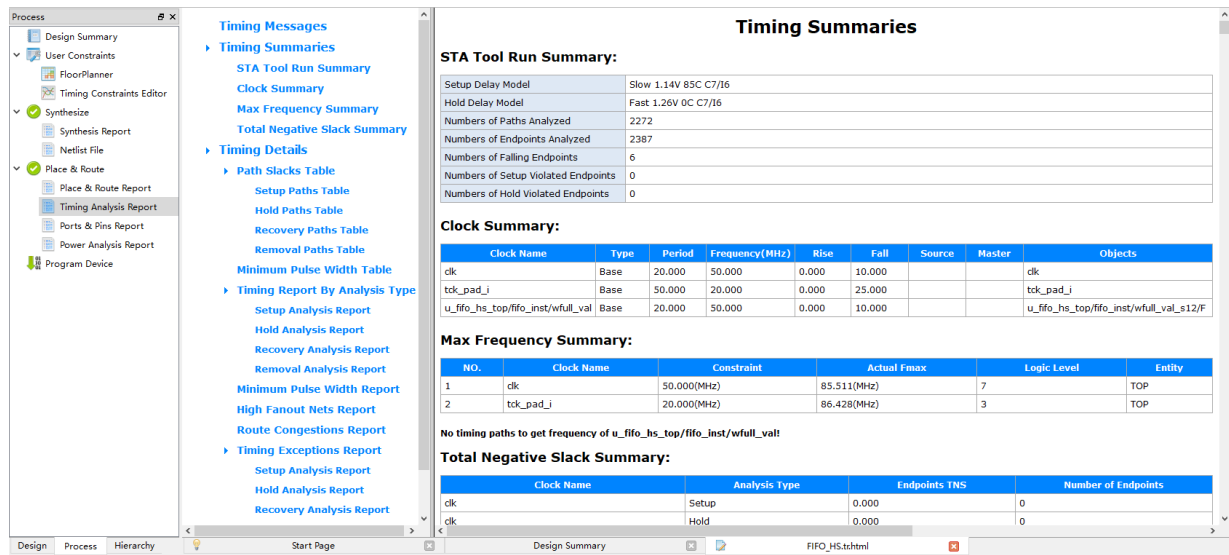
タイミングレポートには、セットアップ時間チェック、ホールド時間チェック、リカバリ時間チェック、リムーバル時間チェック、最小クロックパルスチェック、最大ファンアウトパス、配線密集レベルレポートなどが含まれます。デフォルトでは上記のすべてのチェックについてレポートす

るほか、最大周波数のレポートも提供します。

図 3-35 に示すように、**Process** ウィンドウの **Place & Route > Timing Analysis Report** をダブルクリックして、タイミングレポートを開きます。

タイミングレポートの詳細については、『Gowin タイミング制約ユーザーガイド([SUG940](#))』を参照してください。

図 3-35 タイミングレポート



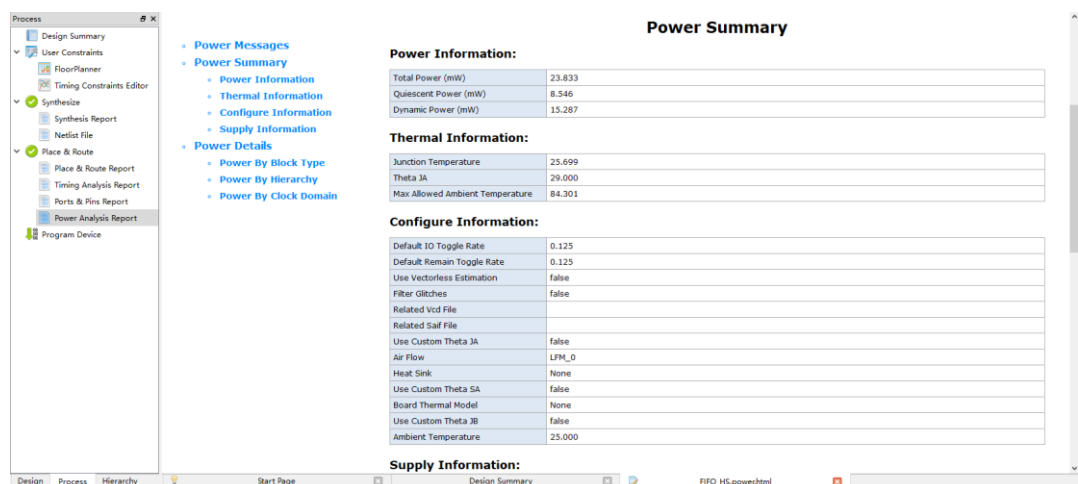
3.12.4 電力解析レポート

電力解析レポートは、主にユーザーデザインのために提供されます。電力解析の際、デバイスの特性に基づいて推定消費電力計算が行われます。これにより、ユーザーがデザインの基本的な消費電力値を評価できます。

図 3-36 に示すように、**Process** ウィンドウの **Place & Route > Power Analysis Report** をダブルクリックして、電力解析レポートを開きます。

電力解析レポートの詳細については、『Gowin パワーアナライザ ユーザーガイド([SUG282](#))』を参照してください。

図 3-36 電力解析レポート

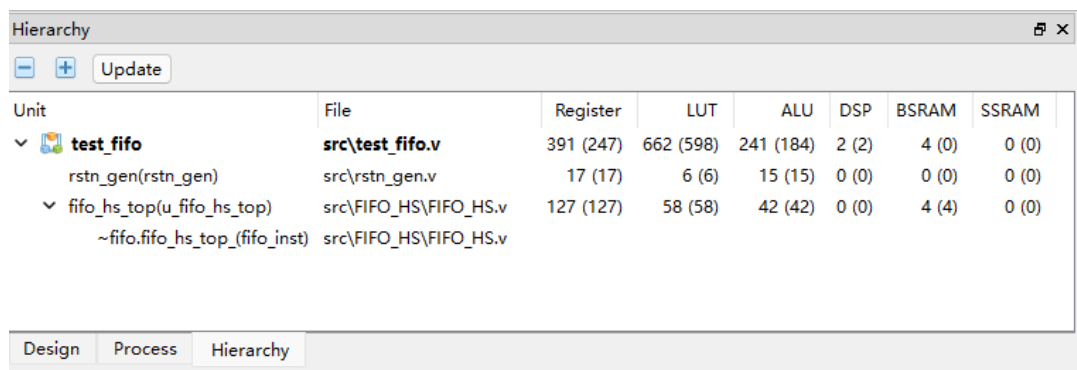


3.13 ファイルの暗号化

3.13.1 ソースファイルの暗号化

ユーザーは、プロジェクトの作成後、[Hierarchy]ウィンドウで選択したモジュールとそのサブモジュールを暗号化できます(図 3-37)。詳しくは、『Gowin ソフトウェア ユーザーガイド([SUG100](#))』を参照してください。

図 3-37 Hierarchy ウィンドウでのリソース情報の表示



The screenshot shows the 'Hierarchy' window with a table of resource information. The table has columns for Unit, File, Register, LUT, ALU, DSP, BSRAM, and SSRAM. The hierarchy starts with 'test_fifo' and includes sub-modules like 'rstn_gen' and 'fifo_hs_top'.

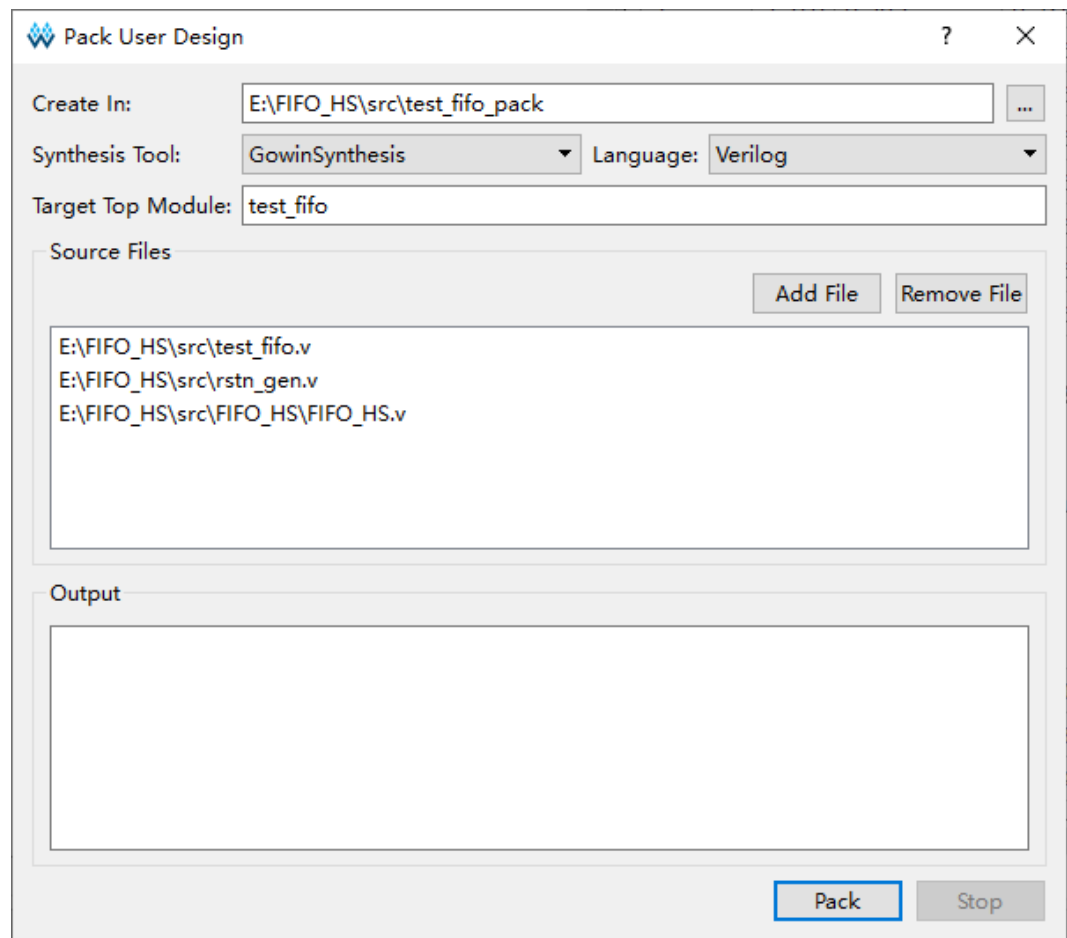
Unit	File	Register	LUT	ALU	DSP	BSRAM	SSRAM
▼ test_fifo	src\test_fifo.v	391 (247)	662 (598)	241 (184)	2 (2)	4 (0)	0 (0)
rstn_gen(rstn_gen)	src\rstn_gen.v	17 (17)	6 (6)	15 (15)	0 (0)	0 (0)	0 (0)
▼ fifo_hs_top(u_fifo_hs_top)	src\FIFO_HS\FIFO_HS.v	127 (127)	58 (58)	42 (42)	0 (0)	4 (4)	0 (0)
~fifo.fifo_hs_top(fifo_inst)	src\FIFO_HS\FIFO_HS.v						

At the bottom of the window, there are tabs for 'Design', 'Process', and 'Hierarchy', with 'Hierarchy' currently selected.

モジュール **test_fifo** を例として、ファイルの暗号化方法を紹介します。

Hierarchy ウィンドウで **test_fifo** を右クリックし、右クリックメニューから “Pack User Design” を選択して Pack User Design ウィンドウを開きます(図 3-38)。

図 3-38 Pack User Design ダイアログボックス



モジュールとしては **test_fifo** を選択し、“Pack” をクリックして暗号化を開始します。暗号化の開始および完了の際に関連情報が **Output** ウィンドウに出力されます。

暗号化が完了すると、ターゲットパス (...¥FIFO_HS¥src¥test_fifo_pack) の下に 2 つのファイル(**test_fifo_gowin.vp** と **test_fifo_sim.v**)が生成されます。

- **test_fifo_gowin.vp** は、暗号化されたファイルです。
- **test_fifo_sim.v** は、シミュレーションに使用できるフラット化されたブレンテキストのネットリストファイルです。

3.13.2 シミュレーションファイルの暗号化

Gowin が提供するシミュレーションファイルはプレーンテキスト形式です。シミュレーションファイルを保護するために、サードパーティのシミュレーションソフトウェアで暗号化できます。サードパーティのシミュレーションソフトウェアを使用するには、ライセンスが必要です。Modelsim および VCS シミュレーションツールを例に、`test_fifo_sim.v` の暗号化方法を紹介します。

Modelsim による暗号化

Modelsim で暗号化する手順：

1. シミュレーションファイル `test_fifo_sim.v` の暗号化する必要があるコンテンツの前後に、マクロ定義 ``protect` および ``endprotect` を追加します。
2. 次のコマンドを実行します：`vlog +protect test_fifo_sim.v`。
3. コマンドを実行すると、Modelsim シミュレーションに使用できる `test_fifo_sim.vp` が work ライブラリに生成されます。

VCS による暗号化

VCS で暗号化する手順：

1. シミュレーションファイル `test_fifo_sim.v` の暗号化する必要があるコンテンツの前後に、マクロ定義 `protect128` および ``endprotect128` を追加します。
2. 次のコマンドを実行します：`vcs +v2k -protect128 test_fifo_sim.v`。
3. コマンドを実行すると、VCS シミュレーションに使用できる `test_fifo_sim.vp` が現在のパスに生成されます。

4 Tcl コマンドの使用

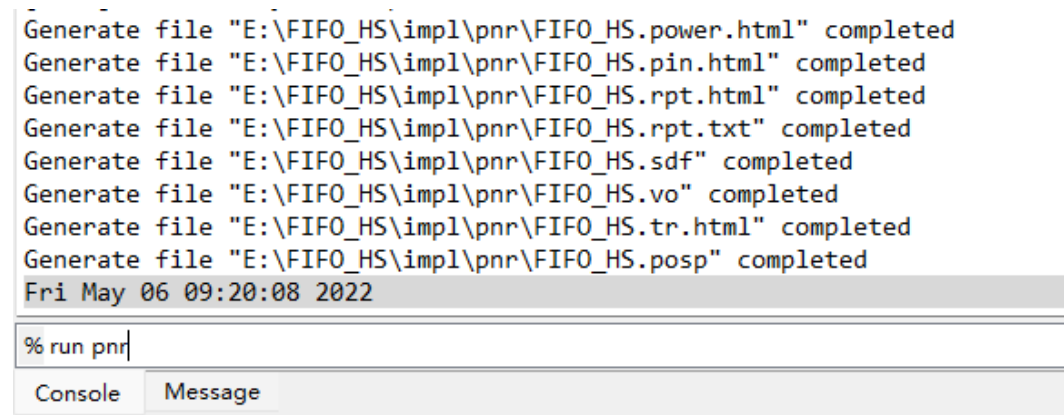
さらに、Gowin ソフトウェアは Tcl コマンドもサポートしています。FIFO HS デザインを例として、Windows OS における Tcl コマンドの使用法を紹介します。Tcl コマンドの詳細については、『Gowin ソフトウェア ユーザーガイド([SUG100](#))』の「8 Tcl コマンドの説明」を参照してください。

4.1 Tcl コマンドの実行方法

4.1.1 Tcl コマンド編集ウィンドウで実行

Console ページの下部には、Tcl コマンド編集ウィンドウがあります。ウィンドウに Tcl コマンドを入力して Enter キーを押してコマンドを実行できます(図 4-1)。

図 4-1 Tcl コマンド編集ウィンドウ



4.1.2 Tcl コマンドラインで実行

GOWIN Tcl コマンドライン・コンソールのパス：インストールディレクトリの¥x.x¥IDE¥bin¥gw_sh.exe

方法 1: gw_sh.exe を直接使用し、Enter キーを押してコマンド実行します。このモードでの実行方法は、Tcl コマンド編集ウィンドウの実行方法と同じであり、Tcl コマンドは 1 つずつ実行されます(図 4-2)。

図 4-2 Tcl コマンドライン方法

```
*** GOWIN Tcl Command Line Console ***
% add_file -type verilog "E:/FIFO_HS/src/test_fifo.v"
add new file: "E:/FIFO_HS/src/test_fifo.v"
% add_file -type verilog "E:/FIFO_HS/src/FIFO_HS/FIFO_HS.v"
add new file: "E:/FIFO_HS/src/FIFO_HS/FIFO_HS.v"
%
```

方法 2 : gw_sh.exe [script file]を使用してスクリプトファイルを実行します。Tcl スクリプトファイルには、デバイス情報、設計ファイル、プロセスオプション、プロセス実行中など、サポートされているすべての Tcl コマンドが含まれます。Tcl スクリプトファイルの内容は図 4-3 のとおりです。Tcl スクリプトファイルは手入力または **saveto** コマンドで生成できます。**saveto** コマンドで Tcl スクリプトを生成する場合、実行コマンドの **run** は含まれていません。必要に応じて **run** コマンドを自分で追加できます。

図 4-3 Tcl スクリプトファイル

```
1 add_file -type verilog "E:/FIFO_HS/src/FIFO_HS/FIFO_HS.v"
2 add_file -type verilog "E:/FIFO_HS/src/rstn_gen.v"
3 add_file -type verilog "E:/FIFO_HS/src/test_fifo.v"
4 add_file -type cst "E:/FIFO_HS/src/FIFO_HS.cst"
5 add_file -type sdc "E:/FIFO_HS/src/FIFO_HS.sdc"
6 add_file -type gao "E:/FIFO_HS/src/FIFO_HS.rao"
7 add_file -type gpa "E:/FIFO_HS/src/FIFO_HS.gpa"
8 set_device GW1N-LV4LQ144C7/I6 -device_version D
9 set_option -synthesis_tool gowinsynthesis
10 set_option -output_base_name FIFO_HS
11 set_option -top_module test_fifo
12 set_option -verilog_std sysv2017
13 set_option -gen_sdf 1
14 set_option -gen_posp 1
15 set_option -gen_verilog_sim_netlist 1
16 set_option -oreg_in_iob 0
17 set_option -bit_format txt
18 run all
```

4.2 Tcl コマンドのクイックスタート

gw_sh.exe を直接使用する場合のコマンドは、Tcl コマンド編集ウィンドウで使用する Tcl コマンドと同じであるため、Tcl コマンド編集ウィンドウを例に Tcl コマンドを紹介します。

4.2.1 rm_file

rm_file は、設計ファイルを削除するために使用されます。例えば、設計ファイル **rstn_gen.v** および **test_fifo.v** をプロジェクトから削除したい場合、Tcl コマンドは次に示すとおりです。

rstn_gen.v および **test_fifo.v** を同時に削除します。

```
rm_file src/rstn_gen.v src/test_fifo.v
```

その後、2 つのファイルは **Design** ウィンドウに表示されなくなります。

4.2.2 add_file

`add_file` は、設計ファイルを追加するために使用されます。例えば、設計ファイル `rstn_gen.v` および `test_fifo.v` をプロジェクトに追加したい場合、Tcl コマンドは次に示すとおりです。

`rstn_gen.v` および `test_fifo.v` を同時に追加します。

```
add_file src/rstn_gen.v src/test_fifo.v
```

その後、2 つのファイルは Design ウィンドウに表示されます。

4.2.3 set_file_enable

`set_file_enable` は、設計ファイルをイネーブル/ディセーブルするために使用されます。このコマンドの使用を紹介するには、例えばまず `test_fifo.v` をディセーブルし、次に Tcl コマンドを使用してそれをイネーブルします。

`test_fifo.v` をディセーブルします。

```
set_file_enable src/test_fifo.v false
```

その後、`test_fifo.v` ファイルはグレーアウトします。

`test_fifo.v` をイネーブルにします。

```
set_file_enable src/test_fifo.v true
```

その後、`test_fifo.v` ファイルは使用可能になります。

4.2.4 set_option

`set_option` はプロジェクトのオプションを設定するために使用されます。例えば、合成と配置配線用の Tcl コマンドは次のとおりです：

- 合成ツール(GowinSynthesis)を選択します。

```
set_option -synthesis_tool gowinsynthesis
```

- TOP Module/Entity として `test_fifo` を選択します。

```
set_option -top_module test_fifo
```

- Generate SDF File を True に設定します。

```
set_option -gen_sdf 1
```

- Generate Post-Place File を True に設定します。

```
set_option -gen_posp 1
```

- Generate Post-PNR Verilog Simulation Model File を True に設定します。

```
set_option -gen_verilog_sim_netlist 1
```

- Place output register to IOB を False に設定します。

```
set_option -oreg_in_job 0
```

4.2.5 run

プロセスを実行するために使用されます。例えば、合成と配置配線プロセス実行用の Tcl コマンドは次のとおりです：

- 合成の実行。

```
run syn
```

- 配置配線の実行。

```
run pnr
```

4.2.6 set_device

set_device はターゲットデバイスを設定するために使用されます。この設計を GW1N-9 デバイス(C バージョン)の GW1N-LV9PG256C6/I5 に移植するための Tcl コマンドは次のとおりです。

ターゲットデバイスを GW1N-9 デバイス(C バージョン)の GW1N-LV9PG256C6/I5 に変更します。

```
set_device GW1N-LV9PG256C6/I5 -device_version C
```

その後、現在のデバイス情報が **console** ウィンドウに表示されます。

4.2.7 saveto

現在のプロジェクトの設計データ(デバイス情報、設計ファイル、オプションの構成など(プロセス実行情報を除く))を、tcl スクリプトに保存するために使用されます。例えば、**fifo_hs.tcl** に保存した場合、後でコマンドライン方法 **gw_sh.exe fifo_hs.tcl** で実行できます。その **saveto** コマンドは次のとおりです。

現在のプロジェクトの設計データを **fifo_hs.tcl** に保存します。

```
saveto fifo_hs.tcl
```

このコマンドを実行すると、プロジェクトファイルがあるパスに **fifo_hs.tcl** ファイルが生成されます。

