





# Gowin ソフトウェア ユーザーガイド

SUG100-4.3J, 2024-12-31

## 著作権について(2024)

著作権に関する全ての権利は、**Guangdong Gowin Semiconductor Corporation** に留保されています。

**GOWIN** **高云**、、Gowin、Arora、LittleBee、及び GOWINSEMI は、当社により、中国、米国特許商標庁、及びその他の国において登録されています。商標又はサービスマークとして特定されたその他全ての文字やロゴは、それぞれの権利者に帰属しています。何れの団体及び個人も、当社の書面による許可を得ず、本文書の内容の一部もしくは全部を、いかなる視聴覚的、電子的、機械的、複写、録音等の手段によりもしくは形式により、伝搬又は複製をしてはなりません。

## 免責事項

当社は、GOWINSEMI Terms and Conditions of Sale (GOWINSEMI取引条件) に規定されている内容を除き、(明示的か又は黙示的かに拘わらず) いかなる保証もせず、また、知的財産権や材料の使用によりあなたのハードウェア、ソフトウェア、データ、又は財産が被った損害についても責任を負いません。当社は、事前の通知なく、いつでも本文書の内容を変更することができます。本文書を参照する何れの団体及び個人も、最新の文書やエラッタ(不具合情報)については、当社に問い合わせる必要があります。

## バージョン履歴

日付	バージョン	説明
2019/11/08	2.0J	<ul style="list-style-type: none"> <li>● OptionsウィンドウでのSynplify Pro構成の説明を追加。</li> <li>● Synplify Proの属性と値の説明を更新。</li> </ul>
2019/11/28	2.1J	<ul style="list-style-type: none"> <li>● Place &amp; RouteにGeneral構成項目(Promote Physical Constraint Warning to Error、Report Auto-Placed IO Information、Place Option、Route Option)を追加。</li> <li>● Hierarchyウィンドウにリソース情報の表示を追加。</li> <li>● ProcessウィンドウのNetlistファイルがすべての一致した項目を検索できるように更新。</li> <li>● IDEの付属エディタがコメントの追加/削除をサポートするように更新。</li> </ul>
2020/03/09	2.2J	<ul style="list-style-type: none"> <li>● HierarchyウィンドウでVHDLファイルを解析することをサポート。</li> <li>● GowinSynthesisは、VHDL、またはVerilogとVHDLの混合による合成をサポート。</li> <li>● プロジェクトファイルが保存されずに合成または配置配線を実行する場合にプロンプトがポップアップする機能を追加。</li> <li>● インフォメーション出力エリアにTclコマンドの説明を追加。</li> <li>● 合成および配置配線の構成オプションの説明を追加。</li> <li>● User Flash初期化ファイルエディタの使用法を追加。</li> </ul>
2020/05/13	2.3J	<ul style="list-style-type: none"> <li>● Unused Pinに構成機能を追加。</li> <li>● Hierarchyウィンドウにファイルの暗号化機能を追加。</li> </ul>
2020/09/01	2.4J	<ul style="list-style-type: none"> <li>● Schematic Viewer機能を追加。</li> <li>● Hierarchyウィンドウでのリソース情報の表示を更新。</li> <li>● Place &amp; RouteにBitStream構成項目(Enable Daisy Chain Bypass)を追加。</li> </ul>
2020/10/21	2.4.1J	Synplify Proの説明を更新。
2021/06/17	2.5J	<ul style="list-style-type: none"> <li>● スクリーンショットとその説明の一部を更新。</li> <li>● Synplify Pro関連のコンテンツを削除。</li> </ul>
2021/11/02	2.6J	<ul style="list-style-type: none"> <li>● SSPIおよびMSPIのピン多重化情報を更新。</li> <li>● -ireg_in_iob / -oreg_in_iob / -ioreg_in_iobの説明を更新。</li> <li>● MODEのピン多重化の構成を削除。</li> <li>● Place &amp; RouteにBitStream構成項目(Power On Reset)を追加。</li> <li>● シミュレーションファイルの紹介を追加。</li> </ul>
2022/05/20	2.7J	<ul style="list-style-type: none"> <li>● Loading Rateの値を更新。</li> <li>● セクション「source」を追加。</li> </ul>
2022/07/28	2.8J	<ul style="list-style-type: none"> <li>● Place &amp; Routeに構成オプション(Route Maxfan)を追加。</li> <li>● Libraryの使用方法を追加。</li> </ul>
2022/10/28	2.9J	<ul style="list-style-type: none"> <li>● 構成オプション(power_on_reset)の名称を更新。</li> <li>● Bitstreamの構成オプション(Turn Off Bandgap)を追加。</li> <li>● シミュレーションと検証のクラウド・プラットフォーム(DSim Cloud)を追加。</li> <li>● 「9付録」を追加。</li> </ul>

日付	バージョン	説明
2022/12/16	3.0J	<ul style="list-style-type: none"> <li>● Device Versionという情報を追加。</li> <li>● Synthesizeウィンドウに構成オプション(TclPre)を追加。</li> <li>● 構成オプションBackground Programmingの値をInternalからGoConfig/UserLogicに変更。</li> <li>● Place &amp; Routeウィンドウに構成オプション(Generate Post-PnR VHDL Simulation Model File)を追加。</li> </ul>
2023/03/31	3.1J	<ul style="list-style-type: none"> <li>● 構成オプションBackground Programmingの値GoConfig/UserLogicをGoConfigとUserLogicに分け、その説明を更新。</li> <li>● ツールバーにFloorPlannerとTiming Constraints Editorを追加。</li> <li>● Tclコマンド(clock_route_order)を追加。</li> </ul>
2023/04/20	3.2J	<ul style="list-style-type: none"> <li>● Place &amp; RouteとBitstreamの構成オプションを更新。</li> <li>● Bitstreamの構成オプション(Multi BootとMSPI JUMP)を追加。</li> </ul>
2023/05/25	3.3J	<ul style="list-style-type: none"> <li>● Bitstreamの構成オプション(Enable External Master Config ClockとEnable CMSER)を追加。</li> <li>● ConfigurationウィンドウにVCCX構成用のGlobal画面を追加。</li> </ul>
2023/06/30	3.4J	Ram R/W Checkオプションをデフォルトでチェックされていないように更新。
2023/08/18	3.5J	<ul style="list-style-type: none"> <li>● GW5A-25-MBGA121Nの場合の構成オプションUse SSPI as regular IOをチェック済みかつ変更不可の状態に更新。</li> <li>● GW5AT-138/GW5AST-138/GW5A-138デバイスの場合の構成オプション(Place input register to IOB、Place output register to IOB、およびPlace inout register to IOB)のデフォルト値をFalseに変更。</li> <li>● GW5AT-138/GW5AST-138/GW5A-138デバイスのPlace &amp; Routeに新しい構成オプションReplicate Resourcesを追加。</li> </ul>
2023/09/28	3.6J	<ul style="list-style-type: none"> <li>● GW5A(S)(T)-138およびGW5A(R)-25のLoading Rateの値を更新。</li> <li>● CMSERオプションの情報を更新。</li> <li>● Feature sysControlオプションにおけるMSPI JUMPオプションを更新。</li> </ul>
2023/10/31	3.7J	<ul style="list-style-type: none"> <li>● 「図4-16プロジェクトファイル属性ダイアログボックス」を更新。</li> <li>● create_projectおよびimport_filesというTclコマンドを追加。</li> </ul>
2023/11/30	3.8J	<ul style="list-style-type: none"> <li>● Program Deviceという名称をProgrammerに変更。</li> <li>● Place &amp; Route &gt; Place Optionに値2を追加。</li> <li>● LittleBeeファミリーとAroraファミリーFPGA製品のLoading Rateの値を更新。</li> <li>● Tclコマンド(run close)を追加。</li> <li>● Output Base Nameオプションを追加。</li> </ul>
2024/02/02	3.9J	<ul style="list-style-type: none"> <li>● GW2AN-9XおよびGW2AN-18XのLoading Rateの値を更新。</li> <li>● Enable CMSERオプションをEnable SEU Handlerに更新。</li> <li>● Frequency構成用のConstraintsオプションを追加。</li> </ul>
2024/03/29	4.0J	<ul style="list-style-type: none"> <li>● GW5AT-60のLoading Rateの値を更新。</li> <li>● Bitstreamの構成オプション(Enable CTP)を追加。</li> </ul>
2024/06/28	4.1J	<ul style="list-style-type: none"> <li>● Tclコマンド(open_project)を追加。</li> </ul>

日付	バージョン	説明
		<ul style="list-style-type: none"> <li>● Place &amp; Routeに構成オプション「VCC」を追加。</li> <li>● 仮想入力出力デバッグ・ツールを追加。</li> </ul>
2024/08/09	4.1.1J	<ul style="list-style-type: none"> <li>● Place &amp; Route &gt; Place Optionに値3を追加。</li> <li>● open_projectコマンドの説明を更新。</li> </ul>
2024/10/25	4.2J	<ul style="list-style-type: none"> <li>● Place &amp; Route &gt; Place Option に値 4 を追加。</li> <li>● C バージョンの GW1N-2/GW1NR-2/GW1N-1P5 の構成オプション Background Programming に値 GoConfig Mode1 を追加。</li> <li>● Place &amp; Routeに構成オプション「Incremental PnR」を追加。</li> </ul>
2024/12/31	4.3J	<ul style="list-style-type: none"> <li>● Hierarchy ウィンドウに検索機能を追加。</li> <li>● アイ・ダイアグラム分析ツール GoBert を追加。</li> </ul>

# 目次

目次 .....	i
図一覧 .....	iv
表一覧 .....	vii
<b>1 本マニュアルについて .....</b>	<b>1</b>
1.1 マニュアルの内容 .....	1
1.2 関連ドキュメント .....	1
1.3 用語、略語 .....	2
1.4 テクニカル・サポートとフィードバック .....	2
<b>2 Gowin ソフトウェアの概要 .....</b>	<b>3</b>
2.1 概要 .....	3
2.2 サポートされるデバイス .....	4
2.3 Gowin ソフトウェアのインストールと起動 .....	5
<b>3 Gowin ソフトウェアの GUI .....</b>	<b>6</b>
3.1 タイトルバー .....	7
3.2 メニューバー .....	7
3.2.1 File メニュー .....	7
3.2.2 Edit メニュー .....	7
3.2.3 Project メニュー .....	8
3.2.4 Tools メニュー .....	8
3.2.5 Window メニュー .....	9
3.2.6 Help メニュー .....	10
3.3 ツールバー .....	10
3.4 プロジェクト管理エリア (Design) .....	11
3.5 プロセス管理エリア (Process) .....	11
3.6 設計階層表示エリア (Hierarchy) .....	11
3.6.1 右クリックメニュー .....	11
3.6.2 リソース情報の表示 .....	13
3.6.3 ファイルの暗号化 .....	13

3.6.4 検索機能 .....	16
3.7 ソースファイル編集エリア .....	16
3.8 インフォメーション出力エリア .....	18
<b>4 Gowin ソフトウェアの使用 .....</b>	<b>20</b>
4.1 プロジェクトの新規作成 .....	20
4.2 プロジェクトを開く .....	22
4.3 プロジェクトの編集 .....	24
4.3.1 プロジェクトデバイスの編集.....	24
4.3.2 プロジェクトファイルの編集.....	25
4.3.3 プロジェクトの構成 .....	32
4.4 プロジェクトのプロセス管理 .....	59
4.4.1 Design Summary.....	59
4.4.2 User Constraints.....	60
4.4.3 Synthesize.....	60
4.4.4 Place & Route .....	62
4.4.5 Programmer .....	63
4.5 プロジェクトのアーカイブと復元.....	64
4.5.1 プロジェクトのアーカイブ .....	64
4.5.2 アーカイブされたプロジェクトの復元 .....	65
4.6 ソフトウェアの終了 .....	66
<b>5 Gowin ソフトウェアの統合ツール.....</b>	<b>67</b>
5.1 物理制約エディタ .....	67
5.2 タイミング制約エディタ .....	68
5.3 IP Core Generator .....	69
5.4 Gowin アナライザオシロスコープ .....	71
5.5 Gowin パワーアナライザ.....	73
5.6 メモリ初期化ファイルエディタ .....	74
5.7 User Flash 初期化ファイルエディタ.....	77
5.7.1 2 進数形式(Bin File).....	77
5.7.2 16 進数形式(Hex File) .....	78
5.8 回路図ビューア .....	80
5.9 仮想入出力デバッグ・ツール .....	81
<b>6 ファイルの出力.....</b>	<b>83</b>
6.1 合成レポート .....	83
6.2 配置配線レポート .....	84
6.3 ポート属性レポート .....	85

6.4 タイミングレポート .....	86
6.5 消費電力解析レポート .....	87
<b>7 シミュレーションファイル .....</b>	<b>89</b>
7.1 機能シミュレーションファイル .....	89
7.2 タイミングシミュレーションファイル .....	89
<b>8 Tcl コマンドの説明 .....</b>	<b>91</b>
8.1 コマンド・ライン・モードを開始 .....	91
8.1.1 gw_sh.exe .....	91
8.2 コマンドの説明 .....	91
8.2.1 create_project .....	91
8.2.2 open_project .....	92
8.2.3 add_file .....	93
8.2.4 import_files .....	93
8.2.5 rm_file .....	94
8.2.6 set_device .....	95
8.2.7 set_file_prop .....	95
8.2.8 run .....	95
8.2.9 set_file_enable .....	96
8.2.10 saveto .....	96
8.2.11 set_option .....	97
8.2.12 run close .....	109
8.2.13 source .....	109
<b>9 付録 .....</b>	<b>110</b>
9.1 ファイルの説明 .....	110
9.2 ファイルおよびフォルダの命名規則 .....	112
9.3 セキュリティ・ステートメント .....	112



## 図一覧

図 3-1 ソフトウェアの GUI.....	6
図 3-2 Hierarchy ウィンドウでの右クリックメニュー .....	12
図 3-3 Hierarchy ウィンドウでのリソース情報の表示 .....	13
図 3-4 Pack User Design ダイアログボックス .....	14
図 3-5 Pack User Design ダイアログボックス出力情報.....	15
図 3-6 Pack User Design ダイアログボックス暗号化失敗情報.....	15
図 3-7 Hierarchy ウィンドウの検索機能.....	16
図 3-8 Find & Replace ダイアログボックス .....	17
図 3-9 Search Result ウィンドウ .....	17
図 3-10 インフォメーション出力エリア .....	18
図 3-11 Tcl コマンド編集ウィンドウ.....	19
図 4-1 プロジェクトの新規作成.....	20
図 4-2 プロジェクト新規作成ウィザード .....	21
図 4-3 FPGA デバイスの情報の設定.....	22
図 4-4 プロジェクト情報.....	22
図 4-5 ファイルを開く .....	23
図 4-6 プロジェクトファイル・ウィンドウ.....	24
図 4-7 チップの型番の構成 .....	25
図 4-8 ファイル新規作成ダイアログボックス .....	26
図 4-9 Verilog File の新規作成.....	26
図 4-10 構成ファイル新規作成ダイアログボックス .....	27
図 4-11 GPA 構成ファイルウィンドウ.....	27
図 4-12 Design ウィンドウの右クリックメニュー .....	28
図 4-13 プロジェクトファイル編集メニュー.....	29
図 4-14 外部エディタ .....	30
図 4-15 Save Modified Files ダイアログボックス .....	30
図 4-16 プロジェクトファイル属性ダイアログボックス.....	31
図 4-17 プロジェクトの構成オプション .....	32
図 4-18 General オプション .....	33

図 4-19 Frequency(MHz)オプション .....	33
図 4-20 GowinSynthesis のパラメータの構成 .....	34
図 4-21 配置配線オプションの構成 .....	35
図 4-22 Voltage オプションの構成 .....	37
図 4-23 配置オプションの構成 .....	37
図 4-24 配線オプションの構成 .....	38
図 4-25 多重化ピンオプションの構成 .....	39
図 4-26 Unused Pin オプション .....	40
図 4-27 Incremental PnR オプション .....	41
図 4-28 Bitstream の General オプションの構成 .....	42
図 4-29 sysControl オプションの構成 .....	44
図 4-30 Background Programming : I2C .....	54
図 4-31 Background Programming : I2C/JTAG/SSPI/QSSPI .....	54
図 4-32 Frequency Divider オプション .....	56
図 4-33 Enable SEU Handler オプション .....	56
図 4-34 Enable Error Injection オプション .....	56
図 4-35 GW5A(N)(S)(R)(T)以外のデバイスの Feature sysControl オプション .....	57
図 4-36 GW5A(N)(S)(R)(T)デバイスの Feature sysControl オプション .....	58
図 4-37 Process ウィンドウ .....	59
図 4-38 Design Summary .....	60
図 4-39 Synthesize の右クリックメニュー .....	62
図 4-40 Programmer の GUI .....	64
図 4-41 Archive Project ダイアログボックス .....	65
図 4-42 Restore Archived Project ダイアログボックス .....	66
図 5-1 Chip Array ウィンドウ .....	68
図 5-2 Package View ウィンドウ .....	68
図 5-3 タイミング制約作成インターフェース .....	69
図 5-4 IP Core Generator ウィンドウ .....	70
図 5-5 GAO 構成ファイルウィンドウ .....	72
図 5-6 GAO の GUI .....	72
図 5-7 GPA 構成ファイルウィンドウ .....	74
図 5-8 初期化ファイルの新規作成 .....	76
図 5-9 New File ダイアログボックス .....	76
図 5-10 初期化ファイル構成ウィンドウ .....	76
図 5-11 列数の構成 .....	77
図 5-12 一括設定 .....	77
図 5-13 初期化ファイルの新規作成 .....	79

図 5-14 New File ダイアログボックス .....	79
図 5-15 初期化ファイル構成ウィンドウ .....	79
図 5-16 一括設定 .....	80
図 5-17 RTL Design Viewer ウィンドウ.....	81
図 5-18 Post-Synthesis Netlist Viewer ウィンドウ .....	81
図 5-19 GVIO 構成ファイルウィンドウ.....	82
図 6-1 GowinSynthesis の合成レポート .....	83
図 6-2 Place & Route Report .....	84
図 6-3 Ports & Pins Report.....	86
図 6-4 タイミングレポート内容.....	87
図 6-5 電力解析レポート.....	88
図 7-1 オプションの構成.....	90

## 表一覧

表 1-1 用語、略語.....	2
表 3-1 一般的な Warning または Error メッセージ .....	18
表 4-1 Place & Route 各オプションの説明 .....	35
表 4-2 BitStream の構成オプションの意味 .....	42
表 4-3 Loading Rate の値と計算方法(一).....	46
表 4-4 Loading Rate の値と計算方法(二).....	47
表 4-5 Loading Rate の値と計算方法(三).....	48
表 4-6 Loading Rate の値と計算方法(四).....	50
表 4-7 Loading Rate の値と計算方法(五).....	51
表 4-8 Loading Rate の値と計算方法(六).....	51
表 4-9 Loading Rate の値と計算方法(七).....	52
表 4-10 Background Programming の値 .....	54
表 9-1 ソースファイル .....	110
表 9-2 実行ファイル .....	111

# 1 本マニュアルについて

## 1.1 マニュアルの内容

このマニュアルは、主に **Gowin** ソフトウェアのインストールと操作について説明し、ユーザーが **Gowin** ソフトウェアを使いこなせるように作成されています。本マニュアルに記載のソフトウェア GUI のスクリーンショットは、**Gowin** ソフトウェア V1.9.11 バージョンの場合のものです。ソフトウェアのアップデートにより、一部の内容が変更される場合があります。

## 1.2 関連ドキュメント

GOWIN セミコンダクターのホームページ [www.gowinsemi.com/ja](http://www.gowinsemi.com/ja) から、以下の関連ドキュメントをダウンロード及び閲覧できます。

- Gowin タイミング制約ユーザーガイド([SUG940](#))
- Gowin 物理制約ユーザーガイド([SUG935](#))
- Gowin アナライザオシロスコープ ユーザーガイド([SUG114](#))
- Gowin パワーアナライザ ユーザーガイド([SUG282](#))
- Gowin Programmer ユーザーガイド([SUG502](#))
- Gowin BSRAM & SSRAM ユーザーガイド([UG285](#))
- Gowin プリミティブ ユーザーガイド([SUG283](#))
- Gowin Clock ユーザーガイド([UG286](#))
- Gowin DSP ユーザーガイド([UG287](#))
- Gowin プログラマブル汎用 IO(GPIO)ユーザーガイド([UG289](#))
- Gowin User Flash ユーザーガイド([UG295](#))
- Arora V ADC ユーザーガイド([UG299](#))
- Arora V Clock ユーザーガイド([UG306](#))
- Arora V DSP ユーザーガイド([UG305](#))

- Arora V プログラマブル汎用 IO(GPIO)ユーザーガイド([UG304](#))
- Arora V BSRAM & SSRAM ユーザーガイド([UG300](#))
- Arora V 物理制約ユーザーガイド([SUG1018](#))
- Gowin Virtual Input Output ツール ユーザーガイド([SUG1189](#))

## 1.3 用語、略語

本マニュアルで使用される用語、略語、及びその意味を表 1-1 に示します。

表 1-1 用語、略語

用語、略語	正式名称	意味
CRC	Cyclic Redundancy Check	巡回冗長検査
FloorPlanner	FloorPlanner	物理制約エディタ
FPGA	Field Programmable Gate Array	フィールド・プログラマブル・ゲート・アレイ
GAO	Gowin Analyzer Oscilloscope	Gowinアナライザオシロスコープ
GVIO	Gowin Virtual Input/Output	仮想入力出力
GowinSynthesis	GowinSynthesis	GOWINセミコンダクターの合成ツール
GPA	Gowin Power Analyzer	Gowinパワーアナライザ
IP Core	Intellectual Property Core	設計資産コア
PCIe	Peripheral Component Interconnect Express	ペリフェラル・コンポーネント・インターコネクト・エクスプレス
PnR	Place & Route	配置配線
Schematic Viewer	Schematic Viewer	HDL回路図ビューア
SEU Handler	Single-Event Upsets Handler	シングル・イベント・アップセット・ハンドラ
Timing Constraints Editor	Timing Constraints Editor	タイミング制約エディタ

## 1.4 テクニカル・サポートとフィードバック

GOWIN セミコンダクターは、包括的な技術サポートをご提供しています。使用に関するご質問、ご意見については、直接弊社までお問い合わせください。

ホームページ : [www.gowinsemi.com/ja](http://www.gowinsemi.com/ja)

E-mail : [support@gowinsemi.com](mailto:support@gowinsemi.com)

# 2 Gowin ソフトウェアの概要

## 2.1 概要

Gowin ソフトウェアは、Gowin FPGA 用に特別に設計された、FPGA 設計および検証環境を提供する EDA ソフトウェアです。Gowin FPGA の低消費電力と低コスト特性のために最適化された Gowin ソフトウェアは、RTL 回路機能の記述から FPGA ビットストリームファイルの生成までのプロセス全体に対応すると同時に、最適化設計、自動設計、グラフィック・インタラクティブ・デザインなどの機能を備えた、高性能で使いやすい EDA ソフトウェアです。

Gowin ソフトウェアの主な機能：

- Gowin FPGA のすべての機能をサポートし、RTL 回路機能の記述から FPGA ビットストリームファイルの生成までの設計フローをサポート
- 合成ツール GowinSynthesis は、高性能のロジック設計と合成をサポート
- 自動デザインとインタラクティブなグラフィック・デザインの併用をサポート
- Centos6.8/7.0/7.3/7.5/8.2(64 bits)、Ubuntu18.04/20.04LTS、Win7/8/10/11(32 bits/64 bits)、Win XP (32 bits)オペレーティングシステムをサポート
- 千万規模のゲートレベルのソフトウェア
- VHDL、Verilog HDL、および SystemVerilog 言語をサポート
- Gowin FPGA の最適化されたアーキテクチャをサポート
- オリジナルの高速で高性能なアルゴリズムを備えた配置配線システム
- 正確なタイミング解析とタイミングレポート
- クロックの分析と制御により、より良いタイミングパフォーマンスを提供
- さまざまなタイミング制約と物理制約をサポート

- ハードウェア回路信号をリアルタイムで監視して保存し、タイミング波形図に視覚的に表示することをサポート
- リソース共有テクノロジーにより、チップの使用率を向上させ、コストを削減

**Gowin** ソフトウェアの主な特徴：

- 統合設計
  - － 設計は段階的に完了することも、一括自動的に完了することも可能
  - － コマンド・ライン・モードと **GUI** モードをサポート
  - － スクリプト設計により、設計プロセス全体に影響を与えることなく、単一のモジュールを柔軟に設計可能
- 最適化設計
  - － ネットリストの最適化設計
  - － 高速のタイミングの最適化解析と設計
  - － リソースの分析と最適化
- 階層的な設計と分析
  - － 階層的なネットリスト構造入力および出力をサポート
  - － フラットなネットリスト構造入力および出力をサポート
  - － ネットリストの階層的なグラフィック表示、追跡、および分析をサポート
- 便利で柔軟なインタラクティブ・グラフィックデザイン
  - － シンプルで明確な **GUI**
  - － プロジェクト、設計モジュール、ツール、および出力などの要素を含む
  - － 設計制約の入力、選択、更新
  - － 高速のタイミング解析とレポート
  - － **Push button** 設計手法

## 2.2 サポートされるデバイス

Gowin ソフトウェアは現在、**LittleBee** ファミリーと **Arora** ファミリーの **FPGA** 製品をサポートしています。**FPGA** のタイプ、主なリソース、およびパッケージについては、**Gowin** のホームページを参照してください。

- **LittleBee** ファミリー：<https://www.gowinsemi.com/ja/product/detail/2/>
- **Arora** ファミリー：<https://www.gowinsemi.com/ja/product/detail/1/>



- Arora V FPGA : <https://www.gowinsemi.com/en/product/detail/60/>

注記：

ソフトウェアのバージョンによって、サポートされるチップが異なる場合があります。

## 2.3 Gowin ソフトウェアのインストールと起動

Windows では、Gowin ソフトウェアのインストールパッケージをダブルクリックしてインストールします。インストールが完了すると、デフォルトで PC のデスクトップにショートカットが作成されます。Linux では、フォルダを解凍してソフトウェアをインストールします。

ソフトウェアのインストール後、最初の起動時にライセンスを構成する必要があります。ライセンスは、GOWIN セミコンダクターとユーザーが署名した標準契約であり、ソフトウェアユーザーのソフトウェア使用の権利と GOWIN セミコンダクターの義務を規定します。

注記：

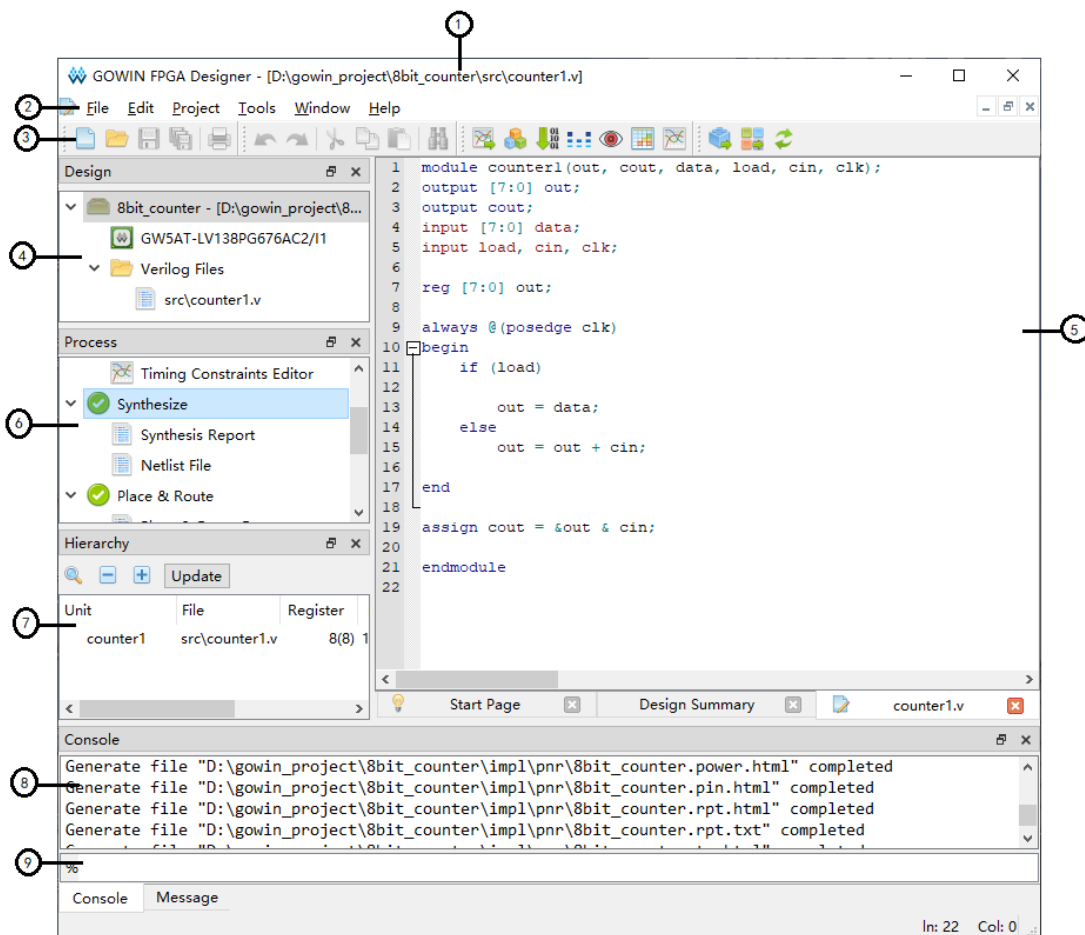
Gowin ソフトウェアのインストールは、漢字のあるパスをサポートしません。

Gowin ソフトウェアのインストールについては、『Gowin ソフトウェアクイックインストール ユーザーガイド([SUG501](#))』を参照してください。

# 3 Gowin ソフトウェアの GUI

図 3-1 に示すように、Gowin ソフトウェアの GUI は主に、タイトルバー、メニューバー、ツールバー、プロジェクト管理エリア(Design)、プロセス管理エリア(Process)、ソースファイル編集エリア、階層表示エリア(Hierarchy)、インフォメーション出力エリア、および Tcl コマンド編集エリアで構成されています。

図 3-1 ソフトウェアの GUI



① タイトルバー

② メニューバー

③ ツールバー

④ プロジェクト  
管理エリア

- |                 |                  |
|-----------------|------------------|
| ⑤ ソースファイル編集エリア  | ⑥ プロセス管理エリア      |
| ⑦ 階層表示エリア       | ⑧ インフォメーション出力エリア |
| ⑨ Tcl コマンド編集エリア |                  |

## 3.1 タイトルバー

Gowin ソフトウェアの名前と現在開いているファイルの名前が示されます。

## 3.2 メニューバー

File、Edit、Project、Tools、Window、Help などがあります。詳細は次のとおりです。

### 3.2.1 File メニュー

- Open Example Project… : サンプルプロジェクトを開く
- New (Ctrl+N) : 新規作成
- Open (Ctrl+O) : 開く
- Save (Ctrl+S) : 保存
- Save As… : 別名で保存
- Save All (Ctrl+Shift+S) : すべてのファイルを保存
- Close : 閉じる
- Close All : すべてのファイルを閉じる
- Close Project : 現在のプロジェクトを閉じる
- Print Preview… : 印刷プレビュー
- Print… (Ctrl+P) : 印刷
- Recent Files : 最近開いたファイルを再度選択して開く
- Recent Projects : 最近開いたプロジェクトを再度選択して開く
- Exit : ソフトウェアを終了

### 3.2.2 Edit メニュー

- Undo (Ctrl+Z) : 取り消し
- Redo (Ctrl+Y) : やり直し
- Cut (Ctrl+X) : 切り取り
- Copy (Ctrl+C) : コピー
- Paste (Ctrl+V) : 貼り付け

- **Select All (Ctrl+A)** : すべて選択
- **Find & Replace (Ctrl+F)** : キーワード検索及び変更
- **Toggle Comment Selection (Ctrl+/)** : 選択された内容にコメントを追加
- **Increase Indent (Tab)** : インデントを増やす
- **Decrease Indent (Shift+Tab)** : インデントを減らす
- **Macros** : マクロ。このオプションには 3 つのサブオプションがあります。
  - **Start Record** : [Start Record]をクリックすると、IDE で編集可能なファイルに対する編集操作が記録されます。
  - **Stop Recording** : 記録を停止します。
  - **Play Macro (Alt+R)** : [Play Macro]をクリックして、編集可能なファイルに対して記録された操作を実行します。

### 3.2.3 Project メニュー

- **Archive Project** : プロジェクトをアーカイブ
- **Restore Archived Project** : アーカイブされたプロジェクトを復元
- **Set Device** : 現在のプロジェクトのデバイス情報を設定
- **Configuration** : 構成画面を開く
- **Design Summary** : 現在のプロジェクトに関する情報の詳細を表示

### 3.2.4 Tools メニュー

- **Start Page** : スタートページ。Recent Projects、Quick Start、Tools、および User Manuals が含まれます。
  - **Recent Projects** : 最近開いたプロジェクトのリスト(最大 10 個のプロジェクト)。
  - **Quick Start** : New Project、Open Project、Open Example Project が含まれます。
  - **Tools** : Floorplanner (物理制約エディタの起動)、Timing Constraints Editor (タイミング制約エディタの起動)、Programmer (プログラマの起動) が含まれます。
  - **User Manuals** : Manual for LittleBee (LittleBee ファミリーのマニュアル)、Manual for Arora (Arora ファミリーのマニュアル) が含まれます。
- **Gowin Analyzer Oscilloscope** : Gowin アナライザオシロスコープ(つまり、ロジック・アナライザー)。
- **Schematic Viewer** : HDL 回路図ビューア。

- IP Core Generator : IP Core ジェネレーター。
- Programmer : プログラマ。
- FloorPlanner : 物理制約エディタ。
- Timing Constraints Editor : タイミング制約エディタ。
- DSim Cloud : シミュレーションと検証のクラウド・プラットフォーム。
- GoBert : SerDes 分析ツール。
- Options : Environment、Text Editor、External Editor が含まれます。
  - Environment : Language (言語)、Toolbar Icon Size (ツールバー・アイコン・サイズ)、Default New Project Directory(デフォルトの新規プロジェクトのパス)などの IDE パラメータを設定します。言語を設定した後、設定を有効にするには、Gowin ソフトウェアを再起動する必要があります。
  - Text Editor : フォント、フォント・サイズ、配色、行番号を表示するかどうか、空白文字を視覚化するかどうか、現在の行をハイライト表示するかどうか、一致する括弧をハイライト表示するかどうかなど、テキストエディタの属性を設定します。
  - External Editor : サードパーティのテキストエディタを設定します。常にサードパーティのエディタを使用して設計ファイルを開くかどうかを選択できます。

### 3.2.5 Window メニュー












- Full Screen (F11) : フルスクリーン表示。
- Tile : タイル表示。
- Cascade : カスケード表示。
- Reset Layout : 初期設定に戻す。
- Panels : インターフェースの各エリアで表示される部分を選択。  
Design、Hierarchy、Process、Message、および Console があります。
- Start Page : ソースファイル編集エリアで Start Page を表示。
- Design Summary : ソースファイル編集エリアで Design Page を表示。このページには、General と Target Device の 2 つのコンテンツが含まれています。詳細は次のとおりです。
  - General : プロジェクトパス情報や使用される合成ツールなど、プロジェクトの概要情報。
  - Target Device : パッケージ情報、スピードグレード、コア電圧などのデバイス情報。







### 3.2.6 Help メニュー

- **View Help** : ソフトウェアのコンパイル中の出力情報のヘルプドキュメントを見る。
- **Contact Us** : お問い合わせ。
- **Manage License** : ライセンスの管理。ライセンス構成管理方法の詳細については、『Gowin ソフトウェアクイックインストール ユーザーガイド([SUG501](#))』を参照してください。
- **About** : ソフトウェアのバージョン情報。

### 3.3 ツールバー

一般的に使用されるいくつかの機能のボタンがあります。左から右へ :

- 「」 (Ctrl+N) : ファイルまたはプロジェクトを新規作成(New File or Project)
- 「」 : (Ctrl+O) : ファイルまたはプロジェクトを開く (Open File or Project)
- 「」 (Ctrl+S) : ファイルを保存 (Save)
- 「」 (Ctrl+Shift+S) : すべてのファイルを保存 (Save All)
- 「」 (Ctrl+P) : 印刷 (Print)
- 「」 (Ctrl+Z) : 取り消し (Undo)
- 「」 (Ctrl+Y) : やり直し (Redo)
- 「」 (Ctrl+X) : 切り取り (Cut)
- 「」 (Ctrl+C) : コピー (Copy)
- 「」 (Ctrl+V) : 貼り付け (Paste)
- 「」 (Ctrl+F) : 検索 (Find)
- 「」 : Gowin アナライザオシロスコープ(Gowin Analyzer Oscilloscope)を起動。詳しくは、『Gowin アナライザオシロスコープ ユーザーガイド([SUG114](#))』を参照してください
- 「」 : IP Core ジェネレーター (IP Core Generator) を起動
- 「」 : プログラマ (Programmer) を起動。詳しくは、『Gowin Programmer ユーザーガイド([SUG502](#))』を参照してください
- 「」 : シミュレーションと検証のクラウド・プラットフォーム (DSim Cloud)を起動

- 「」: ダイ・アグラム分析ツールを起動
- 「」: 物理制約エディタ (FloorPlanner) を起動。詳しくは、『Gowin 物理制約ユーザーガイド([SUG935](#))』を参照してください
- 「」: タイミング制約エディタ (Timing Constraints Editor) を起動。詳しくは、『Gowin タイミング制約ユーザーガイド([SUG940](#))』を参照してください
- 「」: 合成を実行 (Run Synthesis)
- 「」: 配置配線を実行 (Run Place & Route)
- 「」: 合成、配置配線を実行 (Run All)

## 3.4 プロジェクト管理エリア(Design)

プロジェクト及びその関連ファイルの管理と表示機能を提供します。プロジェクトで使用されるデバイス情報、設計ファイル、制約ファイル、構成ファイルなどを表示または編集できます。

## 3.5 プロセス管理エリア(Process)

ユーザーの FPGA 設計フローを表示します。これには合成 (Synthesize)、配置配線(Place & Route)、デバイスのプログラミング (Programmer)が含まれます。また、タイミング制約と物理制約ツールをダブルクリックして、制約ファイルを編集することができます。

## 3.6 設計階層表示エリア(Hierarchy)

設計ファイルを読み込んだ後、Gowin ソフトウェアはまず設計ファイルを解析し、Hierarchy ウィンドウに現在のプロジェクトの設計階層を表示します。Hierarchy ウィンドウを介して、モジュールの定義とインスタンスの場所を特定することができ、モジュールをトップ・モジュールとして設定することもできます。Hierarchy ウィンドウでは、Unit 列には設計ファイルのモジュール階層、Files 列にはモジュール定義があるファイルが表示されます。さらに、Hierarchy ウィンドウでは、モジュール名またはファイル名でプロジェクトの設計ファイルを検索することができます。Hierarchy は現在、Verilog 言語、VHDL 言語、および System Verilog 言語の解析をサポートしています。

### 3.6.1 右クリックメニュー

Hierarchy ウィンドウのモジュールの右クリックメニューで現在サポートされている機能：

- **Goto Module Instantiation** : ソースファイル内のこのモジュールのインスタンスの場所にジャンプします。デフォルトでは、Gowin ソフトウェアが提供するエディタで開きます。メニューバーの **Tools > Options > External Editor** でサードパーティのエディタが構成されて

いて、「Always Use External Editor」がチェックされている場合、Goto Module Instantiation は、デフォルトでサードパーティのエディタを使用してソースファイルを開きます。


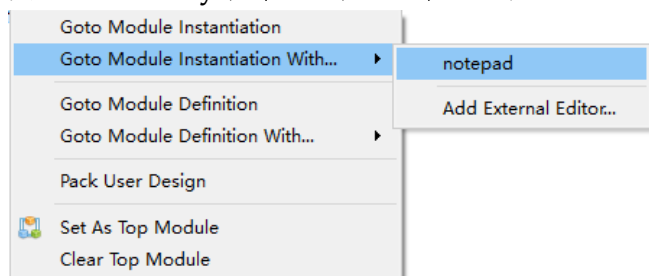
- **Goto Module Instantiation With ...** : ソースファイル内のこのモジュールのインスタンスの場所にジャンプします。右クリックメニューに設定されたサードパーティのエディタと「Add External Editor」が提供されます(図 3-2)。「Add External Editor」を選択すると、「External Editor」の Options ダイアログボックスが表示され、サードパーティのエディタを設定できます。
- **Goto Module Definition** : ソースファイル内のこのモジュールの定義の場所にジャンプします。デフォルトでは、Gowin ソフトウェアが提供するエディタで開きます。メニューバーの Tools > Options > External Editor でサードパーティのエディタが構成されていて、「Always Use External Editor」がチェックされている場合、Goto Module Definition は、デフォルトでサードパーティのエディタを使用してソースファイルを開きます。
- **Goto Module Definition With...** : ソースファイル内のこのモジュールの定義の場所にジャンプします。右クリックメニューに設定されたサードパーティのエディタと「Add External Editor」が提供されます(図 3-2)。「Add External Editor」を選択すると、「External Editor」の Options ダイアログボックスが表示され、サードパーティのエディタを設定できます。
- **Pack User Design** : モジュールとそのサブモジュールを暗号化します。
- **Set As Top Module** : このモジュールをトップ・モジュールとして設定します。トップに設定されたモジュールには、現在のモジュールがトップ・モジュールであり、元の階層が変更されていないことを示すマーク「

図 3-2 Hierarchy ウィンドウでの右クリックメニュー



プロジェクトファイルの hierarchy 分析中に error 情報がある場合は、赤いフォントでマークされる「RTL Analysis Error」メッセージが Hierarchy ウィンドウの右上に表示されます。このメッセージをクリック

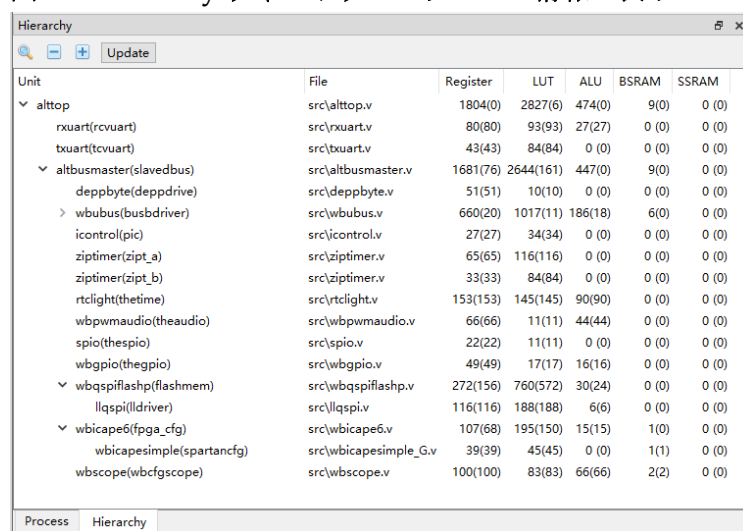


すると、エラー情報の詳細を含むプロンプトボックスがポップアップ表示されます。

### 3.6.2 リソース情報の表示

合成が完了すると、**Hierarchy** ウィンドウに現在のプロジェクトのリソース情報が自動的に表示されます(図 3-3)。モジュールが暗号化されている場合、そのリソース情報は表示されません。暗号化モジュールのリソース情報はその上位層モジュールにカウントされます。各モジュールのリソース使用量には、図 3-3 に示すように、2つの数字があります。例えば、モジュール **alttop** の LUT リソースの **2827(6)** では、**6** はモジュール自体により使用される LUT の数、**2827** はモジュールとそのサブモジュールにより使用される LUT の数です。

図 3-3 Hierarchy ウィンドウでのリソース情報の表示

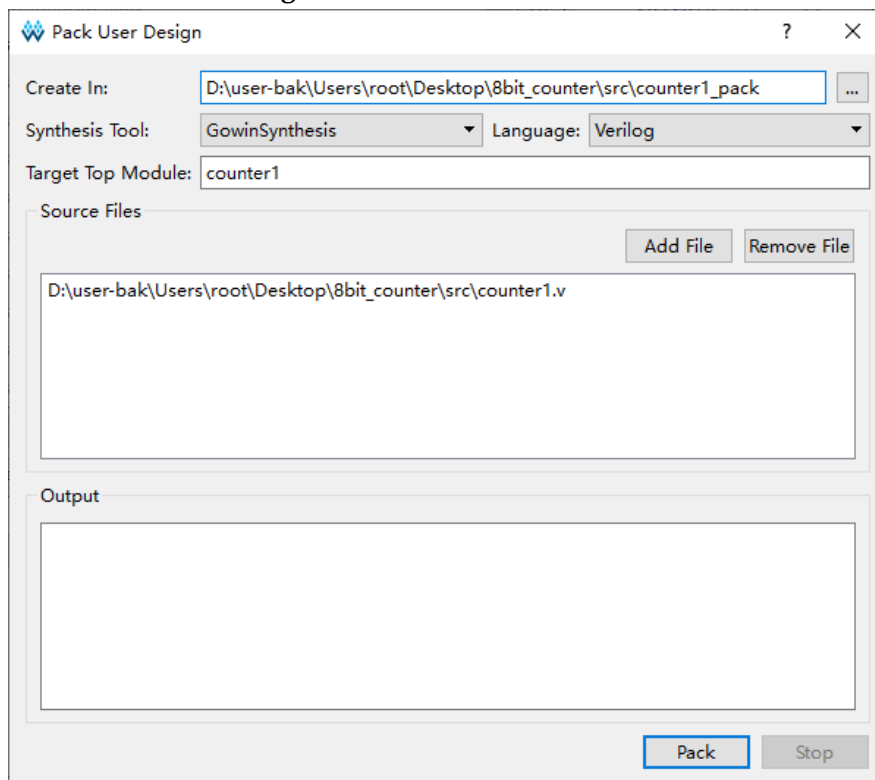


Unit	File	Register	LUT	ALU	BSRAM	SSRAM
▼ alttop	src\alttop.v	1804(0)	2827(6)	474(0)	9(0)	0(0)
rxuart(rcvuart)	src\rxuart.v	80(80)	93(93)	27(27)	0(0)	0(0)
txuart(tcvtuart)	src\txuart.v	43(43)	84(84)	0(0)	0(0)	0(0)
▼ altbusmaster(slavedbus)	src\altbusmaster.v	1681(76)	2644(161)	447(0)	9(0)	0(0)
deppbyte(deppdrive)	src\deppbyte.v	51(51)	10(10)	0(0)	0(0)	0(0)
> wbubus(busbdriver)	src\wbubus.v	660(20)	1017(11)	186(18)	6(0)	0(0)
icontrol(pic)	src\icontrol.v	27(27)	34(34)	0(0)	0(0)	0(0)
ziptimer(zipt_a)	src\ziptimer.v	65(65)	116(116)	0(0)	0(0)	0(0)
ziptimer(zipt_b)	src\ziptimer.v	33(33)	84(84)	0(0)	0(0)	0(0)
rtclight(thetime)	src\rtclight.v	153(153)	145(145)	90(90)	0(0)	0(0)
wbpwmadio(theaudio)	src\wbpwmadio.v	66(66)	11(11)	44(44)	0(0)	0(0)
spio(thesprio)	src\spio.v	22(22)	11(11)	0(0)	0(0)	0(0)
wbgpio(thegpio)	src\wbgpio.v	49(49)	17(17)	16(16)	0(0)	0(0)
▼ wbspiflashp(flashmem)	src\wbspiflashp.v	272(156)	760(572)	30(24)	0(0)	0(0)
llqspi(lldriver)	src\llqspi.v	116(116)	188(188)	6(6)	0(0)	0(0)
▼ wbicape6(fpga_cfg)	src\wbicape6.v	107(68)	195(150)	15(15)	1(0)	0(0)
wbicapesimple(spartancfg)	src\wbicapesimple_G.v	39(39)	45(45)	0(0)	1(1)	0(0)
wbscope(wbcfgscope)	src\wbscope.v	100(100)	83(83)	66(66)	2(2)	0(0)

### 3.6.3 ファイルの暗号化

プロジェクトが開いているとき、ユーザーが **FPGA** デザインのソースファイルの全部または一部を暗号化したい場合は、**Hierarchy** ウィンドウで暗号化するモジュールを右クリックし、右クリックメニューの「**Pack User Design**」をクリックして合成後の暗号化ファイルを生成できます。「**Pack User Design**」ダイアログボックスを図 3-4 に示します。

図 3-4 Pack User Design ダイアログボックス



Pack User Design ダイアログボックスの各構成項目の意味は次のとおりです。

- **Create In** : 暗号化ファイルのターゲットパス(絶対パスのみをサポート)。デフォルトはプロジェクトパス¥src¥<topmodule\_name>\_packです。
- **Language** : ハードウェア記述言語を選択します。Verilog(デフォルト)および VHDL をサポートします。
- **Target Top Module** : 暗号化するトップ・モジュール。デフォルトは、Hierarchy ウィンドウで選択されたモジュールであり、それは変更できます。
- **Source Files** : Hierarchy ウィンドウで選択したモジュールとサブモジュールのソースファイルを一覧表示します。
- **Add File** : 暗号化する設計ファイルを追加します。
- **Remove File** : 暗号化する必要のない設計ファイルを削除します。
- **Output ウィンドウ** : 実行情報ウィンドウ。
- **Pack** : 暗号化を実行します。
- **Stop** : 暗号化を終了します。

暗号化が開始される時および暗号化が成功した時、関連する情報が Output ウィンドウに出力されます(図 3-5)。暗号化中にエラーがある場

合、エラー情報と暗号化失敗情報が **Output** ウィンドウに表示されます(図 3-6)。

図 3-5 Pack User Design ダイアログボックス出力情報

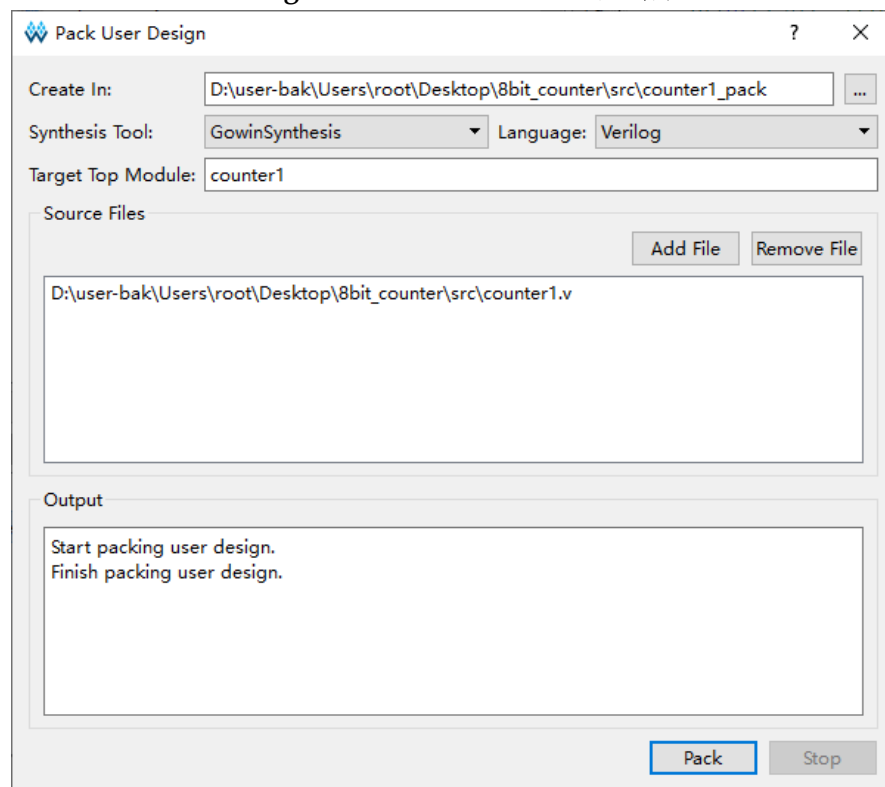
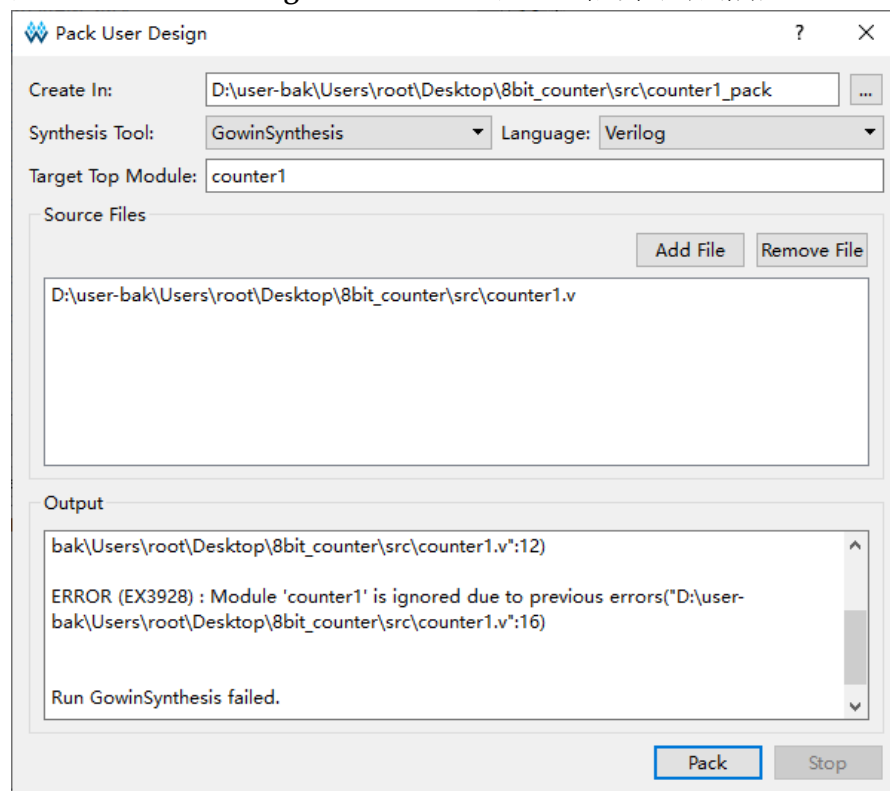


図 3-6 Pack User Design ダイアログボックス暗号化失敗情報



暗号化が完了すると、ターゲットパスの下に 2 つのファイルが生成されます。Language として Verilog が選択された場合、生成されるファイルは<topmodule\_name>\_gowin.vp と<topmodule\_name>\_sim.v です。Language として VHDL が選択された場合、生成されたファイルは<topmodule\_name>\_gowin.vhdp および<topmodule\_name>\_sim.v のようになります。<topmodule\_name>\_gowin.vp および<topmodule\_name>\_gowin.vhdp は、暗号化されたファイルであり、他のユーザーに提供できます。<topmodule\_name>\_sim.v は、暗号化モジュールの機能シミュレーションに使用できるフラット化されたプレーンテキストネットリスト・ファイルです。

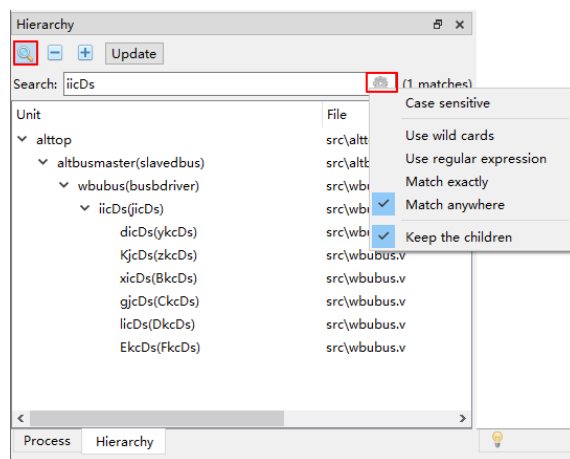
#### 注記：

同じサブモジュールをインスタンス化する複数のモジュールがプロジェクトにある場合、これらのモジュールのパック後に生成されたファイルにはサブモジュールの定義が含まれます。生成されたファイルが同じプロジェクトで使用されている場合、サブモジュールの重複定義エラーが報告されます。よって、この使用法は避ける必要があります。

### 3.6.4 検索機能

設計ファイルが多数ある場合は、Hierarchy ウィンドウの検索アイコンをクリックしてモジュール名またはファイル名で検索することができます。検索には、ワイルドカードの使用、完全一致など、多くのオプションがあります(図 3-7)。

図 3-7 Hierarchy ウィンドウの検索機能




## 3.7 ソースファイル編集エリア

基本的なファイル編集と検索機能を提供します。

新規作成または開いたファイル、合成後に生成したファイル、Place & Route 後に生成したファイルがいずれもテキスト編集エリアに表示されます。このほか、「Start Page」及びプロジェクトの「Design Summary」も同様にテキスト編集エリアに表示されます。

ファイルがテキスト編集エリアに表示され、外部でファイルの変更操作を行った場合、テキスト編集エリアで「File Changed」ダイアログボックスがポップアップします。「Reload」を選択してこのファイルを再ロードします。

「File」メニューの「Close」オプション、またはテキスト編集エリアの現在表示するファイル名の右側の  をクリックすると、テキスト編集エリア内の現在表示中のファイルが終了します。

「File」メニューの「Close All」項目をクリックすると、テキスト編集エリアに表示中のすべてのファイルが終了します。

ファイルを開いた後、ショートカットキーCtrl+F を使用するか、ツールバーの Find & Replace をクリックして Find & Replace ダイアログボックスを開くことができます。ダイアログボックスの Find All オプションを使用すると、次の 3 つの検索範囲を選択できます：Current File、Open Files、および Current Project(図 3-8)。Find All をクリックすると、Search Result ウィンドウがソフトウェアの下にポップアップし、一致した項目がハイライト表示され、一致した項目の総数が最初の行の最後に表示されます(図 3-9)。

図 3-8 Find & Replace ダイアログボックス

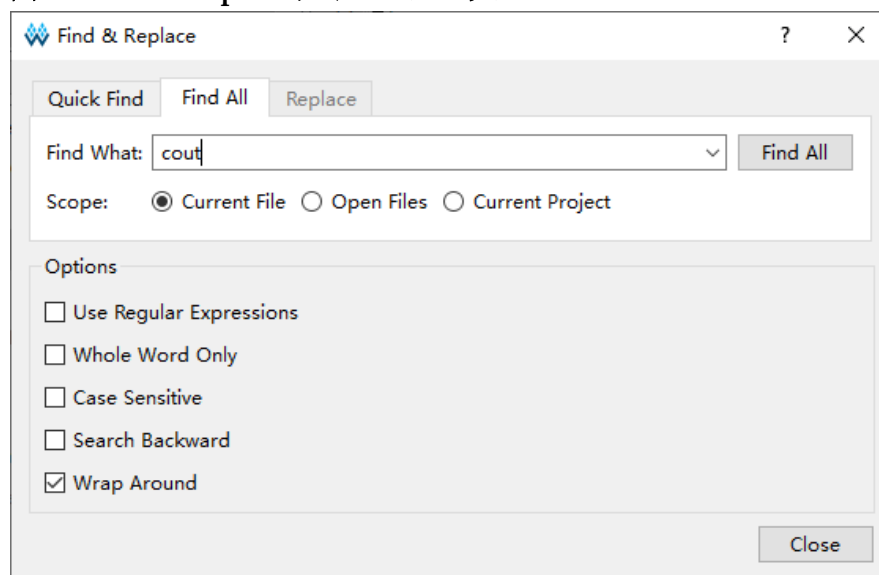
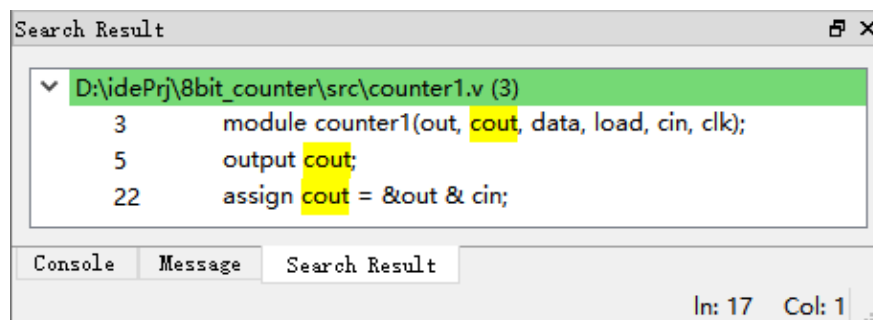


図 3-9 Search Result ウィンドウ



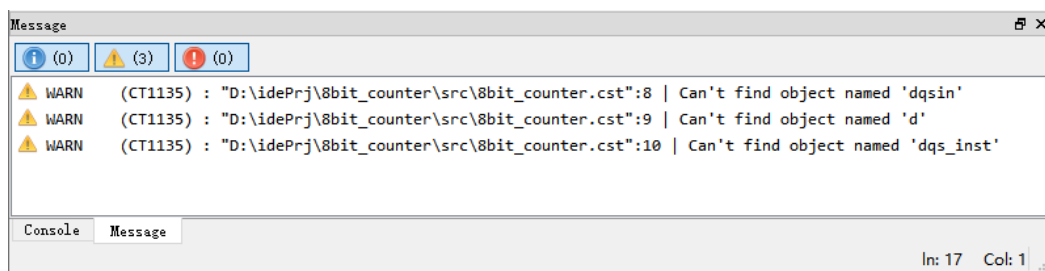
## 3.8 インフォメーション出力エリア

ソフトウェアの実行過程での処理インフォメーションを表示します。タブを手動で切り替えて別のタイプの出力情報を見ることができます。

- **Console** ページ : Tcl コマンド、警告メッセージ、エラーメッセージがあります。
- **Message** ページ : Note メッセージ、警告メッセージ、エラーメッセージがあります。

ページの情報を消去するには、**Console** ウィンドウで右クリックして「**Clear**」を選択します。」**Message**」ウィンドウには、**Note**、**Warning**、および **Error** の 3 つのサブオプションがあり、図 3-10 に示すように、各サブオプションのタブには、対応する各メッセージの数が表示されます。現在のページの情報を消去するには、**Message** ウィンドウで右クリックして「**Clear**」を選択します。

図 3-10 インフォメーション出力エリア



**Error** または **Warning** メッセージを選択し、右クリックして「**Help**」を選択するか、ショートカットキー「**F1**」を押すと、**Error** または **Warning** に関する「**GOWIN Help**」ヘルプドキュメントが表示されます。**Error** または **Warning** については、ドキュメントで詳しく説明されます。一般的な **Error** または **Warning** メッセージの一部を表 3-1 に示します。ヘルプドキュメントは、メニューバーの **Help > View Help** を選択して表示できます。

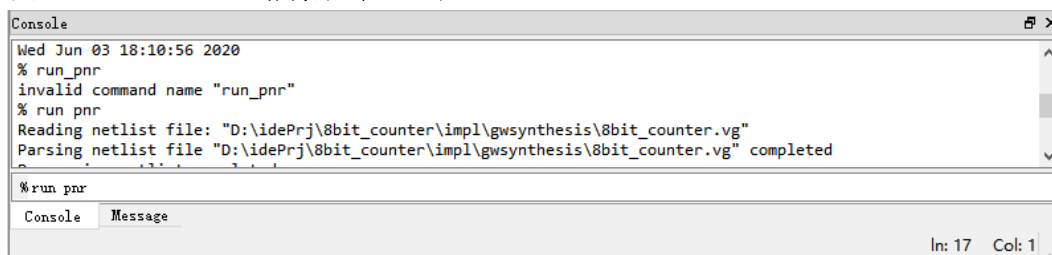
表 3-1 一般的な **Warning** または **Error** メッセージ

名称	コード	説明
Warning	WARN (PA1002): <file>:<line>   Invalid parameterized value <value>(<parameter>) specified for instance <instanceName>	指定された場所のデバイスには、間違ったパラメータ値が構成されています。
	WARN (PA1008): <file>:<line>   Object <name> is already defined	ネットまたはポートの重複定義があります。
	WARN (PA1001) : Dangling net <netName>(source:<instanceName>) in module <moduleName> has no destination	指定されたモジュールのネットが対象に接続されていません。
	WARN (CT1098) : <file>:<line>   Group name <name> is already defined	制約グループの重複定義があります。
	WARN (CT1101) : <file>:<line>   Location	制約位置情報の列がチ

名称	コード	説明
	column <number> is out of chip range(<maxColumn>)	チップの範囲外です。
Error	ERROR (PA2000): <file>:<line>   Syntax error near token <name>	構文エラーがあります。例えば：
	ERROR (PA2001): <file>:<line>   Module <moduleName> is already defined	モジュールの重複定義があります。例えば：
	ERROR (PA2017): The number(<value>) of <instType> in the design exceeds the resource limit(<maxValue>) of current device	モジュール数が制限を超えています。
	ERROR (PA2025): No <instType> resource in current device	サポートされないデバイスがあります。
	ERROR (PA2054): <file>:<line>   <name> is already declared	デバイスの名前が重複しています。

Console ページの下部には、Tcl コマンド編集ウィンドウがあります。ウィンドウに Tcl コマンドを入力して **Enter** キーを押してコマンドを実行できます(図 3-11)。Tcl コマンドの使用の詳細については、このドキュメントの [8 Tcl コマンドの説明](#)を参照してください。

図 3-11 Tcl コマンド編集ウィンドウ



# 4 Gowin ソフトウェアの使用

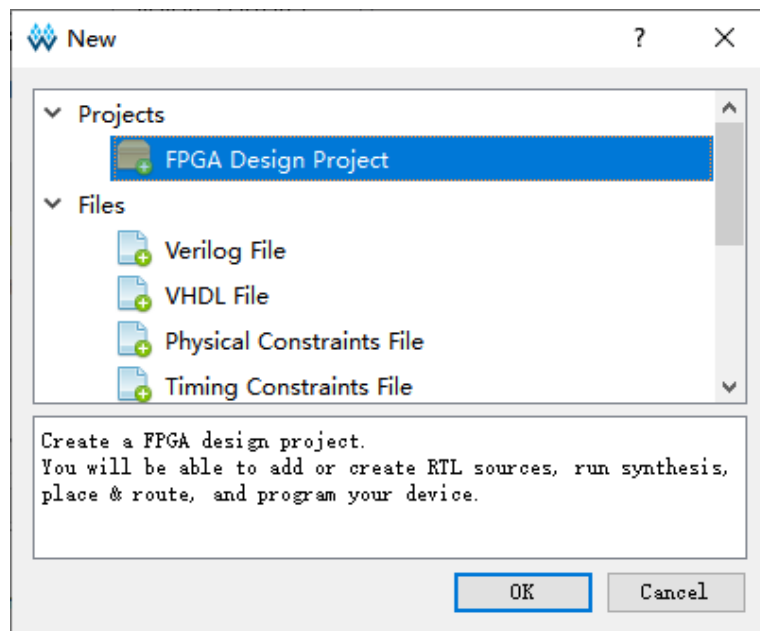
Gowin ソフトウェアは、GUI モードとコマンド・ライン・モードをサポートしています。コマンド・ライン・モードの使用については、8 Tcl コマンドの説明を参照してください。

Windows 10 での Gowin ソフトウェアを例にソフトウェアの使用方法を紹介します。

## 4.1 プロジェクトの新規作成

1. 「File > New…」をクリックして「New」ダイアログを開きます(図 4-1)。

図 4-1 プロジェクトの新規作成



注記：

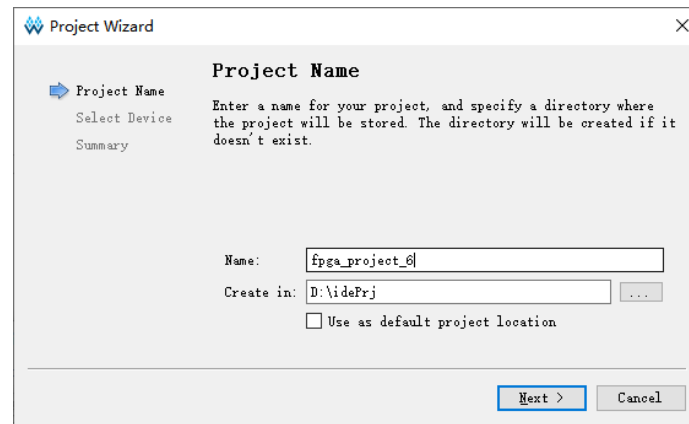
または、以下の 3 つの方法を使用して「New」ダイアログボックスを開きます。

- ショートカットキーCtrl+N を使用します。
- ツールバーの「New File or Project」アイコンをクリックします。
- Start Page ウィンドウの「Quick Start>New Project」をクリックします。



2. デフォルトで「FPGA Design Project」が選択されています。[OK]をクリックすると「Project Wizard」ダイアログボックスがポップアップします(図 4-2)。

図 4-2 プロジェクト新規作成ウィザード



3. プロジェクト名とパスを作成します(図 4-2)。

- a) 「Name」テキストボックスにプロジェクト名を入力します。
- b) 「...」をクリックしてプロジェクトパスを選択します。

「Use as default project location」を選択すると、プロジェクトパスがデフォルトのパスとして設定され、次に新しいプロジェクトを作成するときに、デフォルトでこのパスに作成されます。

注記：

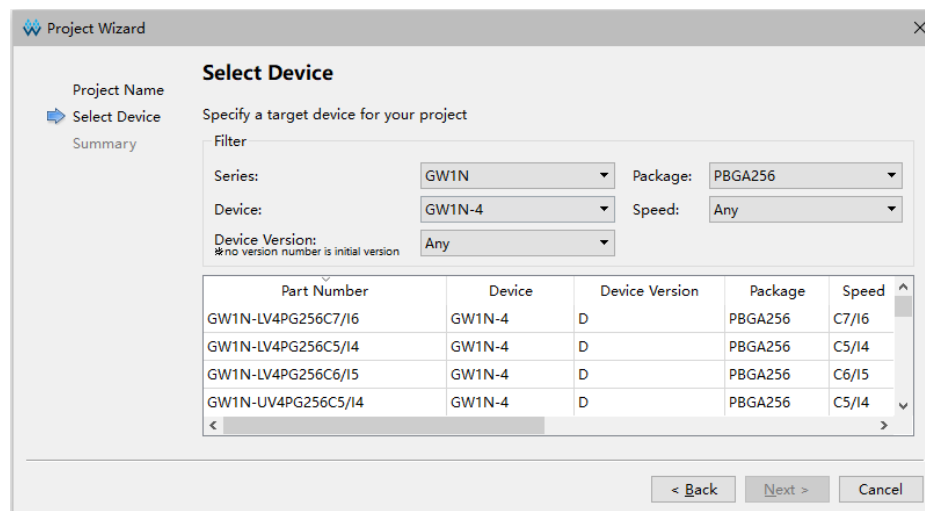
- Windows と Linux ではファイルパスの長さが制限されています。Windows システムのパスの長さは 260 文字に制限されており、Linux システムのパスの長さは 4096 文字に制限されています。パスの長さが制限を超えた場合、パスの削除またはコピーは失敗します。
- Linux と異なり、Windows のパスの区切り文字は「¥」(例えば：E:¥Gowin¥ide)です。

4. 「Next」をクリックして、FPGA のデバイス情報を設定します。5 つのフィルタオプション(Series、Device、Package、Speed、および Device Version)があります。

- Series でシリーズをフィルタリングします
- Device でデバイスをフィルタリングします
- Package でパッケージタイプをフィルタリングします
- Speed でスピードグレードをフィルタリングします
- Device Version でデバイスのバージョンをフィルタリングします
- 「Part Number」でチップの型番を選択します。また、この列では選択したデバイスの詳しいリソース情報が表示されます。Device Version がないデバイスの場合、Device Version 列は空列で表示され、デバイスの Device Version は逆順に表示されます(図

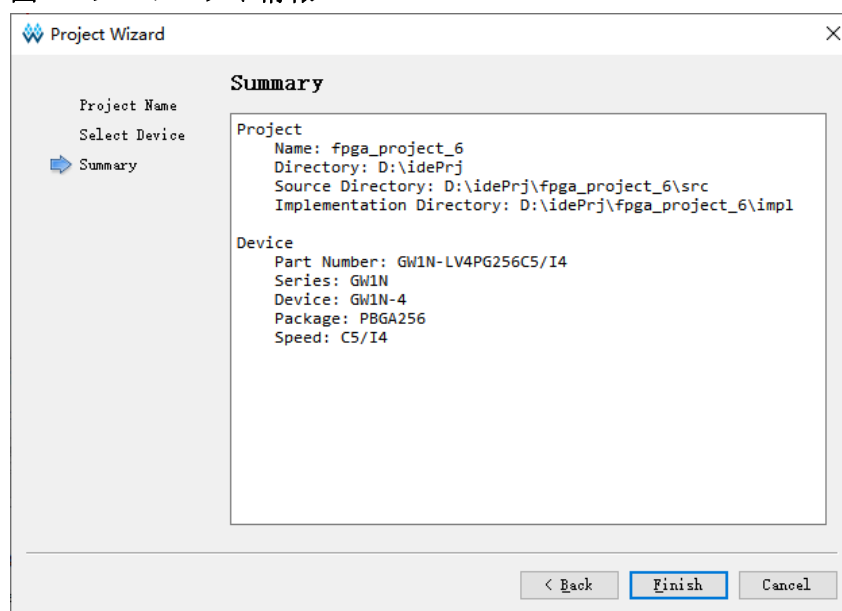
4-3)。

図 4-3 FPGA デバイスの情報の設定



5. 「Next」をクリックし、「Summary」ウィンドウで新規作成されたFPGAプロジェクトのプロジェクト情報とデバイス情報を確認します(図 4-4)。

図 4-4 プロジェクト情報



6. 「Finish」をクリックしてプロジェクト作成を完了します。

## 4.2 プロジェクトを開く

ユーザーは、Gowin ソフトウェアの GUI から、作成済みの Gowin ソフトウェア・プロジェクトを開くことができます。プロジェクトを開くには、次の 5 つの方法があります。

### ツールバーから開く


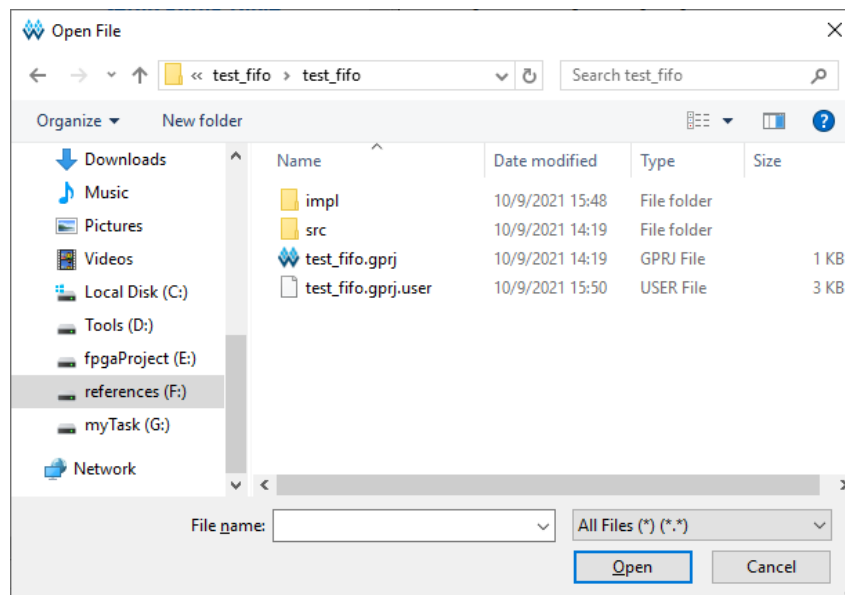
1. ツールバーの「」アイコンをクリックして、「Open File」ダイアログボックスを開くことができます。
2. プロジェクトファイル(\*.gprj)」を選択し、「Open」をクリックしてプロジェクトを開きます。


図 4-5 ファイルを開く



### メニューバーから開く

1. メニューで「File>Open ...」を選択し、「Open File」ダイアログを開きます(図 4-5)。
2. プロジェクトファイル(\*.gprj)」を選択し、「Open」をクリックしてプロジェクトを開きます。

### Start Page から開く

1. 「Start Page」ページで「」をクリックして「Open Project」ダイアログを開きます。
2. プロジェクトファイル(\*.gprj)」を選択し、「Open」をクリックしてプロジェクトを開きます。

### Recent Projects から開く

メニューバーで「File>Recent Projects」を選択し、開きたいプロジェクトをクリックします。

注記：

- 「Start Page>Recent Projects」リストで開きたいプロジェクトを選択することもできます。
- Recent Projects は最近開いたプロジェクトのリスト(最大 10 個のプロジェクト)です。

- そのプロジェクトが削除済されている場合、「Open Project」プロンプトがポップアップします。

#### プロジェクトファイルで開く

プロジェクトファイル(\*.gprj)をダブルクリックしてプロジェクトを開きます。

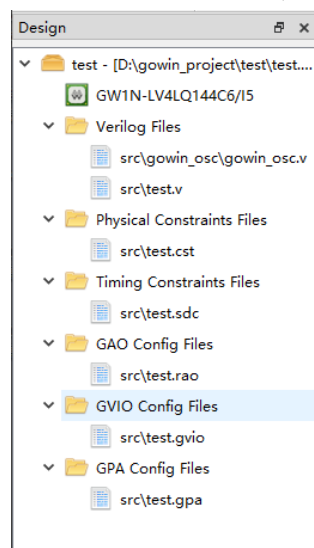
## 4.3 プロジェクトの編集

プロジェクトを新規作成または開いた後、プロジェクト管理ウィンドウで **FPGA** プロジェクトデバイス情報や関連ファイルなどを編集できます(図 4-6)。

プロジェクト管理エリアには、主に次の情報が含まれています。

- **FPGA** プロジェクトのパス情報。
- 使用されるデバイスの型番。
- ユーザーデザインファイル (**Source Files**)、制約ファイル、構成ファイルなど、現在のプロジェクトに含まれるファイル情報。その中で、制約ファイルには、物理制約ファイル (.cst)、タイミング制約ファイル (.sdc) が含まれ、構成ファイルには、**GAO** 構成ファイル (.gao、.rao)、消費電力解析構成ファイル (.gpa)、仮想入力出力の構成ファイル (.gvio) などが含まれます。

図 4-6 プロジェクトファイル・ウィンドウ



### 4.3.1 プロジェクトデバイスの編集

現在使用されているデバイスの型番は、プロジェクト管理エリアで変更できます。

1. 図 4-6 に示すように、「GW2A-LV18PG484C8/I7」をダブルクリックして「Select Device」ダイアログボックスを開くか、メニューバーの **Project > Set Device** を選択します(図 4-7)。

2. 「Select Device」ダイアログボックスで FPGA デバイス情報を設定し、「Part Number」欄で型番を選択することで、現在のプロジェクトで使用されているデバイスを編集します。「Part Number」欄には、デバイスのバージョン、パッケージ情報、スピードグレード、コア電圧、チップに含まれる IO/LUT/FF/SSRAM/BSRAM/User Flash/DSP/PLL リソースの数など、選択したチップのデバイスの詳細情報が表示されます。

注記：

空の Device Version(デバイスのバージョン)は、初期バージョンであることを意味します。チップの date code の末尾には、デバイスのバージョンを表す文字があります。「Part Number」欄で選択されたデバイスのバージョンは、使用しているデバイスのバージョンと一致している必要があります。

図 4-7 チップの型番の構成

The 'Select Device' dialog box contains a 'Filter' section with the following settings:

- Series: GW2A
- Device: GW2A-18
- Device Version: C
- Package: PBGA484
- Speed: Any

Below the filter is a table with the following data:

Part Number	Device	Device Version	Package	Speed	Voltage	IO
GW2A-LV18PG484C9/I8	GW2A-18	C	PBGA484	C9/I8	LV	319
GW2A-LV18PG484C8/I7	GW2A-18	C	PBGA484	C8/I7	LV	319
GW2A-LV18PG484C7/I6	GW2A-18	C	PBGA484	C7/I6	LV	319

At the bottom right of the dialog are 'OK' and 'Cancel' buttons.

### 4.3.2 プロジェクトファイルの編集

プロジェクトに追加する必要があるファイルには、ユーザーRTL 設計ファイル(Source Files)、制約ファイル、構成ファイルが含まれます。プロジェクトに必要なファイルを編集する方法を紹介します。

#### 設計ファイルと制約ファイルの新規作成


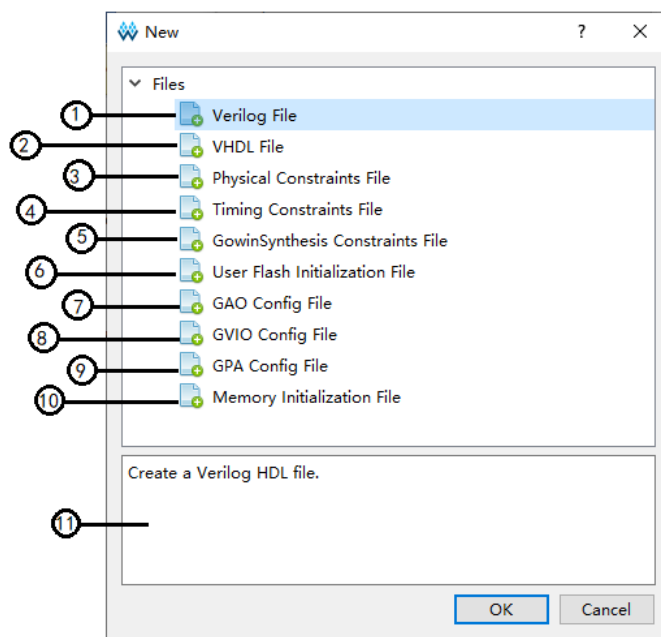
1. ツールバーの「」をクリックするか、メニューバーの File > 「New...」を選択します。
2. 新規作成したいファイルを選択します(図 4-8)。

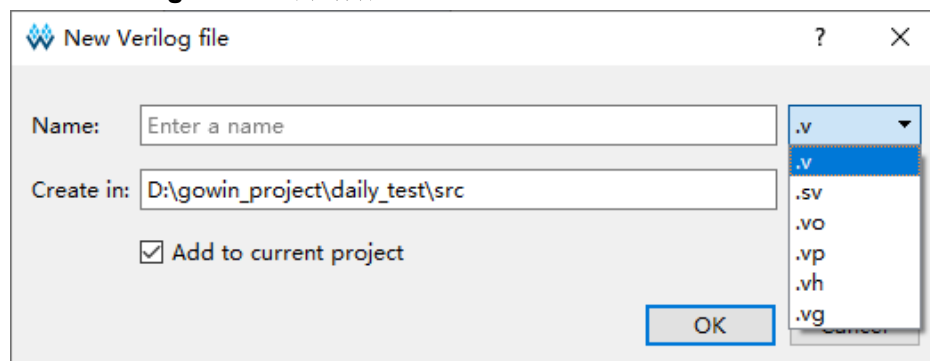
図 4-8 ファイル新規作成ダイアログボックス



- |                             |                       |
|-----------------------------|-----------------------|
| ① ユーザーVerilog 設計ファイル        | ② ユーザーVHDL 設計ファイル     |
| ③ 物理制約ファイル                  | ④ タイミング制約ファイル         |
| ⑤ 合成最適化制約ファイル               | ⑥ User Flash の初期化ファイル |
| ⑦ Gowin アナライザオシロスコープの構成ファイル | ⑧ 仮想入力出力の構成ファイル       |
| ⑨ 消費電力解析の構成ファイル             | ⑩ メモリ初期化ファイル          |
| ⑪ ファイルタイプの説明                |                       |

3. 例えば、Verilog File の新規作成の場合、「Verilog File」を選択し、Verilog File 新規作成ダイアログボックスを開きます。ファイル拡張形式を選択できます(図 4-9)。「Add to current project」はデフォルトでチェックされています。つまり、新しく作成された設計ファイルはデフォルトで現在のプロジェクトに追加されます。

図 4-9 Verilog File の新規作成



4. ファイル名を入力し、「OK」をクリックします。

### 構成ファイルの新規作成


1. ツールバーの「」をクリックするか、メニューバーの **File > 「New...」** を選択します(図 4-8)。
2. 図 4-8 で、新規作成したい構成ファイルの種類を選択します。例えば、消費電力解析構成ファイルの新規作成の場合、「**GPA Config File**」を選択して **New GPA Config File** ダイアログボックスを開きます。表 4-10 に示すように、ファイル名を入力し、「OK」をクリックすると、新しい GPA 構成ファイルが自動的にプロジェクト管理エリアに追加されます。
3. プロジェクト管理エリアで構成ファイルをダブルクリックして、編集用の空の構成ファイルをウィンドウの形式で開きます(図 4-11)。

図 4-10 構成ファイル新規作成ダイアログボックス

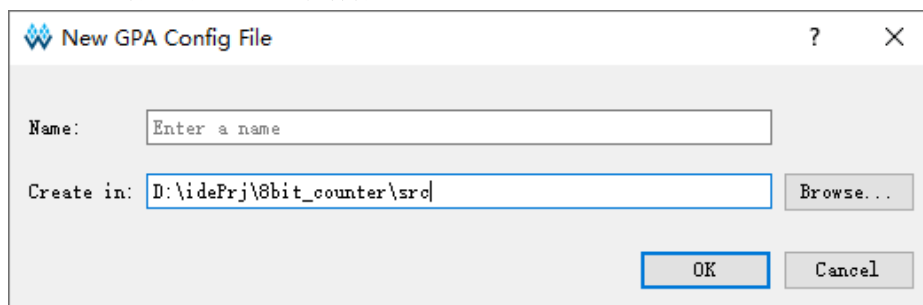
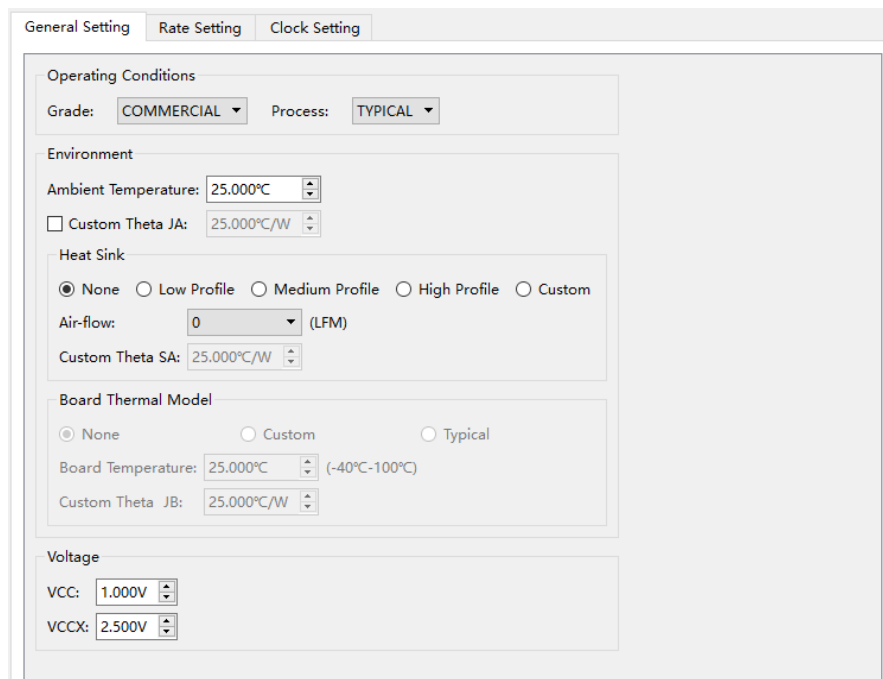


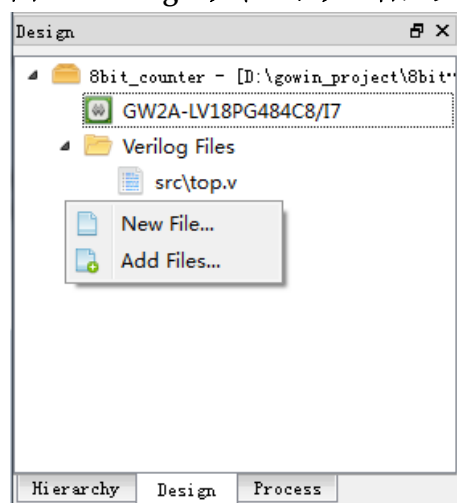
図 4-11 GPA 構成ファイルウィンドウ



### プロジェクトファイルの追加

1. 図 4-12 に示すように、プロジェクト管理エリアの空白で右クリックし、「Add Files…」を選択し、「Select Files」ダイアログボックスを開きます。
2. プロジェクトファイルは、同時に複数、または 1 つのファイルを選択できます。選択後、ユーザーデザインファイルの追加が完了します。追加後、ソフトウェアはプロジェクトファイル管理エリアのファイルを自動的に分類します。追加されたファイルが RTL 設計ンファイル、ネットリスト・ファイル、制約ファイル、GPA 構成ファイル、GAO 構成ファイルでない場合、ファイル分類「Other Files」がプロジェクト管理エリアに追加されます。

図 4-12 Design ウィンドウの右クリックメニュー



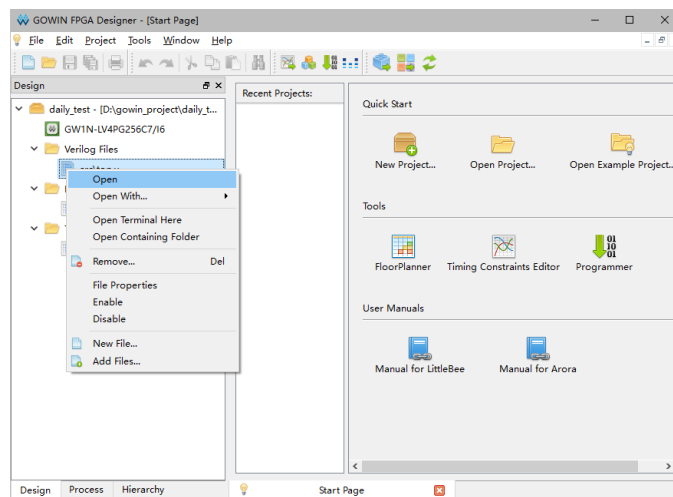
### プロジェクトファイルの変更

図 4-13 に示すように、ファイルを開くには以下の 2 つの方法があります。

1. プロジェクト管理エリアでファイルをクリックすると、そのファイルがソースファイル編集エリアに表示されます。
2. ファイルを右クリックし、「Open」をクリックします。



図 4-13 プロジェクトファイル編集メニュー

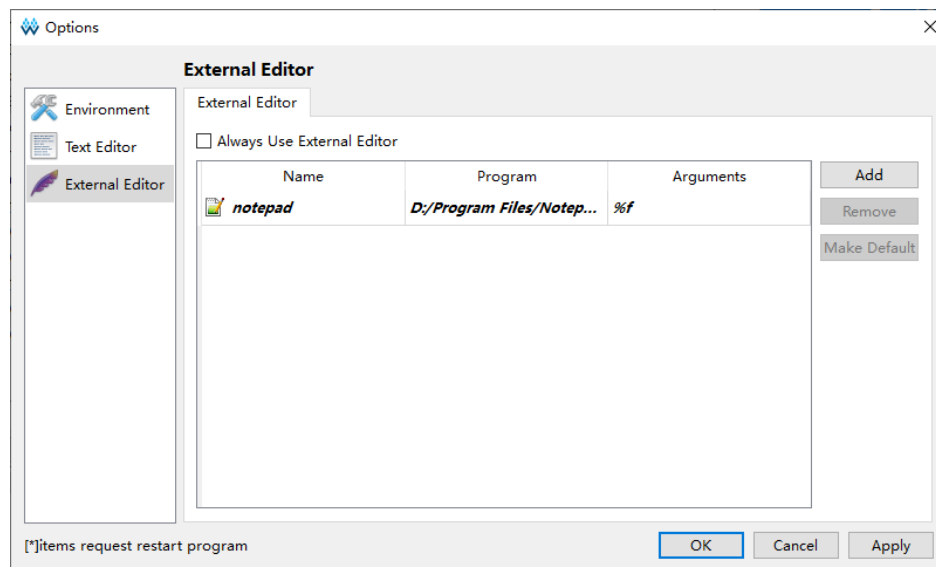


ユーザーがメニューバーの **Tools > Options** でサードパーティのテキスト編集ソフトウェアを設定している場合は、「**Open With...**」を選択して、サードパーティのテキスト編集ソフトウェアで設計ファイルを開くことができます。「**Add External Editor**」を選択した場合、ユーザーはサードパーティのエディタを追加できます(図 4-14)。「**Always Use External Editor**」をチェックすると、常にサードパーティのエディタで設計ファイルを開くようになります。右クリックメニューから「**Open Containing Folder**」を選択すると、ファイルが所在するフォルダが開きます。「**Open Terminal Here**」を選択すると、コマンド・ラインの実行ウィンドウが開き、ユーザーはコマンド・ライン・モードで実行できます。

ユーザーが外部のエディタを使用し、Gowin ソフトウェア編集エリアで開いたファイルを変更及び保存すると、Gowin ソフトウェアはプロジェクトファイル変更通知をポップアップします。

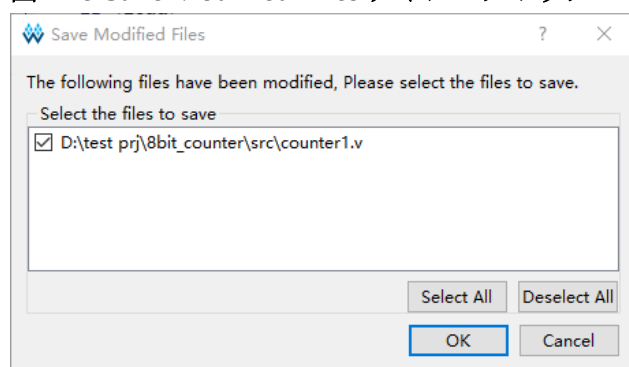
ユーザーが編集後に保存していないファイルを閉じようとする、Gowin ソフトウェアはプロジェクトファイル保存通知をポップアップします。

図 4-14 外部エディタ



変更されたプロジェクトファイルを保存しないまま **Synthesize** または **Place&Route** を実行する場合は、「**Save Modified Files**」プロンプトボックスがポップアップします(図 4-15)。

図 4-15 Save Modified Files ダイアログボックス



「OK」をクリックすると、ファイルが保存され、実行したいプロセスが実行されます。「Cancel」をクリックすると、ファイルは保存されず、**Synthesize** や **Place&Route** も実行されません。

### プロジェクトファイルの削除

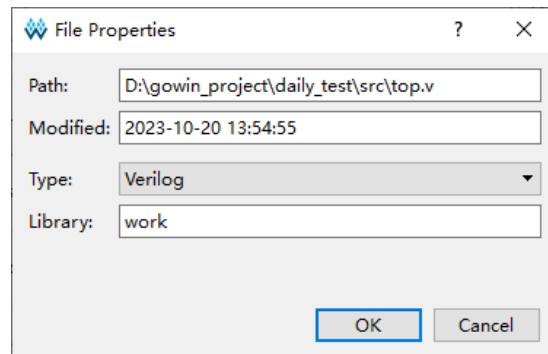
1. プロジェクト管理エリアのファイルを選択します。
2. 右クリックして「**Remove**」を選択するか、キーボードの「**Delete**」キーを直接押すと、「**Remove Files**」ダイアログボックスが表示されます。「**Remove Permanently on Disk**」をチェックすると、ファイルは現在のプロジェクトから削除され、ディスクから削除されます。それ以外の場合、ファイルは現在のプロジェクトからのみ削除されます。

### プロジェクトファイルの属性の編集

プロジェクト管理エリアでファイルを右クリックし、右クリックメニューから「**File Properties**」を選択すると、図 4-16 に示すように、ファイ

ルのファイル属性ダイアログボックスが表示されます。ダイアログボックスには、ファイルのパス情報、変更時間、**Type**、**Library** 情報が含まれます。**Type** ドロップダウンメニューでは、ファイルのタイプ情報を編集することができます。**OK** をクリックすると、**Design** ウィンドウで選択されたタイプに自動的に移動します。**Library** は、VHDL ファイルを合成するためのコンパイルライブラリを指定するために使用されます。デフォルトは **work** です。複数のライブラリがある場合は、それらを「;」で区切る必要があります。

図 4-16 プロジェクトファイル属性ダイアログボックス



複数の **Verilog** ファイルまたは複数の **VHDL** ファイルが選択されている場合、「**File Properties**」ダイアログボックスにパス情報と変更時間は表示されません。**Verilog** ファイルと **VHDL** ファイルの両方が選択されている場合、「**File Properties**」ダイアログボックスにパス情報、変更時間、およびタイプは表示されません。

**Library** の使用法は次のとおりです。

- デザインのトップレベル（または上位レベル）エンティティに最下位エンティティの **component** がある場合、最下位エンティティがどの **Library** に属しているかを気にする必要はなく、デフォルト値 **work** を使用できます。
- デザインのトップレベル（または上位レベル）エンティティが最下位エンティティ（**uut1 : entity mb.sub1** など）を「**uut1 : entity** ライブラリ名.最下位エンティティ名」の形式で呼び出す場合、最下位のエンティティがある **vhdl** ファイルの **library** は、ライブラリ名（**mb** など）である必要があります。
- パッケージ内に最下位エンティティの **component** がある場合、トップレベル（または上位レベル）のエンティティがパッケージを介して最下位エンティティを呼び出すとき、最下位エンティティがどの **library** に属するかを気にする必要はなく、デフォルト値 **work** を使用できます。
- パッケージ内に最下位エンティティの **component** がある場合、最上位（または上位）のエンティティは、「**uut : パッケージが属するライブラリ名.パッケージ名.最下位エンティティ名**」の形式で最下位エン

ティティ (uut1 : work.pack.sub1 など) を呼び出す時、最下位エンティティがどの library に属するかを気にする必要なく、デフォルト値 **work** を使用できます。

### プロジェクトファイルのイネーブル

ユーザーはプロジェクト管理エリアの任意のファイルを右クリックして[Enable]と[Disable]のオプションを確認できます(図 4-13)。イネーブルされたファイルはプロジェクトのコンパイルプロセスに参加します。

1. 右クリックで **Enable/ Disable** を設定します(個別のファイルの設定と複数ファイルの一括設定を含む)。
2. 複数の制約ファイルまたは構成ファイルの場合、1つのファイルのみを **Enable** 状態にすることができます。同じ種類の新しいファイルを作成または追加すると、前のファイルは無効になります。

## 4.3.3 プロジェクトの構成

プロジェクト管理エリアで「Synthesize」または「Place & Route」を右クリックして「Configuration」を選択し、プロジェクト構成ダイアログボックスを開きます(図 4-17)。

図 4-17 プロジェクトの構成オプション

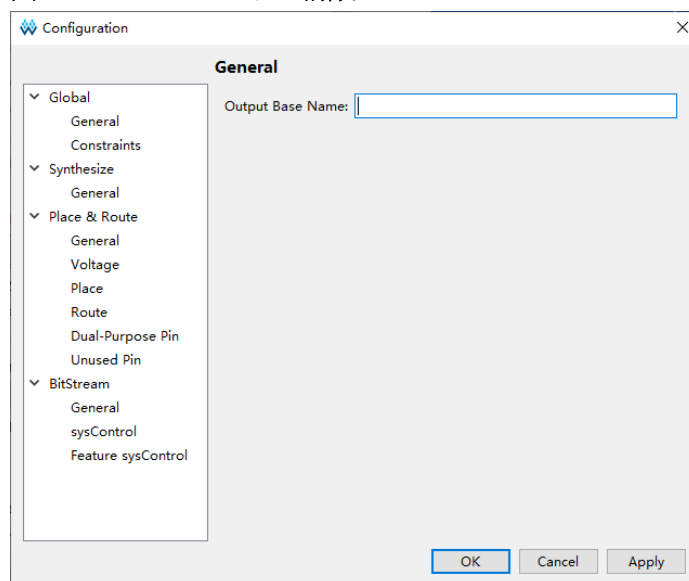


図 4-17 に示すように、構成可能なプロジェクトオプションには、「Global」、「Synthesize」、「Place & Route」、および「BitStream」が含まれます。構成可能な各オプションの詳細は次のとおりです。

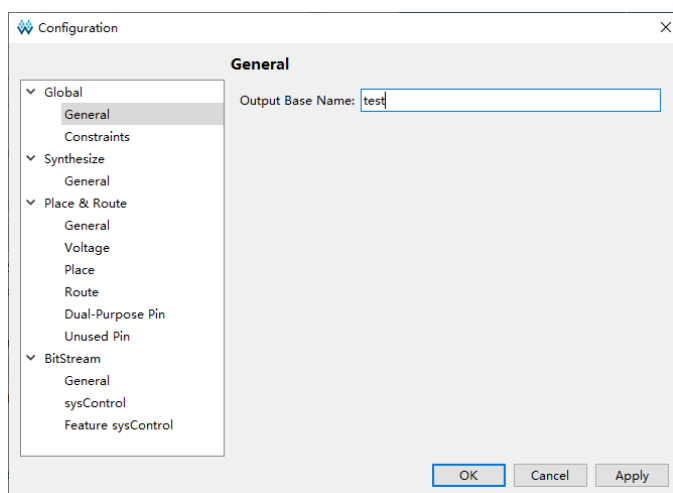
### Global

Global オプションには、**General** と **Constraints** が含まれています。

### General

**General** オプションでは、出力ファイルの基本名を指定できます。デフォルトは現在のプロジェクトの名前です(図 4-18)。

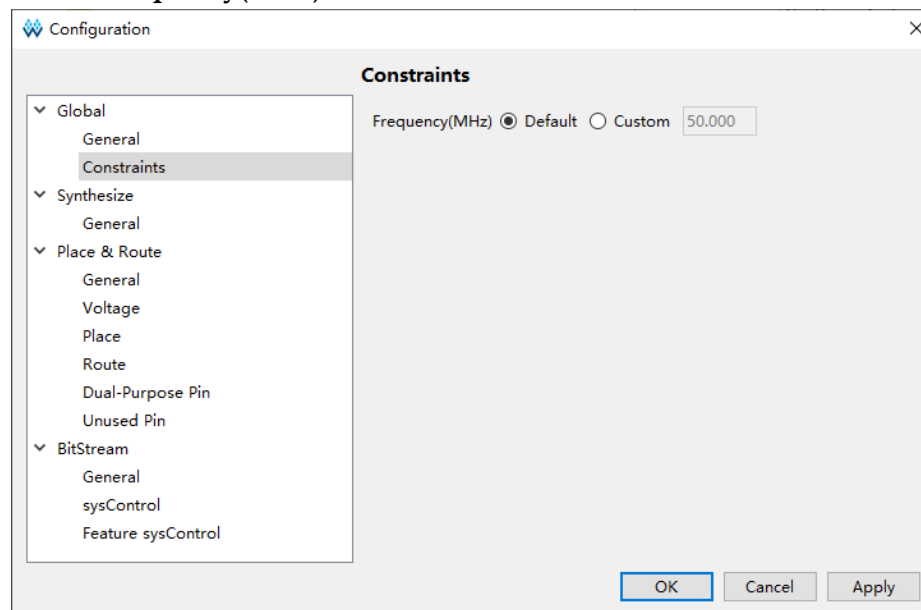
図 4-18 General オプション



## Constraints

**Constraints** オプションの構成を図 4-19 に示します。このオプションを使用して、ユーザーデザインのグローバル・クロックの周波数を設定できます。ただし、クロック周波数がタイミング制約で指定されている場合は、タイミング制約における周波数値が優先されます。デフォルトでは、50MHz(LittleBee ファミリー)または 100MHz(Arora ファミリー)です。

図 4-19 Frequency(MHz)オプション



## Synthesize

### General

**Synthesize** の **General** オプションを図 4-20 に示します。合成ツールとして **GowinSynthesis** が提供されます。また、合成オプションの構成がサポートされます。一部のオプションの上にマウスを置くとその説明が表示されます。

図 4-20 GowinSynthesis のパラメータの構成

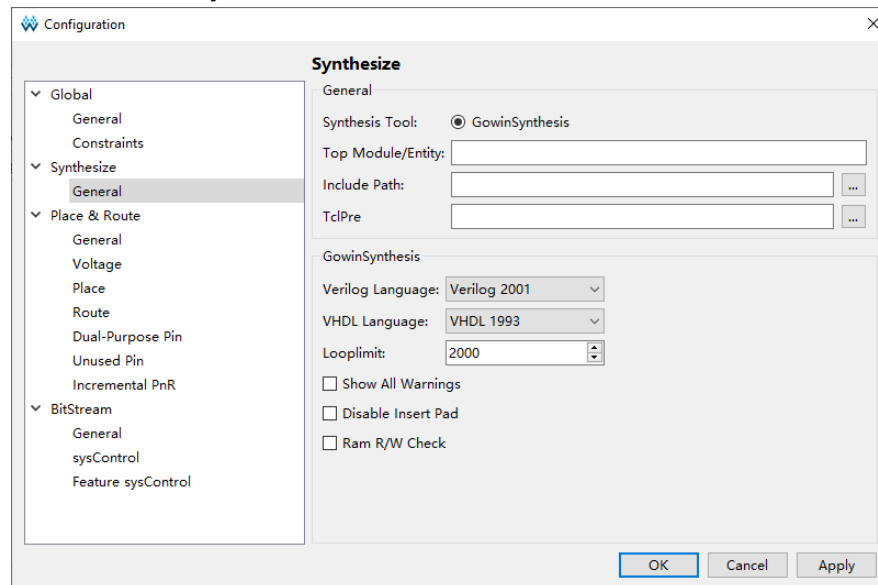


図 4-20 の各パラメータの詳細は以下のとおりです：

- **Top Module/Entity**：トップ・モジュールを指定します。
- **Include Path**：インクルードパスを指定します。
- **TclPre**：ソフトウェアの自動バージョン管理ファイルを指定します。合成するたびにバージョン番号とバージョン日付が自動的に変更されるため、デザインのバージョンは、バージョン番号により確認することができます。
- **Verilog Language**：verilog 言語を指定します。**System Verilog 2017**、**Verilog 2001**(デフォルト)、および **Verilog 95** をサポートします。
- **VHDL Language**：VHDL 言語を指定します。**VHDL 1993**(デフォルト)、**VHDL 2008**、および **VHDL 2019** をサポートします。このオプションは、現在のプロジェクトに VHDL 形式の設計ファイルが含まれていることが検出された場合にのみ画面に表示されます。
- **Looplimit**：RTL のデフォルトのコンパイラのループ制限値で、デフォルト値は **2000** です。
- **Show All Warnings**：このオプションをチェックすると、合成プロセス中にすべての警告情報が出力されます。デフォルトではチェックされていません。
- **Disable Insert Pad**：ネットリストに **I/O Buffer** を挿入するかどうかを設定します。デフォルトではチェックされていません。
- **Ram R/W Check**：RAM に読み出しまたは書き込みの競合がある場合、このオプションをチェックすると、**RAM** の周りに、シミュレーションの不一致を防ぐためのバイパスロジックが挿入されます。デフォルトではチェックされていません。

**注記：**

オプション構成の詳細については、『GowinSynthesis ユーザーガイド([SUG550](#))』を参照してください。

**Place & Route**

Place & Route オプションには、General、Voltage、Place、Route、Dual-Purpose、および Unused Pin があります。各オプションの説明を表 4-1 に示します。

表 4-1 Place & Route 各オプションの説明

オプション	説明
General	配置配線時の一般的なパラメータの構成に使用されます。
Voltage	VCCX を設定するために使用されます。
Place	配置パラメータの構成に使用されます。
Route	配線パラメータの構成に使用されます。
Dual-Purpose Pin	選択したデバイスのパッケージ方法に対応する I/O 情報の構成、つまり多重化ピンの構成に使用されます。
Unused Pin	未使用 GPIO の IO 属性を設定します。

「Reset all to default」をクリックすると、現在の構成はすべてデフォルトの値に戻ります。

**General**

General オプションの構成を図 4-21 に示します。

図 4-21 配置配線オプションの構成

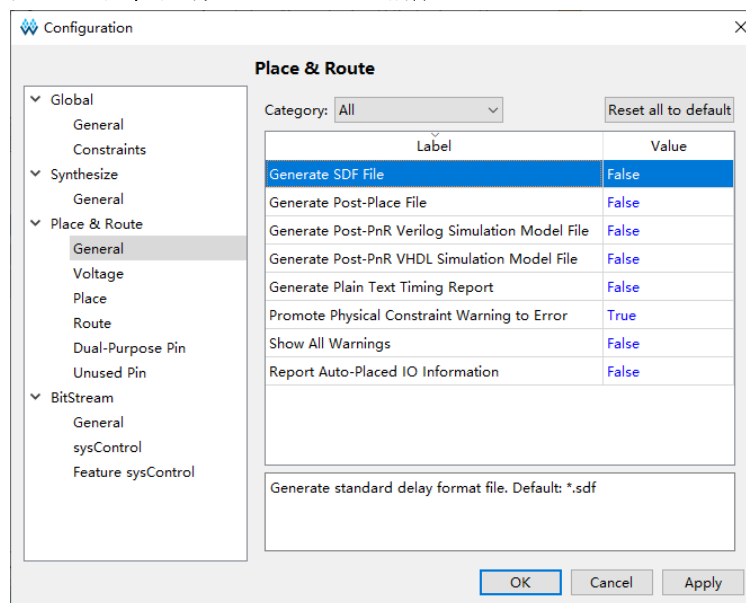


図 4-21 の各オプションの詳細は以下のとおりです：

- **Generate SDF File** : 拡張子が.sdf の標準遅延フォーマットファイルを生成します。これは、配置配線後のネットリスト・タイミングシミュレーションに使用されます。デフォルトは **False** です。詳しくは、このドキュメントの 7 シミュレーションファイルを参照してください。
- **Generate IBIS File** : 拡張子が.ibs の入力/出力バッファ情報指定ファイルを生成します。デフォルトは **False** です。
- **Generate Post-Place File** : BSRAM 配置情報のみを含む、拡張子が.posp のファイルを生成します。デフォルトは **Flase** です。
- **Generate Post-PNR Verilog Simulation Model File** : Verilog 言語のタイミングシミュレーション用のタイミングシミュレーション・モデルファイル(拡張子は.vo)を生成します。デフォルトは **False** です。
- **Generate Post-PNR VHDL Simulation Model File** : VHDL 言語のタイミングシミュレーション用のタイミングシミュレーション・モデルファイル(拡張子は.vho)を生成します。デフォルトは **False** です。
- **Generate Plain Text Timing Report** : 拡張子が.tr のテキスト形式でタイミングレポートを生成します。デフォルトは **False** です。
- **Promote Physical Constraint Warning to Error** : 物理制約の警告をエラーに昇格させます。デフォルトは **True** です。
- **Show All Warnings** : 配置配線中にすべての警告情報を出力します。デフォルトは **False** です。
- **Report Auto-Placed IO Information** : 自動的に配置される I/O の位置情報を報告します。デフォルトは **False** です。

### Voltage

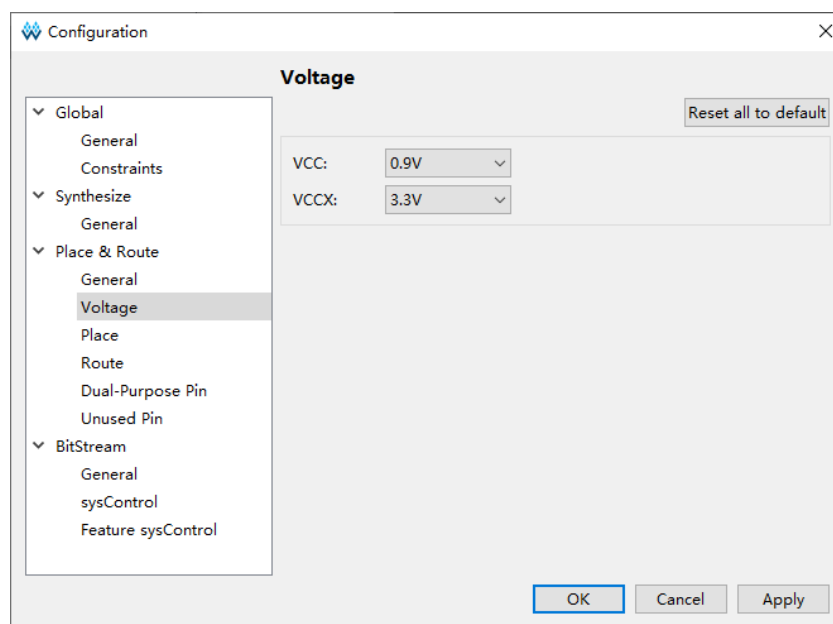
**Voltage** オプションを図 4-23 に示します。このオプションでは、電圧 **VCC** と **VCCX** を設定することができます。設定可能な **VCC** と **VCCX** の値は、デバイスによって異なります。「Reset all to default」をクリックすると、設定された **VCC** と **VCCX** がデフォルトの値に戻ります。

#### 注記 :

- **VCC** の設定は、GW1NZ-1/GW1NZ-2 デバイスの遅延データに影響します。
- **VCCX** の設定は、消費電力の計算結果に影響します。



図 4-22 Voltage オプションの構成



## Place

Place オプションを図 4-23 に示します。

図 4-23 配置オプションの構成

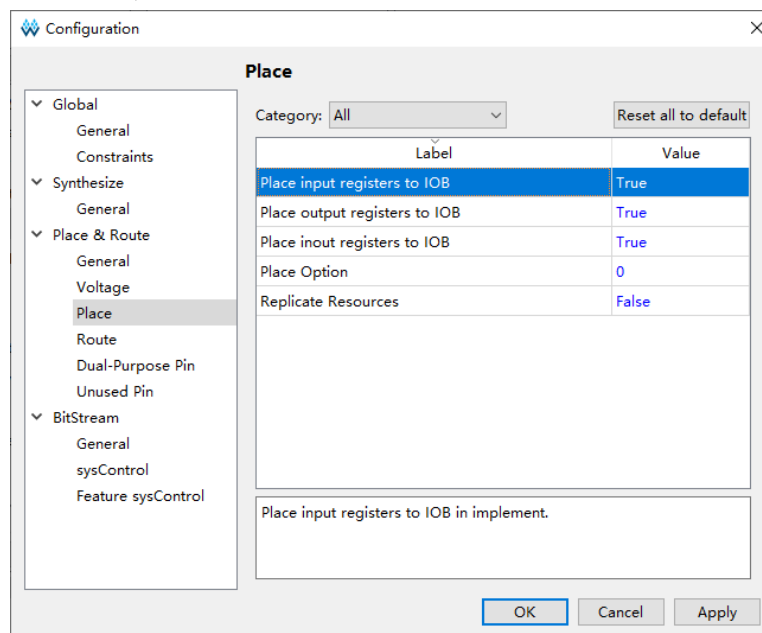


図 4-23 の各オプションの詳細は以下のとおりです：

- **Place input register to IOB**：入力バッファに接続されるレジスタを IOB に配置します。GW5A(S)(T)-138/GW5AT-75 デバイスの場合、デフォルトは **False** で、その他の場合、デフォルトは **True** です。
- **Place output register to IOB**：出力/トライステートバッファに接続されるレジスタを IOB に配置します。GW5A(S)(T)-138 デバイスの場

合、デフォルトは **False** で、その他の場合、デフォルトは **True** です。

- **Place inout register to IOB** : 双方向バッファに接続されるレジスタを IOB に配置します。GW5A(S)(T)-138 デバイスの場合、デフォルトは **False** で、その他の場合、デフォルトは **True** です。
- **Place Option** : 配置アルゴリズムのオプション。GW5A(N)(S)(R)(T) シリーズの場合、選択可能な値は 0、1、2、3、4 であり、その他のシリーズの場合、選択可能な値は 0、1、2 です。デフォルトは 0 です。
- **Replicate Resources** : 高ファンアウトのリソースを複製してファンアウトを低減し、タイミングの結果を改善します。デフォルト値は **False** です。このオプションは、GW5A(N)(S)(R)(T) デバイスでのみサポートされ、他のデバイスの場合は表示されません。

## Route

Route オプションを図 4-24 に示します。

図 4-24 配線オプションの構成

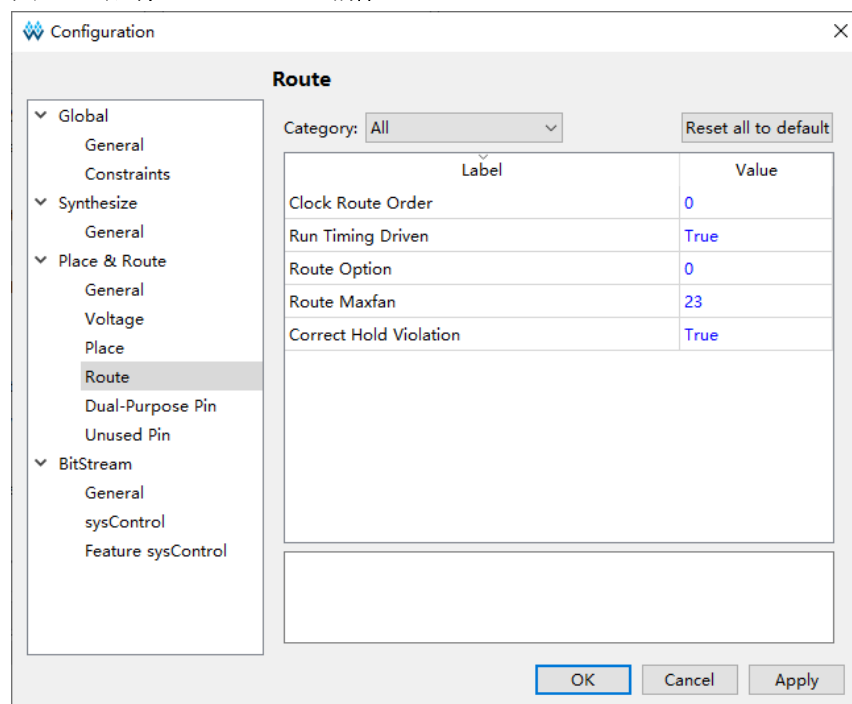


図 4-24 の各オプションの詳細は以下のとおりです：

- **Clock Route Order**: クロックプリミティブにより生成されたクロックライン以外のクロックラインの配線割り当て順を指定します。0 と 1 の 2 つのオプションがあり、デフォルトは 0 です。
  - 0 の場合、net のファンアウト数の多い順で割り当てます。
  - 1 の場合、周波数の高い順で割り当てます。
- **Run Timing Driven** : タイミングドリブン配線を実行します。デフォルト

トは **True** です。

- **Route Option** : 配線アルゴリズムのオプション(0、1、または2)です。デフォルトは0です。
  - 0 の場合、デフォルトの配線アルゴリズムを使用します。
  - 1 の場合、より良い配線結果を見つけるためにコンパイル速度が低下します。
  - 2 の場合、配線速度が向上します。
- **Route Maxfan** : 配線のファンアウトの最大数を設定します。値は0より大きく100以下の整数である必要があります。この値を小さい値に設定すると、配線が失敗する場合があります。このオプションは、LW(long wire)およびクロック関連の配線を制御しません。デバイスがGW1NZ-1/GW1N-2/GW1NR-2/GW1N-1P5 の場合、Route Maxfan のデフォルト値は10で、他のデバイスの場合、デフォルト値は23です。
- **Correct Hold Violation** : 配線によりタイミングの Hold 違反を自動修正します。デフォルト値は **True** です。

### Dual-Purpose Pin

Dual-Purpose Pin オプションは、多重化ピンを構成するために使用されます。オプションの上にマウスを置くと、その説明が表示されます。構成オプションの詳細は図 4-25 のとおりです。

図 4-25 多重化ピンオプションの構成

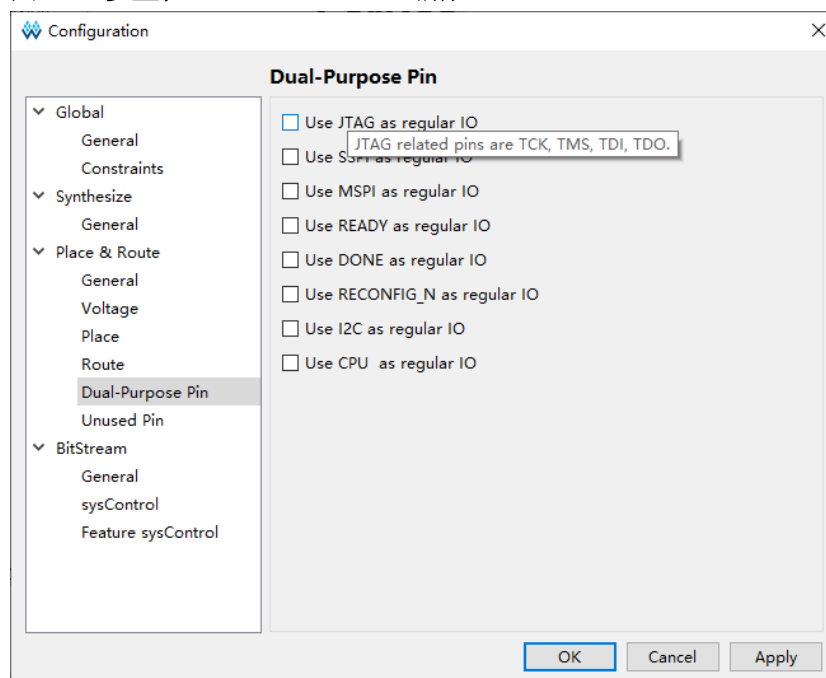


図 4-25 の各オプションの詳細は以下のとおりです：

- **Use JTAG as regular IO** : JTAG ピンを通常の IO ピンとして多重化し

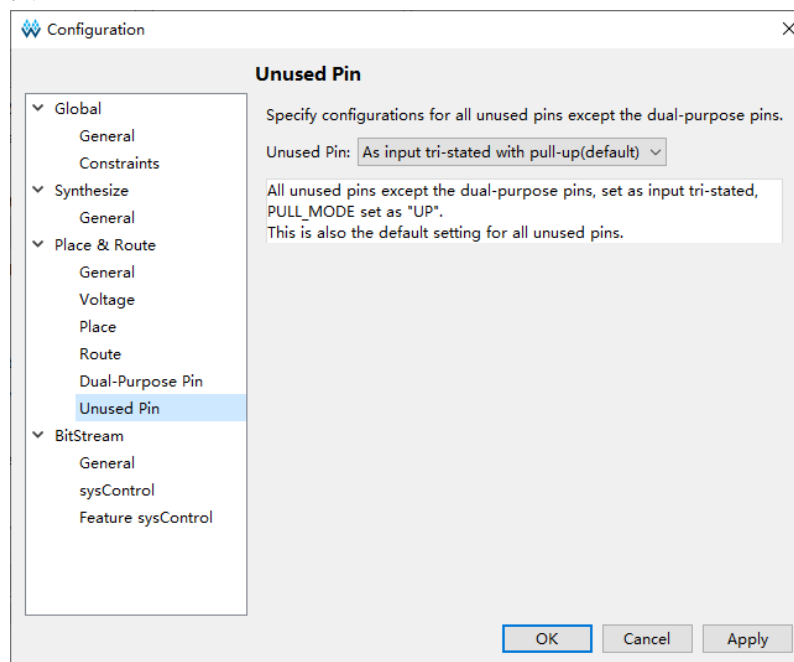
ます。

- **Use SSPI as regular IO** : SSPI ピンを通常の IO ピンとして多重化します。GW5A-25 デバイス MBGA121N パッケージの場合、このオプションはデフォルトでチェック済みで変更不可です。
- **Use MSPI as regular IO** : MSPI ピンを通常の IO ピンとして多重化します。
- **Use READY as regular IO** : READY ピンを通常の IO ピンとして多重化します。
- **Use DONE as regular IO** : DONE ピンを通常の IO ピンとして多重化します。
- **Use RECONFIG\_N as regular IO** : RECONFIG\_N ピンを通常の IO ピンとして多重化します。
- **Use I2C as regular IO** : I2C ピンを通常の IO ピンとして多重化します。
- **Use CPU as regular IO** : CPU ピンを通常の IO ピンとして多重化します。このオプションは GW5A(N)(S)(R)(T)デバイスでのみサポートされます。

### Unused Pin

Unused Pin オプションでは、未使用の GPIO の IO 属性を構成できます。2 つのオプションがあります : **As input tri-stated with pull-up (default)** 、 **As open drain driving ground**。図 4-26 に示すとおりです。

図 4-26 Unused Pin オプション



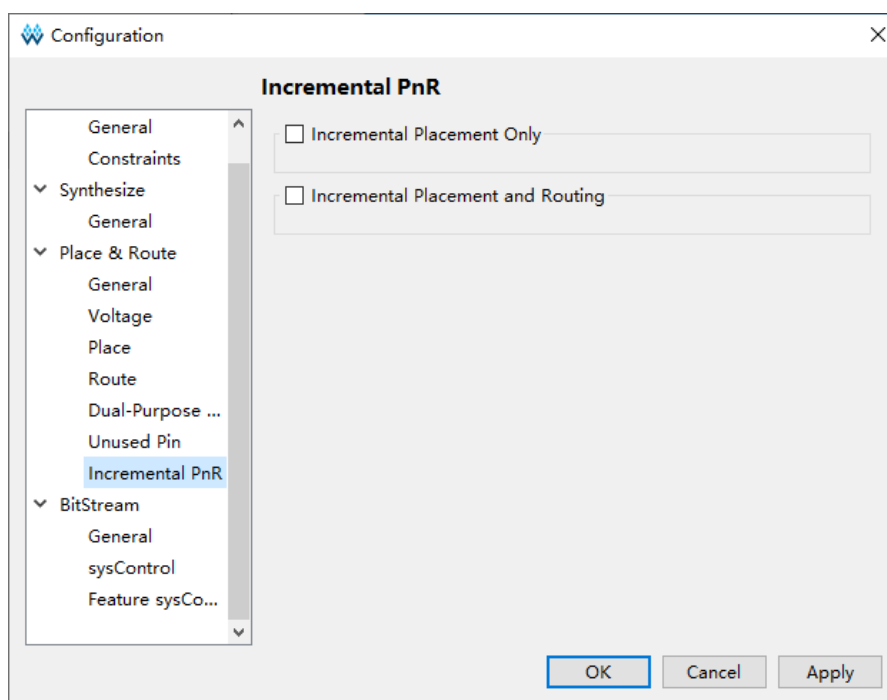
- **As input tri-stated with pull-up (default)** : 未使用の GPIO を、弱いプルアップを持つトライステート入力として構成します。

- **As open drain driving ground** : 未使用の GPIO を出力として構成します(OPEN DRAIN はオン)。

### Incremental PnR

Incremental PnR オプションは、インクリメンタル・コンパイル機能を選択するために使用されます。このオプションを有効にすることにより、前回の配置または配置配線の結果を再利用でき、再度配置と配線の時間が短縮され、作業効率が向上します。このオプションは図 4-27 に示すとおりです。

図 4-27 Incremental PnR オプション



各オプションの詳細は以下のとおりです：

**Incremental Placement Only** : インクリメンタル配置のみ。デフォルトではチェックされていません。チェックすると、以下のサブ構成オプションが表示されます。

- **Auto** : 再度配置時に、プロジェクトパスにある既存のインクリメンタル配置ファイル \*.p が自動的に選択されます。\*.p ファイルがプロジェクトパスに存在しない場合は、プロンプトが表示されます。
- **Specify the previous placement file** : インクリメンタル配置ファイル \*.p を手動で指定します。

**Incremental Placement and Routing** : インクリメンタル配置配線。デフォルトではチェックされていません。チェックすると、以下のサブ構成オプションが表示され、「Incremental Placement Only」は選択できなくなります。

- **Auto** : 再度配置配線時に、プロジェクトパスにある既存のインクリメ

ンタル配置配線ファイル\*.pr が自動的に選択されます。\*.pr ファイルがプロジェクトパスに存在しない場合は、プロンプトが表示されます。

- **Specify the previous placement and routing file** : インクリメンタル配置配線ファイル\*.pr を手動で指定します。

## BitStream

**BitStream** では、GOWIN チップのダウンロードモードのビットストリームファイル形式やダウンロード速度などを構成します。オプションの上にマウスを置くと、その説明が表示されます。**BitStream** の構成オプションには、**General**、**sysControl**、および **Feature sysControl** があります。各オプションの意味を表 4-2 に示します。

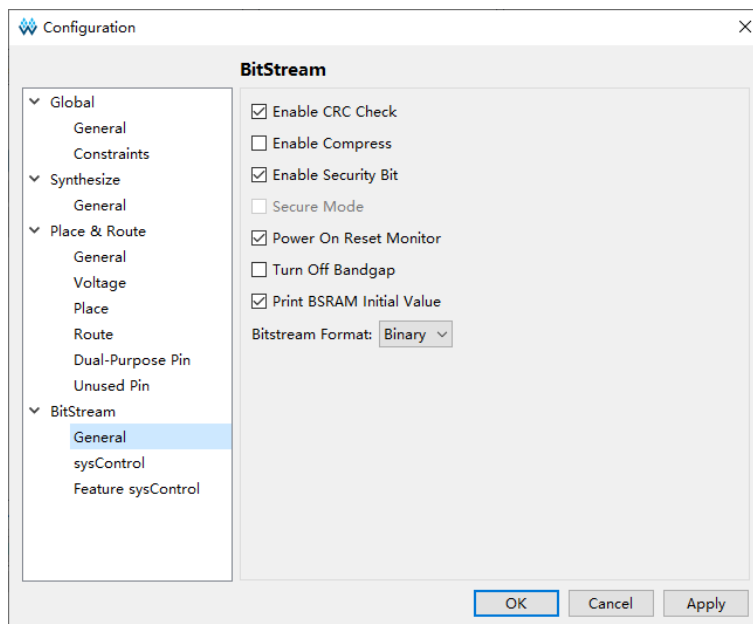
表 4-2 BitStream の構成オプションの意味

オプション	説明
General	BitStream の一般的なパラメータの構成に使用されます。
sysControl	BitStream のシステム制御パラメータの構成に使用されます。
Featrue sysControl	BitStream の機能システム制御パラメータの構成に使用されます。

## General

General オプションの構成を図 4-28 に示します。

図 4-28 Bitstream の General オプションの構成



各パラメータの詳細は以下のとおりです：

- **Enable CRC Check** : 巡回冗長検査を有効にします。デフォルトでは

チェックされています。

- **Enable Compress** : ビットストリームファイルの圧縮を有効にします。デフォルトではチェックされていません。
- **Enable Encryption** : ビットストリームファイルを暗号化します(**Arora** ファミリーのみこのオプションをサポート)。デフォルトではチェックされていません。
- **Key(Hex)** : ここでは、暗号化キーをカスタマイズできます(**Arora** ファミリーのみをサポート)。「**Enable Encryption**」がチェックされている場合にのみ編集できます。デフォルトではキーはすべて **0** です。このオプションをチェックして配置配線を実行すると、キー・ファイル **.ekey** が生成されます。
- **Enable Security Bit** : セキュリティビット制御を有効にします。ビットストリームファイルにセキュリティビットを追加すると、ビットストリームをリードバックすることはできません。デフォルトではチェックされています。
- **Secure Mode** : セキュアモードを有効にすると、**JTAG** ピンは **GPIO** となり、デバイスは **1** 回しかプログラムできなくなります。この機能は **GW1NSER-4C** デバイスのみでサポートされ、デフォルトではチェックされていません。
- **Power On Reset Monitor** : パワーオンリセット監視。デフォルトでチェックされています。このオプションをチェックすると、電源レールの電圧降下が継続的に監視されます。電源レール電圧が **POR** スレッシュホールドを下回ると、**RAM** のすべてのビットがクリアされ、使用されている **I/O** が内部の弱いプルアップ抵抗によってトライステートに設定されます。次にコンフィグレーションと初期化を完了します。
- **Turn Off Bandgap** : **Bandgap** 機能をオフにします。デフォルトではチェックされていません。**Bandgap** はチップ内の一部のモジュールに一定の電圧と電流を供給します。**Bandgap** をオフにすると、デバイスの消費電力を削減できます。デバイス **GW1N-1** のみがこのオプションの構成をサポートしており、他のデバイスの場合は構成画面にこのオプションが表示されません。
- **Print BSRAM Initial Value** : **BSRAM** の初期値をビットストリームファイルに書き込みます。デフォルトではチェックされています。**GW1N(X)** シリーズおよび **GW2A(X)** シリーズの場合、このオプションをチェックすると、すべての位置の **BSRAM** の初期値がビットストリームファイルに書き込まれます(占有されていない **BSRAM** 位置の初期値は **0** として取り扱われます)。 **GW5A(S)(T)-138/GW5A(R)-25** デバイスの場合、このオプションをチェックすると、占有された **BSRAM** の所在列にあるすべての **BSRAM** の初期値がビットストリームファイルに書き込まれます(この列の占有されていない **BSRAM** 位置の初期値は **0** として取り扱われます)。

- **Bitstream Format** : ビットストリームファイルの形式を指定します。**Text** と **Binary**(デフォルト)の 2 つの形式があります。**Text** を選択する場合、プレーンテキスト形式の\*.fs ファイルが生成され、**Binary** を選択する場合、\*.fs 、\*.bin、および\*.binx 形式のビットストリームファイルが生成されます。\*.bin および\*.binx はバイナリ形式のビットストリームファイルで、\*.binx ファイルにはヘッダーコメント情報が含まれ、\*.bin にはヘッダーコメント情報が含まれていません。

## sysControl

sysControl オプションの構成を図 4-29 に示します。

図 4-29 sysControl オプションの構成

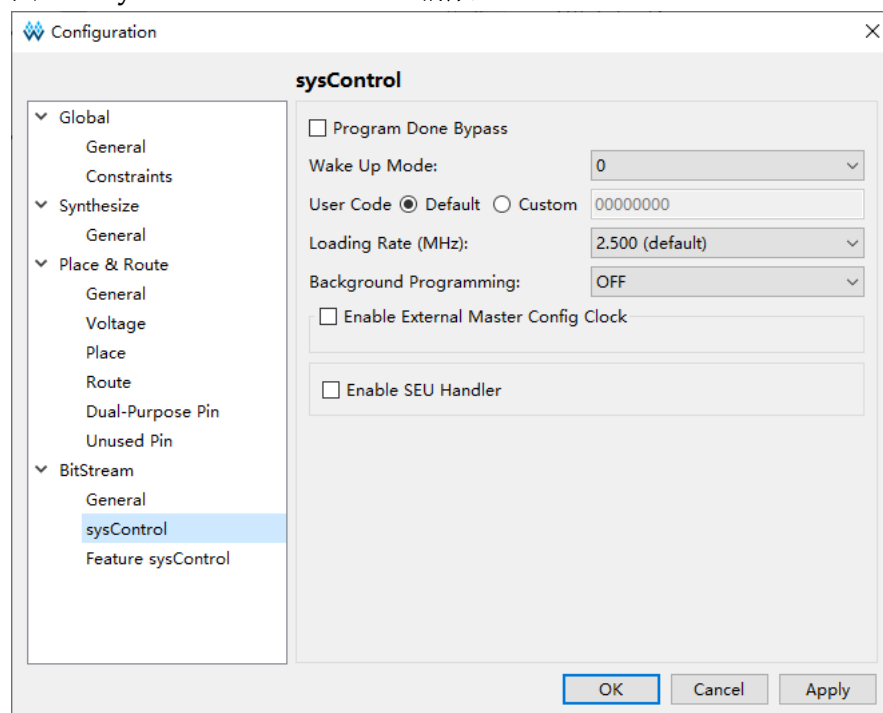


図 4-29 各パラメータの詳細は以下のとおりです：

- **Program Done Bypass** : Done Final 信号が有効になった場合、外部の Done 信号を Low のままにすることにより、ビットストリームがロードされた後に新しいビットストリームデータを転送できるようにします。
- **Wake Up Mode** : チップのウェイクアップモード。値は 0(デフォルト)と 1 です。
  - Wake Up Mode が 0 の場合、DONE ピンを High または Low にプルしても Wake Up には影響しません。
  - Wake Up Mode が 1 の場合：
    - a) Wake Up Mode が 1 の場合、DONE ピンが High にプルアップされている場合、正常にダウンロードでき、かつチップは正常に動作できます。



- b) DONE ピンが Low にプルダウンされている場合、ダウンロードできますが、デバイスをウェイクアップするには、ダウンロードされた後、DONE ピンを High にプルアップして TCK をパルス信号に接続する必要があります。
- **User Code** : User Code はカスタマイズできます。カスタマイズされた値は生成されたビットストリームファイルに反映され、User Code はビットストリームファイルが Programmer を介してダウンロードされるときに検証されます。デフォルトは 00000000 です。
  - **Loading Rate** : AUTO BOOT コンフィギュレーション・モードおよび MSPI コンフィギュレーション・モードでの、Flash から SRAM へのビットストリームファイルの読み込み速度です。GW1N-4/GW1NRF-4B/GW1NR-4 の場合、デフォルトで 2.100MHz です。C7/I6 スピードグレードの GW1NS-4/GW1NSR-4/GW1NSER-4C の場合、デフォルトで 2.6MHz です。GW5A(S)(T)-138/GW5A(R)-25 の場合、デフォルトで 35.000MHz です。その他のデバイスの場合、デフォルトで 2.500MHz です。AUTO BOOT コンフィギュレーション・モードおよび MSPI コンフィギュレーション・モードについては、『Gowin FPGA 製品プログラミング・コンフィギュレーション ユーザーガイド (UG290)』、『Arora V 138K FPGA 製品プログラミング・コンフィギュレーション ユーザーガイド (UG704)』、および『Arora V 25K FPGA 製品プログラミング・コンフィギュレーション ユーザーガイド (UG714)』を参照してください。Loading Rate の値と計算方法はデバイスによって異なります。
    - 次のデバイスとパッケージの組み合わせは 2.500MHz の Loading Rate のみをサポートします。
      - a) GW1N-2 :  
LQFP100X/LQFP144X/MBGA132X/WLCSP42H/MBGA49
      - b) B バージョンの GW1N-2 :  
LQFP100X/LQFP144X/MBGA132X/MBGA121X
      - c) C バージョンの GW1N-2 :  
LQFP100X/LQFP144X/MBGA132X/MBGA121X/MBGA49/QFN32X
      - d) GW1NR-2 : MBGA49P/MBGA49PG/MBGA49G
      - e) B バージョンの GW1NR-2 :  
MBGA49P/MBGA49PG/MBGA49G
      - f) C バージョンの GW1NR-2 :  
MBGA49P/MBGA49PG/MBGA49G
      - g) GW1N-1P5 : LQFP100X
      - h) B バージョンの GW1N-1P5 : LQFP100X/QFN48X
      - i) C バージョンの GW1N-1P5 : LQFP100X/QFN48X

- 次のデバイスの **Loading Rate** の値と計算方法は表 4-3 に示すとおりです。
  - a) GW1NZ-1
  - b) GW1N-2/GW1N-1P5/GW1NR-2(上記の 2.500MHz のみをサポートするパッケージを除く)
  - c) GW1NSER-4C/GW1NS-4/GW1NSR-4/GW1NS-4C/GW1NSR-4C(スピードグレードが C7/I6 のデバイスを除く)
  - d) GW1N-9/GW1NR-9
  - e) GW2A-18/GW2AR-18/C バージョンの GW2ANR-18
  - f) GW2A-55/C バージョンの GW2AN-55

表 4-3 Loading Rate の値と計算方法(一)

Loading Rate (MHz)	分数表記
2.500 (default)	250 / 100
5.435	250 / 46
5.682	250 / 44
5.952	250 / 42
6.250	250 / 40
6.579	250 / 38
6.944	250 / 36
7.353	250 / 34
7.812	250 / 32
8.333	250 / 30
8.929	250 / 28
9.615	250 / 26
10.417	250 / 24
11.364	250 / 22
12.500	250 / 20
13.889	250 / 18
15.625	250 / 16
17.857	250 / 14
20.833	250 / 12
25.000	250 / 10
31.250	250 / 8
41.667	250 / 6
62.500	250 / 4

- 次のデバイスの **Loading Rate** の値と計算方法は表 4-4 に示すとおりです。

## GW1N-1/GW1N-1S/GW1NR-1

表 4-4 Loading Rate の値と計算方法(二)

Loading Rate(MHz)	分数表記
2.500 (default)	240 / 96
2.553	240 / 94
2.609	240 / 92
2.667	240 / 90
2.727	240 / 88
2.791	240 / 86
2.857	240 / 84
2.927	240 / 82
3.000	240 / 80
3.077	240 / 78
3.158	240 / 76
3.243	240 / 74
3.333	240 / 72
3.429	240 / 70
3.529	240 / 68
3.636	240 / 66
3.750	240 / 64
3.871	240 / 62
4.000	240 / 60
4.138	240 / 58
4.286	240 / 56
4.444	240 / 54
4.615	240 / 52
4.800	240 / 50
5.000	240 / 48
5.217	240 / 46
5.455	240 / 44
5.714	240 / 42
6.000	240 / 40
6.316	240 / 38
6.667	240 / 36
7.059	240 / 34
7.500	240 / 32
8.000	240 / 30
8.571	240 / 28
9.231	240 / 26

Loading Rate(MHz)	分数表記
10.000	240 / 24
10.909	240 / 22
12.000	240 / 20
13.333	240 / 18
15.000	240 / 16
17.143	240 / 14
20.000	240 / 12
24.000	240 / 10
30.000	240 / 8
40.000	240 / 6
60.000	240 / 4

- 次のデバイスの Loading Rate の値と計算方法は表 4-5 に示すとおりです。

a) GW2AN-9X

b) GW2AN-18X

表 4-5 Loading Rate の値と計算方法(三)

Loading Rate(MHz)	分数表記
2.500 (default)	200 / 80
1.562	200 / 128
1.587	200 / 126
1.613	200 / 124
1.639	200 / 122
1.667	200 / 120
1.695	200 / 118
1.724	200 / 116
1.754	200 / 114
1.786	200 / 112
1.818	200 / 110
1.852	200 / 108
1.887	200 / 106
1.923	200 / 104
1.961	200 / 102
2.000	200 / 100
2.041	200 / 98
2.083	200 / 96
2.128	200 / 94
2.174	200 / 92

Loading Rate(MHz)	分数表記
2.222	200 / 90
2.273	200 / 88
2.326	200 / 86
2.381	200 / 84
2.439	200 / 82
2.564	200 / 78
2.632	200 / 76
2.703	200 / 74
2.778	200 / 72
2.857	200 / 70
2.941	200 / 68
3.030	200 / 66
3.125	200 / 64
3.226	200 / 62
3.333	200 / 60
3.448	200 / 58
3.571	200 / 56
3.704	200 / 54
3.846	200 / 52
4.000	200 / 50
4.167	200 / 48
4.348	200 / 46
4.545	200 / 44
4.762	200 / 42
5.000	200 / 40
5.263	200 / 38
5.556	200 / 36
5.882	200 / 34
6.250	200 / 32
6.667	200 / 30
7.143	200 / 28
7.692	200 / 26
8.333	200 / 24
9.091	200 / 22
10.000	200 / 20
11.111	200 / 18
12.500	200 / 16
14.286	200 / 14

Loading Rate(MHz)	分数表記
16.667	200 / 12
20.000	200 / 10
25.000	200 / 8
33.333	200 / 6
50.000	200 / 4
100.000	200 / 2

- 次のデバイスの Loading Rate の値と計算方法は表 4-6 に示すとおりです。

#### GW1N-4/GW1NRF-4B/GW1NR-4

表 4-6 Loading Rate の値と計算方法(四)

Loading Rate (MHz)	分数表記
2.100 (default)	210 / 100
4.565	210 / 46
4.773	210 / 44
5.000	210 / 42
5.250	210 / 40
5.526	210 / 38
5.833	210 / 36
6.176	210 / 34
6.563	210 / 32
7.000	210 / 30
7.500	210 / 28
8.077	210 / 26
8.750	210 / 24
9.545	210 / 22
10.500	210 / 20
11.667	210 / 18
13.125	210 / 16
15.000	210 / 14
17.500	210 / 12
21.000	210 / 10
26.250	210 / 8
35.000	210 / 6
52.500	210 / 4

- 次のデバイスの Loading Rate の値と計算方法は表 4-7 に示すとおり

りです。

#### GW1NSER-4C/GW1NS-4/GW1NSR-4/GW1NS-4C/GW1NSR-4C(スピードグレード C7/I6)

表 4-7 Loading Rate の値と計算方法(五)

Loading Rate (MHz)	分数表記
2.600	260 / 100
5.652	260 / 46
5.909	260 / 44
6.190	260 / 42
6.500	260 / 40
6.842	260 / 38
7.222	260 / 36
7.647	260 / 34
8.125	260 / 32
8.667	260 / 30
9.286	260 / 28
10.000	260 / 26
10.833	260 / 24
11.818	260 / 22
13.000	260 / 20
14.444	260 / 18
16.250	260 / 16
18.571	250 / 14
21.667	260 / 12
26.000	260 / 10
32.500	260 / 8
43.333	260 / 6
65.000	260 / 4

- 次のデバイスの Loading Rate の値と計算方法は表 4-8 に示すとおりです。

#### GW5A(S)(T)-138/GW5A(R)-25/GW5AT-75

表 4-8 Loading Rate の値と計算方法(六)

Loading Rate (MHz)	分数表記
35.000(default)	210 / 6
52.500	210 / 4
70.000	210 / 3
105.000	210 / 2

- 次のデバイスの **Loading Rate** の値と計算方法は表 4-9 に示すとおりです。

#### GW5AT-60/GW5A(N)(R)T-15

表 4-9 Loading Rate の値と計算方法(七)

Loading Rate (MHz)	分数表記
2.500 (default)	210 / 84
1.667	210 / 126
1.694	210 / 124
1.721	210 / 122
1.750	210 / 120
1.780	210 / 118
1.810	210 / 116
1.842	210 / 114
1.875	210 / 112
1.909	210 / 110
1.944	210 / 108
1.981	210 / 106
2.019	210 / 104
2.059	210 / 102
2.100	210 / 100
2.143	210 / 98
2.188	210 / 96
2.234	210 / 94
2.283	210 / 92
2.333	210 / 90
2.386	210 / 88
2.442	210 / 86
2.561	210 / 82
2.625	210 / 80
2.692	210 / 78
2.763	210 / 76
2.838	210 / 74
2.917	210 / 72
3.000	210 / 70
3.088	210 / 68
3.182	210 / 66
3.281	210 / 64
3.387	210 / 62



Loading Rate (MHz)	分数表記
3.500	210 / 60
3.621	210 / 58
3.750	210 / 56
3.889	210 / 54
4.038	210 / 52
4.200	210 / 50
4.375	210 / 48
4.565	210 / 46
4.773	210 / 44
5.000	210 / 42
5.250	210 / 40
5.526	210 / 38
5.833	210 / 36
6.176	210 / 34
6.563	210 / 32
7.000	210 / 30
7.500	210 / 28
8.077	210 / 26
8.750	210 / 24
9.545	210 / 22
10.500	210 / 20
11.667	210 / 18
13.125	210 / 16
15.000	210 / 14
17.500	210 / 12
21.000	210 / 10
26.250	210 / 8
35.000	210 / 6
52.500	210 / 4
70.000	210 / 3
105.000	210 / 2

- **Background Programming** : FPGA の動作を中断しないまま FPGA を再プログラミングするバックグラウンドアップグレード機能です。現在のデバイスの **Background Programming** の値が **OFF** のみの場合、構成画面にはこの構成オプションは表示されません。

図 4-30 Background Programming : I2C

Background Programming: I2C ▼

I2C Slave Address(Hex): 00 (00~7F)

図 4-31 Background Programming : I2C/JTAG/SSPI/QSSPI

Background Programming: I2C/JTAG/SSPI/QSSPI ▼

☐ HOTBOOT

バックグラウンドアップグレードをサポートするデバイスとその値は次に示すとおりです。

表 4-10 Background Programming の値

デバイスタイプ	Background Programmingの値
<ul style="list-style-type: none"> <li>● GW1N-1P5/GW1N-2/GW1NR-2</li> <li>● Bバージョン : GW1N-4/GW1NR-4、GW1NRF-4</li> <li>● Dバージョン : GW1NR-4</li> <li>● GW1NS-4/GW1NSR-4</li> <li>● GW1N-9/GW1NR-9</li> <li>● GW1NZ-1</li> </ul>	OFF、JTAG デフォルトではOFF
Bバージョン : GW1N-1P5/GW1N-2/GW1NR-2	OFF、JTAG、I2C デフォルトではOFF
Cバージョン : GW1N-2/GW1NR-2/GW1N-1P5	OFF、GoConfig、GoConfig Mode1、JTAG、I2C デフォルトではOFF
GW2AN-18X/GW2AN-9X	OFF、GoConfig、UserLogic、I2C/JTAG/SSPI/QSSPI デフォルトではOFF
GW5A(N)(S)(R)(T)	OFF、UserLogic、JTAG/SSPI/QSSPI デフォルトではOFF

Background Programming の各値の機能および注意事項は、次のとおりです。

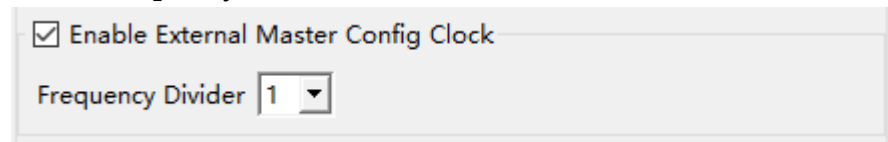
- **OFF** : バックグラウンドプログラミング機能をオフにします。デバイスが **GW2AN-18X** または **GW2AN-9X** の場合、「Dual-Purpose Pin」ダイアログボックスの「Use MSPI as regular IO」がチェックされておらず、設定不可になります。
- **JTAG** : JTAG モードでバックグラウンドアップグレードを実行します。
- **I2C** : I2C モードでバックグラウンドアップグレードを実行しま

す。B バージョンの GW1N-1P5/GW1N-2/GW1NR-2 デバイスの場合、オプション「I2C Slave Address(Hex)」が構成ダイアログボックスに表示され、ユーザーが I2C デバイスのアドレスを設定できます。その範囲は 00～7F です(図 4-30)。I2C を選択した後、「Dual-Purpose Pin」ダイアログボックスの「Use JTAG as regular IO」がチェックされておらず、設定不可になります。C バージョンの GW1N-2/GW1N-1P5/GW1NR-2 デバイスの場合、I2C モードでバックグラウンドアップグレードを実行すると、オプション「I2C Slave Address(Hex)」が構成ダイアログボックスに表示されず、「Dual-Purpose Pin」ダイアログボックスの「Use RECONFIG as regular IO」はチェックされておらず、設定不可になります。

- GoConfig : goConfig IP でバックグラウンドアップグレードを実行します。
- UserLogic : 内部論理でバックグラウンドアップグレードを実行します。
- I2C/JTAG/SSPI/QSSPI : I2C/JTAG/SSPI/QSSPI モードでバックグラウンドアップグレードを実行します。
- JTAG/SSPI/QSSPI : JTAG/SSPI/QSSPI モードでバックグラウンドアップグレードを実行します。
- GW2AN-18X/GW2AN-9X の場合、GoConfig または UserLogic または I2C/JTAG/SSPI/QSSPI を選択すると、構成オプション「HOTBOOT」がダイアログボックスに表示されます(図 4-31)。デフォルトではチェックされていません。
- GW5A(S)(T)-138/GW5A(R)-25 の場合、UserLogic または JTAG/SSPI/QSSPI を選択すると、構成オプション「HOTBOOT」がダイアログボックスに表示されます(図 4-31)。デフォルトではチェックされていません。
- B バージョンの GW1N-1P5/GW1N-2/GW1NR-2 の場合、構成オプションの切り替え前後に I2C が含まれていると、Synthesize と Place&Route のステータスが古くなります。C バージョンの GW1N-1P5/GW1N-2/GW1NR-2 の場合、構成オプションの切り替え前後に I2C が含まれていると、Place&Route のステータスのみが古くなります。
- GW2AN-18X/GW2AN-9X の場合、GoConfig, UserLogic と、I2C/JTAG/SSPI/QSSPI, OFF を切り替えると、Synthesize と Place & Route のステータスが古くなり、それ以外は、Place & Route のステータスのみが古くなります。
- Enable External Master Config Clock : 外部マスター・コンフィギュレーション・クロックを有効にし(GW5A(N)(S)(R)(T)のみこのオプションをサポート)。デフォルトではチェックされていません。このオ

プシオンをチェックすると、ダイアログボックスに「Frequency Divider」という構成オプションが表示されます(図 4-32)。  
 GW5A(S)(T)-138/GW5AT-75 の場合、選択可能な値は 1、2、4、8 で、デフォルトは 1 です。GW5A(S) (R)-25/GW5AT-60/GW5A(N)(R)T-15 の場合、選択可能な値は 1、2～1022 の偶数で、デフォルトは 1 です。

図 4-32 Frequency Divider オプション



- **Enable SEU Handler** : シングル・イベント・アップセット・ハンドラ (Single-Event Upsets Handler、SEU Handler) を有効にします。この機能は GW5A(N)(S)(R)(T)デバイスのみでサポートされ、デフォルトではチェックされていません。このオプションをチェックすると、ダイアログボックスに設定サブオプション(「Enable SEU Handler CheckSum」、「Enable Error Detection only」、「Enable Error Detection and Correction」、「Stop SEU Handler when detected uncorrectable ECC error or CRC checksum mismatch error」、「Mode」、「Enable Error Injection」)が表示されます。このうち、「Enable Error Detection only」と「Enable Error Detection and Correction」は同時にチェックできません。図 4-33 に示す通りです。

図 4-33 Enable SEU Handler オプション

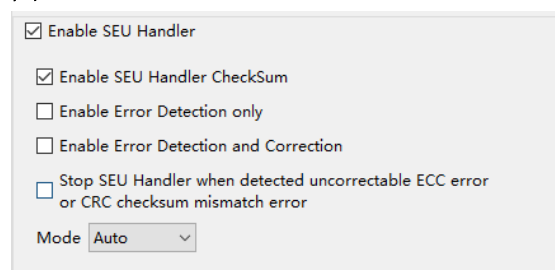
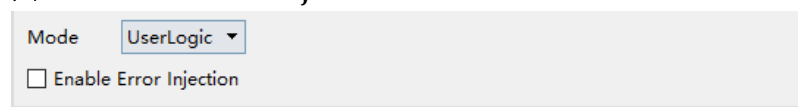


図 4-34 Enable Error Injection オプション



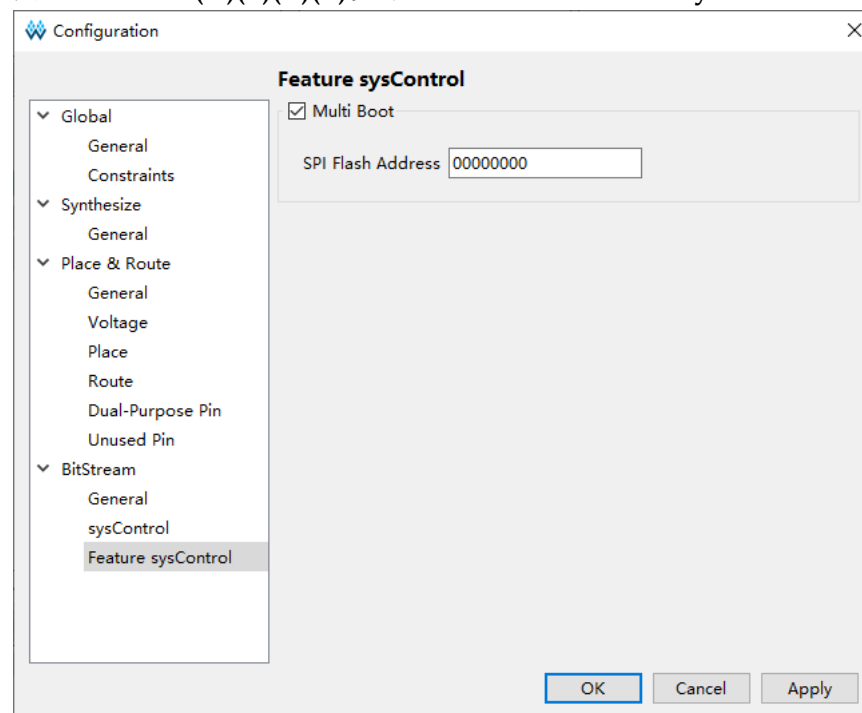
- **Enable SEU Handler CheckSum** : シングル・イベント・アップセット・ハンドリング、検出、計算、比較を有効にします。デフォルトではチェックされていません。
- **Enable Error Detection only**: エラー検出のみを有効にします。デフォルトではチェックされていません。

- **Enable Error Detection and Correction** : エラーの検出と訂正を有効にします。デフォルトではチェックされていません。
- **Stop SEU Handler when detected uncorrectable ECC error or CRC checksum mismatch error** : 訂正不可能な ECC エラーまたは CRC チェックサム・ミスマッチ・エラーが検出された場合、**SEU Handler** を停止します。デフォルトではチェックされていません。
- **Mode** : **SEU Handler** を開始または停止するモードを選択します。選択可能な値は **Auto** と **UserLogic** で、デフォルトは **Auto** です。
- **Enable Error Injection** : エラー挿入を有効にします。このオプションは **UserLogic** が **Mode** として選択されている場合に表示されます。デフォルトではチェックされていません。

### Feature sysControl

GW5A(N)(S)(R)(T)以外のデバイスの場合、Feature sysControl オプションの構成を図 4-35 に示します。

図 4-35 GW5A(N)(S)(R)(T)以外のデバイスの Feature sysControl オプション



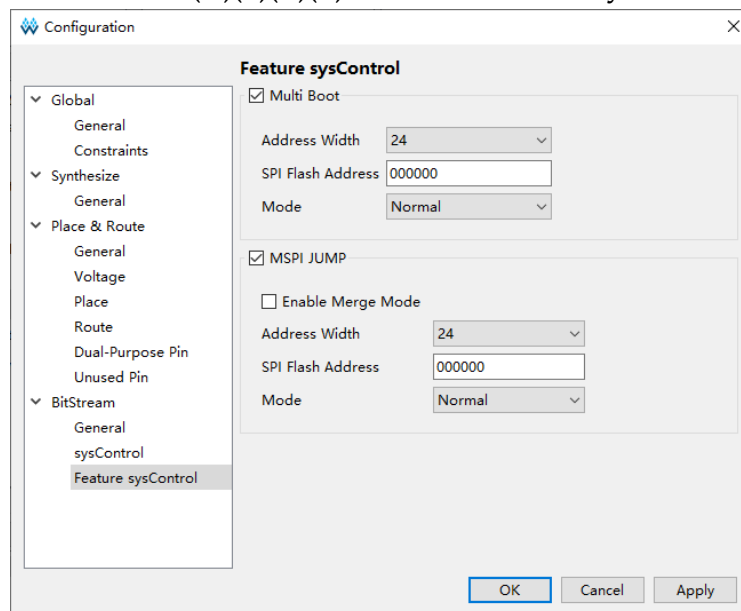
デフォルトで **Multi Boot** がチェックされており、サブ構成オプションの **SPI Flash Address** も表示されます。

- **SPI Flash Address** : SPI Flash アドレスを指定します。SPI Flash アドレスは、次の **multiboot** の際にビットストリームファイルが読み込まれる開始アドレスです。GW2AN-18X と GW2AN-9X の場合、デフォルトで 000000 であり、その他のデバイス(GW5A(N)(S)(R)(T)を除

く)の場合、デフォルトで 00000000 です。詳細については、『Gowin Programmer ユーザーガイド([SUG502](#))』を参照してください。

GW5A(N)(S)(R)(T)デバイスの場合、Feature sysControl オプションの構成は図 4-36 に示すとおりです。

図 4-36 GW5A(N)(S)(R)(T)デバイスの Feature sysControl オプション



Multi Boot はデフォルトではチェックされていません。チェックすると、以下のサブ構成オプションが表示されます。

- **Address Width** : SPI Flash アドレスの幅(24(デフォルト値)、32)を構成します。
- **SPI Flash Address** : SPI Flash アドレスを指定します。SPI Flash アドレスは、次の multiboot の際にビットストリームファイルが読み込まれる開始アドレスで、デフォルトは 000000 です。詳細については、『Gowin Programmer ユーザーガイド([SUG502](#))』を参照してください。
- **Mode** : SPI Flash のアクセスモードを構成します。アクセスモードには、Normal、Fast、Dual、および Quad があり、デフォルトは Normal です。

MSPI JUMP はデフォルトではチェックされていません。チェックすると、以下のサブ構成オプションが表示されます。

- **Enable Merge Mode** : デフォルトではチェックされていません。チェックすると、MSPI JUMP ビットストリームファイルは汎用ビットストリームファイルにマージされます。
- **Address Width** : SPI Flash アドレスの幅(24(デフォルト値)、32)を構成します。
- **SPI Flash Address** : SPI Flash アドレスを指定します。デフォルトは 000000 です。

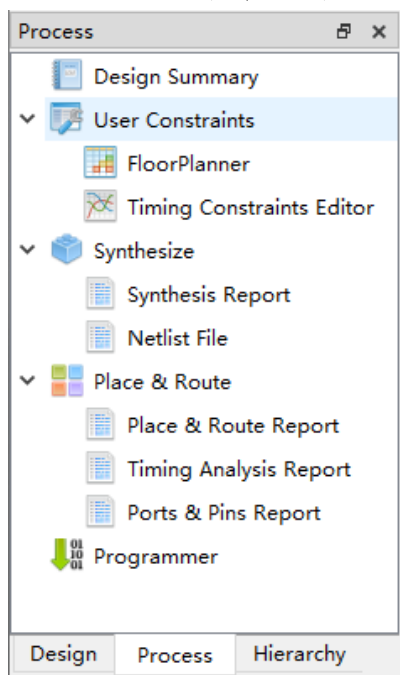
- **Mode** : SPI Flash のアクセスモードを構成します。アクセスモードには、Normal、Fast、Dual、および Quad があり、デフォルトは Normal です。

## 4.4 プロジェクトのプロセス管理

プロセス管理エリアで、Gowin ソフトウェアのプロセスがリストされます(図 4-37)。このウィンドウでは、次の操作が可能です。

- Design 概要の確認。
- 物理制約エディタの起動。
- タイミング制約エディタの起動。
- 合成の実行。
- 合成設計レポートの確認。
- 配置配線の実行。
- Place&Route 後に生成されたレポートの確認。
- Programmer の起動。

図 4-37 Process ウィンドウ



### 4.4.1 Design Summary

新しいプロジェクトを作成するとき、ソフトウェアにより **Design Summary** というレポートが提供されます。レポートには、プロジェクトファイルのパス、合成ツール情報、およびデバイス情報が含まれます。**Design Summary** を開くには、次の 3 つの方法があります。

- GOWIN FPGA Designer メニューで「Window> Design Summary」を選択します。

- Process ウィンドウで「Design Summary」をダブルクリックします。
- Process ウィンドウで「Design Summary」を右クリックして「Open」を選択します。

図 4-38 Design Summary

General	
Project File:	D:\gowin_project\daily_test\daily_test.gprj
Synthesis Tool:	GowinSynthesis
Target Device	
Part Number:	GW1N-UV4PG256C6/I5
Series:	GW1N
Device:	GW1N-4
Device Version:	B
Package:	PBGA256
Speed Grade:	C6/I5
Core Voltage:	UV

注記：

Device Version がないデバイスの場合、表に Device Version の行は表示されません。

## 4.4.2 User Constraints

User Constraints によって、制約ファイルを素早く開き、作成することができます。User Constraints には、物理制約とタイミング制約があります。

制約エディタの詳細については『Gowin タイミング制約ユーザーガイド([SUG940](#))』、『Gowin 物理制約ユーザーガイド([SUG935](#))』、および『Arora V 物理制約ユーザーガイド([SUG1018](#))』参照してください。

## 4.4.3 Synthesize

GowinSynthesis は Gowin によって開発された合成ツールです。GOWINSEMI ライブラリファイルとその実装をサポートしています。現在は Verilog 言語(System Verilog 2017、Verilog 2001、および Verilog 95)、VHDL 言語(VHDL 1993、VHDL 2008)をサポートしています。



図 4-20 に示すように、Synthesize を右クリックし「Configuration」を選択し、合成ツールを選択します。


Synthesize エリアでは、合成の実行、合成パラメータの設定、ネットリスト・ファイル(Netlist File)の管理、合成レポート(Synthesis Report)の管理といった機能を提供します。合成レポートの詳細については、[6.1 合成レポート](#)を参照してください。

合成するには、以下の手順を参照してください。

1. Synthesis オプションを構成します。Synthesis オプションの構成については、[4.3.3 プロジェクトの構成](#)を参照してください。
2. Synthesize を実行。



3. プロセス管理エリアで「Synthesize」をダブルクリックするか、「Synthesize」を右クリックして **Run** をクリックし、合成ツールを起動してソースファイルを合成します。合成に成功すれば、Synthesize の前にアイコン  が表示されます。失敗した場合はアイコン  が表示されます。
4. 正常に合成した後、「Netlist File」または「Synthesis Report」をダブルクリックするか、これらを右クリックして **Open** オプションを選択すると、ネットリスト・ファイルや合成レポートを確認できます。また、生成されたネットリスト・ファイルや合成レポートの名前とプロジェクト名は同じです。生成される合成後ネットリスト・ファイルは \*.vg で、合成レポートは \*\_syn.rpt.html です。

合成前(Synthesize アイコンが )に、「Netlist File」または「Synthesis Report」をダブルクリックするか、これらを右クリックして **Open** オプションを選択すると、まず合成が行われます。合成完了後、ネットリスト・ファイルまたは合成レポートが開きます。

「Synthesize」の右クリックによる可能な操作は次のとおりです(図 4-39)。


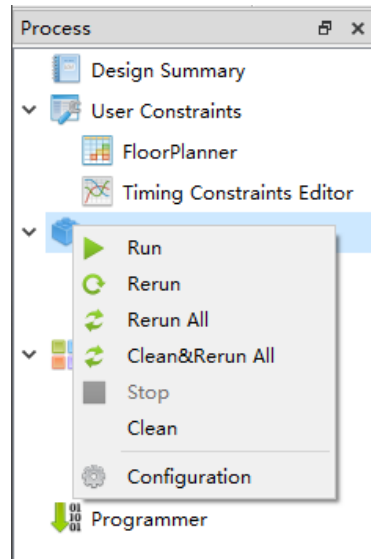
- **Run : Synthesize** の前のアイコンが  (初期状態)、 (失敗した状態)、または  (古い状態)の場合のみ、このオプションを選択すると合成ツールが起動してソースファイルを合成します。
- **Rerun : Synthesize** の状態に関わらず、このオプションを選択すると合成ツールを起動し、ソースファイルを合成します。
- **Rerun All : Synthesize** と **Place & Route** の状態に関わらず、このオプションを選択すると、ソースファイルが再合成されて配置配線されます。
- **Clean&Rerun All** : プロジェクト・フォルダ impl の下の gwsynthesis フォルダと pnr フォルダをクリアし、Synthesize と Place&Route を再実行します。
- **Stop : Synthesize** プロセスを停止します。
- **Clean** : 合成後フォルダ(gwsynthesis)をクリアします。
- **Configuration : Synthesize** のパラメータを設定します。

図 4-39 Synthesize の右クリックメニュー



#### 4.4.4 Place & Route

**Place & Route** は、配置配線の実行、配置配線パラメータの設定、配置配線後に生成されたファイル管理を実装します。


注記：

**Place & Route** は合成プロセスに依存します。この手順を実行する時、その依存項目 (**Synthesize**) が実行されていない場合、まず **Synthesize (Synplify Pro)** が実行され、その後この手順が実行されます。




以下の手順で **Place & Route** を実行します。

1. **Place & Route** オプションを構成します。**Place & Route** オプションの構成については、[4.3.3 プロジェクトの構成](#)を参照してください。
2. **Place & Route** を実行します。「**Place & Route**」をダブルクリックするか、「**Place & Route**」を右クリックして **Run** をクリックすると、配置配線が実行され、ビットストリームファイルおよび関連するレポートファイルが生成されます。実行に成功すれば、**Place & Route** の前にアイコン  が表示されます。失敗した場合はアイコン  が表示されます。
3. 正常に配置配線した後、**Place & Route** の下でファイルをダブルクリックするか、右クリックして「**Open**」を選択すると、テキスト編集エリアでレポートファイルを確認できます。
4. 生成される 4 つのレポートファイル、つまり配置配線レポート (**Place & Route Report**)、タイミング解析レポート (**Timing Analysis Report**)、ポート属性レポート (**Ports & Pins Report**)、および電力解析レポート (**Power Analysis Report**)を確認できます。詳しくは、[6.2 配置配線レポート](#)、[6.3 ポート属性レポート](#)、[6.4 タイミングレポート](#)、および [6.5 消費電力解析レポート](#)を参照してください。

注記：

- 現在すでにレポートファイルを開いており、さらに **Place & Route** を実行してレポートファイルを生成し直すと、ファイルを更新するかというメッセージが表示されます。
- **Place & Route** の実行前(**Place & Route** の前のアイコンが )、レポートファイルをダブルクリックするか、このレポートファイルを右クリックして「**Open**」を選択すると、まず **Place & Route** が実行され、実行後にレポートファイルが開きます。

**Place & Route** の右クリックによる可能な操作は次のとおりです。

- **Run** : **Place & Route** の前のアイコンが  (初期状態)、 (失敗した状態)、または  (古い状態)の場合にのみ、このオプションを選択すると **Place & Route** が実行されます。
- **Rerun** : **Place & Route** の状態に関わらず、このオプションを選択すると **Place & Route** が再実行されます。
- **Rerun All** : **Synthesize** と **Place & Route** の状態に関わらず、このオプションを選択すると、ソースファイルが再合成されて配置配線されます。
- **Clean & Rerun All** : プロジェクト・フォルダ **impl** の下の **gwsynthesis** フォルダと **pnr** フォルダをクリアし、**Synthesize** と **Place & Route** を再実行します。
- **Stop** : **Place & Route** プロセスを停止します。
- **Clean** : **Place & Route** によって生成されたフォルダ(**pnr**)をクリアします。フォルダの削除に失敗した場合、警告情報が報告されます。
- **Configuration** : **Place & Route** のパラメータを設定します。

## 4.4.5 Programmer

Gowin ソフトウェアの配置配線が成功すると、ビットストリームファイルが生成されます。ビットストリームファイルをチップにダウンロードするには、GOWIN セミコンダクターの **Programmer** を使用する必要があります。

注記：

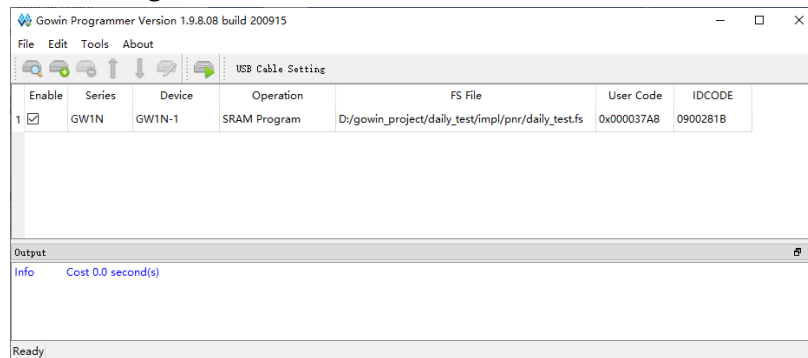
**Programmer** は、**Synthesize** と **Place & Route** ステップに依存しています。このステップの実行時にその依存ステップ (**Synthesize** と **Place & Route**) がまだ実行されていない場合、警告が表示されます。

「**Programmer**」をダブルクリックするか、この項目を右クリックして「**Run**」オプションを選択すると、**Programmer** が開きます(図 4-40)。

注記：

Linux インストールパッケージの **Programmer** は、Red Hat 6 以降のみをサポートし、Linux カーネルバージョンは 2.18 以降である必要があります。

図 4-40 Programmer の GUI



Programmer の使用法については、『Gowin Programmer ユーザーガイド([SUG502](#))』を参照してください。

## 4.5 プロジェクトのアーカイブと復元

Gowin ソフトウェアは、現在のプロジェクトのアーカイブとアーカイブされたプロジェクトの復元をサポートしています。メニューバーの「Archive Project」および「Restore Archived Project」をクリックして、プロジェクトをアーカイブまたは復元します。

### 4.5.1 プロジェクトのアーカイブ

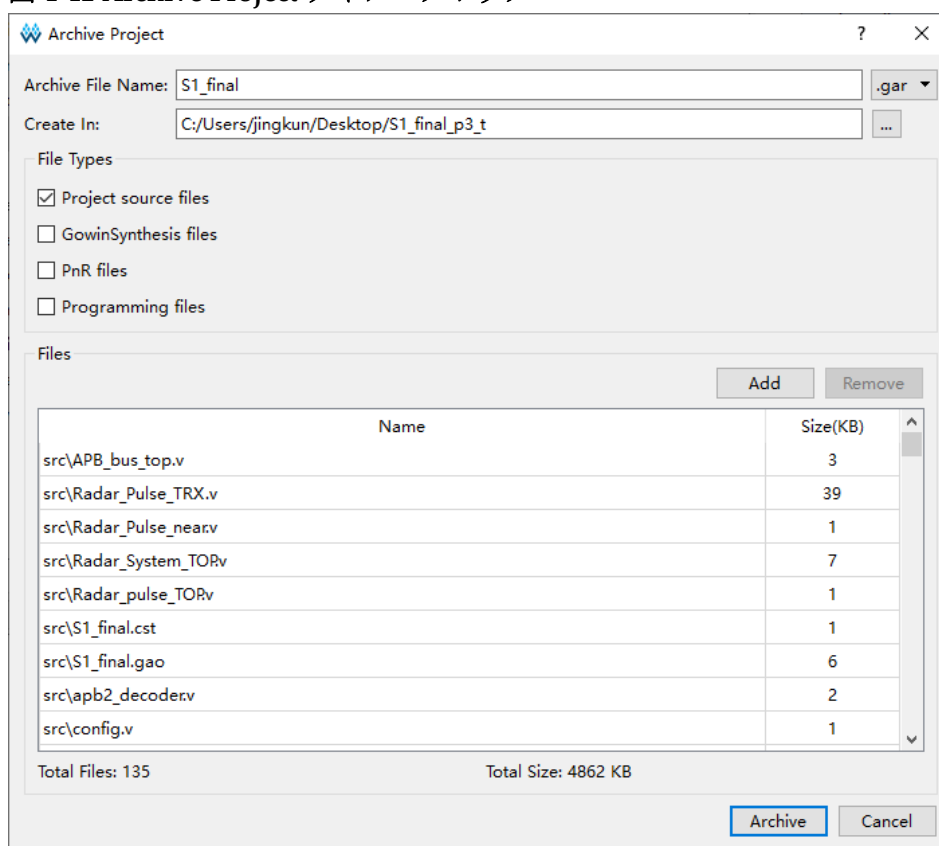
メニューバーの Project で「Archive Project」をクリックすると、「プロジェクトのアーカイブ」ダイアログボックスが表示されます(図 4-41)。オプションの上にマウスを置くとその説明が表示されます。

- **Archive File Name** はアーカイブされたファイルのファイル名です。デフォルトは、アーカイブされる現在のプロジェクト名と同じです。拡張子は.gar です。
- 「**Create In**」は、アーカイブされたファイルの保存パスです。デフォルトでは、現在のプロジェクトパスです。
- アーカイブされたプロジェクトの項目には、**Project source files**(デフォルトでチェックを入れる)、**GowinSynthesis files**、**PnR files**、および **Programming files** が含まれます。
  - **Project source files** : プロジェクトパス/src の下にあるすべてのファイルが含まれます。
  - **GowinSynthesis files** : プロジェクトパス/impl/gwsynthesis の下にある、合成後のプロジェクトファイル (\*.prj)、ネットリスト・ファイル (\*.vg)、合成レポート (\*\_syn.rpt.html)、リソース統計ファイル (\*\_syn\_rsc.xml) が含まれます。
  - **PnR files** : プロジェクトパス/impl/pnr の下にある、配置配線後のファイルが含まれます。
  - **Programming files** : プロジェクトパス/impl/pnr の下にある、配置配線後のビットストリームファイル\*.fs、\*.bin、および\*.binx が

含まれます。

- アーカイブされたプロジェクトを選択すると、現在のプロジェクトの下にある当該項目のソースファイル、パス、およびサイズが表示されます。
- **Add** ボタンと **Remove** ボタンを使用して、アーカイブされたファイルを追加および削除できます。
- **Archive** をクリックした後、プロジェクト内のファイルが保存されていない場合、警告メッセージが表示されます。
- アーカイブした後、アーカイブが成功または失敗したことを示すウィンドウがポップアップします。
- アーカイブした後、**Create In** パスの下に、アーカイブされたプロジェクト\***.gar** と、**gar** と同じ名前のアーカイブされたファイル\***.garlog** の 2 つのファイルが生成されます。拡張子が **.gar** のファイルはすべてのアーカイブされたファイルを圧縮したファイルであり、ログファイル\***.garlog** は、どのファイルが正常にアーカイブされているかを確認できます。

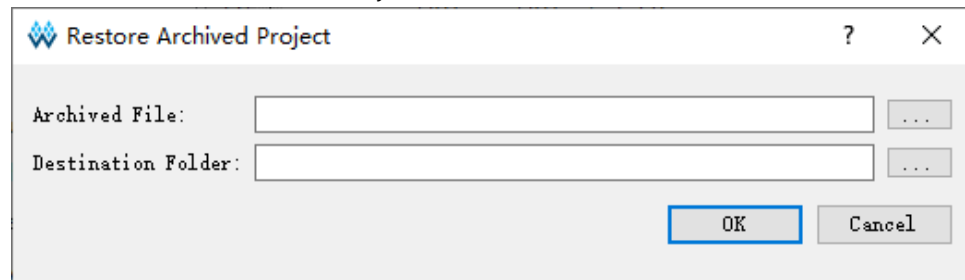
図 4-41 Archive Project ダイアログボックス



## 4.5.2 アーカイブされたプロジェクトの復元

メニューバー **Project** の「**Restore Archived Project**」をクリックすると、アーカイブされたプロジェクトの復元のダイアログボックスが表示されます(図 4-42)。


図 4-42 Restore Archived Project ダイアログボックス



「Archived File」の右側にあるパス選択ボタンをクリックして、復元したいアーカイブされたファイルを選択します。復元したいアーカイブされたファイルを選択すると、「Destination Folder」がアーカイブされたファイルの保存パスに自動的に更新されます。OK をクリックすると、正常に復元したことを示すダイアログボックスが表示されます。

## 4.6 ソフトウェアの終了

終了方法は次のとおりです。

1. 「File>Exit」オプションをクリックします。
2. ソフトウェアインターフェースの右上隅にある「」アイコンをクリックします。

注記：

- 未保存のファイルがある場合、ファイルを保存するかメッセージが表示されます。
- ソフトウェアでの保存(Save)、すべて保存(Save All)、名前を付けて保存(Save As...)は、テキスト編集についてのことです。
- ソフトウェアによるプロジェクト構成情報の変更またはプロジェクト内のファイルの追加と削除は、プロジェクト構成ファイルにすぐには保存されず、ソフトウェアを閉じると自動的に保存されます。
- ソフトウェアが実行中の場合、上記の方法でソフトウェアを終了できません。

# 5 Gowin ソフトウェアの統合ツール

## 5.1 物理制約エディタ

FloorPlanner は GOWIN セミコンダクターが市場向けに独自に研究開発した物理制約エディタです。I/O、プリミティブ、Block (BSRAM、DSP)、Group などの属性及び位置情報の読み出しと編集をサポートすると同時に、ユーザーの構成に基づき新しい配置ファイルと制約ファイルを生成できます。これらのファイルは、I/O の属性情報と位置情報、プリミティブや Group の位置情報などを指定しています。FloorPlanner は、サンプルで使いやすい配置および制約編集機能を提供して、物理制約ファイルの作成の効率を向上させると同時に、デバイスの配置およびタイミングパスに従ってタイミングの最適化を実行できます。

FloorPlanner を起動するには、以下の 2 つの方法があります：

1. FPGA プロジェクトを未作成の場合、ソフトウェアメニューの「Tools」ドロップダウン・リストから「FloorPlanner」を選択できます。この場合、**File > New...**によってネットリスト及び必要なデバイス情報をロードする必要があります。
2. FPGA プロジェクトの作成時、プロセス管理エリアで合成を実行して「FloorPlanner」をダブルクリックします。この場合、Floorplanner はプロジェクトファイルをロードし、Floorplanner の GUI に表示します。FloorPlanner には、Summary、Netlist、Chip Array、Package View、および各制約ウィンドウがあります(図 5-1、図 5-2)。

注記：

- このツールの使用方法の詳細については、『Gowin 物理制約ユーザーガイド ([SUG935](#))』および『Arora V 物理制約ユーザーガイド ([SUG1018](#))』を参照してください。
- また、FloorPlanner によりタイミングの最適化を行うことができます。



図 5-1 Chip Array ウィンドウ

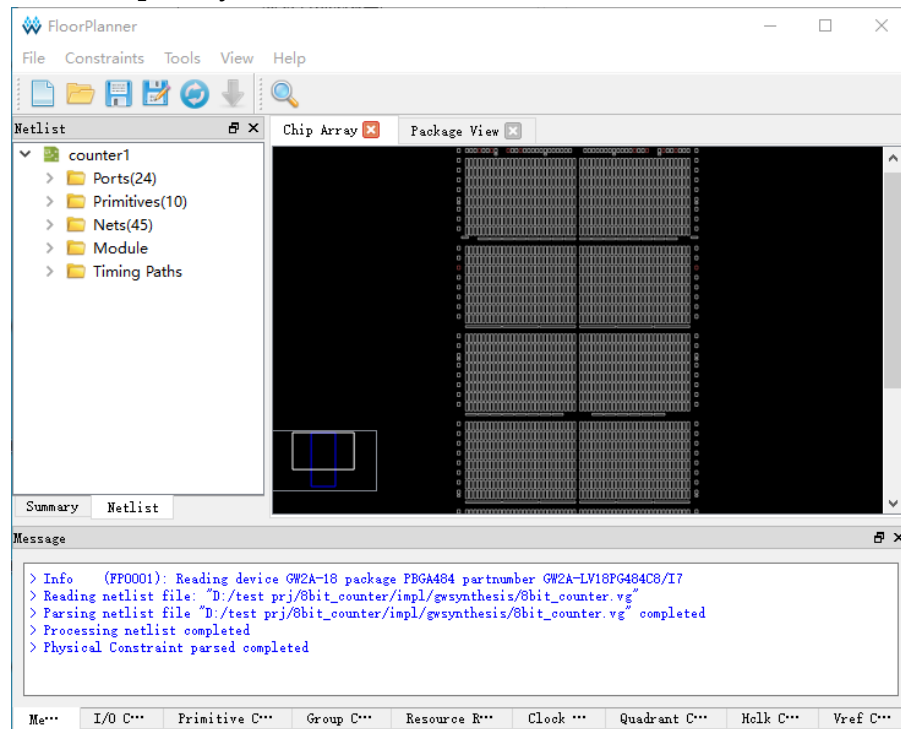
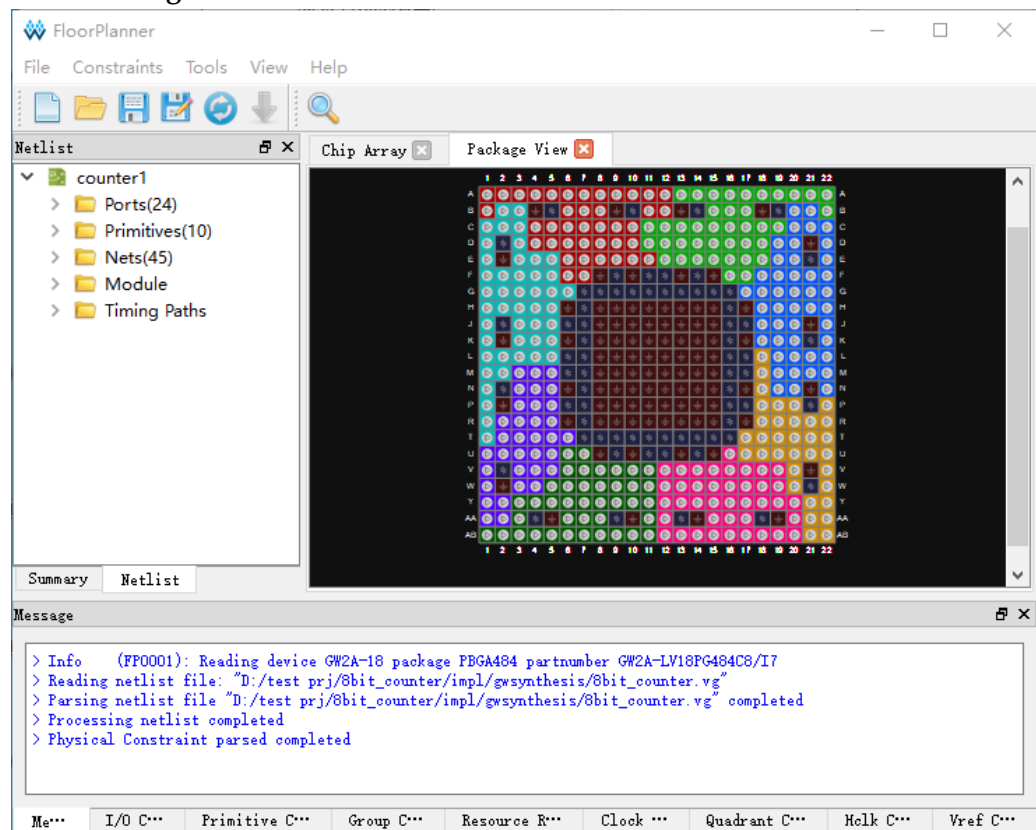


図 5-2 Package View ウィンドウ



## 5.2 タイミング制約エディタ

タイミング制約エディタ(Timing Constraint Editor)は、GOWIN セミ



コンダクターが市場に向けて独自に研究開発したタイミング制約編集ツールです。クロック制約、入力出力制約、パス制約、クロックレポート制約などを含む複数のタイミング制約コマンドの編集をサポートします。

**Timing Constraints Editor** は、シンプルで便利なタイミング制約編集機能を提供し、**GOWIN** セミコンダクターの各 **FPGA** デバイスをサポートします。

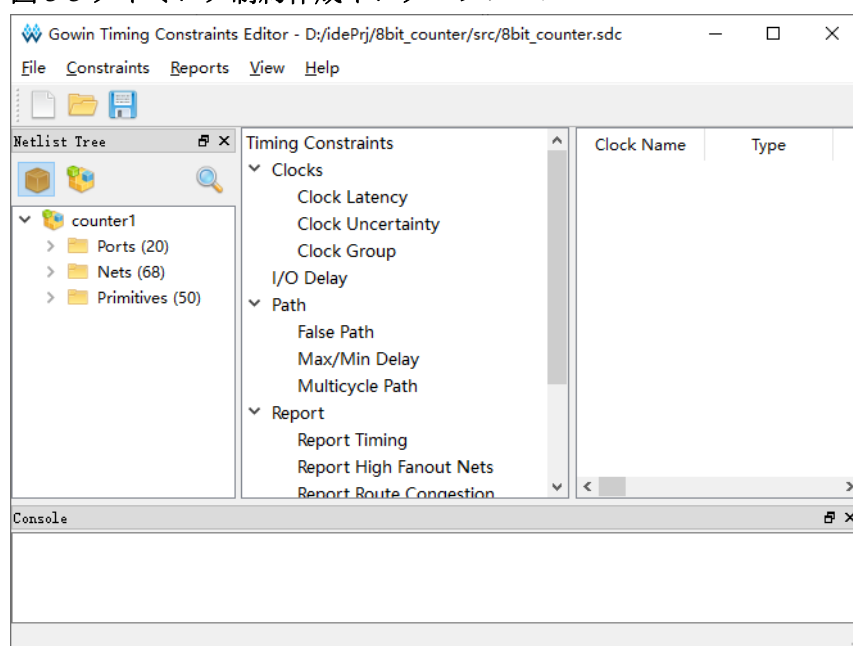
**Timing Constraints Editor** を起動するには、2つの方法があります。

1. **FPGA** プロジェクトを未作成の場合、メニューで「**Tools>Timing ConstraintsEditor**」を選択します。この場合、「**File > New...**」でネットリスト・ファイルをロードする必要があります。
2. **FPGA** プロジェクトを作成済みの場合、プロセス管理エリアで合成を実行して「**Timing Constraints Editor**」をダブルクリックすると、**Timing Constraints Editor** はプロジェクトファイルをロードし、**Gowin Timing Constraints Editor** インターフェースに表示されます(図 5-3)。

注記：

タイミング制約エディタの詳細については、『**Gowin タイミング制約ユーザーガイド (SUG940)**』を参照してください。

図 5-3 タイミング制約作成インターフェース



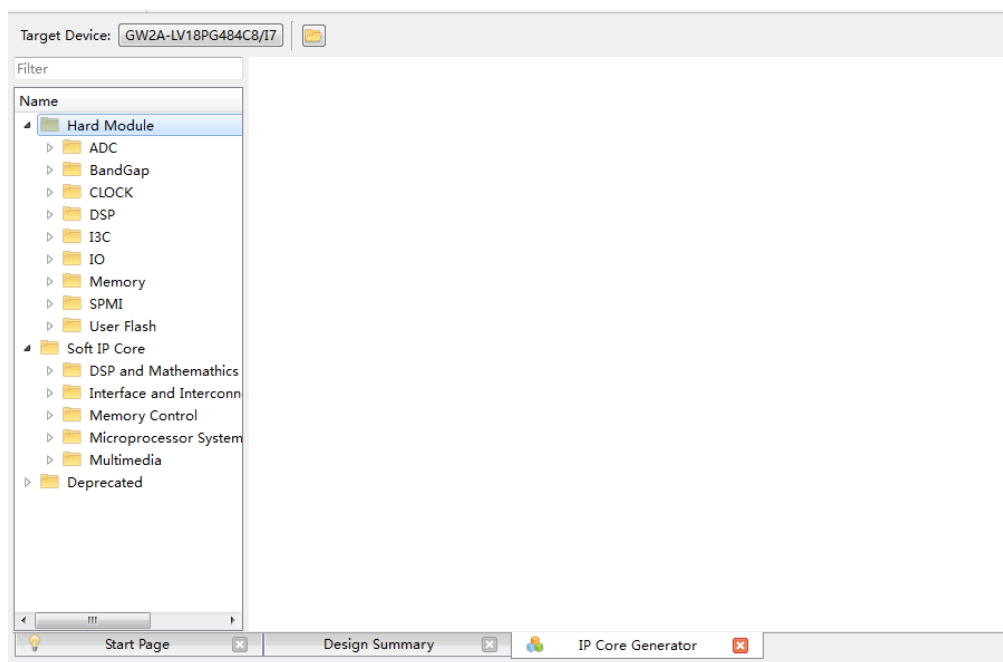
## 5.3 IP Core Generator

**IP Core Generator** は、**Gowin FPGA** に基づく **IP**(ハードコアとソフトコアを含む)生成ツールです。**IP Core Generator** を介して設計が生成された後、ユーザーはそのインスタンス化されたモジュールを利用して設計に必要な機能を実現し、複雑な設計を実現できるようになります。その主な機能は次のとおりです(図 5-4)。

- **Soft IP core** と **Hard module** 情報のプレビューをサポート。
- **Soft IP core** と **Hard module** のカスタマイズをサポート。

- **Hard module** のインスタンス化のサンプルケースの生成をサポート。
- ユーザーの設定を自動的に保存することをサポート。
- IP 生成言語の選択が可能。
- **Soft IP** の一部は、テストベンチファイルの自動生成をサポート。
- デバイスに応じて利用可能な **IP** を表示。

図 5-4 IP Core Generator ウィンドウ



メニューの **Tools** ドロップダウン・リストから「**IP Core Generator**」をクリックし、**IP Core Generator** ツールを起動して **IP** を呼び出します。その関連ドキュメントは次のとおりです。

- **ADC** の生成については、『**Gowin プリミティブ ユーザーガイド (SUG283)**』および『**Arora V ADC ユーザーガイド(UG299)**』を参照してください。
- **BANDGAP** の生成については、『**Gowin プリミティブ ユーザーガイド (SUG283)**』を参照してください。
- クロックリソースの生成については、『**Gowin Clock ユーザーガイド (UG286)**』および『**Arora V Clock ユーザーガイド(UG306)**』を参照してください。
- **DSP** の生成については、『**Gowin DSP ユーザーガイド(UG287)**』および『**Arora V DSP ユーザーガイド(UG305)**』を参照してください。
- **I3C** の生成については、『**Gowin プリミティブ ユーザーガイド (SUG283)**』を参照してください。
- 入出力ロジック (**IO Logic**) の生成については、『**Gowin プログラマブル汎用 IO(GPIO)ユーザーガイド(UG289)**』および『**Arora V プログ**

ラマブル汎用 IO(GPIO)ユーザーガイド([UG304](#))』を参照してください。

- メモリ(BSRAM&SSRAM)の生成については、『Gowin BSRAM & SSRAM ユーザーガイド([UG285](#))』および『Arora V BSRAM & SSRAM ユーザーガイド([UG300](#))』を参照してください。
- User Flash の生成については、『Gowin User Flash ユーザーガイド([UG295](#))』を参照してください。
- SPMI の生成については、『Gowin プリミティブ ユーザーガイド([SUG283](#))』を参照してください。
- ソフトコア IP のリファレンス・デザイン：  
<https://www.gowinsemi.com/en/support/ip/>。

注記：

グレーの Hard Module または Soft IP Core は現在の device にサポートされていません。

## 5.4 Gowin アナライザオシロスコープ

Gowin アナライザオシロスコープ(GAO)は、GOWIN セミコンダクターが独自に研究開発したデジタル信号解析ツールで、ユーザーが設計内の信号間のタイミング関係をより簡単に解析し、システムの分析と故障発見を速やかに実行し、設計効率を高められるよう設計されています。

GAO は RTL レベルの信号キャプチャとネットリストレベルの信号キャプチャをサポートし、Standard 版と Lite 版が提供されています。Standard GAO は最大 16 の機能コアをサポートします。各コアは 1 つ以上のトリガポートをサポートし、マルチレベルの静的または動的トリガ式をサポートします。Lite GAO は、トリガ条件を設定する必要がなく、簡単に構成できます。さらに、Lite GAO は信号の初期値もキャプチャできるため、電源投入時の動作状態の分析を容易にしています。キャプチャされた信号の波形をエクスポートできます。\*.csv、\*.vcd、および\*.prn の 3 つのファイル形式のエクスポートをサポートしています。\*.csv と\*.prn は、Matlab などのサードパーティのシミュレーションツールで直接使用できます。\*.vcd は、ModelSim で使用できます。

注記：

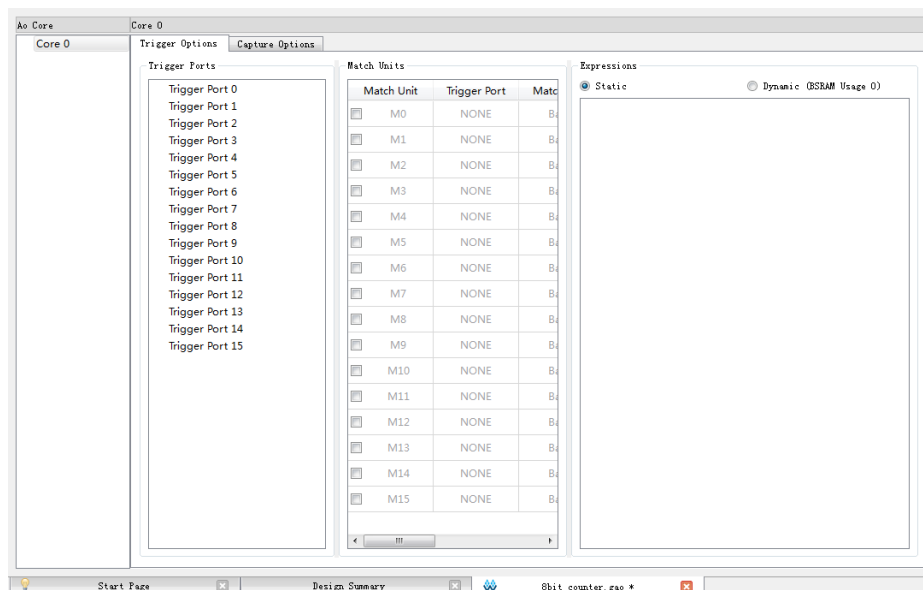
Matlab または ModelSim を使用するには、対応する承認が必要です。

GAO には Gowin Core Inserter と Gowin Analyzer Oscilloscope の 2 つのツールが含まれています。Gowin Core Inserter は主に位置情報を設計に挿入することに使用され、これらの位置情報は主にサンプリングクロック、トリガユニット、トリガ式を基礎にしています。Gowin Analyzer Oscilloscope は JTAG ポートを通じてソフトウェアとターゲットハードウェアに接続し、Gowin Core Inserter の設定したサンプリング信号データを直感的に波形で表示します。

GAO を起動する前に、プロジェクト管理エリアで GAO 構成ファイ

ル(.gao)を新規作成する必要があります。図 5-5 は Standard 版の GAO の構成画面です。

図 5-5 GAO 構成ファイルウィンドウ

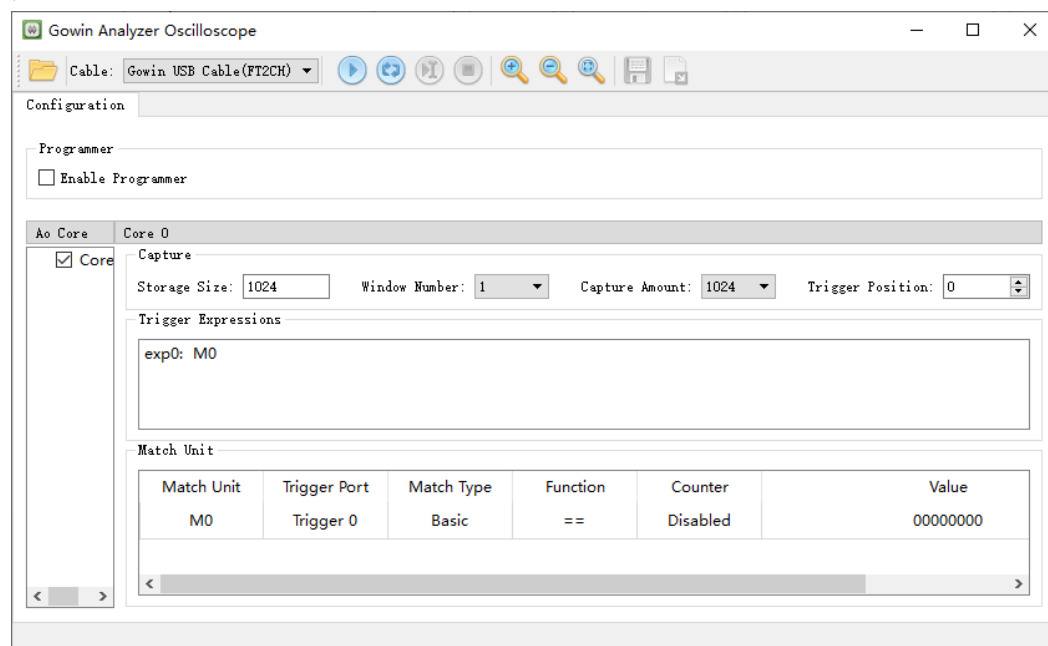


構成ファイルの作成後、メニューで「Tools>Gowin Analyzer Oscilloscope」を選択し、オンライン・ロジック・アナライザを開きます (図 5-6)。

注記：

GAO の構成と使用方法については、『Gowin アナライザオシロスコープ ユーザーガイド([SUG114](#))』を参照してください。

図 5-6 GAO の GUI



## 5.5 Gowin パワーアナライザ

GOWIN パワーアナライザ(GPA)は、豊富な設定オプションによってできる限り正確な電力解析を提供します。ユーザーは、プロジェクトの実際の状況に基づき、消費電力に影響するチップの型番、動作環境、信号のトグルレートなどのパラメータを設定することができます。パワーアナライザはこれらのパラメータに基づき、ユーザーデザインの消費電力を自動的に予測し、電力解析レポートを生成します。

現在、GPA ツールの起動はまず構成ファイル(.gpa)の新規作成を基礎としています。以下はその手順です。

1. ソフトウェアのプロジェクト管理エリア(**Design**)で「**File>New...**」をクリックし、「**New**」ダイアログを開きます。
2. 「**GPA Config File**」を選択し、ポップアップするダイアログボックスに「**Name**」を入力します。
3. 「**OK**」をクリックすると、「**Design**」ウィンドウに新規作成された **GPA Config File** が表示されます。
4. ファイル名をダブルクリックし、ソースファイル編集エリアで **GPA** 構成ファイルを構成することができます(図 5-7)。

注記：

GPA の構成と使用法については、『Gowin パワーアナライザ ユーザーガイド ([SUG282](#))』を参照してください。

図 5-7 GPA 構成ファイルウィンドウ

The screenshot shows the 'GPA 構成ファイルウィンドウ' (GPA Configuration File Window) with the following settings:

- Tabs:** General Setting (selected), Rate Setting, Clock Setting.
- Operating Conditions:**
  - Grade: COMMERCIAL
  - Process: TYPICAL
- Environment:**
  - Ambient Temperature: 25.000°C
  - ☐ Custom Theta JA: 25.000°C/W
- Heat Sink:**
  - ☒ None ☐ Low Profile ☐ Medium Profile ☐ High Profile ☐ Custom
  - Air-flow: 0 (LFM)
  - Custom Theta SA: 25.000°C/W
- Board Thermal Model:**
  - ☒ None ☐ Custom ☐ Typical
  - Board Temperature: 25.000°C (-40°C-100°C)
  - Custom Theta JB: 25.000°C/W
- Voltage:**
  - VCC: 1.000V
  - VCCX: 2.500V

The bottom taskbar shows: Start Page, Design Summary, IP Core Generator, and test.gpa.

## 5.6 メモリ初期化ファイルエディタ

メモリ初期化ファイルは **ASCII** ファイルで、拡張子は **.mi** です。ユーザーは、必要に応じて、メモリの各アドレスにある初期値を指定するための、対応形式の初期化ファイルを生成することができます。すでに **.mi** ファイルがある場合は、**IDE** でメモリ初期化ファイルエディタを使用して **.mi** ファイルを開き、再度編集して保存できます。

メモリ初期化ファイルのファイル名は **\*.mi(file\_name.mi)** で、ファイルの **1** 行は **1** つのメモリユニットを表します。行の数はメモリユニットの数で、メモリのアドレス深さ (**Address Depth**) を表します。列の数は各メモリユニットのビット数、つまりメモリのデータ幅 (**Data Width**) を表します。アドレスは上から下に順番に増え、各データは上位が前、下位が後にあります。

**Gowin** のメモリ初期化ファイルの編集は、新規作成される **.mi** ファイルに基づきます。詳しくは、『**Gowin BSRAM & SSRAM ユーザーガイド (UG285)**』および『**Arora V BSRAM & SSRAM ユーザーガイド (UG300)**』を参照してください。初期化ファイルエディタの具体的な手順は次のとおりです。

1. ソフトウェアのプロジェクト管理エリア(Design)で「File>New…」をクリックし、「New」ダイアログを開きます。
2. 「Memory Initialization File」を選択します(図 5-8)。「OK」をクリックし、ポップアップする New File ダイアログボックスで初期化ファイル名を入力して「OK」をクリックします(図 5-9)。
3. 図 5-10 のような初期化ファイル構成画面を起動し、ウィンドウの左側の表に初期値を入力し、右側で初期化ファイルのサイズとビュー形式を構成します。
4. 構成画面の右側で初期化ファイルの Depth と Width を構成し、左側の表でアドレスと初期値の数値表示形式を構成します。
  - Depth と Width は、ユーザーが IP Core Generator ウィンドウで選択した Block Memory または Shadow Memory の Address Depth 及び Data Width と一致させる必要があります。初期化ファイルの Address Depth または Data Width がウィンドウで選択した値より大きい場合、IP Core Generator はエラーメッセージを表示します。ウィンドウで選択した値より小さい場合、未指定のアドレスの値がデフォルトで 0 に初期化されます。設定後、「Update」をクリックします。
  - 左側の表のアドレスと数値は、バイナリ、16 進数、アドレス付き 16 進数などの形式で表示できます。
5. 構成画面の左側の表に初期値を入力します。この表では、表のビュー形式も設定できます。表のヘッダを右クリックすると、列数の表示を構成できます。
  - 1、8、16 の 3 つから選択できます(図 5-11)。
  - 表の初期値は、ダブルクリックして手入力するか、右クリックすることで設定できます。値を入力する場所を右クリックして、「Fill with 0」は、初期値の各ビットを 0 にすることを表し、「Fill with 1」は初期値の各ビットを 1 にすることを表します。「Custom Fill」の場合、ユーザーは必要に応じて数を入力するか、初期値を一括設定できます(図 5-12)。
6. ファイルを保存します。

図 5-8 初期化ファイルの新規作成

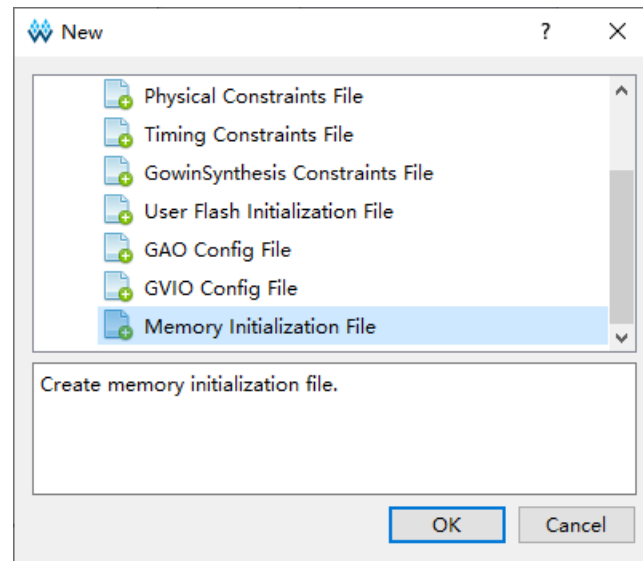


図 5-9 New File ダイアログボックス

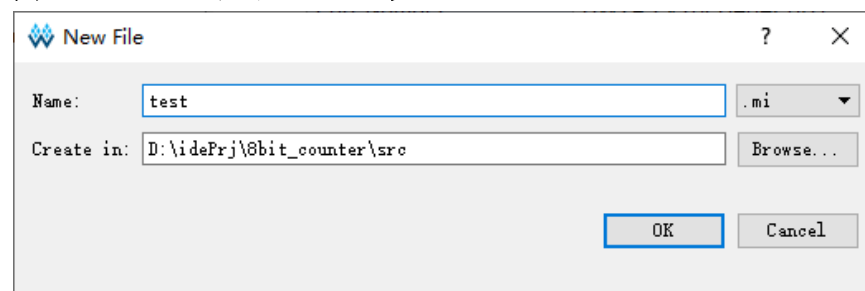


図 5-10 初期化ファイル構成ウィンドウ

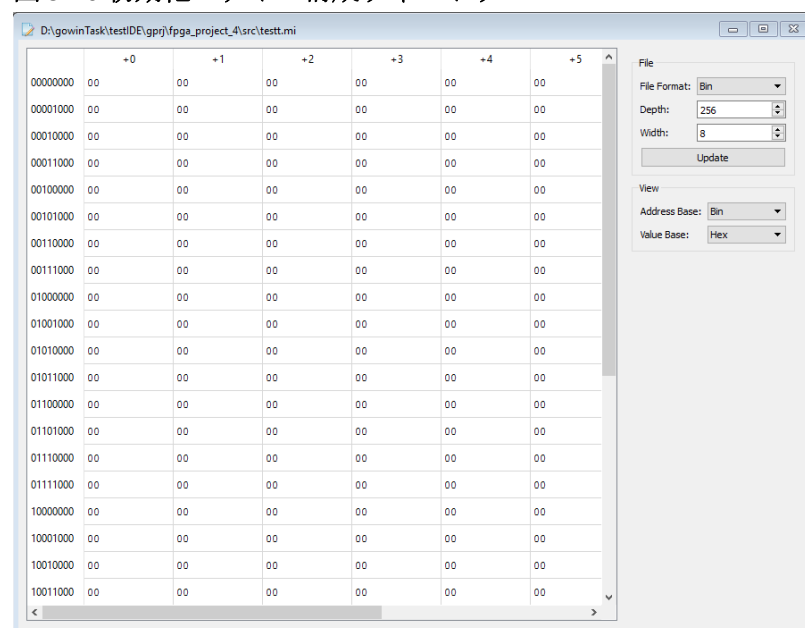




図 5-11 列数の構成

	+0	+1	+2	+3	+4	+5	+6	+7	
00000000	00	00	00	00	00	00	00	00	1 Column
00001000	00	00	00	00	00	00	00	00	8 Column
									16 Column

図 5-12 一括設定

	+0	+1	+2	+3	+4	+5	+6	+7
00000000	00	00	00	00	00	00	00	00
00001000	00	00	00	00	00	00	00	00
00010000	00	00	00	00	00	00	00	00
00011000	00	00	00	00	00	00	00	00
00100000	00	00	00	00	00	00	00	00
00101000	00	00	00	00	00	00	00	00
00110000	00	00	00	00	00	00	00	00
00111000	00	00	00	00	00	00	00	00
01000000	00	00	00	00	00	00	00	00
01001000	00	00	00	00	00	00	00	00

## 5.7 User Flash 初期化ファイルエディタ

User Flash 初期化ファイルは ASCII ファイルで、拡張子は **.fi** です。ユーザーは、必要に応じて、User Flash の各アドレスにある初期値を指定するための、対応形式の初期化ファイルを作成することができます。すでに **.fi** ファイルがある場合は、ソフトウェアで User Flash 初期化ファイルエディタを使用して **.fi** ファイルを開き、再度編集して保存できます。

User Flash 初期化ファイルのファイル名は **\*.fi(file\_name.fi)** で、ファイルの 1 行は 1 つのメモリユニットを表します。行の数はメモリユニットの数です。行頭の角括弧内の内容は、セミコロンで区切られた縦座標アドレスと横座標アドレスです。各行の角括弧の後の内容は、メモリユニットの初期化データです。2 進数と 16 進数のデータをサポートします。各データの上位が前、下位が後になります。**.fi** ファイルの形式の例は次のとおりです。

### 5.7.1 2 進数形式(Bin File)

Bin ファイルはバイナリ数 0 と 1 から成るテキストファイルです。

```
//Copyright (C)2014-2024 Gowin Semiconductor Corporation.
```

```
//All rights reserved.
```

```
//File Title: User Flash Initialization File
```

```
//Tool Version: V1.9.9.10(64-bit)
```

```
//Part Number: GW1N-LV4PG256C6/I5
```

```
//Device-package: GW1N-4-PBGA256
```

```
//Device Version: D
```

```
//Flash Type: FLASH256K
```

```
//File Format: Bin
```

```
//Created Time: 2024-06-28 14:31:12
[0:0] 000000000000100000001000100010000
[1:1] 000000000000100010001000000000001
```

### 5.7.2 16 進数形式(Hex File)

Hex ファイルは Bin ファイル形式と類似し、そのデータは 16 進数の 0~F で構成されます。

```
//Copyright (C)2014-2024 Gowin Semiconductor Corporation.
//All rights reserved.
//File Title: User Flash Initialization File
//Tool Version: V1.9.10 (64-bit)
//Part Number: GW1N-LV4PG256C6/I5
//Device-package: GW1N-4-PBGA256
//Device Version: D
//Flash Type: FLASH256K
//File Format: Hex
//Created Time: 2024-06-28 14:41:24
[0:0] 00101110
[1:1] 00111001
```

GOWIN User Flash 初期化ファイルの編集は、新規作成される.fi ファイルに基づきます。以下は、初期化ファイルエディタの使用手順です。

1. ソフトウェアのプロジェクト管理エリア(Design)で「File>New…」をクリックし、「New」ダイアログを開きます。
2. 「User Flash Initialization File」を選択します(図 5-13)。「OK」をクリックし、ポップアップする **New File** ダイアログボックスで初期化ファイル名を入力した後、デバイスを選択して「OK」をクリックします(図 5-14)。そのうち.fi ファイルのデフォルトパスはプロジェクトディレクトリの **src** フォルダです。現在、User Flash 初期化ファイルエディタでサポートされているデバイスは、User Flash プリミティブでサポートされているデバイス情報と一致しています。User Flash をサポートしていないデバイスが選択された場合、「Current device do not support flash」というメッセージがダイアログボックスの下部に表示されます。

図 5-13 初期化ファイルの新規作成

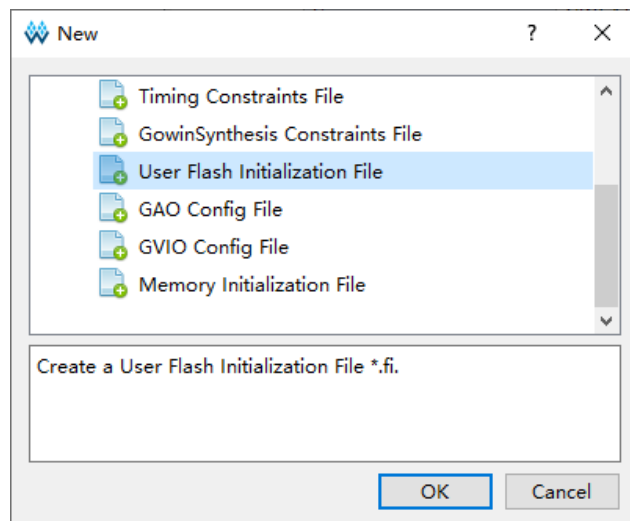
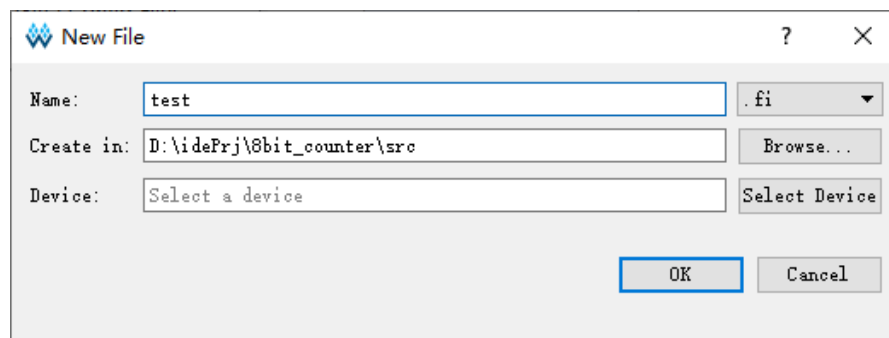
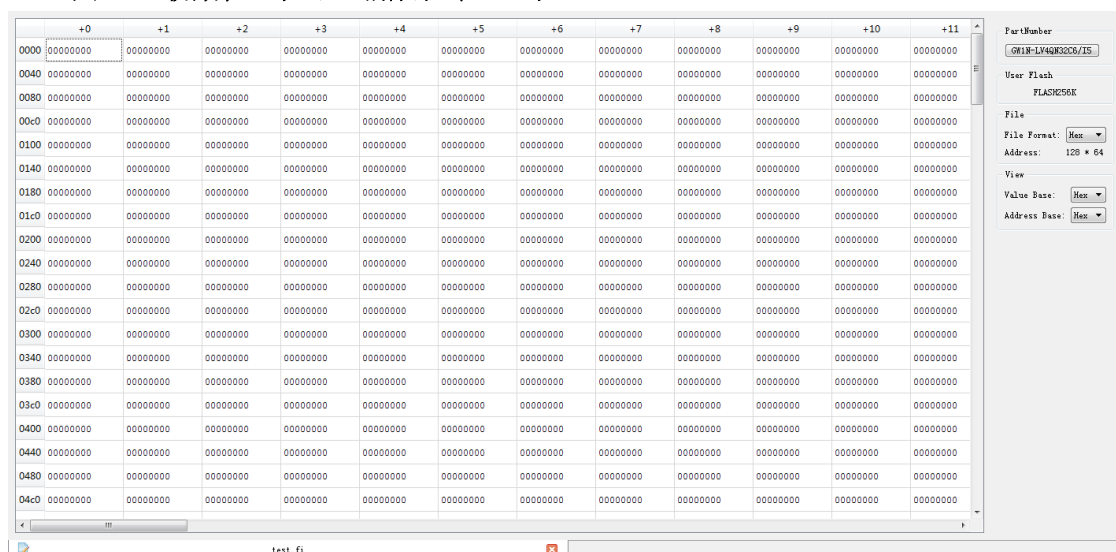


図 5-14 New File ダイアログボックス



- 図 5-15 のような初期化ファイル構成画面を起動し、ウィンドウの左側の表に初期値を入力し、右側で初期化ファイルのサイズとビュー形式を構成します。また、Part Number 情報および User Flash のモデルも確認できます。

図 5-15 初期化ファイル構成ウィンドウ



4. 構成画面の右側でチップの型番、初期化ファイルの形式を構成し、左側の表でアドレスと初期値の数値表示形式を構成します。
  - **Part Number** 情報をクリックすると、「**Select Device**」ダイアログボックスがポップアップし、別の型番を選択できます。
  - 左側の表でアドレスと数値の表示形式をバイナリ、8進数、10進数、16進数などの形式から選択できます。
5. 構成画面の左側の表に初期値を入力します。この表では、表のビュー形式も設定できます。表の初期値は、ダブルクリックして手入力するか、右クリックすることで設定できます。値を入力する場所を右クリックして、「**Fill with 0**」は、初期値の各ビットを **0** にすることを表し、「**Fill with 1**」は初期値の各ビットを **1** にすることを表します。「**Fill Custom**」の場合、ユーザーは必要に応じて数を入力するか、初期値を一括設定できます(図 5-16)。

図 5-16 一括設定

	+0	+1	+2	+3	+4	+5	+6	+7	+8	+9	+10	+11
0000	00000000	00000000	00000000	00000000	00000000	00000000	00000000	00000000	00000000	00000000	00000000	00000000
0040	00000000	00000000	00000000	00000000	00000000	00000000	00000000	00000000	00000000	00000000	00000000	00000000
0080	00000000	00000000	00000000	00000000	00000000	00000000	00000000	00000000	00000000	00000000	00000000	00000000
00c0	00000000	00000000	00000000	00000000	00000000	00000000	00000000	00000000	00000000	00000000	00000000	00000000
0100	00000000	00000000	00000000	00000000	00000000	00000000	00000000	00000000	00000000	00000000	00000000	00000000
0140	00000000	00000000	00000000	00000000	00000000	00000000	00000000	00000000	Fill With 0 Fill With 1 Fill Custom	00000000	00000000	00000000
0180	00000000	00000000	00000000	00000000	00000000	00000000	00000000	00000000	00000000	00000000	00000000	00000000
01c0	00000000	00000000	00000000	00000000	00000000	00000000	00000000	00000000	00000000	00000000	00000000	00000000

6. ファイルを保存します。

## 5.8 回路図ビューア

回路図ビューア(Schematic Viewer)を使用することでデザインの論理構造を直感的に理解できます。Schematic Viewer(RTL Design Viewer と Post-Synthesis Netlist Viewer を含む)は、加算器、乗算器、レジスタ、AND ゲート、NOT ゲート、インバータなど、一般的な回路図記号を使用します。

メニューバーの「Tools」ドロップダウン・リストから「Schematic Viewer-RTL Design Viewer」または「Schematic Viewer-Post-Synthesis Netlist Viewer」をクリックすると、それぞれ RTL 設計の回路図または合成後ネットリストの回路図が表示されます。「RTL Design Viewer」ウィンドウと「Post-Synthesis Netlist Viewer」ウィンドウは、それぞれ図 5-17 と図 5-18 に示すとおりです。

図 5-17 RTL Design Viewer ウィンドウ

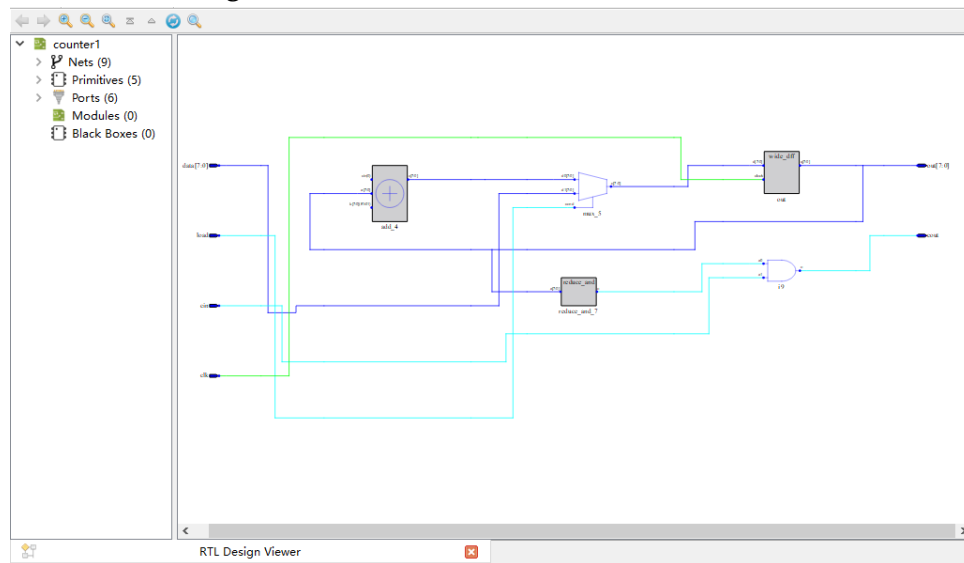
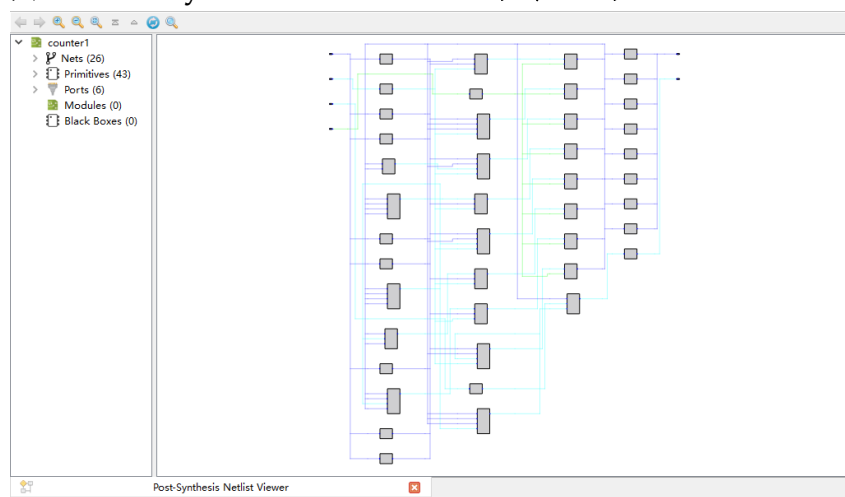











図 5-18 Post-Synthesis Netlist Viewer ウィンドウ



Schematic Viewer のツールバーには、戻る「」、進む「」、ズームイン「」、ズームアウト「」、ズームフィット「」、トップレベルビュー「」、アップパーレベルビュー「」、リロード「」、および検索「」があります。Modules、Ports、Nets、Primitives、および Black Boxes など、デザインを構成する論理要素がウィンドウの左側に表示されます。

注記：

Schematic Viewer の詳細については、『Gowin HDL 回路図ビューア ユーザーガイド (SUG755)』を参照してください。

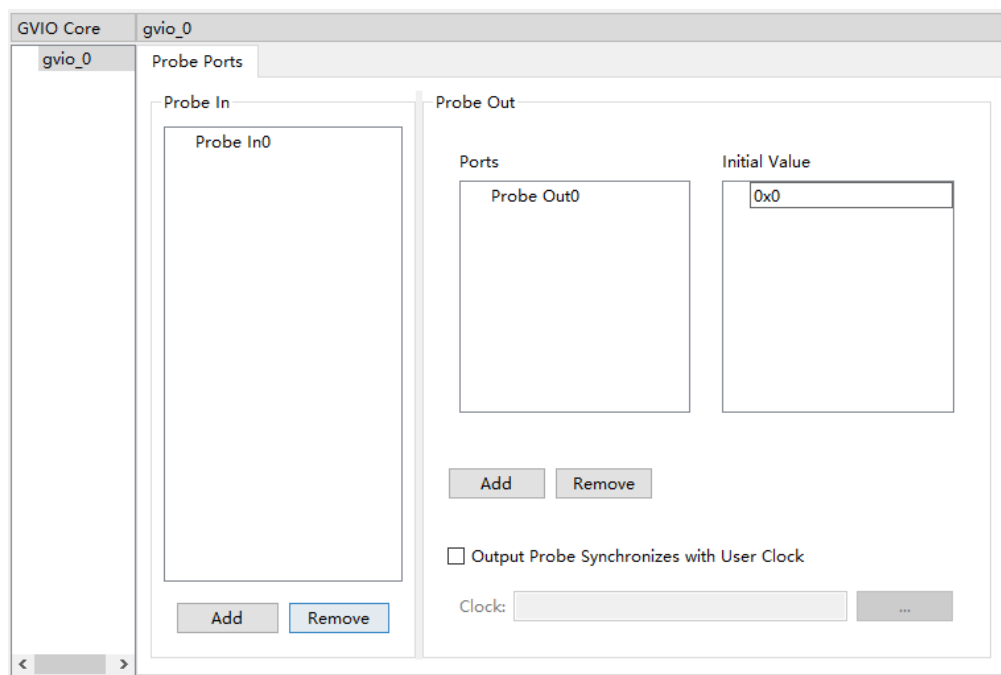
## 5.9 仮想入出力デバッグ・ツール

Gowin 仮想入出力(GVIO)コアは、内部 FPGA 信号をリアルタイムで監視および駆動できるカスタマイズ可能なコアです。その入力ポートは、

FPGA 信号の監視に使用され、仮想 LED に相当します。その出力ポートは、FPGA 信号の駆動に使用され、仮想スイッチに相当します。

GVIO を起動する前に、プロジェクト管理エリアで GVIO 構成ファイルを新規作成する必要があります。GVIO 構成ファイルの画面は図 5-19 に示すとおりです。

図 5-19 GVIO 構成ファイルウィンドウ



注記：

Gowin 仮想入出力(GVIO)コアの構成と使用については、『Gowin Virtual Input Output ツール ユーザーガイド([SUG1189](#))』を参照してください。

# 6 ファイルの出力

Gowin ソフトウェアは、FPGA 設計プロセスにおいてビットストリームファイルに加えて、ユーザーの参考として、さまざまなレポートを生成することができます。デフォルトで生成されるレポートには、合成レポート、配置配線レポート、ポート属性レポート、タイミングレポート、および電力解析レポートなどがあります。また、ユーザーは **Place & Route** を右クリックし、構成オプションを変更してピン制約ファイル、タイミングシミュレーション・モデルファイルなどを生成できます。

## 6.1 合成レポート

GowinSynthesis による合成が完了すると、対応する合成レポートとネットリスト・ファイルが生成されます。

Synthesis Message、Synthesis Details、Resource、Timing を含む、\*\_syn.rpt.html という合成レポートが生成されます(図 6-1)。

図 6-1 GowinSynthesis の合成レポート

Synthesis Details	
Top Level Module	counter1
Synthesis Process	Running parser: CPU time = 0h 0m 0.109s, Elapsed time = 0h 0m 0.121s, Peak memory usage = 74.734MB Running netlist conversion: CPU time = 0h 0m 0s, Elapsed time = 0h 0m 0s, Peak memory usage = 0MB Running device independent optimization: Optimizing Phase 0: CPU time = 0h 0m 0s, Elapsed time = 0h 0m 0s, Peak memory usage = 74.734MB Optimizing Phase 1: CPU time = 0h 0m 0s, Elapsed time = 0h 0m 0s, Peak memory usage = 74.734MB Optimizing Phase 2: CPU time = 0h 0m 0s, Elapsed time = 0h 0m 0s, Peak memory usage = 74.734MB Running inference: Inferring Phase 0: CPU time = 0h 0m 0s, Elapsed time = 0h 0m 0s, Peak memory usage = 74.734MB Inferring Phase 1: CPU time = 0h 0m 0s, Elapsed time = 0h 0m 0s, Peak memory usage = 74.734MB Inferring Phase 2: CPU time = 0h 0m 0s, Elapsed time = 0h 0m 0s, Peak memory usage = 74.734MB Inferring Phase 3: CPU time = 0h 0m 0s, Elapsed time = 0h 0m 0s, Peak memory usage = 74.734MB Running technical mapping: Tech-Mapping Phase 0: CPU time = 0h 0m 0s, Elapsed time = 0h 0m 0s, Peak memory usage = 74.734MB Tech-Mapping Phase 1: CPU time = 0h 0m 0s, Elapsed time = 0h 0m 0s, Peak memory usage = 74.734MB Tech-Mapping Phase 2: CPU time = 0h 0m 0s, Elapsed time = 0h 0m 0s, Peak memory usage = 74.734MB Tech-Mapping Phase 3: CPU time = 0h 0m 0.046s, Elapsed time = 0h 0m 0.095s, Peak memory usage = 87.988MB Tech-Mapping Phase 4: CPU time = 0h 0m 0s, Elapsed time = 0h 0m 0s, Peak memory usage = 87.988MB

レポートの左側には、以下に示すように、特定のインデックス情報が表示されます。

- **Synthesis Message** : 合成レポートの基本情報。主に、合成されたデザインファイル、制約ファイル、ソフトウェアのバージョン番号、デバイス情報、レポート作成時間、および法的通知に関する情報が含まれます。
- **Synthesis Details** : 設計ファイルのトップ・モジュール、合成の各サブステージの実際の実行時間、CPU 実行時間、ピークメモリ使用量、合成全体 CPU 実行時間とピークメモリ使用量。
- **Resource** : リソース使用量の情報。
- **Timing** : Clock Summary、Max Frequency Summary、Detail Timing Paths Informations などの情報を含むタイミング解析レポート。

## 6.2 配置配線レポート

配置配線レポートには、ユーザーデザインが占有するチップリソース情報、メモリ使用情報、時間使用情報などが記載されます。これにより、ユーザーはデザインのサイズと、ターゲットチップと一致するかどうかを確認できます。ファイルの拡張子は.rpt.html で、詳細は\*.rpt.html ファイルを参照してください。

ユーザーはプロセス管理エリアの **Place & Route** エリアで、「**Place & Route Report**」をクリックすると、FPGA プロジェクトに対応する配置配線レポートを開きます(図 6-2)。

図 6-2 Place & Route Report

- PnR Messages
- PnR Details
- Resource
  - Resource Usage Summary
  - I/O Bank Usage Summary
  - Global Clock Usage Summary
  - Global Clock Signals
  - Pinout by Port Name
  - All Package Pins

### PnR Details

Place & Route Process	Running placement: Placement Phase 0: CPU time = 0h 0m 0.004s, Elapsed time = 0h Placement Phase 1: CPU time = 0h 0m 0.263s, Elapsed time = 0h Placement Phase 2: CPU time = 0h 0m 0.002s, Elapsed time = 0h Placement Phase 3: CPU time = 0h 0m 0.8s, Elapsed time = 0h 0r Total Placement: CPU time = 0h 0m 1s, Elapsed time = 0h 0m 1s Running routing: Routing Phase 0: CPU time = 0h 0m 0s, Elapsed time = 0h 0m 0s Routing Phase 1: CPU time = 0h 0m 0.189s, Elapsed time = 0h 0m Routing Phase 2: CPU time = 0h 0m 0.082s, Elapsed time = 0h 0m Total Routing: CPU time = 0h 0m 0.271s, Elapsed time = 0h 0m 0. Generate output files: CPU time = 0h 0m 2s, Elapsed time = 0h 0m 2s
Total Time and Memory Usage	CPU time = 0h 0m 3s, Elapsed time = 0h 0m 3s, Peak memory usag

### Resource

**Resource Usage Summary:**

Resource	Usage	Utilization
Logic	10/20736	1%
--LUT,ALU,ROM16	10(3 LUT, 7 ALU, 0 ROM16)	-
--SSRAM(RAM16)	0	-
Register	8/16683	1%
--Logic Register as Latch	0/15552	0%

配置配線レポートの左側には、以下に示すように、特定のインデックス情報が表示されます。



- **PnR Messages** : 配置配線レポートの概要情報。レポート名、設計例のパスと名前、物理制約ファイル、タイミング制約ファイル、ソフトウェアバージョン番号、デバイス情報、レポート作成時間、法的声明など。
- **PnR Details** :
  - 配置の各段階で費やされた時間と配置の合計時間。プロジェクトに **GAO** がある場合は、**GAO** 配置の時間が含まれます。
  - 配線の各段階で費やされた時間と配線の合計時間。プロジェクトに **GAO** がある場合は、**GAO** 配線の時間が含まれます。
  - 出力ファイルの作成にかかる時間。
- **Resource** : 以下の項目が含まれます :
  - **Resource Usage Summary** : ユーザーデザインのリソース使用量情報。
  - **I/O Bank Usage Summary** : ユーザーデザインで使用する I/O Bank の情報。
  - **Global Clock Usage Summary** : ユーザーデザインで使用するグローバル・クロック情報。
  - **Global Clock Signals** : ユーザーデザインで使用するグローバル・クロック信号。
  - **Pinout by Port Name** : ポートに対応するピンアウト情報。
  - **All Package Pins** : 現在のパッケージのすべてのピン。

プロジェクトに **GAO** がある場合は、**GAO Resource Usage Summary** が含まれます : ユーザーデザインの **GAO** のリソース使用量情報。

## 6.3 ポート属性レポート

ポート属性レポートは、配置後に出力されるポート属性のファイルで、ポートのタイプ、属性、ポート位置情報などが含まれます。生成されるファイルの拡張子は **.pin.html** で、詳細については **\*.pin.html** ファイルを参照してください。

ユーザーは、プロセス管理エリアの **Place & Route** エリアで「**Ports & Pins Report**」をダブルクリックし、**FPGA** プロジェクトに対応するポート属性レポートを開くことができます(図 6-3)。

図 6-3 Ports &amp; Pins Report

Pin Details										
<ul style="list-style-type: none"> <li>Pin Messages</li> <li>Pin Details <ul style="list-style-type: none"> <li>Pinout by Port Name</li> <li>All Package Pins</li> </ul> </li> </ul>										
Pinout by Port Name:										
Port Name	Diff Pair	Loc./Bank	Constraint	Dir.	Site	IO Type	Drive	Pull Mode	PCI	
clk		L1/7	N	in	IOL25[A]	LVC MOS18	OFF	DOWN	OFF	
cout[0]		M2/7	N	out	IOL25[B]	LVC MOS18	8	NONE	OFF	
cout[1]		F6/8	N	out	IOL3[A]	LVC MOS18	8	NONE	OFF	
cout[2]		G7/8	N	out	IOL3[B]	LVC MOS18	8	NONE	OFF	
cout[3]		D3/8	N	out	IOL2[A]	LVC MOS18	8	NONE	OFF	
cout[4]		D4/8	N	out	IOL2[B]	LVC MOS18	8	NONE	OFF	
cout[5]		A2/0	N	out	IOT2[B]	LVC MOS18	8	NONE	OFF	
cout[6]		E6/0	N	out	IOT3[A]	LVC MOS18	8	NONE	OFF	
cout[7]		F5/8	N	out	IOL4[B]	LVC MOS18	8	NONE	OFF	
All Package Pins:										
Loc./Bank	Signal	Dir.	Site	IO Type	Drive	Pull Mode	PCI Clamp	Hysteresis	Open	
B1/0	-	out	IOT2[A]	LVC MOS18	8	NONE	OFF	OFF	ON	
A2/0	cout[5]	out	IOT2[B]	LVC MOS18	8	NONE	OFF	OFF	OFF	
E6/0	cout[6]	out	IOT3[A]	LVC MOS18	8	NONE	OFF	OFF	OFF	
F7/0	-	out	IOT3[B]	LVC MOS18	8	NONE	OFF	OFF	ON	
B2/0	-	out	IOT4[A]	LVC MOS18	8	NONE	OFF	OFF	ON	
A3/0	-	out	IOT4[B]	LVC MOS18	8	NONE	OFF	OFF	ON	

ポート属性レポートの左側には、インデックス情報が表示されます。

- **Pin Messages** : ポート属性レポートの概要情報。レポート名、設計例のパスと名前、物理制約ファイル、タイミング制約ファイル、ソフトウェアのバージョン番号、デバイス情報、レポート作成時間、法的通知など。
- **Pin Details** : 以下の項目が含まれます :
  - **Pinout by Port Name** : ポートに対応するピンアウト情報。
  - **All Package Pins** : 現在のパッケージのすべてのピン。

注記 :

GW1N-1P5/GW1N-2/GW1NR-2 および GW2AN-18X/GW2AN-9X 以外のデバイスでは、Bank V<sub>CCIO</sub> の制約を追加しないと、一部のシングルエンド入力ポートの IO Type に対応する電圧値は、ポート属性レポートの Bank V<sub>CCIO</sub> の値と一致しない場合があります(これは正常です)。例えば、レポート内の IO Type は LVC MOS18(電圧値 1.8 に対応)ですが、Bank V<sub>CCIO</sub> は 1.2 です。

## 6.4 タイミングレポート

タイミングレポートは、回路のネットリストに全面的な解析を行い、回路のタイミングパス遅延を計算し、要件を満たすか判断します。タイミングレポートには、セットアップ時間チェック、ホールド時間チェック、リカバリ時間チェック、リムーバル時間チェック、最小クロックパルスチェック、最大ファンアウトパス、配線密集レベルレポートなどが含まれます。デフォルトでは上記のすべてのチェックについて報告するほか、最大周波数のレポートも提供します。

ユーザーは、プロセス管理エリアの **Place & Route** エリアで「**Timing Analysis Report**」をダブルクリックし、FPGA プロジェクトに対応するタイミングレポートを開くことができます(図 6-4)。

注記：

タイミングレポートの詳細については、『Gowin タイミング制約ユーザーガイド (SUG940)』を参照してください。

図 6-4 タイミングレポート内容

Timing Messages

▶ Timing Summaries

STA Tool Run Summary

Clock Summary

Max Frequency Summary

Total Negative Slack Summary

▶ Timing Details

▶ Path Slacks Table

Setup Paths Table

Hold Paths Table

Recovery Paths Table

Removal Paths Table

Minimum Pulse Width Table

▶ Timing Report By Analysis Type

Setup Analysis Report

Hold Analysis Report

Recovery Analysis Report

Removal Analysis Report

Minimum Pulse Width Report

Timing Summaries

STA Tool Run Summary:

Setup Delay Model	Slow 1.14V 0C C2/I1
Hold Delay Model	Fast 1.26V 85C C2/I1
Numbers of Paths Analyzed	34
Numbers of Endpoints Analyzed	34
Numbers of Falling Endpoints	0
Numbers of Setup Violated Endpoints	0
Numbers of Hold Violated Endpoints	0

Clock Summary:

NO.	Clock Name	Type	Period	Frequency(MHz)	Rise	Fall	Source	Master	Objects
1	clk0	Base	5.000	200.000	0.000	2.500			clk

Max Frequency Summary:

NO.	Clock Name	Constraint	Actual Fmax	Logic Level	Entity
1	clk0	200.000(MHz)	502.512(MHz)	4	TOP

## 6.5 消費電力解析レポート

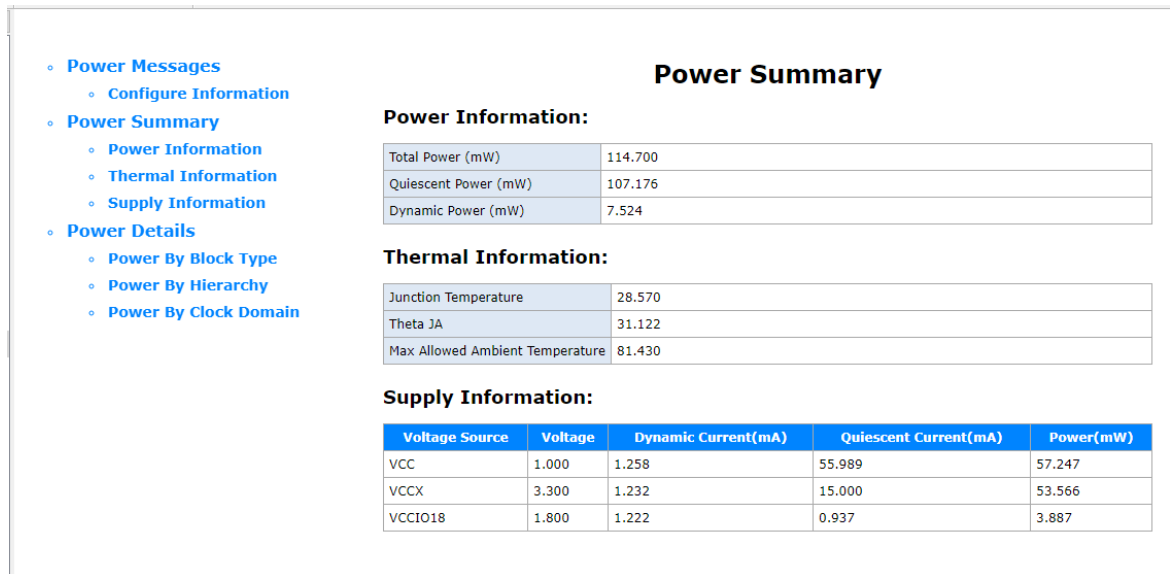
電力解析レポートは、主にユーザーデザインのために提供されます。電力解析の際、デバイスの特性に基づいて推定消費電力計算が行われます。これにより、ユーザーがデザインの基本的な消費電力値を評価できます。

ユーザーは、プロセス管理エリアの **Place & Route** エリアで「**Power Analysis Report**」をダブルクリックし、FPGA プロジェクトに対応する電力解析レポートを開くことができます(図 6-5)。

注記：

電力解析の詳細については、『Gowin パワーアナライザ ユーザーガイド (SUG282)』を参照してください。

図 6-5 電力解析レポート



# 7 シミュレーションファイル

Gowin ソフトウェアは、シミュレーション用の入力ファイルを提供します。シミュレーションには、機能シミュレーションとタイミングシミュレーションがあります。機能シミュレーションは、プレレイアウト・シミュレーションとも呼ばれます。機能シミュレーションの主な目的は、回路の機能が設計要件を満たしているかどうかを確認することです。その特徴は、回路のゲート遅延や配線遅延を考慮しないことです。

タイミングシミュレーションは、ポストレイアウト・シミュレーションとも呼ばれます。タイミングシミュレーションでは、回路がマッピングされた後、回路のパス遅延とゲート遅延が包括的に考慮され、回路が特定のタイミング条件下で設計に適合しているかどうかを検証されます。

## 7.1 機能シミュレーションファイル

機能シミュレーションには、合成前のユーザーRTL 設計機能シミュレーションと合成後の論理ネットリスト機能シミュレーションが含まれます。必要なファイル(Verilog でのデザインの場合)は、合成前のユーザー設計 RTL ファイル、合成後のネットリスト・ファイル (\*.vg)、テストベンチファイル (testbench) \* tb.v、および機能シミュレーション・ライブラリ・ファイル prim\_sim.v です。

注記：

- シミュレーション・ライブラリ・ファイルのパス : installPath¥IDE¥simlib。
- VHDL を使用した場合、シミュレーション・ライブラリ・ファイルは prim\_sim.vhd です。
- 生成されるソフトコア IP は暗号文であるため、デザインにソフトコア IP が含まれている場合、ソフトコア IP 生成後の.vo/.vho ファイルを機能シミュレーションファイルとして使用する必要があります。.vo/.vho ファイルは現在のプロジェクトディレクトリ src¥ipName にあります。

## 7.2 タイミングシミュレーションファイル

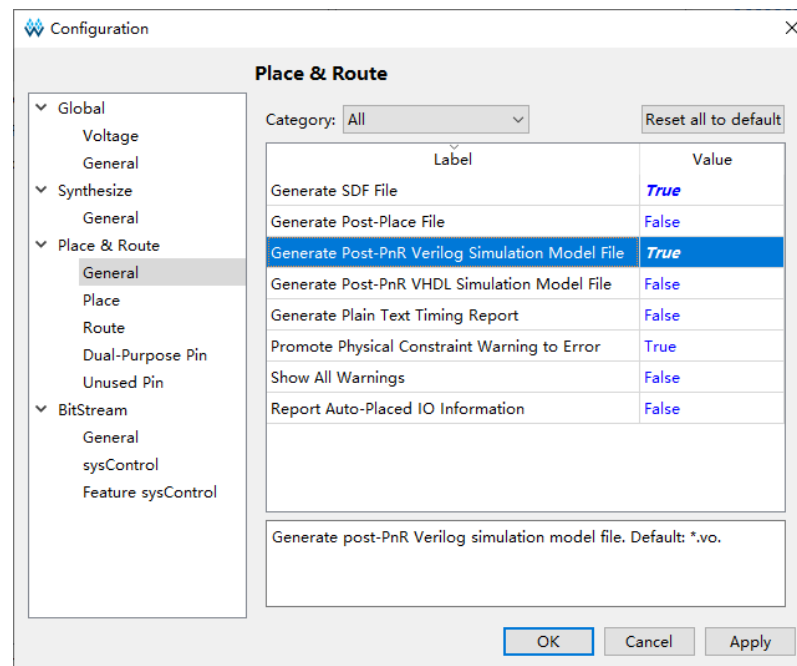
タイミングシミュレーションに必要なファイル(Verilog を使用する場合)：ソフトウェアによって生成された Verilog タイミングシミュレーション論理ネットリスト・ファイル\*.vo、対応する遅延ファイル\*.sdf、対応

するテストベンチファイル\* **tb.v**、およびタイミングシミュレーション・ライブラリ・ファイル **prim\_tsim.v** です。

タイミングシミュレーション論理ネットリスト・ファイル\* **.vo** および遅延ファイル\* **.sdf** は、**Gowin** ソフトウェアの **GUI** を介してプロジェクトを実行することで生成できます。その手順は次のとおりです。

1. プロジェクトを作成/開いた後、**Project > Configuration > Place & Route** オプションで「**Generate SDF File**」と「**Generate Post-PNR Verilog Simulation Model File**」の値を **True** に設定し、「**OK**」をクリックします(図 7-1)。

図 7-1 オプションの構成



2. **Place&Route** を実行します。正常に実行された後、プロジェクトのパスの下に **impl/pnr/** に必要な **vo** ファイルと **sdf** ファイルが現れます。

# 8Tcl コマンドの説明

Gowin ソフトウェアは、コマンド・ライン・モードでの実行をサポートします。以下の説明では、山括弧<>に含まれているコンテンツは必須コンテンツであり、角括弧[]に含まれているコンテンツはオプションのコンテンツです。

## 8.1 コマンド・ライン・モードを開始

### 8.1.1 gw\_sh.exe

#### 構文

コマンド：例えば、Windows の場合、インストール・ディレクトリの¥x.x¥IDE¥bin¥gw\_sh.exe を起動します。

パラメータ：

[script file]

パラメータなし：コマンドラインコンソール・モードに直接入りします。

script file：指定されたスクリプトファイルを実行します(オプション)。

#### 応用例

#コマンド・ライン・モードを開始

gw\_sh.exe

#スクリプトファイルを実行

gw\_sh.exe script\_file

## 8.2 コマンドの説明

### 8.2.1 create\_project

create\_project [-name <prjName>] [-dir <path>] [-pn <pnName>] [-device\_version <arg>] [-force]

プロジェクトを新規作成します。Windows と Linux オペレーティング

システムは、/または¥¥の 2 つのプロジェクトパスの区切り文字をサポートします。相対パスと絶対パスをサポートします。相対パスは、Gowin ソフトウェア GUI では現在のプロジェクトのパスを基準にしており、コマンド・ライン・モードでは gw\_sh.exe が起動された際のパスを基準にしています。

オプション：

- **-name <prjName>**：作成するプロジェクトの名前を指定します。
- **-dir <path>**：作成するプロジェクトのパスを指定します。指定したパスが存在しない場合は、新しいパスが作成されます。このオプションが指定されていない場合は、現在のプロジェクトのパスまたは tcl スクリプトが配置されているパスが使用されます。
- **-pn <PnName>**：作成するプロジェクトの Part Number(部品番号)を指定します。
- **-device\_version <arg>**：Part Number の device version を指定します。初期バージョンのみを持つデバイスの場合、device version の値は NA です。
- **-force**：このオプションを使用すると、既存のプロジェクトが上書きされます。

例：

```
create_project -name prj0 -dir D:/tclprj -pn GW1N-UV4LQ144C6/15 -
device_version B
```

```
create_project -name prjlest -pn GW1N-UV4LQ144C6/15 -
device_version B -force
```

## 8.2.2 open\_project

**open\_project <file>] [-pn] [-device\_version] [-h/-help]**

プロジェクトを開きます。開くプロジェクトのために新しい部品番号を指定することができます。Windows と Linux オペレーティングシステムは、/または¥¥の 2 つのプロジェクトパスの区切り文字をサポートします。相対パスと絶対パスをサポートします。相対パスは、Gowin ソフトウェア GUI では現在のプロジェクトのパスを基準にしており、コマンド・ライン・モードでは gw\_sh.exe が起動された際のパスを基準にしています。

オプション：

- **<file>**：開くプロジェクトファイルの名前を指定します。
- **[-pn]**：プロジェクトの部品番号を指定します。
- **[-device\_version]**：デバイスのバージョンを指定します。
- **-h、--help**：ヘルプ情報を表示します。



### 8.2.3 add\_file

**add\_file [-type] [-disable] [-h/-help] <file...>**

設計ファイルを追加します。Windows と Linux オペレーティングシステムは、/または¥¥の 2 つのファイルパスの区切り文字をサポートします。相対パスと絶対パスをサポートします。相対パスは、Gowin ソフトウェア GUI では現在プロジェクトのパスを基準にしており、コマンド・ライン・モードでは gw\_sh.exe が起動された際のパスを基準にしています。

パラメータ :

<file ...> : 追加したい設計ファイル。複数指定できます(スペースで区切ります)。

オプション :

- **-type <type>** : add\_file コマンドは、ファイルのサフィックスに基づいてファイルタイプを自動的に決定できますが、このオプションを使用して、ファイルタイプを明示的に指定することもできます。サポートされているファイルタイプ : verilog、vhdl、netlist、cst、sdc、fdc、gao、gpa、gsc。
- **-disable** : 追加したファイルを無効にします。無効な状態のファイルはファイルリストに追加されるだけで、実行されることはありません。関連コマンド : set\_file\_enable。
- **-h、--help** : ヘルプ情報を表示します。

例 :

```
add_file abc.v
add_file -type vhdl 1.vhd 2.vhdl 3.vhd
add_file D:/gowin_project/top.v
add_file D:¥¥gowin_project¥¥top.v
```

### 8.2.4 import\_files

**import\_files [-file <file>] [-dir <path>] [-fileList <fileList>] [-force]**

ファイルまたはディレクトリを現在のプロジェクトのパス/src にコピーします。

オプション :

- **-file <file>** : 1 つ以上のファイルをプロジェクトのパス/src に追加します。
- **-dir <path>** : パスの下にあるすべてのファイルとサブフォルダをプロジェクトのパス/src に追加します。
- **-fileList <fileList>** : リストファイルを指定します。ファイル内の各行は追加するプロジェクトファイルです。その内容の例は次のとおりで

す :

D:/test1.v

D:/test2.v

このオプションにより、ファイル内の各行で指定されたファイルをプロジェクトのパス/src に追加できます。

- **-force** : このオプションを使用すると、プロジェクトのパス/src にある同名のファイルが上書きされます。

**-file**、**-dir**、および**-fileList** は、相対パスと絶対パスをサポートします。相対パスは、Gowin ソフトウェア GUI では現在のプロジェクトのパスを基準にしており、コマンドラインモードでは tcl スクリプトのパスを基準にしています。

例 :

```
import_files -file D/test1 .v -force
```

```
import_files -file D:/test1 .v D:/test2.v - force
```

```
import_files -dir D:/sourceFile
```

```
import_files -fileList log。log ファイルの内容は次のとおりです :
```

```
D:/Test1.v
```

```
D:/Test2.v
```

**import\_files** の後にオプションがない場合は、**add\_file** コマンドで指定されたすべてのファイルがプロジェクトのパス/src にコピーされます。

## 8.2.5 rm\_file

```
rm_file [-h/-help ] <files...>
```

設計ファイルを削除します。ファイルパスの形式については、[add\\_file](#) を参照してください。

パラメータ :

**<file ...>** : 削除したい設計ファイル。複数指定できます(スペースで区切ります)。

オプション :

**-h**、**--help** : ヘルプ情報を表示します。

例 :

```
rm_file a.v
```

```
rm_file a.v b.v c.v
```

```
rm_file D:/gowin_project/top.v
```

```
rm_file D:¥¥gowin_project¥¥top.v
```

## 8.2.6 set\_device

`set_device [-device_version] [-h/-help ] <part number>`

デバイスの型番を設定します。

パラメータ :

`<part number>` : GW1N-UV4LQ144C6/I5 などのターゲットデバイスの型番を指定します。

オプション :

- `- <device_version>` : デバイスのバージョンを指定します。サポートされるバージョンには、NA|B|C|D があります。
- `-h、--help` : ヘルプ情報を表示します。

例 :

```
set_device GW1N-LV1CS30C6/I5
```

```
set_device - device_version C GW1N-UV4LQ144C6/I5
```

## 8.2.7 set\_file\_prop

`set_file_prop [-lib] [-h/-help] <file...>`

ファイルの属性を設定します。ファイルパスの形式については、[add\\_file](#) を参照してください。

パラメータ :

`<file ...>` : 設定したい設計ファイル。複数指定できます(スペースで区切ります)。

オプション :

- `-lib <name>` : ファイルの **library name** を設定します。このオプションは、VHDL ファイルにのみ有効です。
- `-h、--help` : ヘルプ情報を表示します。

例 :

```
set_file_prop -lib work top .vhd
```

```
set_file_prop -lib work D:/gowin_project/top.vhd
```

```
set_file_prop -lib work D:¥¥gowin_project¥¥top.vhd
```

## 8.2.8 run

`run [-h/-help] <syn/pnr/all>`

プロセスを実行します。

パラメータ :

`<syn/pnr/all>` : 実行するプロセスの名前を指定します。実行可能なプロセスの名前は、**syn** および **pnr** であり、それぞれ合成および配置配線を

表します。all を指定して、すべてのプロセスを実行することもできます。

オプション :

-h、--help : ヘルプ情報を表示します。

例 :

```
run pnr
```

```
run all
```

## 8.2.9 set\_file\_enable

```
set_file_enable [-h/-help] <file> <true|false>
```

ファイルを使用できるかを設定します。ファイルパスの形式については、[add\\_file](#) を参照してください。

パラメータ :

- <file> : 設定するファイルを指定します。
- <true | false> : true はファイルを使用できることを意味し、false は使用できないことを意味します。

オプション :

-h、--help : ヘルプ情報を表示します。

例 :

```
set_file_enable top.v false
```

```
set_file_enable D:/gowin_project/top.v
```

```
set_file_enable D:¥¥gowin_project¥¥top.v
```

## 8.2.10 saveto

```
saveto [-all_options] [-h/-help] <file>
```

現在のプロジェクトの設計データを tcl スクリプトに保存します。ファイルパスの形式については、[add\\_file](#) を参照してください。

パラメータ :

<file> : ファイル名。

オプション :

- -all\_options saveto コマンドは、デフォルトでは変更されたオプション情報、つまりデフォルト値とは異なるオプションのみを保存します。-all\_options を使用して、すべてのオプション情報を保存することができます。
- -h、--help : ヘルプ情報を表示します。

例 :

```
saveto project.tcl
saveto -all_options project.tcl
saveto -all_options D:/gowin_project/project.tcl
saveto -all_options D:¥¥gowin_project¥¥project.tcl
```

## 8.2.11 set\_option

set\_option [options]

プロジェクトの関連属性とプロセスオプションを設定します。

オプション：

- -output\_base\_name <name>

出力されるファイルのファイル名を指定します。このオプションはファイルの **base name** のみを指定します。出力ファイルのタイプに応じて適切な拡張子を使用されます。例えば、-output\_base\_name abc の場合、gowinsynthesis によって生成されるネットリスト・ファイルの名前は abc.vg になります。

- -synthesis\_tool <tool>

合成ツール(GowinSynthesis)を指定します。

- -top\_module <name>

Top Module/Entity を指定します。

- -include\_path <path or path list>

インクルードパスを指定します。複数のインクルードパスを指定する場合は、セミコロンを使用してパスを区切り、中かっこ{}ですべてのパス情報を含めます(例えば：-include\_path {/path1;/path2;/path3})。相対パスと絶対パスをサポートします。

- -inc <incremental.cfg >

インクリメンタル・コンパイル構成ファイル(incremental.cfg)を指定します。Windows と Linux オペレーティングシステムは、/または¥¥の 2 つのファイルパスの区切り文字をサポートします。また、相対パスと絶対パスがサポートされており、相対パスは、Gowin ソフトウェア GUI では現在プロジェクトのパスを基準にしており、コマンド・ライン・モードでは gw\_sh.exe が起動された際のパスを基準にしています。

Gowin ソフトウェアの GUI でインクリメンタル・コンパイルのモードを Hard に設定すると、プロジェクトパス/impl の下に構成ファイル incremental.cfg が生成され、ファイルの内容は「top module name,hard,place」です。

### Global 属性の構成

- -global\_freq <default|value>

**frequency** の値を指定します。デフォルトでは、50MHz(LittleBee ファミリー)または 100MHz(Arora ファミリー)です。

#### 合成属性の構成

- **-verilog\_std <v1995|v2001|sysv2017>**

Verilog 言語 : Verilog 95/Verilog 2001/System Verilog 2017。デフォルトは Verilog 2001 です。

- **-vhdl\_std <vhdl1993|vhdl2008>**

VHDL 言語 : VHDL 1993/VHDL 2008。デフォルトは VHDL1993 です。

- **-print\_all\_synthesis\_warning <0|1>**

すべての合成警告情報を出力するかどうかを指定します。デフォルトは 0 です。

0 : すべての警告情報を出力しません。

1 : すべての警告情報を出力します。

- **-disable\_io\_insertion <0|1>**

I/O 挿入を有効または無効にします。デフォルトは 0 です。

0 : I/O 挿入を無効にします。

1 : I/O 挿入を有効にします。

- **-looplimit <value>**

RTL のデフォルトのコンパイラのループ制限値で、デフォルト値は 2000 です。

- **-maxfan <value>**

入力ポート、**net** またはレジスタ出力ポートのファンアウト値を設定します。デフォルトは 10000 です。

- **-rw\_check\_on\_ram <0|1>**

RAM に読み出しまたは書き込みの競合がある場合、このオプションを有効にすると、RAM の周りに、シミュレーションの不一致を防ぐためのバイパスロジックが挿入されます。デフォルトでは 0 です。

0 : 有効にしません。

1 : 有効にします。

#### Place & Route 属性の構成

- **-vccx <value >**

VCCX の値を指定します。

- **-vcc <value >**

VCC の値を指定します。

- **-gen\_sdf <0|1>**

**Place&Route** が **SDF** ファイルを生成するかどうかを指定します。デフォルトは **0** です。

0 : **SDF** ファイルを生成しません。

1 : **SDF** ファイルを生成します。

- **-gen\_io\_cst <0|1>**

**Place & Route** が **\*.io.cst** という名前のポートの物理制約ファイルを生成するかどうかを指定します。デフォルトは **0** です。

0 : **\*.io.cst** ファイルを生成しません。

1 : **\*.io.cst** ファイルを生成します。

- **-gen\_ibis <0|1>**

**Place&Route** が **\*.ibs** という名前の入出力バッファ情報指定ファイルを生成するかどうかを指定します。デフォルトは **0** です。

0 : **\*.ibs** ファイルを生成しません。

1 : **\*.ibs** ファイルを生成します。

- **-gen\_posp <0|1>**

**Place&Route** が **\*.posp** という名前の配置ファイルを生成するかどうかを指定します。このファイルには、**BSRAM** の配置情報のみが含まれます。デフォルトは **0** です。

0 : **\*.posp** ファイルを生成しません。

1 : **\*.posp** ファイルを生成します。

- **-gen\_text\_timing\_rpt <0|1>**

**Place&Route** が **\*.tr** という名前のテキスト形式タイミングレポートを生成するかどうかを指定します。デフォルトは **0** です。

0 : **\*.tr** ファイルを生成しません。

1 : **\*.tr** ファイルを生成します。

- **-gen\_verilog\_sim\_netlist <0|1>**

**Place&Route** が **\*.vo** という名前の **Verilog** タイミングシミュレーション・モデル・ファイルを生成するかどうかを指定します。デフォルトは **0** です。

0 : **\*.vo** ファイルを生成しません。

1 : **\*.vo** ファイルを生成します。

- **-gen\_vhdl\_sim\_netlist <0|1>**

**Place&Route** が **\*.vho** という名前の **VHDL** タイミングシミュレーション・モデル・ファイルを生成するかどうかを指定します。デフォルトは **0**

です。

0 : \*.vho ファイルを生成しません。

1 : \*.vho ファイルを生成します。

- **-show\_init\_in\_vo <0|1>**

配置配線後のタイミングシミュレーション・モデル・ファイルのインスタンスにデフォルトの初期値を追加するかどうかを指定します。デフォルトは 0 です。

0 : タイミングシミュレーション・モデル・ファイルのインスタンスにデフォルトの初期値を追加しません。

1 : タイミングシミュレーション・モデル・ファイルのインスタンスにデフォルトの初期値を追加します。

- **-show\_all\_warn <0|1>**

配置配線中にすべての警告情報を出力するかどうかを指定します。デフォルトは 0 です。

0 : 配置配線中のすべての警告情報を出力しません。

1 : 配置配線中のすべての警告情報を出力します。

- **-timing\_driven <0|1>**

このオプションを有効にすると、タイミングドリブン配置配線を実行します。デフォルトは 1 です。

0 : タイミングドリブン配置配線を実行しません。

1 : タイミングドリブン配置配線を実行します。

- **-cst\_warn\_to\_error <0|1>**

配置配線中の物理制約の警告をエラーに昇格させるかどうかを指定します。デフォルトは 1 です。

0 : 物理制約の警告をエラーに昇格させます。

1 : 物理制約の警告をエラーに昇格させません。

- **-rpt\_auto\_place\_io\_info <0|1>**

自動配置の IO 位置情報を報告するかどうかを指定します。デフォルトは 0 です。

0 : 自動配置の IO 位置情報を報告しません。

1 : 自動配置の IO 位置情報を報告します。

- **-place\_option < 0|1|2|3|4>**

配置アルゴリズムオプション。デフォルトは 0 です。

0 : デフォルトの配置アルゴリズムを使用します。

1 : 配置アルゴリズム 1 を使用します。



2 : 配置アルゴリズム 2 を使用します。

3 : 配置アルゴリズム 3 を使用します。

4 : 配置アルゴリズム 3 を使用します。

- **-route\_option <0|1|2>**

配線アルゴリズムオプション。デフォルトは 0 です。

0 : デフォルトの配線アルゴリズムを使用します。

1 : 配線アルゴリズム 1 を使用します。

2 : 配線アルゴリズム 2 を使用します。

- **-ireg\_in\_job <0|1>**

このオプションを有効にすると、入力バッファに接続されるレジスタは IOB に配置されます。デフォルトは 1 です。

0 : ディセーブル。

1 : イネーブル。

- **-oreg\_in\_job <0|1>**

このオプションを有効にすると、出力/トライステートバッファに接続されるレジスタは IOB に配置されます。デフォルトは 1 です。

0 : ディセーブル。

1 : イネーブル。

- **-ioreg\_in\_job <0|1>**

このオプションを有効にすると、双方向バッファに接続されるレジスタは IOB に配置されます。デフォルトは 1 です。

0 : ディセーブル。

1 : イネーブル。

- **-replicate\_resources <0|1>**

このオプションを有効にすると、高ファンアウトのリソースが複製されてファンアウトが低減され、タイミングの結果が改善されます。デフォルトは 0 です。

0 : ディセーブル。

1 : イネーブル。

- **-clock\_route\_order <0|1>**

クロックプリミティブにより生成されたクロックライン以外のクロックラインの配線割り当て順を指定します。0 と 1 の 2 つのオプションがあり、デフォルトは 0 です。

0 : net のファンアウト数の多い順で割り当てます。

1 : 周波数の高い順で割り当てます。

- **-route\_maxfan <value>**

配線のファンアウトの最大数を設定します。値は 0 より大きく 100 以下の整数である必要があります。デバイスが GW1NZ-1/GW1N-2/GW1NR-2/GW1N-1P5 の場合、このオプションのデフォルト値は 10 で、他のデバイスの場合、デフォルト値は 23 です。

- **-correct\_hold\_violation <0|1>**

このオプションを有効にすると、配線によりタイミングの Hold 違反が自動修正されます。デフォルト値は 1 です。

0 : ディセーブル。

1 : イネーブル。

- **-inc\_place <0|auto|file>**

このオプションを有効にすると、インクリメンタル配置が使用されます。デフォルト値は 0 です。

0 : インクリメンタル配置をオフにします。

auto : 自動的にインクリメンタル配置を実行します。

file : \*.p ファイルを指定してインクリメンタル配置を実行します。

- **-inc\_pnr <0|auto|file>**

このオプションを有効にすると、インクリメンタル配置配線が使用されます。デフォルト値は 0 です。

0 : インクリメンタル配置配線をオフにします。

auto : 自動的にインクリメンタル配置配線を実行します。

file : \*.pr ファイルを指定してインクリメンタル配置配線を実行します。

注記 :

Place&Route のオプションの詳細については、このドキュメントのセクション 4.3.3 の [Place & Route](#) を参照してください。

### 多重化ピンの属性の構成

- **-use\_jtag\_as\_gpio <0|1>**

JTAG ピン(TCK、TMS、TDI、TDO)を GPIO として多重化するかを指定します。デフォルトは 0 です。

0 : JTAG 専用ピンとして使用します。

1 : GPIO として多重化します

- **-use\_sspi\_as\_gpio <0|1>**

SSPI ピン(SCLK、CLKHOLD\_N、SI、SO、SSPI\_CS\_N)を GPIO として多重化するかを指定します。デフォルトは 0 です。

0 : SSPI 専用ピンとして使用します。

1 : GPIO として多重化します

- **-use\_mspi\_as\_gpio <0|1>**

MSPI ピン(MCLK、MCS\_N、MI、MO)を GPIO として多重化するかを指定します。デフォルトは 0 です。

0 : MSPI 専用ピンとして使用します。

1 : GPIO として多重化します

- **-use\_ready\_as\_gpio <0|1>**

READY ピンを GPIO として多重化します。デフォルトは 0 です。

0 : READY 専用ピンとして使用します。

1 : GPIO として多重化します

- **-use\_done\_as\_gpio <0|1>**

DONE ピンを GPIO として多重化します。デフォルトは 0 です。

0 : DONE 専用ピンとして使用します。

1 : GPIO として多重化します

- **-use\_reconfig\_as\_gpio <0|1>**

RECONFIG\_N ピンを GPIO として多重化します。デフォルトは 0 です。

0 : RECONFIG\_N 専用ピンとして使用します。

1 : GPIO として多重化します

- **-use\_i2c\_as\_gpio <0|1>**

I2C ピン(SCL および SDA)を GPIO として多重化します。デフォルトは 0 です。

0 : I2C 専用ピンとして使用します。

1 : GPIO として多重化します

#### **BitStream の属性の構成**

- **-bit\_format <txt|bin>**

生成されるビットストリームファイルのコンテンツの形式を指定します。デフォルトは bin です。

- **-bit\_crc\_check <0|1>**

ビットストリームファイルの巡回冗長検査を有効にするかどうかを指定します。デフォルトは 1 です。

0 : 巡回冗長検査を有効にしません。

1 : 巡回冗長検査を有効にします。

- **-bit\_compress <0|1>**

生成されるビットストリームファイルを圧縮します。デフォルトは 1 です。

0 : ビットストリームファイルを圧縮しません。

1 : ビットストリームファイルを圧縮します。

- **-bit\_encrypt <0|1>**

ビットストリームファイルを暗号化します(**GW2A** シリーズのみをサポート)。デフォルトは 0 です。

0 : 暗号化しません。

1 : 暗号化します。

- **-bit\_encrypt\_key <key>**

「**-bit\_encrypt**」と併用することによりユーザーは暗号化キーをカスタマイズできます。デフォルトは全部 0 です。

- **-bit\_security <0|1>**

セキュリティビットを有効にするかどうかを指定します。デフォルトは 1 です。

0 : セキュリティビットを有効にしません。

1 : セキュリティビットを有効にします。

- **-bit\_incl\_bsram\_init <0|1>**

**BSRAM** の初期値をビットストリームファイルに書き込みます。デフォルトは 1 です。**GW1N(X)** シリーズおよび **GW2A(X)** シリーズの場合、1 にセットすると、すべての位置の **BSRAM** の初期値がビットストリームファイルに書き込まれます(占有されていない **BSRAM** 位置の初期値は 0 として取り扱われます)。**GW5A(S)(T)-138/GW5A(R)-25** デバイスの場合、1 にセットすると、占有された **BSRAM** の所在列にあるすべての **BSRAM** の初期値がビットストリームファイルに書き込まれます(この列の占有されていない **BSRAM** 位置の初期値は 0 として取り扱われます)。

0 : **BSRAM** の初期値をビットストリームファイルに書き込みません。

1 : **BSRAM** の初期値をビットストリームファイルに書き込みます。

- **-bg\_programming <off | jtag | i2c | goconfig | userlogic| i2c\_jtag\_ssapi\_qsspi | jtag\_ssapi\_qsspi>**

**FPGA** の動作を中断しないまま **FPGA** をプログラムするバックグラウンドアップグレード機能です。デフォルトは **off** です。

**off** : バックグラウンドアップグレード機能を有効にしません。

**jtag** : **JTAG** モードでバックグラウンドアップグレードを実行します。

**i2c** : **I2C** モードでバックグラウンドアップグレードを実行します。

**goconfig** : goConfig IP でバックグラウンドアップグレードを実行します。

**userlogic** : FPGA の内部論理でバックグラウンドアップグレードを実行します。

**i2c\_jtag\_ssapi\_qsspi** : I2C/JTAG/SSPI/QSSPI モードでバックグラウンドアップグレードを実行します。

**jtag\_ssapi\_qsspi** : JTAG/SSPI/QSSPI モードでバックグラウンドアップグレードを実行します。

- **-hotboot <0|1>**

デフォルトは 0 です。

0 : ホットブートモードを使用しません。

1 : ホットブートモードを使用します。

- **-i2c\_slave\_addr <value>**

I2C Slave Address(Hex) : 範囲は 00~7F。デフォルトは 00 です。

- **-secure\_mode <0|1>**

セキュアモードを有効にすると、JTAG ピンは GPIO となり、デバイスは 1 回しかプログラムできなくなります。デフォルトは 0 です。

0 : セキュアモードを有効にしません。

1 : セキュアモードを有効にします。

- **-loading\_rate <value>**

AutoBoot コンフィギュレーション・モードおよび MSPI コンフィギュレーション・モードでは、Flash から SRAM へのビットストリームデータの読み込み速度はデフォルトで 2.500MHz です。

- **-seu\_handler <0|1>**

シングル・イベント・アップセット・ハンドラを有効にするか選択します。デフォルトは 0 です。

0 : シングル・イベント・アップセット・ハンドラを有効にしません。

1 : シングル・イベント・アップセット・ハンドラを有効にします。

- **-seu\_handler\_mode <auto|userlogic>**

SEU Handler を開始または停止するモードを選択します。デフォルトは auto です。

**auto** : チップのウェイクアップ後、シングル・イベント・アップセット・ハンドラが自動的に有効にされます。

**userlogic** : ロジックを使用してシングル・イベント・アップセット・ハンドラを有効または無効にします。

- **-seu\_handler\_checksum <0|1>**

シングル・イベント・アップセット・ハンドリング、検出、計算、比較を有効にするか選択します。デフォルトは **0** です。

**0** : シングル・イベント・アップセット・ハンドリング、検出、計算、比較を有効にしません。

**1** : シングル・イベント・アップセット・ハンドリング、検出、計算、比較を有効にします。

- **-error\_detection <0|1>**

エラー検出のみを有効にします。デフォルトは **0** です。

**0** : エラー検出を有効にしません。

**1** : エラー検出のみを有効にします。

- **-error\_detection\_correction <0|1>**

エラーの検出と訂正を有効にします。デフォルトは **0** です。

**0** : エラーの検出と訂正を有効にしません。

**1** : エラーの検出と訂正を有効にします。

- **-stop\_seu\_handler <0|1>**

訂正不可能な **ECC** エラーまたは **CRC** チェックサム・ミスマッチ・エラーが検出された場合、**SEU Handler** を停止します。デフォルトは **0** です。

**0** : 訂正不可能な **ECC** エラーまたは **CRC** チェックサム・ミスマッチ・エラーが検出された場合、**SEU Handler** を停止しません。

**1** : 訂正不可能な **ECC** エラーまたは **CRC** チェックサム・ミスマッチ・エラーが検出された場合、**SEU Handler** を停止します。

- **-osc\_div <4|8|16|32>**

拡張コントロール・レジスタの分周値を設定します。デフォルトは **8** です。

**4** : 拡張コントロール・レジスタの分周値を **4** に設定します。

**8** : 拡張コントロール・レジスタの分周値を **8** に設定します。

**16** : 拡張コントロール・レジスタの分周値を **16** に設定します。

**32** : 拡張コントロール・レジスタの分周値を **32** に設定します。

- **-error\_injection <0|1>**

エラー挿入を有効にします。デフォルトは **0** です。

**0** : エラー挿入を有効にしません。

**1** : エラー挿入を有効にします。

- **-ext\_cclk <0|1>**

外部マスター・コンフィギュレーション・クロックを有効にするか選択します。デフォルトは **0** です。

**0** : 外部マスター・コンフィギュレーション・クロックを有効にしません。

**1** : 外部マスター・コンフィギュレーション・クロックを有効にします。

- **-ext\_cclk\_div <value>**

分周器のパラメータを設定します。

- **-multi\_boot<0|1>**

Multi Boot を有効にするか選択します。デフォルトは **0** です。

**0** : Multi Boot を有効にしません。

**1** : Multi Boot を有効にします。

- **-multiboot\_address\_width<24|32>**

SPI Flash アドレスの幅を構成します。デフォルトは **24** です。

**24** : SPI Flash アドレスの幅を **24** に構成します。

**32** : SPI Flash アドレスの幅を **32** に構成します。

- **-multiboot\_spi\_flash\_address < value >**

SPI Flash アドレスを指定します。SPI Flash アドレスは、次の multiboot の際にビットストリームファイルが読み込まれる開始アドレスで、デフォルトは **000000** です。

- **-multiboot\_mode <normal | fast | dual | quad>**

SPI Flash のアクセスモードを構成します。デフォルトは **normal** です。

**normal** : normal モードを使用します。

**fast** : fast モードを使用します。

**dual** : dual モードを使用します。

**quad** : quad モードを使用します。

- **-mspi\_jump<0|1>**

MSPI JUMP 有効にするか選択します。デフォルトは **0** です。

**0** : MSPI JUMP を有効にしません。

**1** : MSPI JUMP を有効にします。

- **-merge\_jumpbit<0|1>**

MSPI JUMP ビットストリームファイルを汎用ビットストリームファイルにマージするか選択します。デフォルトは **0** です。

0 : ビットストリームファイルをマージしません。

1 : ビットストリームファイルをマージします。

- **-mspijump\_address\_width<24|32>**

SPI Flash アドレスの幅を構成します。デフォルトは **24** です。

24 : SPI Flash アドレスの幅を **24** に構成します。

32 : SPI Flash アドレスの幅を **32** に構成します。

- **-mspijump\_spi\_flash\_address < value >**

SPI Flash アドレスを指定します。デフォルト **000000** です。

- **-mspijump\_mode<normal | fast | dual | quad>**

SPI Flash のアクセスモードを構成します。デフォルトは **normal** です。

**normal** : **normal** モードを使用します。

**fast** : **fast** モードを使用します。

**dual** : **dual** モードを使用します。

**quad** : **quad** モードを使用します。

- **-program\_done\_bypass <0|1>**

**Done Final** 信号が有効になった場合、外部の **Done** 信号を **Low** のままにすることにより、ビットストリームがロードされた後に新しいビットストリームデータを転送できるようにします。デフォルトは **0** です。

0 : この機能を有効にしません。

1 : この機能を有効にします。

- **-power\_on\_reset\_monitor <0|1>**

パワーオンリセット機能の制御。デフォルトは **0** です。

0 : パワーオンリセット機能を有効にしません。

1 : パワーオンリセット機能を有効にします。

- **-turn\_off\_bg <0|1>**

Bandgap 機能の制御。デフォルトは **0** です。

0 : Bandgap 機能を有効にします。

1 : Bandgap 機能を有効にしません。

- **-wakeup\_mode <0|1>**

**Wake Up Mode** を有効にするかどうかを指定します。デフォルトは **0** です。

0 : **Wake Up Mode** を有効にしません。

1 : **Wake Up Mode** を有効にします。



- `-user_code <default|value>`

User Code をカスタマイズできます。デフォルトは default(00000000)です。

注記：

BitStream のオプションの詳細については、このドキュメントの 4.3.3 セクションの Unused Pin を参照してください。

#### Unused Pin の属性の構成

- `-unused_pin <default|open_drain>`

未使用 GPIO の IO 属性を設定します。

注記：

Unused Pin のオプションの詳細については、このドキュメントの 4.3.3 セクションの Unused Pin を参照してください。

## 8.2.12 run close

`run close`

現在のプロジェクトを閉じます。

例：

`run close`

## 8.2.13 source

`source <file>`

Gowin ソフトウェアの Tcl コマンド編集ウィンドウで、またはコマンド・ライン・モードを開始した後、このコマンドを使用して Tcl スクリプトを実行します。ファイルパスの形式については、add\_file を参照してください。

パラメータ：

`<file>` 実行される Tcl スクリプトファイル。

例：

`source project.tcl`

`source D:/gowin_project/project.tcl`

`source D:¥¥gowin_project¥¥project.tcl`

# 9 付録

## 9.1 ファイルの説明

Gowin ソフトウェアは、プロジェクトに物理制約やタイミング制約などのファイルを追加することをサポートしています。デザインの合成や配置配線の際、様々な実行ファイルが生成されます。ここでは、Gowin ソフトウェアがサポートしている様々なファイルタイプを表形式で紹介합니다。

表 9-1 ソースファイル

タイプ	定義	説明
.gsc	合成の制約ファイル	合成ツール GowinSynthesis のための制約ファイル
.ipc	IP 構成ファイル	IP Core Generator は、.ipc ファイルを読み込んで、その構成を変更して IP を再生成することができます。
.cst	物理制約ファイル	設計に物理制約を追加するために使用されます。
.sdc	タイミング制約ファイル	設計にタイミング制約を追加するために使用されます。
.fi	User Flash の初期化ファイル	プログラマでビットストリームをダウンロードする際にロードできる User Flash の初期化ファイルあり、User Flash を初期化します。
.rao	RTL レベルの GAO 構成ファイル	合成最適化前の RTL 信号のキャプチャに使用されます。
.gao	合成後の GAO 構成ファイル	合成最適化後のネットリスト信号のキャプチャに使用されます。
.gvio	仮想入力出力の構成ファイル	内部 FPGA 信号をリアルタイムで監視および駆動するために使用されます。
.gpa	消費電力解析の構成ファイル	設計の消費電力の解析に使用されます。

タイプ	定義	説明
.mi	メモリ初期化ファイル	メモリの初期化に使用されます。この初期化ファイルは、 <b>IP Core Generator</b> でメモリを生成する際に使用されます。
.v	Verilog ソースファイル	回路の構造と機能を記述した <b>Verilog</b> 記述ファイル
.sv	System Verilog ソースファイル	回路の構造と機能を記述した <b>System Verilog</b> 記述ファイル
.vhd	VHDL ソースファイル	回路の構造と機能を記述した <b>VHDL</b> 記述ファイル

表 9-2 実行ファイル

タイプ	定義	説明
.vg	合成後のネットリスト・ファイル	<b>GowinSynthesis</b> による合成後に生成されたネットリスト・ファイル
_syn.rpt.html	合成レポートファイル	合成後のリソース使用量やタイミング解析などの情報を提供します。
.fs	BitStream ファイル	プログラマによりダウンロードされます。
.bin	bin 形式の BitStream ファイル	プログラマによりダウンロードされます。
.ekey	キー・ファイル	暗号化されたビットストリームファイルを <b>Programmer</b> によるダウンロードの際に復号化するために使用されます。
.vo	配置配線後の Verilog 形式のタイミングシミュレーション・モデルファイル	タイミングシミュレーションのためのフラット化構造の <b>Verilog</b> モデルファイル
.vho	配置配線後の VHDL 形式のタイミングシミュレーション・モデルファイル	タイミングシミュレーションのためのフラット化構造の <b>VHDL</b> モデルファイル
.sdf	標準の遅延形式ファイル	配置配線後のネットリスト・タイミングシミュレーションに使用されます。
.ibs	入出力バッファ情報指定ファイル	-
.tr	テキスト形式のタイミングレポート	-

タイプ	定義	説明
.rpt.txt	テキスト形式の配置配線レポート	-
.rpt.html	html 形式の配置配線レポート	-
.tr.html	html 形式のタイミング解析レポート	-
.pin.html	html 形式のポート属性レポート	-
.power.html	html 形式の消費電力解析レポート	-
.p	インクリメンタル配置ファイル	インクリメンタル配置に使用されます
.pr	インクリメンタル配置配線ファイル	インクリメンタル配置配線に使用されます

## 9.2 ファイルおよびフォルダの命名規則

Gowin ソフトウェアのフォルダとファイルの命名規則：名前に？ “ / ¥ < > \* | : 文字は使用できません。フォルダ名にはスペースは使用できません。ファイル名にはスペースが使用できますが、名前の先頭または末尾に置くことはできません。

Gowin ソフトウェアのダイアログボックスにファイルのパス名を記入する際に、上記の規則を満たしているかどうか判断され、満たさない場合はプロンプトウィンドウが表示されます。

## 9.3 セキュリティ・ステートメント

インストールと使用中、Gowin ソフトウェアは、バックグラウンドでユーザーに関する情報を収集したり、ネットワーク・データ・ポートにアクセスしたりせず、すべてのデータと情報はローカルに保持されます。ソフトウェアの自動更新も行われません。

