




Arora V アナログ-デジタル・コンバータ (ADC)

ユーザーガイド

UG299-1.0.3J, 2024-02-02

著作権について(2024)

著作権に関する全ての権利は、**Guangdong Gowin Semiconductor Corporation** に留保されています。

 **GOWIN** 及び **Gowin** は、当社により、中国、米国特許商標庁、及びその他の国において登録されています。商標又はサービスマークとして特定されたその他全ての文字やロゴは、それぞれの権利者に帰属しています。何れの団体及び個人も、当社の書面による許可を得ず、本文書の内容の一部もしくは全部を、いかなる視聴覚的、電子的、機械的、複写、録音等の手段によりもしくは形式により、伝搬又は複製をしてはなりません。

免責事項

当社は、GOWINSEMI Terms and Conditions of Sale (GOWINSEMI取引条件) に規定されている内容を除き、(明示的か又は黙示的に拘わらず) いかなる保証もせず、また、知的財産権や材料の使用によりあなたのハードウェア、ソフトウェア、データ、又は財産が被った損害についても責任を負いません。当社は、事前の通知なく、いつでも本文書の内容を変更することができます。本文書を参照する何れの団体及び個人も、最新の文書やエラッタ(不具合情報)については、当社に問い合わせる必要があります。

バージョン履歴

日付	バージョン	説明
2023/05/08	1.0J	初版。
2023/07/18	1.0.1J	ADCのタイミングの説明を最適化。
2023/12/08	1.0.2J	ADCのパラメータ構成の説明を最適化。
2024/02/02	1.0.3J	<ul style="list-style-type: none">● ADC入力の説明を最適化。● 表3-3 ADCの構成画面におけるパラメータの説明。

目次

目次	i
図一覧	iii
表一覧	iv
1 本マニュアルについて	1
1.1 マニュアルの内容	1
1.2 関連ドキュメント	1
1.3 用語、略語	2
1.4 テクニカル・サポートとフィードバック	2
2 概要	3
2.1 特徴	3
2.2 機能の説明	4
2.2.1 概要	4
2.2.2 内部構造	4
2.3 ADC の電気特性	6
2.3.1 ADC のタイミング	6
2.3.2 電気特性パラメータ	7
3 ADC	9
3.1 ADC(25K)	9
3.1.1 サポートされるデバイス	9
3.1.2 ポート図	10
3.1.3 ポートの説明	10
3.1.4 パラメータの説明	11
3.1.5 ADC のインスタンス化	12
3.2 ADC(75K/138K)	14
3.2.1 サポートされるデバイス	14

3.2.2 ポート図.....	14
3.2.3 ポートの説明	14
3.2.4 パラメータの説明	16
3.2.5 ADC のインスタンス化(ADCULC を例に説明)	19
4 ADC の呼び出しと構成	21
4.1 ADC の構成.....	21
4.2 生成されるファイル.....	22

図一覧

図 2-1 25K デバイスの ADC のブロック図	4
図 2-2 75K/138K デバイスの ADC のブロック図	5
図 2-3 ADC のタイミング	6
図 3-1 ADC のポート図	10
図 3-2 ADC のポート図	14
図 4-1 ADC の構成画面	21

表一覧

表 1-1 用語、略語	2
表 2-1 ADC のタイミングパラメータ	6
表 2-2 ADC 電気パラメータ	7
表 3-1 ADC 対応デバイス	9
表 3-2 ADC のポートの説明	10
表 3-3 ADC の構成画面におけるパラメータの説明	11
表 3-4 ADC 対応デバイス	14
表 3-5 ADCULC のポートの説明	14
表 3-6 ADCLRC のポートの説明	15
表 3-7 ADCULC の構成画面におけるパラメータの説明	16
表 3-8 ADCLRC の構成画面におけるパラメータの説明	18

1 本マニュアルについて

1.1 マニュアルの内容

本マニュアルは、ユーザーが Arora V FPGA の ADC を使いこなせるよう、その概要、機能、ポート、および呼び出しと構成などについて説明します。

1.2 関連ドキュメント

GOWIN セミコンダクターのホームページ www.gowinsemi.com/ja から、以下の関連ドキュメントがダウンロード、参考できます：

- GW5AT シリーズ FPGA 製品データシート([DS981](#))
- GW5A シリーズ FPGA 製品データシート([DS1103](#))
- GW5AST シリーズ FPGA 製品データシート([DS1104](#))
- GW5AR シリーズ FPGA 製品データシート([DS1108](#))
- GW5AS-25 FPGA 製品データシート([DS1105](#))
- GW5AS-138 FPGA 製品データシート([DS1114](#))
- Gowin ソフトウェア ユーザーガイド([SUG100](#))

1.3 用語、略語

表 1-1 に、本マニュアルで使用される用語、略語、及びその意味を示します。

表 1-1 用語、略語

用語、略語	正式名称	意味
ADC	Analog to Digital Converter	アナログ-デジタル・コンバータ
CIC Filter	Cascaded Integrator - comb Filter	カスケード接続積分器櫛形フィルター
FPGA	Field Programmable Gate Array	フィールド・プログラマブル・ゲート・アレイ
IP	Intellectual Property	設計資産
OSC	Oscillator	オシレータ
SRAM	Static Random Access Memory	スタティック RAM

1.4 テクニカル・サポートとフィードバック

GOWIN セミコンダクターは、包括的な技術サポートをご提供しています。使用に関するご質問、ご意見については、直接弊社までお問い合わせください。

ホームページ : www.gowinsemi.com/ja

E-mail : support@gowinsemi.com

2 概要

Arora V FPGA 製品の内部には、低消費電力、低リーク電流、高ダイナミック性能の 8 チャンネル 10 ビット **Delta-sigma A/D** コンバータが備わっています。FPGA のプログラマブルロジック機能および内蔵の電圧・温度検知ユニットにより、この **ADC** はチップ内部の温度・電源監視のためのデータ収集および監視要件を満たすことができます。さらに、FPGA は、豊富で自由に構成可能な **GPIO** 差動インターフェースと **ADC** アナログ差動信号インターフェース(**ADC** の電圧チャンネルに接続される)を備えるので、チップ外部の電圧データ収集要件と監視要件を満たすことができます。

2.1 特徴

Arora V **ADC** の主な特徴は以下に示す通りです。

- **ADC** の数 :
 - **GW5A-25/ GW5AR-25/ GW5AS-25** の場合、1 個
 - **GW5A-138/ GW5AT-138/ GW5AT-75/ GW5AST-138** の場合、2 個
- リファレンス電圧源 : 内蔵
- 1 **ADC** のチャンネル数 : 8
- ビット数 : 10
- サンプルングクロック : < 2MHz
- **ADC** 差動入力電圧範囲 : 0~1V (正側入力電圧 > 負側入力電圧)
- 温度センサーの精度 : +/-2°C
- 電圧センサーの精度 : +/-5mV

2.2 機能の説明

2.2.1 概要

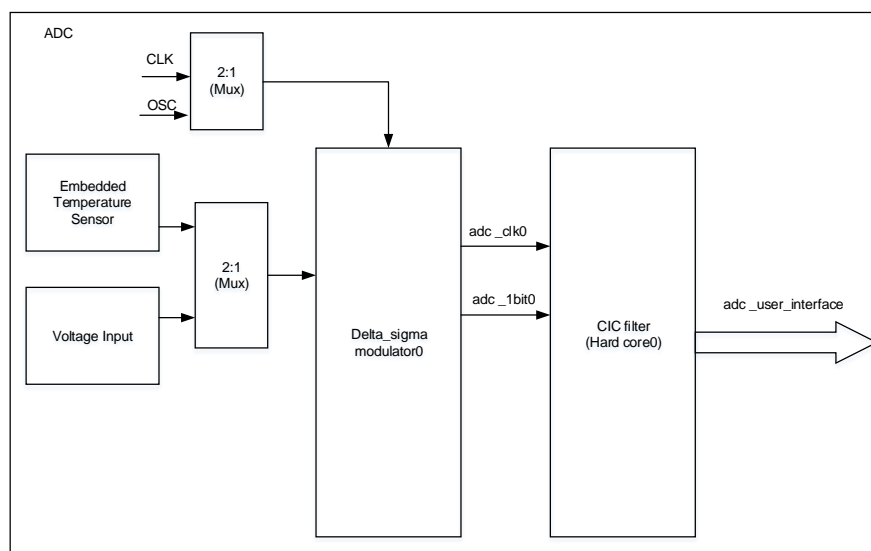
Arora V ADC は、Delta-sigma 変調器を搭載しています。これにより、温度・電圧検知をオンチップの複数の領域で実装できるようになります。また、オフチップ電圧入力用に差動入力(正側入力電圧>負側入力電圧)のみをサポートする GPIO 差動入力インターフェースが提供されています。

Arora V ADC は、高精度な基準電圧源を内蔵しているため、オフチップ基準電圧源が不要です。低消費電力で高精度な温度・電源電圧検知が可能なのがその特徴です。Arora V ADC は内部に電圧信号処理モジュールを統合しているため、電圧信号測定の精度要件を満たすために外部基準電圧源を用意する必要がありません。よって、ユーザーのコストが削減されます。

2.2.2 内部構造

GW5A-25/GW5AR-25/GW5AS-25 の ADC のブロック図を図 2-1 に示します。

図 2-1 25K デバイスの ADC のブロック図



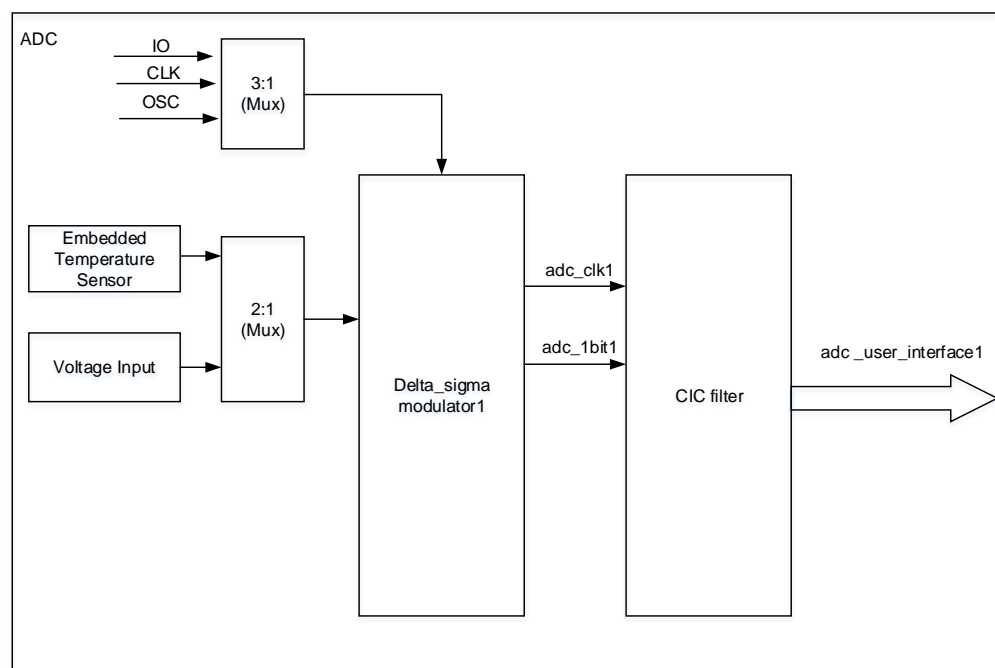
GW5A-25/GW5AR-25/GW5AS-25 の ADC は、オンチップ温度検知モードと電圧検知モードをサポートしています。制御信号を通じて、オンチップ温度センサからの電圧を選択してオンチップ温度検知モードに入るか、別のパスを選択して FPGA 内の IP モジュールの電源電圧(Bank 電圧、コア電圧、SRAM 電圧など)を監視することができます。オフチップ電圧信号は、Bank0/1/2/3/4/5/6/7 の GPIO 差動ピンまたは専用の ADC 差動入力ピンを介して ADC に送られ、ADC で量子化されます。

GW5A-25/GW5AR-25/GW5AS-25 の ADC は、クロックソースとして CLK(UserLogic のクロック)または OSC クロック入力を選択することができます。クロックソースを選択することで、消費電力と性能のバランスをとることが可能になります。

Delta_sigma modulator0 に入力された電圧信号が量子化されノイズシェーピングされた後、adc_1bit0 と adc_clk0 が出力されます。adc_1bit0 と adc_clk0 がチップの内蔵 CIC ハードコアにより処理された後、温度と電圧のデジタル値が得られます。

GW5A-138/GW5AT-138/GW5AT-75/GW5AST-138 の場合、2 個の ADC があり、そのブロック図を図 2-2 に示します。

図 2-2 75K/138K デバイスの ADC のブロック図



GW5A-138/GW5AT-138/GW5AT-75/GW5AST-138 の ADC は、オンチップ温度検知モードと電圧検知モードをサポートしています。制御信号を通じて、オンチップ温度センサからの電圧を選択してオンチップ温度検知モードに入るか、別のパスを選択して FPGA 内の IP モジュールの電源電圧(Bank2/3/4/5/6/7/10 電圧、コア電圧、MIPI 電圧、Serdes 電圧など)を監視することができます。オフチップ電圧信号は、Bank2/3/4/5/6/7 の GPIO 差動ピンまたは専用の ADC 差動入力ピンを介して ADC に送られ、ADC で量子化されます。

GW5A-138/GW5AT-138/GW5AT-75/GW5AST-138 の ADC は、クロックソースとして CLK(Fabric からのクロック)、IO(GPIO 経由のクロック)、OSC クロック入力を選択することができます。クロックソースを選択することで、消費電力と性能のバランスをとることが可能になります。

Delta_sigma modulator1/Delta_sigma modulator2 に入力された電圧信号が量子化されノイズシェーピングされた後、adc_1bit1/adc_1bit2 と

adc_clk1/adc_clk2 が出力されます。adc_1bit1/adc_1bit2 と adc_clk1/adc_clk2 がチップの内蔵 CIC により処理された後、温度と電圧のデジタル値が得られます。

さらに、138K デバイスの ADC は、adcvp/adcvn、adctp/adctn の 2 ペアの専用 ADC 差動入力インターフェースを提供することで、低レイテンシー、低ノイズの差動電圧入力チャネルをユーザーに提供します。

2.3 ADC の電気特性

2.3.1 ADC のタイミング

ADC がアナログ入力信号をサンプリングしてからデジタル信号に変換して出力するまで、合計 N サンプル/サイクルが必要です。ADC のサンプル要求信号 sensor_req の立ち上がりエッジが現れて ADC イネーブル信号 sensor_en 信号(アクティブ High)がアサートされている場合、ADC はトリガーされて一回のサンプリングを行います。センサーの測定後、sensor_rdy 信号が High になり(サンプリングの完了を示す)、サンプリング値 sensor_value[13:0]が出力されます。

電圧測定モードでは、sensor_value 値は符号なし数(sensor_value [13:11]は整数部、sensor_value [10:0]は小数部)であり、実際の測定値(単位は V)を得るには 2048 で割る必要があります。

温度モードでは、sensor_value の値は符号付き数(sensor_value [13]は符号ビット、sensor_value [12:2]は整数部、sensor_value [1:0]は小数部)であり、実際の測定値(単位は℃)を得るには 4 で割る必要があります。

図 2-3 ADC のタイミング

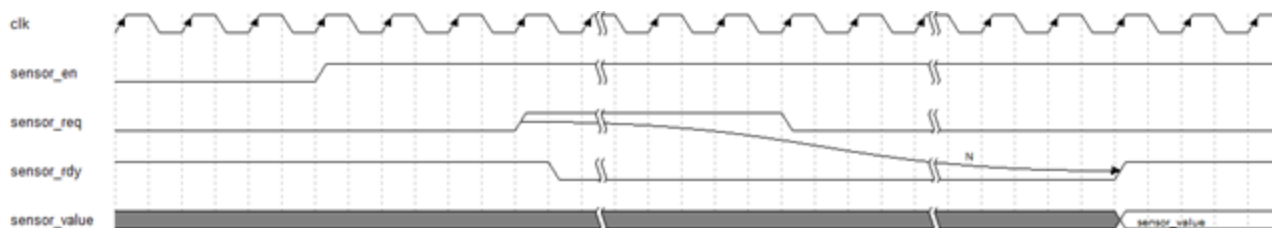


表 2-1 ADC のタイミングパラメータ

記号	説明	仕様		単位
		最小値	最大値	
CLK	クロックサイクル	TBD	TBD	ns
T _s	SoC のセットアップ時間	TBD	TBD	ns
T _H	SoC のホールド時間	TBD	TBD	ns
T _{D_EOC}	EOC レイテンシ	TBD	TBD	ns
T _{D_B}	出力データの遅延時間	TBD	TBD	ns

2.3.2 電気特性パラメータ

表 2-2 ADC 電気パラメータ

パラメータ	説明	仕様			単位
		最小値	標準値	最大値	
DC 精度					
出力	データ出力のビット数	-	10	-	Bit
INL	積分非直線性	-	TBD	-	LSB
DNL	微分非直線性	-	TBD	-	LSB
オフセット誤差	オフセット誤差	-	TBD	-	%FS
ゲイン誤差	ゲイン誤差	-	TBD	-	%FS
アナログ入力					
CH[7 : 0]	シングルエンド入力の範囲	-	TBD	-	V
CIN	入力電気容量	-	TBD	-	pF
スルーレート					
SoC	サンプリング周波数	-	TBD	-	MHz
CLK	プライマリクロック	-	TBD	-	MHz
データ出力遅延	データ出力遅延	-	TBD	-	クロックサイクル
ダイナミック特性パラメータ					
SINAD	S/N 比	-	TBD	-	DB
		-	TBD	-	DB
SFDR	スプリアスフリー・ダイナミックレンジ	-	TBD	-	DB
		-	TBD	-	DB
ENOB	有効出力データのビット数	-	TBD	-	Bit
		-	TBD	-	Bit
デジタル入力					
V _{IH}	入力 High レベル	-	TBD	-	V
V _{IL}	入力 Low レベル	-	TBD	-	V
デジタル出力 B[9 : 0]					
V _{OH}	出力 High レベル	-	TBD	-	V

パラメータ	説明	仕様			単位
		最小値	標準値	最大値	
V _{OL}	出力 Low レベル	-	TBD	-	V
供給電源電圧					
V _{dd_a}	アナログコア電圧	-	TBD	-	V
V _{dd_dig}	デジタル電圧	-	TBD	-	V
V _{ddx}	アナログ電圧	-	TBD	-	TBD
I _{vdd_a}	アナログコア電流	-	TBD	-	uA
I _{vdd_dig}	デジタル電流	-	TBD	-	uA
I _{vddx}	アナログ電流	-	TBD	-	TBD
I _{pd}	パワーダウン電流	-	TBD	-	mA

3_{ADC}

3.1 ADC(25K)

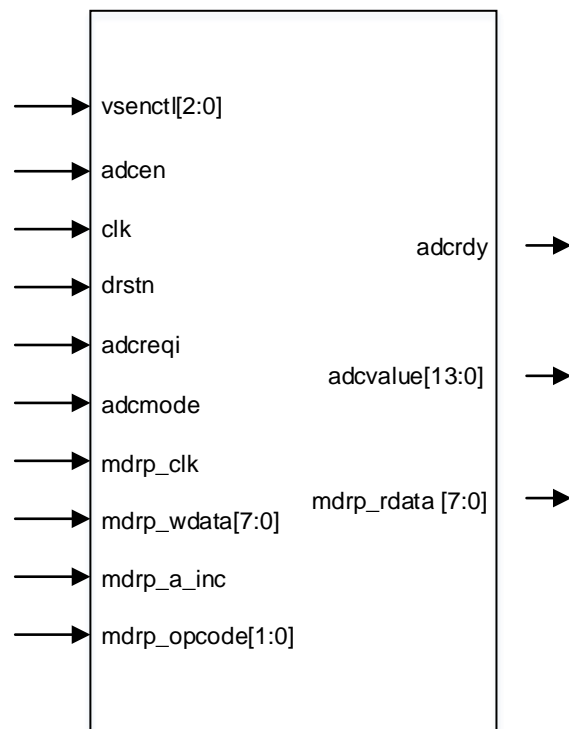
3.1.1 サポートされるデバイス

表 3-1 ADC 対応デバイス

ファミリー	シリーズ	デバイス
Arora	GW5A	GW5A-25A
	GW5AR	GW5AR-25A
	GW5AS	GW5AS-25A

3.1.2 ポート図

図 3-1 ADC のポート図



3.1.3 ポートの説明

表 3-2 ADC のポートの説明

ポート	I/O	説明
vsenct[2:0]	入力	input source selection bit [2:0] 3'b000: glo_left 3'b001: glo_right 3'b010: loc_left (Bank1 GPIO に対応) 3'b011: vtest 3'b100: vcc 3'b101: vccc 3'b110: vccm 3'b111: vccx_buf
adcen	入力	enable signal, active high
clk	入力	clk input
drstn	入力	digital part reset signal, active low
adcreqi	入力	measurement request signal, valid rising edge
adcmode	入力	mode selection

ポート	I/O	説明
		1'b0: temperature mode 1'b1:voltage mode
mdrp_clk	入力	mdrp clock
mdrp_wdata[7:0]	入力	bit[7:0] mdrp_wdata
mdrp_a_inc	入力	mdrp_a_inc
mdrp_opcode[1:0]	入力	bit[1:0] mdrp_opcode
mdrp_rdata	出力	bit[7:0] mdrp_rdata
adcrdy	出力	measurement completion signal, active high
adcvalue	出力	bit[13:0] the measurement result output
tlvds_ibuf_adc_i	入力	adcvp from bank1(bank1 から入力される adcvp 信号)
tlvds_ibuf_adc_ib	入力	adcvn from bank1(bank1 から入力される adcvn 信号)
tlvds_ibuf_adc_adcen	入力	bank1 から入力される adc イネーブル信号

3.1.4 パラメータの説明

表 3-3 ADC の構成画面におけるパラメータの説明

パラメータ	デフォルト	説明
ADC Select	ADC	ADC
ADC Mode	Temperature	Temperature/Voltage
Division Factor	1	clock division 0: /1, 1: /2, 2: /4, 3: /8 Clock after frequency division, 500kHz~8MHz
Clock Select	OSC	clk source osc (2.5MHz) or CLK
Sample Rate	64	sample rate configuration 4/8/16/32/64/128
Sample Count	1024	sample count configuration 64/128/256/512/1024/2048
Fscal Value	730(Temperature) 623(Voltage)	temperature mode: 510~948 voltage mode: 452~840
Offset	-1180(Temperature) 0(Voltage)	temperature mode: -1560~-760 voltage mode: -410~410
Dynamic Bank Enable (Voltage mode)	チェックしない	チェックすると、tlvds_ibuf_adc ADC 入力があります (Bank1 から入力される)
glo_left	vcc	vcc/vcc_ext/vccio_bk1/vccc/pad pad は、Bank0/6/7 の IO(bus0)に対応します。

パラメータ	デフォルト	説明
(Voltage mode)		これらの bank の IO を ADC 入力として使用する 場合、次の物理制約を追加する必要があります： USE_ADC_SRC_bus0 loc。 loc：ADC 入力ピンの位置情報（例：IOR26）。
glo_right (Voltage mode)	vcc_reg	vcc/vcc_reg/vccc/vccm/vccio_bk4/ vccio_bk5/vccio_bk10/pad pad は、bank2/3/4/5 の IO(bus1)に対応しま す。これらの bank の IO を ADC 入力として使 用する場合、次の物理制約を追加する必要があ ります：USE_ADC_SRC_bus1 loc。 loc：ADC 入力ピンの位置情報（例：IOR26）。
vccx_buf (Voltage mode)	vccx	vccx

3.1.5 ADC のインスタンス化

Verilog でのインスタンス化：

```
Gowin_ADC  Gowin_ADC_inst (
    .adcrdy(adcrdy_o),
    .adcvalue(adcvalue_o),
    .mdrp_rdata(mdrp_rdata_o),
    .vsenctl(vsenctl_i),
    .adcen(adcen_i),
    .clk(clk_i),
    .drstn(drstn_i),
    .adcreqi(adcreqi_i),
    .adcmode(adcmode_i),
    .mdrp_clk(mdrp_clk_i),
    .mdrp_wdata(mdrp_wdata_i),
    .mdrp_a_inc(mdrp_a_inc_i),
    .mdrp_opcode(mdrp_opcode_i)
);
```

VHDL でのインスタンス化：

```
component Gowin_ADC
```

```
port (  
    adcrdy: out std_logic;  
    adcvalue: out std_logic_vector(13 downto 0);  
    mdrp_rdata: out std_logic_vector(7 downto 0);  
    vsenctl: in std_logic_vector(2 downto 0);  
    adcen: in std_logic;  
    clk: in std_logic;  
    drstn: in std_logic;  
    adcreqi: in std_logic;  
    adcmode: in std_logic;  
    mdrp_clk: in std_logic;  
    mdrp_wdata: in std_logic_vector(7 downto 0);  
    mdrp_a_inc: in std_logic;  
    mdrp_opcode: in std_logic_vector(1 downto 0)  
);  
end component;
```

Gowin_ADC_inst: Gowin_ADC

```
port map (  
    adcrdy => adcrdy_o,  
    adcvalue => adcvalue_o,  
    mdrp_rdata => mdrp_rdata_o,  
    vsenctl => vsenctl_i,  
    adcen => adcen_i,  
    clk => clk_i,  
    drstn => drstn_i,  
    adcreqi => adcreqi_i,  
    adcmode => adcmode_i,  
    mdrp_clk => mdrp_clk_i,  
    mdrp_wdata => mdrp_wdata_i,  
    mdrp_a_inc => mdrp_a_inc_i,  
    mdrp_opcode => mdrp_opcode_i
```

);

3.2 ADC(75K/138K)

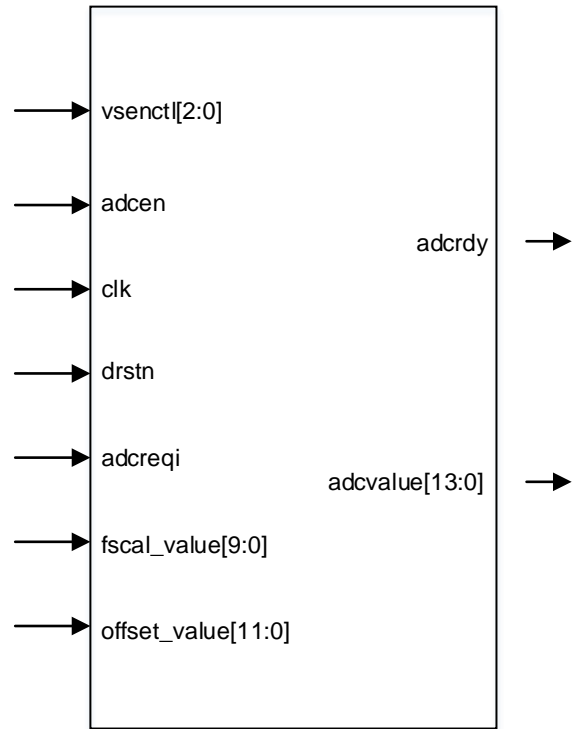
3.2.1 サポートされるデバイス

表 3-4 ADC 対応デバイス

ファミリー	シリーズ	デバイス
Arora	GW5A	GW5A-138B
	GW5AS	GW5AS-138B
	GW5AT	GW5AT-138 / GW5AT-138B / GW5AT-75B
	GW5AST	GW5AT-138B

3.2.2 ポート図

図 3-2 ADC のポート図



3.2.3 ポートの説明

表 3-5 ADCULC のポートの説明

ポート	I/O	説明
clk	入力	clk input
drstn	入力	digital part reset signal, active low

ポート	I/O	説明
vsenctl	入力	input source selection bit[2:0] 3'b000:vtest 3'b001:vdd09_0 3'b010:vdd09_1 3'b011:vdd09_2 3'b100:vdd18_0 3'b101:vdd18_1 3'b111:vdd33
adcen	入力	enable signal, active high
adcreqi	入力	measurement request signal, valid rising edge
adcrdy	出力	measurement completion signal, active high
adcvalue	出力	bit[13:0] the measurement result output
fscal_value	入力	bit[9:0] temperature mode: 510~948 voltage mode: 452~840
offset_value	入力	bit[11:0] temperature mode: -1560~-760 voltage mode: -410~410
tlvds_ibuf_adc_i	入力	adcvp from bank6/7(bank6/7 から入力される adcvp 信号)
tlvds_ibuf_adc_ib	入力	adcvn from bank6/7(bank6/7 から入力される adcvn 信号)
tlvds_ibuf_adc_adcen	入力	adc enable from bank6/7 (bank6/7 から入力される adc イネーブル信号)
adcinbk6a	入力	adcvp from Bank6 GPIO
adcinbk6b	入力	adcvn from Bank6 GPIO
adcinbk7a	入力	adcvp from Bank7 GPIO
adcinbk7b	入力	adcvn from Bank7 GPIO

表 3-6 ADCLRC のポートの説明

ポート	I/O	説明
CLK	入力	clk input
DRSTN	入力	digital part reset signal, active low
VSENCTL	入力	input source selection bit[2:0] 3'b000: adcv 3'b001: adct

ポート	I/O	説明
		3'b010: vdd09_0 3'b011: vdd09_1 3'b100: vdd18_0 3'b101: vdd18_1 3'b110: vdd33_0 3'b111: vdd33_1
ADCEN	入力	enable signal, active high
ADCREQI	入力	measurement request signal, valid rising edge
ADCRDY	出力	measurement completion signal, active high
ADCVALUE	出力	bit[13:0] the measurement result output
FSCAL_VALUE	入力	bit[9:0] temperature mode: 510~948 voltage mode: 452~840
OFFSET_VALUE	入力	bit[11:0] temperature mode: -1560~-760 voltage mode: -410~410
TLVDS_IBUF_ADC_I	入力	adcvp from bank2/3(bank6/7 から入力される adcvp 信号)
TLVDS_IBUF_ADC_IB	入力	adcvn from bank2/3(bank6/7 から入力される adcvn 信号)
TLVDS_IBUF_ADC_ADCEN	入力	adc enable from bank2/3 (bank6/7 から入力される adc イネーブル信号)
ADCINBK2A	入力	adcvp from Bank2 GPIO
ADCINBK2B	入力	adcvn from Bank2 GPIO
ADCINBK3A	入力	adcvp from Bank3 GPIO
ADCINBK3B	入力	adcvn from Bank3 GPIO
ADCINBK4A	入力	adcvp from Bank4 GPIO
ADCINBK4B	入力	adcvn from Bank4 GPIO
ADCINBK5A	入力	adcvp from Bank5 GPIO
ADCINBK5B	入力	adcvn from Bank5 GPIO

3.2.4 パラメータの説明

表 3-7 ADCULC の構成画面におけるパラメータの説明

パラメータ	デフォルト	説明
ADC Select	ADCULC	ADCULC/ADCLRC

パラメータ	デフォルト	説明
ADC Mode	Temperature	Temperature/Voltage
Division Factor	1	clock division 0: /1, 1: /2, 2: /4, 3: /8 Clock after frequency division, 500kHz~8MHz
Clock Select	OSC	clk source osc(2.5MHz) /CLK/IO
VSEN Control	チェックしない	vsentl ポートの制御 チェックすると、生成された ADC IP には vsentl 信号が含まれません。
Sample Rate	64	sample rate configuration 4/8/16/32/64/128
Sample Count	1024	sample count configuration 64/128/256/512/1024/2048
Fscal Value	730(Temperature) 623(Voltage)	temperature mode: 510~948 voltage mode: 452~840
Offset	-1180(Temperature) 0(Voltage)	temperature mode: -1560~-760 voltage mode: -410~410
Dynamic Bank Enable (Voltage mode)	チェックしない	チェックすると、tlvds_ibuf_adc ADC 入力があります (Bank6/7 から入力される)
vtest (Voltage mode)	vcc	vcc
vdd09_0 (Voltage mode)	vccm	vccm
vdd09_1 (Voltage mode)	vdda_serdes_q0	vdda_serdes_q0/vddt_serdes_q0/vdda_mipi_m0/ vddd_mipi_m0/ vdda_mipi_m1/ vddd_mipi_m1
vdd09_2 (Voltage mode)	ADCINBK6	ADCINBK6/vcc/ ADCINBK7
Vdd18_0 (Voltage mode)	vddh_serdes_q0	vddh_serdes_q0/vccx_mipi_m0/ vccx_mipi_m1
Vdd18_1 (Voltage mode)	vccx	vccx
Vdd33 (Voltage mode)	vccio_bk6	vccio_bk6/ vccio_bk7

表 3-8 ADCLRC の構成画面におけるパラメータの説明

パラメータ	デフォルト	説明
ADC Select	ADCULC	ADCULC/ADCLRC
ADC Mode	Temperature	Temperature/Voltage
Division Factor	1	clock division 0: /1, 1: /2, 2: /4, 3: /8 Clock after frequency division, 500kHz~8MHz
Clock Select	OSC	clk source osc(2.5MHz) /CLK/IO
VSEN Control	チェックしない	vsenctl ポートの制御 チェックすると、生成された ADC IP には vsenctl 信号が含まれません。
Sample Rate	64	sample rate configuration 4/8/16/32/64/128
Sample Count	1024	sample count configuration 64/128/256/512/1024/2048
Fscal Value	730(Temperature) 623(Voltage)	temperature mode: 510~948 voltage mode: 452~840
Offset	- 1180(Temperature) 0(Voltage)	temperature mode: -1560~-760 voltage mode: -410~410
Dynamic Bank Enable (Voltage mode)	チェックしない	チェックすると、tlvds_ibuf_adc ADC 入力が有効になります (Bank2/3 から入力される)
vdd09_0 (Voltage mode)	vdda_serdes_q1	vdda_serdes_q1/vddt_serdes_q1/vcc/ADCINBK2/ADCINBK3
vdd09_1 (Voltage mode)	ADCINBK4	ADCINBK4/vcc/ ADCINBK5
vdd18_0 (Voltage mode)	vddh_serdes_q1	vddh_serdes_q1/ vccx
vdd18_1 (Voltage mode)	vccx	vccx
vdd33_0 (Voltage mode)	vccio_bk2	vccio_bk2/vccio_bk3
vdd33_1 (Voltage mode)	vccio_bk4	vccio_bk4/ vccio_bk5/vccio_bk10

3.2.5 ADC のインスタンス化(ADCULC を例に説明)

Verilog でのインスタンス化 :

```
Gowin_ADC Gowin_ADC_inst(  
    .adcrdy(adcrdy_o), //output adcrdy  
    .adcvalue adcvalue_o), //output [13:0] adcvalue  
    .adcinbk6a(adcinbk6a_i), //input adcinbk6a  
    .adcinbk6b(adcinbk6b_i), //input adcinbk6b  
    .adcinbk7a(adcinbk7a_i), //input adcinbk7a  
    .adcinbk7b(adcinbk7b_i), //input adcinbk7b  
    .vsenctl(vsenctl_i), //input [2:0] vsenctl  
    .adcen(adcen_i), //input adcen  
    .clk(clk_i), //input clk  
    .drstn(drstn_i), //input drstn  
    .adcreqi(adcreqi_i), //input adcreqi  
    .fscal_value(fscal_value_i), //input [9:0] fscal_value  
    .offset_value(offset_value_i) //input [11:0] offset_value  
);
```

VHDL でのインスタンス化 :

```
component Gowin_ADC  
port (  
    adcrdy: out std_logic;  
    adcvalue: out std_logic_vector(13 downto 0);  
    adcinbk6a: in std_logic;  
    adcinbk6b: in std_logic;  
    adcinbk7a: in std_logic;  
    adcinbk7b: in std_logic;  
    vsenctl: in std_logic_vector(2 downto 0);  
    adcen: in std_logic;  
    clk: in std_logic;  
    drstn: in std_logic;  
    adcreqi: in std_logic;
```

```
        fscal_value: in std_logic_vector(9 downto 0);  
        offset_value: in std_logic_vector(11 downto 0)  
    );  
end component;
```

Gowin_ADC_inst: Gowin_ADC

```
    port map (  
        adcrdy => adcrdy_o,  
        adcvalue => adcvalue_o,  
        adcinbk6a => adcinbk6a_i,  
        adcinbk6b => adcinbk6b_i,  
        adcinbk7a => adcinbk7a_i,  
        adcinbk7b => adcinbk7b_i,  
        vsenctl => vsenctl_i,  
        adcen => adcen_i,  
        clk => clk_i,  
        drstn => drstn_i,  
        adcreqi => adcreqi_i,  
        fscal_value => fscal_value_i,  
        offset_value => offset_value_i  
    );
```

4 ADC の呼び出しと構成

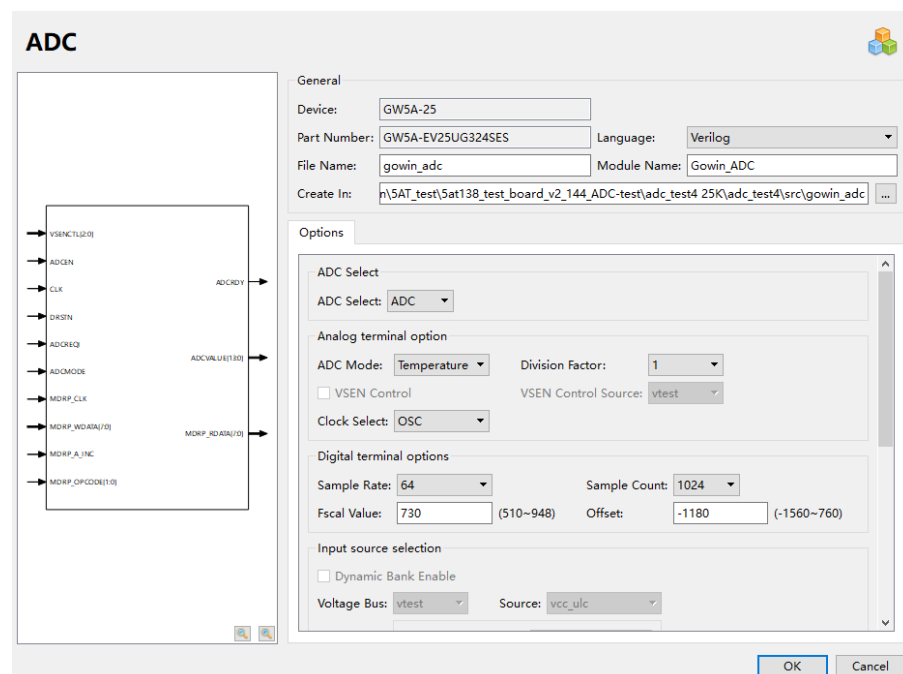
Gowin ソフトウェア GUI のメニューバー > Tools > IP Core Generator を使用して IP を呼び出し・構成できます。

以下は、GW5A-25 の ADC の temperature mode の構成を例に説明します。

4.1 ADC の構成

ADC の temperature mode の構成画面は図 4-1 に示すとおりです。

図 4-1 ADC の構成画面



4.2 生成されるファイル

ADC の構成が完了すると、“File Name” によって命名された 3 つのファイルが生成されます：

- “gowin_adc.v” は完全な verilog モジュールです。
- “gowin_adc_tmp.v” は IP のテンプレートファイルです。
- “gowin_adc.ipc” は IP の構成ファイルです。

注記：

VHDL が設計の言語として選択されている場合、生成される最初の 2 つのファイル名のサフィックスは.vhd になります。

