




# Gowin ソフトウェア クイックスタートガイド

SUG918-1.9J, 2024-08-09

## 著作権について(2024)

著作権に関する全ての権利は、**Guangdong Gowin Semiconductor Corporation** に留保されています。

**GOWIN**高云、、Gowin、及びLittleBeeは、当社により、中国、米国特許商標庁、及びその他の国において登録されています。商標又はサービスマークとして特定されたその他全ての文字やロゴは、それぞれの権利者に帰属しています。何れの団体及び個人も、当社の書面による許可を得ず、本文書の内容の一部もしくは全部を、いかなる視聴覚的、電子的、機械的、複写、録音等の手段によりもしくは形式により、伝搬又は複製をしてはなりません。

## 免責事項

当社は、GOWINSEMI Terms and Conditions of Sale(GOWINSEMI取引条件)に規定されている内容を除き、(明示的か又は黙示的かに拘わらず)いかなる保証もせず、また、知的財産権や材料の使用によりあなたのハードウェア、ソフトウェア、データ、又は財産が被った損害についても責任を負いません。当社は、事前の通知なく、いつでも本文書の内容を変更することができます。本文書を参照する何れの団体及び個人も、最新の文書やエラッタ(不具合情報)については、当社に問い合わせる必要があります。

## バージョン履歴

日付	バージョン	説明
2020/05/07	1.0J	初版。
2020/09/07	1.1J	<ul style="list-style-type: none"><li>● ファイルの暗号化の説明を追加。</li><li>● RTL 回路図の確認方法を追加。</li><li>● tcl コマンドの説明を追加。</li></ul>
2020/10/21	1.1.1J	合成プロセスで代わりに GowinSynthesis を使用するように変更。
2021/06/10	1.2J	<ul style="list-style-type: none"><li>● Synplify Pro の説明を削除。</li><li>● MIPI 設計における IP を変更。</li></ul>
2021/11/02	1.3J	一部の説明を更新。
2022/07/28	1.4J	設計を FIFO HS に変更し、その説明を更新。
2022/12/20	1.5J	<ul style="list-style-type: none"><li>● 合成後ネットリストの回路図を表示する機能を追加。</li><li>● 一部のスクリーンショットを更新。</li></ul>
2023/05/25	1.5.1J	<ul style="list-style-type: none"><li>● 「図 3-15 合成オプションの構成」および「図 3-34 GAO と GVIO による共同デバッグ画面」を更新。</li><li>● 「3.10.1 オプションの構成」における説明を更新。</li></ul>
2023/08/18	1.6J	タイミングの最適化の説明を削除。
2023/11/30	1.7J	<ul style="list-style-type: none"><li>● コマンド(create_project、import_files、run close)を追加。</li><li>● 「3 クイックスタート」の一部のスクリーンショットを更新。</li></ul>
2023/12/29	1.7.1J	一部の説明を改善。
2024/02/02	1.7.2J	「3 クイックスタート」の一部のスクリーンショットを更新。
2024/06/28	1.8J	<ul style="list-style-type: none"><li>● 「3 クイックスタート」の一部のスクリーンショットを更新。</li><li>● 「4.2 Tcl コマンドのクイックスタート」における説明を更新。</li></ul>
2024/08/09	1.9J	<ul style="list-style-type: none"><li>● GVIO の構成の説明を追加。</li><li>● サンプルで使用するデバイスの情報を更新。</li><li>● 一部のスクリーンショットを更新。</li></ul>

# 目次

目次 .....	i
図一覧 .....	iii
表一覧 .....	v
<b>1 本マニュアルについて .....</b>	<b>1</b>
1.1 マニュアルの内容 .....	1
1.2 関連ドキュメント .....	1
1.3 用語、略語 .....	1
1.4 テクニカル・サポートとフィードバック .....	2
<b>2 概要 .....</b>	<b>3</b>
2.1 設計フローの概要 .....	3
2.2 クイックスタート設計の概要 .....	3
<b>3 クイックスタート .....</b>	<b>5</b>
3.1 プロジェクトの新規作成 .....	5
3.1.1 プロジェクトの新規作成 .....	5
3.1.2 FIFO HS IP の生成 .....	6
3.1.3 ファイルのロード .....	7
3.2 RTL 回路図の確認 .....	8
3.3 GAO の構成 .....	8
3.3.1 Standard Mode GAO 構成ファイルの作成 .....	8
3.3.2 Standard Mode GAO の構成 .....	9
3.4 GVIO の構成 .....	11
3.4.1 GVIO 構成ファイルの作成 .....	11
3.4.2 オプションの構成 .....	12
3.5 GowinSynthesis による合成 .....	13
3.5.1 オプションの構成 .....	13
3.5.2 合成 .....	13
3.6 合成後ネットリストの回路図の確認 .....	15
3.7 物理制約 .....	15

3.7.1 物理制約の新規作成 .....	15
3.7.2 物理制約の変更 .....	16
3.8 タイミング制約.....	17
3.8.1 タイミング制約の新規作成 .....	17
3.8.2 タイミング制約の変更 .....	19
3.9 消費電力解析の構成 .....	19
3.9.1 消費電力解析の構成ファイルの作成.....	19
3.9.2 オプションの構成.....	19
3.10 配置配線 .....	23
3.10.1 オプションの構成.....	23
3.10.2 PnR の実行.....	24
3.11 ビットストリームのダウンロード.....	25
3.12 GVIO によるデバッグと GAO によるデータ収集.....	26
3.13 ファイルの出力.....	28
3.13.1 配置配線レポート.....	28
3.13.2 ポート属性レポート .....	29
3.13.3 タイミングレポート .....	30
3.13.4 消費電力解析レポート .....	30
3.14 ファイルの暗号化.....	31
3.14.1 ソースファイルの暗号化.....	31
3.14.2 シミュレーションファイルの暗号化.....	32
<b>4 Tcl コマンドの使用.....</b>	<b>34</b>
4.1 Tcl コマンドの実行方法.....	34
4.1.1 Tcl コマンド編集ウィンドウで実行.....	34
4.1.2 Tcl コマンドラインで実行 .....	34
4.2 Tcl コマンドのクイックスタート .....	35

## 図一覧

図 2-1 サンプルプロジェクトを開く .....	4
図 3-1 プロジェクトの新規作成.....	5
図 3-2 プロジェクトディレクトリ .....	6
図 3-3 FIFO HS の構成 .....	6
図 3-4 FIFO HS IP ディレクトリ .....	7
図 3-5 Design ウィンドウ .....	7
図 3-6 ファイルのロード.....	8
図 3-7 GAO 構成ファイルの作成.....	9
図 3-8 GAO 構成ファイルの設定 .....	9
図 3-9 トリガオプションの構成.....	10
図 3-10 キャプチャオプションの構成 .....	10
図 3-11 GAO の構成ファイル .....	11
図 3-12 GVIO 構成ファイルの作成.....	11
図 3-13 GVIO の構成ウィンドウ.....	12
図 3-14 GVIO の構成ファイル .....	12
図 3-15 合成オプションの構成 .....	13
図 3-16 GowinSynthesis の属性と命令 .....	13
図 3-17 合成完了 .....	14
図 3-18 gwsynthesis ディレクトリ .....	14
図 3-19 RTL_GAO ディレクトリ .....	15
図 3-20 I/O 制約 .....	16
図 3-21 物理制約の表示 .....	16
図 3-22 Clock 制約 .....	17
図 3-23 タイミングレポート制約.....	18
図 3-24 タイミング制約 .....	18
図 3-25 消費電力解析の構成ファイルの作成.....	19
図 3-26 General Setting の構成.....	21
図 3-27 Rate Setting の構成.....	22
図 3-28 Clock Setting の構成 .....	22
図 3-29 消費電力解析の構成ファイルの表示.....	23
図 3-30 配置配線のオプションの構成 .....	24
図 3-31 配置配線完了 .....	24

図 3-32 PnR ディレクトリ .....	25
図 3-33 Programmer の画面.....	26
図 3-34 GAO と GVIO による共同デバッグ画面 .....	27
図 3-35 GAO と GVIO による共同デバッグ・サンプリング画面(gvio_test=0).....	28
図 3-36 GAO と GVIO による共同デバッグ・サンプリング画面(gvio_test=1).....	28
図 3-37 配置配線レポート.....	29
図 3-38 ポート属性レポート .....	29
図 3-39 タイミングレポート .....	30
図 3-40 電力解析レポート.....	31
図 3-41 Hierarchy ウィンドウでのリソース情報の表示 .....	31
図 3-42 Pack User Design ダイアログボックス.....	32
図 4-1 Tcl コマンド編集ウィンドウ .....	34
図 4-2 Tcl コマンドライン方法.....	35
図 4-3 Tcl スクリプトファイル方法 .....	35

# 表一覧

表 1-1 用語、略語 .....	1
-------------------	---



# 1 本マニュアルについて

## 1.1 マニュアルの内容

このマニュアルは、FIFO HS 設計を例に、Gowin ソフトウェアの操作について説明し、ユーザーが Gowin ソフトウェアを使いこなせるように作成されています。

## 1.2 関連ドキュメント

GOWIN セミコンダクターのホームページ [www.gowinsemi.com/ja](http://www.gowinsemi.com/ja) から、以下の関連ドキュメントがダウンロード、参考できます：

- Gowin ソフトウェア ユーザーガイド([SUG100](#))
- Gowin 物理制約ユーザーガイド([SUG935](#))
- Gowin タイミング制約ユーザーガイド([SUG940](#))
- Gowin アナライザオシロスコープ ユーザーガイド([SUG114](#))
- Gowin パワーアナライザ ユーザーガイド([SUG282](#))
- Gowin Programmer ユーザーガイド([SUG502](#))
- GowinSynthesis ユーザーガイド([SUG550](#))
- Gowin HDL 回路図ビューア ユーザーガイド([SUG755](#))
- Arora V 物理制約ユーザーガイド([SUG1018](#))
- Gowin Virtual Input Output ツール ユーザーガイド([SUG1189](#))

## 1.3 用語、略語

本マニュアルで使用される用語、略語、及びその意味を表 1-1 に示します。

表 1-1 用語、略語

用語、略語	正式名称	意味
AO Core	Analysis Oscilloscope Core	機能コア
BSRAM	Block Static Random Access Memory	ブロック SRAM
DFF	D Flip-Flop	Dフリップフロップ
FloorPlanner	FloorPlanner	物理制約エディタ

用語、略語	正式名称	意味
FPGA	Field Programmable Gate Array	フィールド・プログラマブル・ゲート・アレイ
GAO	Gowin Analyzer Oscilloscope	Gowinアナライザオシロスコープ
GPA	Gowin Power Analyzer	Gowinパワーアナライザ
GVIO	Gowin Virtual Input Output	仮想入力出力
I/O	Input/Output	入力/出力
IP Core	Intellectual Property Core	設計資産コア
PnR	Place & Route	配置配線
RTL	Register Transfer Level	レジスタ転送レベル

## 1.4 テクニカル・サポートとフィードバック

GOWIN セミコンダクターは、包括的な技術サポートをご提供しています。使用に関するご質問、ご意見については、直接弊社までお問い合わせください。

ホームページ : [www.gowinsemi.com/ja](http://www.gowinsemi.com/ja)

E-mail : [support@gowinsemi.com](mailto:support@gowinsemi.com)

# 2 概要

## 2.1 設計フローの概要

Gowin ソフトウェアは、Windows 版と Linux 版で実行でき、画面モードとコマンドラインモードをサポートします。このマニュアルでは、Windows 版、画面モード、FIFO HS 設計を例として、Gowin ソフトウェアのクイックスタート方法を紹介します。

設計フローには、FloorPlanner による物理制約、Timing Constraints Editor によるタイミング制約、GAO による GAO 構成ファイルの追加とデータの収集、消費電力解析ツールによる消費電力解析構成ファイルの追加、および Programmer によるビットストリームのダウンロードが含まれます。

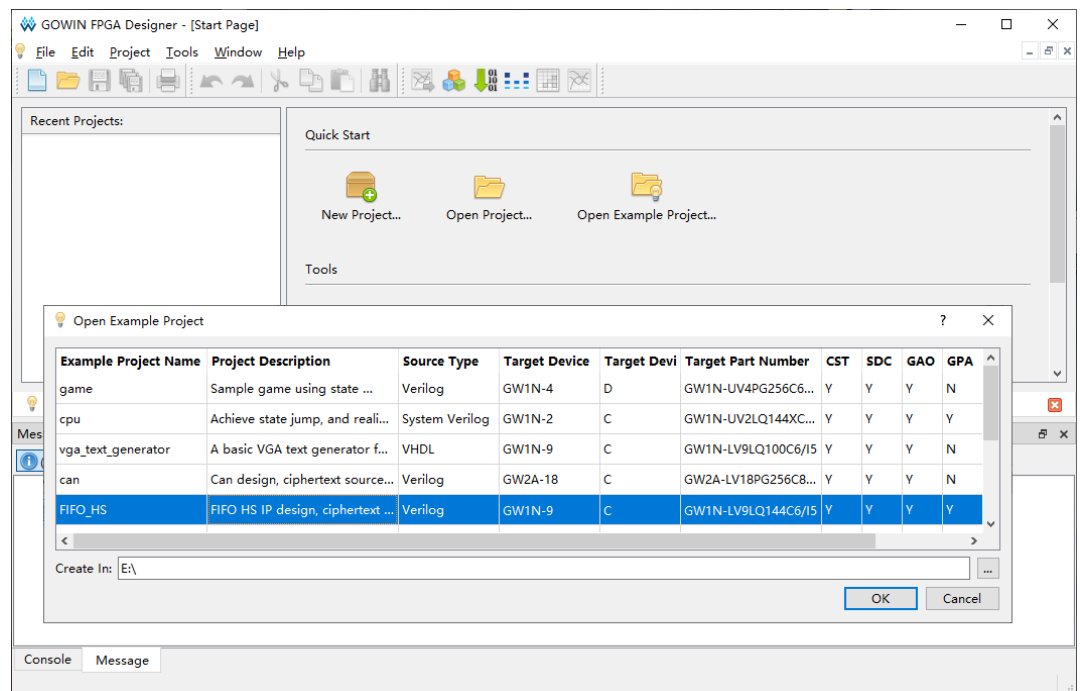
## 2.2 クイックスタート設計の概要

FIFO HS IP は、非同期クロックドメインで異なる幅のデータを転送およびバッファリングし、ユーザーのニーズに応じて異なる出力制御信号とデータ構造を構成できます。

設計全体では、ポートを介して FIFO HS にクロックを提供し、ロジックによりリセット信号イネーブル信号、および入力データを提供し、最後に GAO を使用してデータを収集し、FIFO HS の正確さを検証します。

この設計はサンプルプロジェクトとして追加されており、図 2-1 に示すように **Start Page > Open Example Project...** からすばやく作成できます。サンプルプロジェクトを使用してプロジェクトを作成する場合、前の手順がスキップされ、配置配線および後続のプロセスに直接移動します。Gowin ソフトウェアの使い方をより深く理解したい場合は、ドキュメントのガイドラインに従って操作してみてください。設計に必要なソースファイル、制約ファイル、および構成ファイルは、サンプルプロジェクトのものと同一であるので、後で使用するためにサンプルプロジェクトのファイルを保存しておくことをお勧めします。

図 2-1 サンプルプロジェクトを開く



# 3 クイックスタート

## 3.1 プロジェクトの新規作成

### 3.1.1 プロジェクトの新規作成

Gowin ソフトウェアを開き、「Start Page」で「Quick Start > New Project」を選択して、FIFO\_HS という名前の新しいプロジェクトを作成します。図 3-1 に示すようにデバイスを選択します。

- Series : GW1N
- Device : GW1N-9
- Device Version : C
- Package : LQFP144
- Speed : C6/I5
- Part Number : GW1N-LV9LQ144C6/I5

「Next」をクリックします。プロジェクトの新規作成の詳細については、『Gowin ソフトウェア ユーザーガイド([SUG100](#))』を参照してください。

図 3-1 プロジェクトの新規作成

**Project Wizard**

**Select Device**

Specify a target device for your project

Filter

Series: GW1N Package: LQFP144

Device: GW1N-9 Speed: C6/I5

Device Version: C

\*no version number is initial version

Part Number	Device	Device Version	Package	Speed	Voltage
GW1N-LV9LQ144C6/I5	GW1N-9	C	LQFP144	C6/I5	LV
GW1N-UV9LQ144C6/I5	GW1N-9	C	LQFP144	C6/I5	UV

< Back Next > Cancel

プロジェクトが作成された後、図 3-2 に示すように、プロジェクトの作成パスに **impl** フォルダと **src** フォルダが生成されます。**impl** には合成および配置配線後のファイルがあり、**src** にはソースファイルがあります。

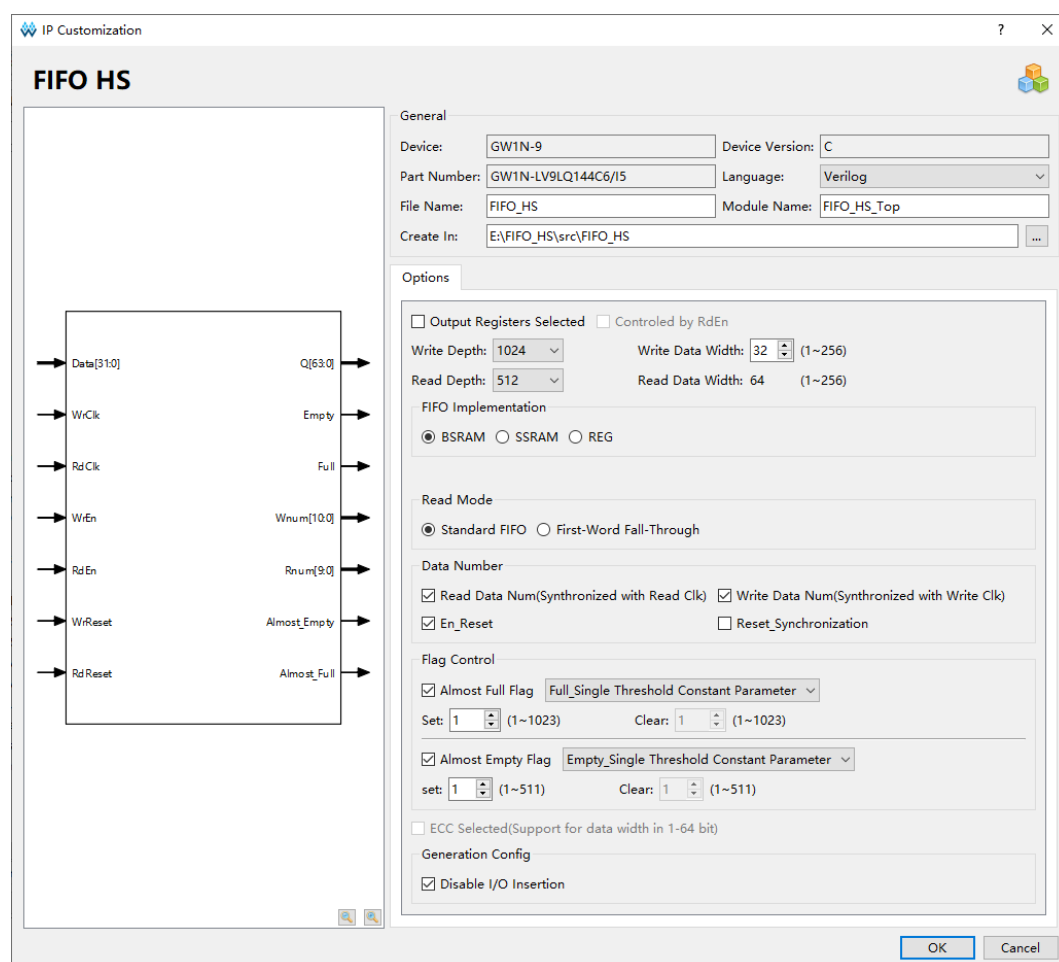
図 3-2 プロジェクトディレクトリ

Name	Date modified	Type	Size
impl	5/31/2022 15:54	File folder	
src	5/31/2022 15:54	File folder	
FIFO_HS.gprj	5/31/2022 15:43	GPRJ File	1 KB
FIFO_HS.gprj.user	5/31/2022 15:51	USER File	4 KB

### 3.1.2 FIFO HS IP の生成

まずはメニューバーの「Tools > IP Core Generator」を選択して **IP Core Generator** を開きます。次に **Memory Control > FIFO** をダブルクリックして展開し、**FIFO HS** をダブルクリックして **IP Customization** 画面を開きます。必要に応じて IP を構成します。この設計の **FIFO HS** の構成は図 3-3 に示すとおりです。構成が完了した後、「OK」をクリックして **FIFO HS IP** を生成します。

図 3-3 FIFO HS の構成



IP が生成された後、図 3-4 に示すように、IP 設計ファイルとシミュレーションに必要なファイルが IP 作成パスに生成されます。

- .v ファイルは暗号化された形式の IP 設計ファイルです。
- \_tmp.v ファイルは IP のテンプレートファイルです。
- .vo ファイルはシミュレーションに使用できる、プレーンテキストの IP シミュレーションモデルファイルです。
- .ipc ファイルは IP の構成ファイルであり、ユーザーはこのファイルを開いて構成を変更できます。
- temp フォルダには、IP の生成に必要なファイルが含まれています。

注記：

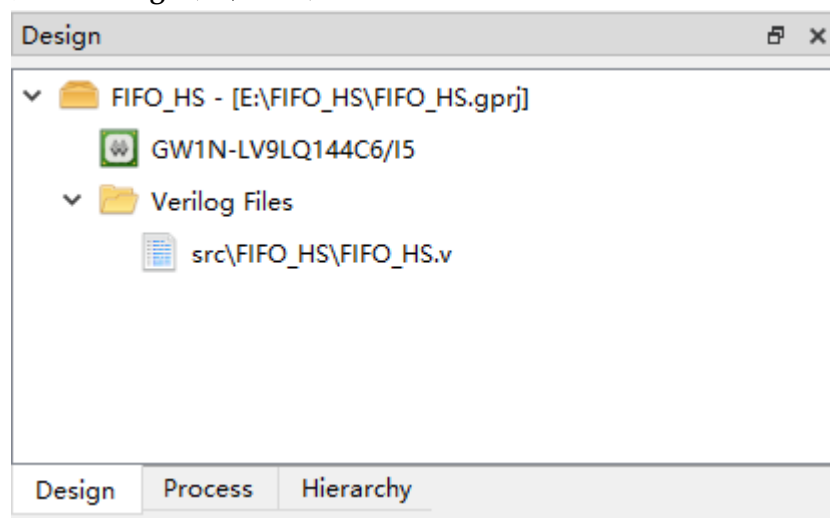
- 1.9.8.06 以降の Gowin ソフトウェアでは、IP 生成時に Language として VHDL が選択されている場合、.vho ファイルが IP 作成パスの下に生成されます。これはプレーンテキストの IP シミュレーション・モデル・ファイルです。
- 現在、一部の IP では、doc(説明ドキュメント)、model(シミュレーションモデル)、sim(シミュレーションスクリプト)、および tb(testbench)フォルダが IP の作成パスに生成されます。

図 3-4 FIFO HS IP ディレクトリ

Name	Date modified	Type	Size
temp	5/31/2022 15:54	File folder	
FIFO_HS.ipc	5/30/2022 16:59	IPC File	1 KB
FIFO_HS.v	5/30/2022 16:59	V File	59 KB
FIFO_HS.vo	5/30/2022 16:59	VO File	60 KB
FIFO_HS_tmp.v	5/30/2022 16:59	V File	1 KB

FIFO HS IP が生成された後の Design ウィンドウは図 3-5 に示すとおりです。

図 3-5 Design ウィンドウ

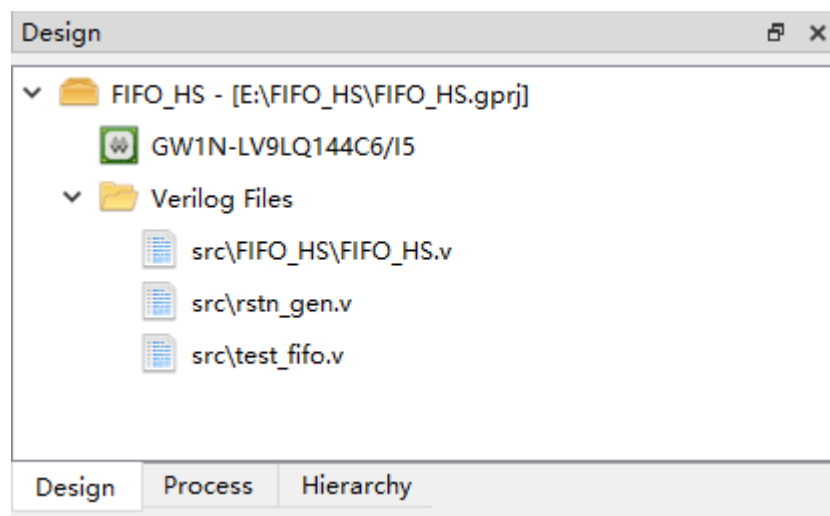


### 3.1.3 ファイルのロード

FIFO HS の機能をテストするためのいくつかのファイルを作成また

はロードします(図 3-6)。ファイルをロードする手順については、[2.2 クイックスタート設計の概要](#)を参照してください。

図 3-6 ファイルのロード



## 3.2 RTL 回路図の確認

ファイルが追加されたら、メニューバーの「Tools > Schematic Viewer > RTL Design Viewer」から RTL デザイン全体の回路図を確認することができます。Schematic Viewer の詳細については、『Gowin HDL 回路図ビューア ユーザーガイド([SUG755](#))』を参照してください。

## 3.3 GAO の構成

Gowin ソフトウェアは、RTL レベルの信号キャプチャと合成後ネットリストレベルの信号キャプチャをサポートします。RTL レベルの信号キャプチャの場合、ソースファイルの作成またはロード後に GAO 構成ファイルを作成でき、合成後ネットリストレベルの信号キャプチャの場合、合成後に GAO 構成ファイルを作成できます。GAO 構成ファイルは、データを収集し、デザインが正しいかを検証するために使用されます。また、Standard Mode GAO および Lite Mode GAO が提供されます。GAO の使用法については、『Gowin アナライザオシロスコープ ユーザーガイド([SUG114](#))』を参照してください。

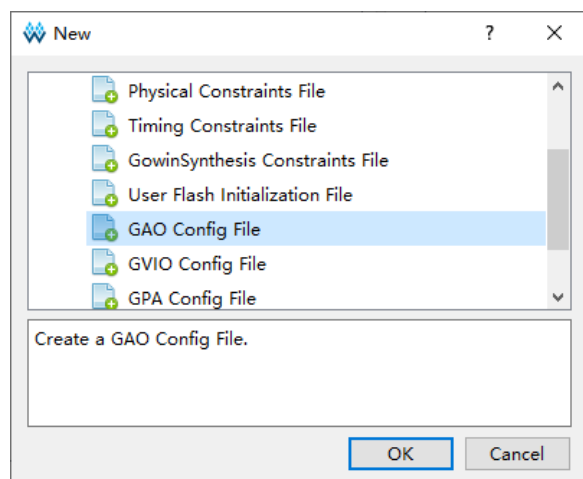
ここでは RTL レベルの信号キャプチャおよび Standard Mode GAO を例に説明します。

### 3.3.1 Standard Mode GAO 構成ファイルの作成

Gowin ソフトウェアから「Design > New File…」を選択し、ポップアップする[New]ダイアログボックスで、GAO Config File を選択します(図 3-7)。

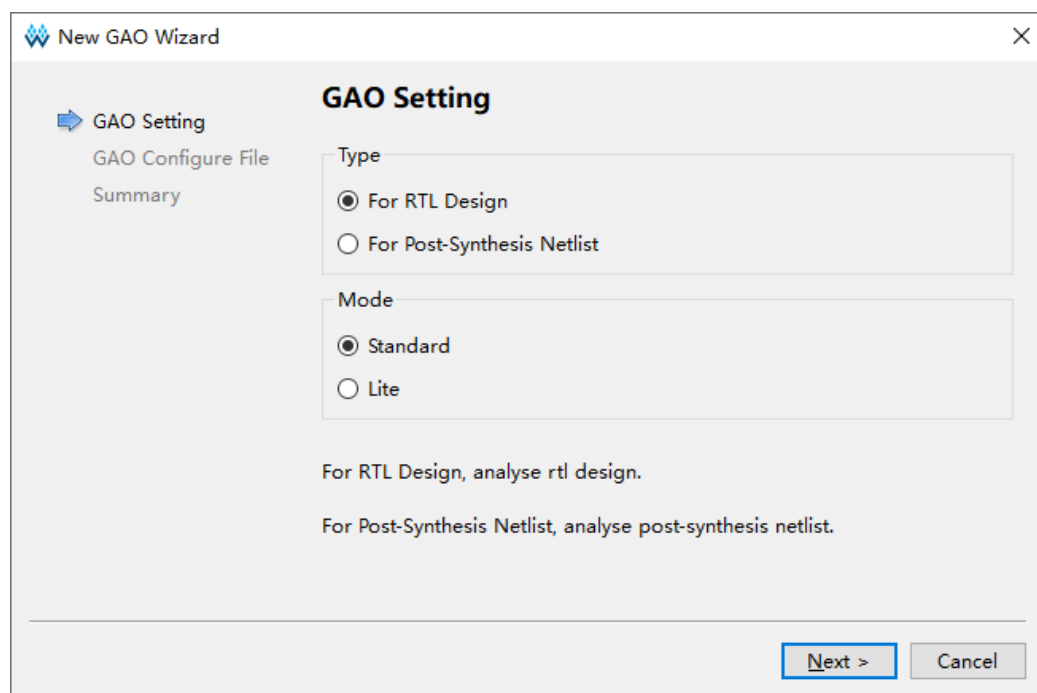


図 3-7 GAO 構成ファイルの作成



Type として For Post-Synthesis Netlist、Mode として Standard を選択し、「Next」をクリックします。ファイル名は FIFO HS として設定し、Standard Mode GAO の構成ファイルが作成されるまで「Next」をクリックします(図 3-8)。

図 3-8 GAO 構成ファイルの設定



### 3.3.2 Standard Mode GAO の構成

Standard Mode GAO 構成ファイルが作成されたら、機能コアの数、トリガオプション、およびキャプチャオプションを構成します。トリガオプションには、トリガ条件、トリガポート、マッチユニット、およびトリガ式が含まれ、キャプチャオプションには、キャプチャ信号、ストレージ情報、およびキャプチャデータ信号が含まれます。この設計では、機能コアの数は 1 であり、トリガオプションの構成およびキャプチャオプション

ンの構成を図 3-9 と図 3-10 に示します。

図 3-9 トリガオプションの構成

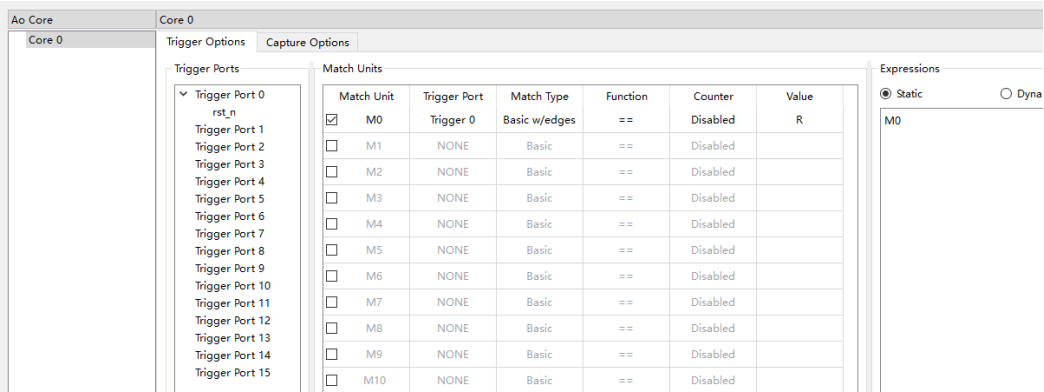
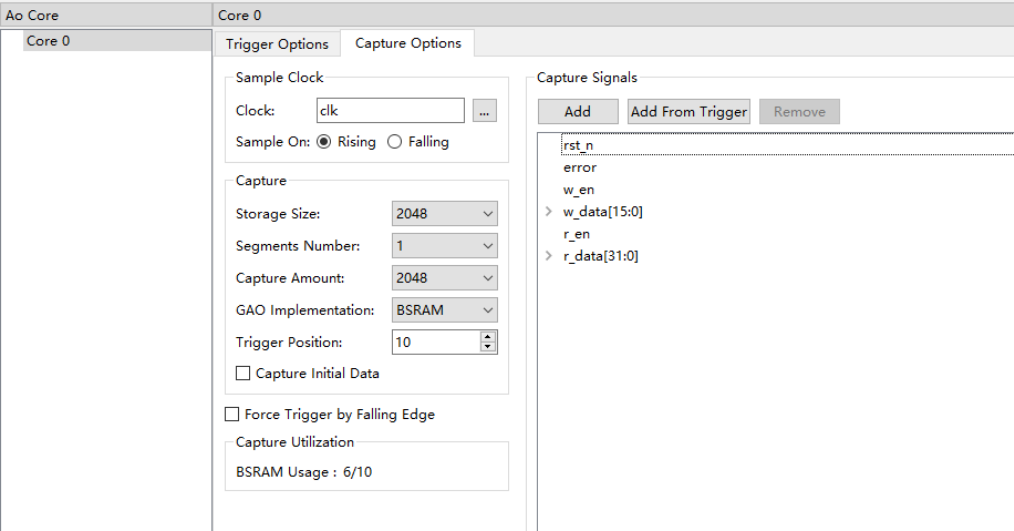
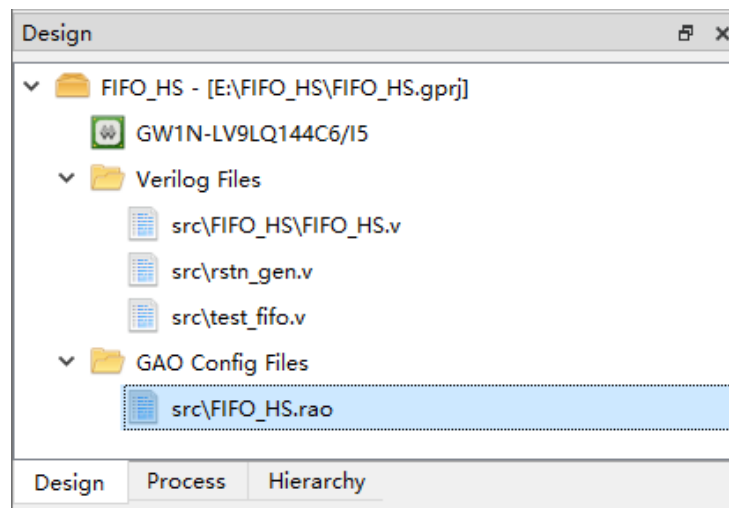


図 3-10 キャプチャオプションの構成



すべてのオプションの構成が完了した後、「Save」をクリックします。GAO の構成ファイルは、図 3-11 に示すように、Design ウィンドウに表示されます。

図 3-11 GAO の構成ファイル



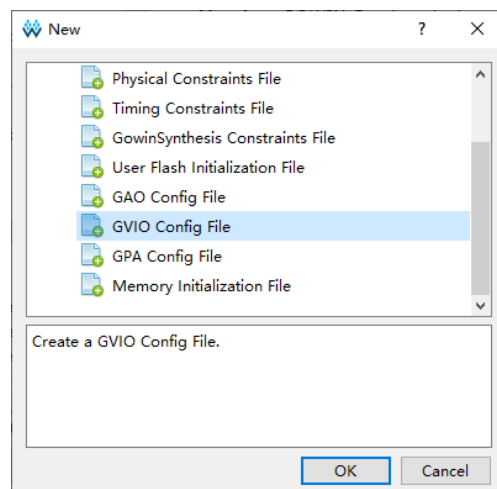
## 3.4 GVIO の構成

GVIO は、Gowin が自社で研究開発した、FPGA の内部信号をリアルタイムで監視および駆動できるデジタル信号動的デバッグ・ツールです。オンライン・ロジック・アナライザの GAO(Gowin Analyzer Oscilloscope) と併用してデバッグすると、より強力なデバッグが可能になります。このデバッグ環境では、内部信号ステミュラスを生成し、GAO ツールを通じてロジック応答を取得することができます。これにより、ユーザーはシステム分析と障害特定を迅速に実行できるようになり、設計効率が向上します。GVIO の使用法については、『*Gowin Virtual Input Output ツール ユーザーガイド*([SUG1189](#))』を参照してください。

### 3.4.1 GVIO 構成ファイルの作成

Gowin ソフトウェアから「Design > New File…」を選択し、ポップアップする[New]ダイアログボックスで、GVIO Config File を選択します(図 3-12)。ファイル名は FIFO\_HS として設定します。ファイルのパスは、デフォルトでプロジェクトの下での src フォルダです。最後に、[OK]をクリックします。

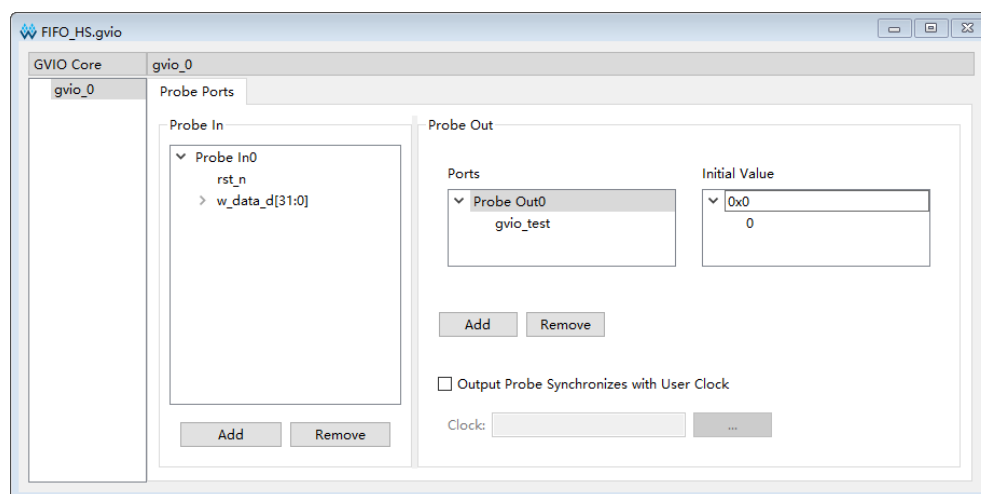
図 3-12 GVIO 構成ファイルの作成



### 3.4.2 オプションの構成

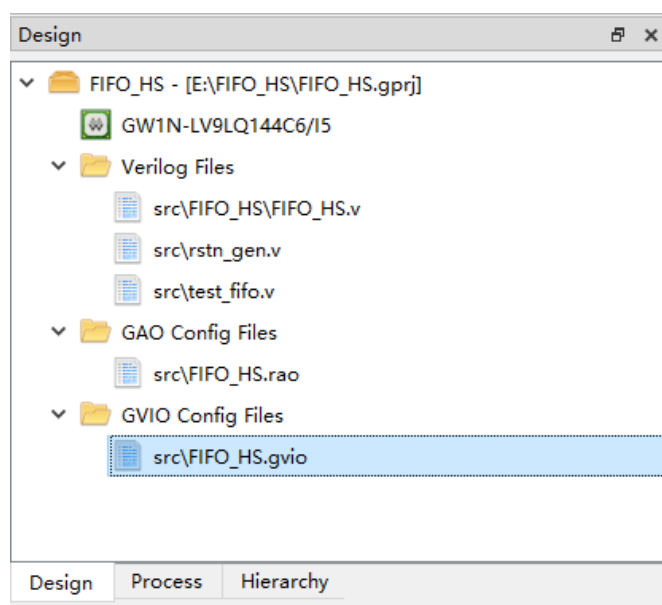
Design ウィンドウで構成ファイル(.gvio)をダブルクリックすると、Gowin ソフトウェアのメインウィンドウで GVIO 構成ウィンドウがポップアップします。GVIO 構成ウィンドウには、機能コアの数を構成するための「GVIO Core」ビューと、対応する Core の信号構成ビューが含まれます。そのうち Core の信号構成ビューには、サンプリング信号を構成するための「Probe In」ビューとステイミュラス信号を構成するための「Probe Out」ビューが含まれます。この設計における機能コアの数、サンプリング信号、およびステイミュラス信号の構成は図 3-13 に示すとおりです。

図 3-13 GVIO の構成ウィンドウ



すべてのオプションの構成が完了したら、「Save」をクリックします。GVIO の構成ファイルは、Design ウィンドウに表示されます(図 3-14)。

図 3-14 GVIO の構成ファイル



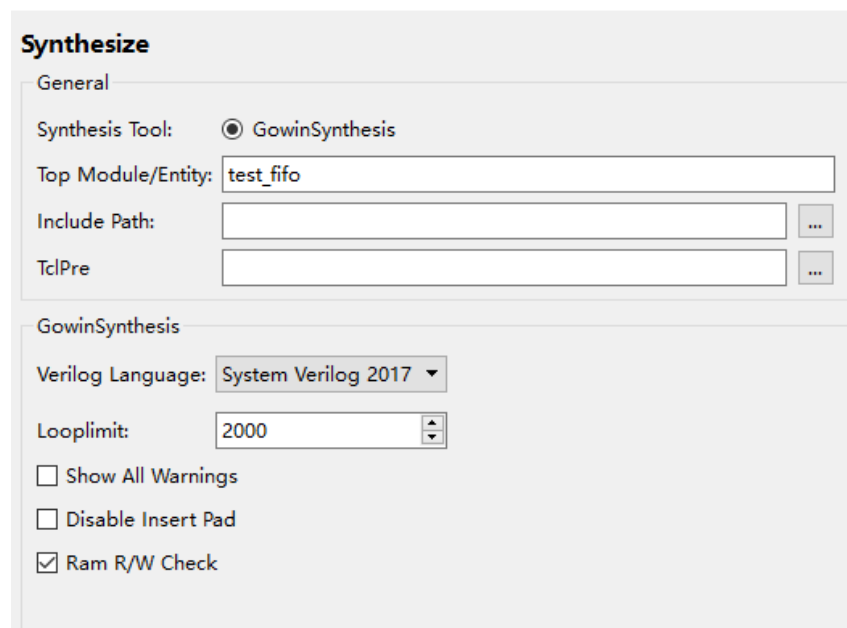
## 3.5 GowinSynthesis による合成

### 3.5.1 オプションの構成

「Process > Synthesize(右クリック) > Configuration」を選択すると、「Configurations」ダイアログボックスが表示され、このダイアログボックスで合成オプションを構成することができます。GowinSynthesis の詳細については、『Gowin ソフトウェア ユーザーガイド([SUG550](#))』を参照してください。

この設計では、TOP Module/Entity は test\_fifo です(図 3-15)。

図 3-15 合成オプションの構成



また、ソースファイルに合成の属性と命令を追加して合成の結果を制御することもできます。属性と命令の詳細については、『Gowin ソフトウェア ユーザーガイド([SUG550](#))』を参照してください。図 3-16 に示すように、このデザインでは `/* synthesis syn_keep=1 */` 合成属性が使用され、合成および最適化中に、この net は保持されます。

図 3-16 GowinSynthesis の属性と命令

```

67 reg    [1:0]    ALT_CNT_d;
68 reg    [7:0]    rand_num;
69 reg    [9:0]    rand_cnt;
70 reg    [11:0]   start_rdmck;
71 reg    fifo_empty d;
72 wire   [WRSIZE-1:0] w_data_d/* synthesis syn_keep=1 */;
73 wire   load;
74 wire   [RDSIZE-1:0] r_data;
75 wire   [WNSIZE:0] w_num;
76 wire   [RNSIZE:0] r_num;
77 wire   fifo_full;
78 wire   fifo_empty;
79 wire   fifo_alempy;
80 //test state machine

```

### 3.5.2 合成

合成オプションの構成が完了したら、合成を実行できます。


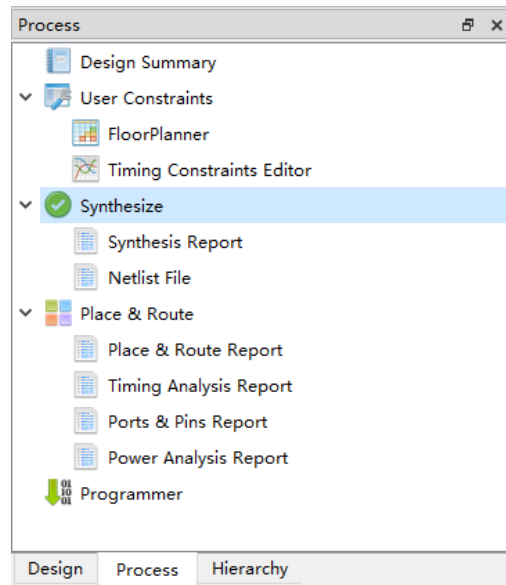







[Process]ウィンドウで[Synthesize]をダブルクリックして合成を開始します。合成が完了すると、図 3-17 に示すように、**Synthesize** の前のアイコンが「」になります。[Synthesis Report]をダブルクリックして合成レポートを表示し、[Netlist File]をダブルクリックして合成後のネットリスト・ファイルを表示できます。

図 3-17 合成完了



合成が完了すると、プロジェクト作成パス¥implの下に **gwsynthesis** フォルダが生成されます。このフォルダには、図 3-18 に示すように、合成中に生成されたすべてのファイルが含まれます。

図 3-18 gwsynthesis ディレクトリ

Name	Date modified	Type	Size
 RTL_GAO	5/31/2022 15:54	File folder	
 FIFO_HS.log	5/31/2022 15:51	LOG File	6 KB
 FIFO_HS.prj	5/31/2022 15:50	PRJ File	2 KB
 FIFO_HS.vg	5/31/2022 15:51	VG File	454 KB
 FIFO_HS_syn.rpt.html	5/31/2022 15:51	360 se HTML Doc...	29 KB
 FIFO_HS_syn_resource.html	5/31/2022 15:51	360 se HTML Doc...	3 KB
 FIFO_HS_syn_rsc.xml	5/31/2022 15:51	XML Document	1 KB

プロジェクトに **GAO** 構成ファイルがある場合、合成が完了すると、プロジェクトパス¥impl¥gwsynthesisの下に **RTL\_GAO** フォルダが生成されます(図 3-18)。このフォルダには、図 3-19 に示すように、**RTL GAO** の合成中に生成されたすべてのファイルが含まれます。

- **ao\_0** には、機能コアのパラメータファイルが含まれています。
- **ao\_control** には、制御コアのパラメータファイルが含まれています。

- gw\_gao\_top.v は、ao、ao\_control、および jtag モジュールを接続させる GAO のトップレベル・ファイルです。

図 3-19 RTL\_GAO ディレクトリ

Name	Date modified	Type	Size
ao_0	5/31/2022 15:54	File folder	
ao_control	5/31/2022 15:54	File folder	
gw_gao_top.v	5/31/2022 15:54	V File	6 KB

## 3.6 合成後ネットリストの回路図の確認

合成が完了した後、メニューバーの「Tools > Schematic Viewer>Post-Synthesis Netlist Viewer」から合成後ネットリストの回路図を確認することができます。Schematic Viewer の詳細については、『Gowin HDL 回路図ビューア ユーザーガイド([SUG755](#))』を参照してください。

## 3.7 物理制約

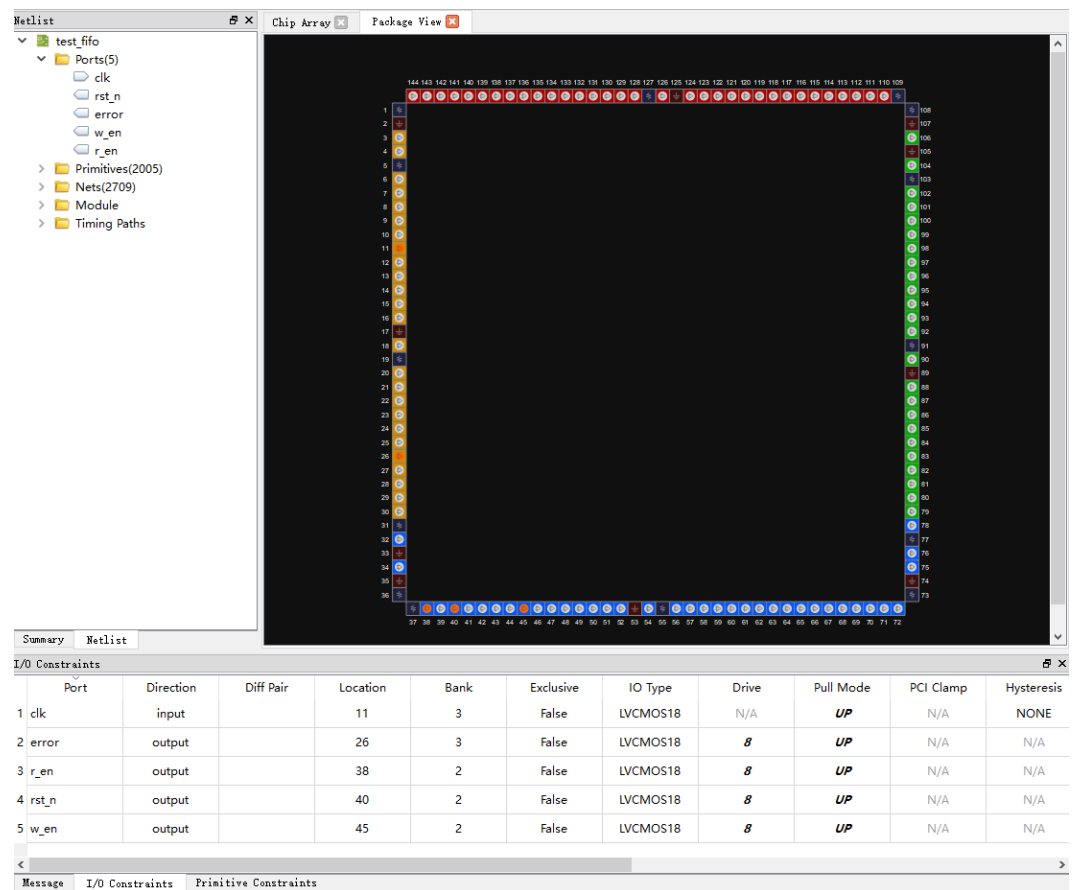
合成が完了したら、物理制約を手動で編集するか、FloorPlanner で編集できます。このデザインでは、FloorPlanner を使用して物理制約を編集します。このツールの使用方法の詳細については、『Gowin 物理制約ユーザーガイド([SUG935](#))』および『Arora V 物理制約ユーザーガイド([SUG1018](#))』を参照してください。

### 3.7.1 物理制約の新規作成

Gowin ソフトウェアから「Process > User Constraints > FloorPlanner」を選択して FloorPlanner を開きます。このツールは、I/O、Primitive、および Group などの物理制約をサポートしています。このデザインは I/O 制約を例として使用します。

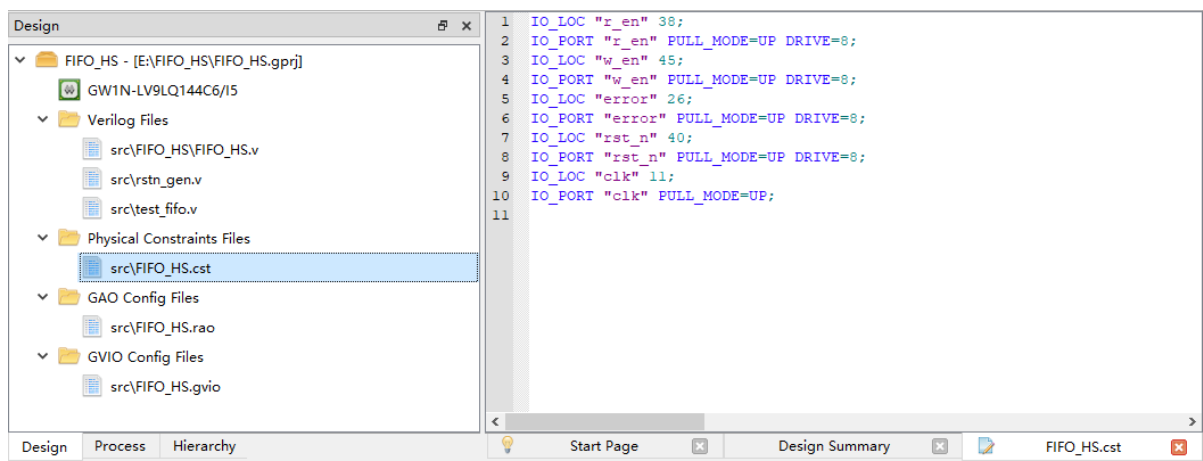
制約編集ウィンドウの I/O 制約ウィンドウで I/O Constrains を作成できます。[Netlist]ウィンドウまたは[I/O Constraints]ウィンドウで、制約されるポートの行を選択し、それを[Package View]または[Chip Array]ビューの特定の位置にドラッグします。完了後、制約されるポートの Location 情報は、それがドラッグされる IOB の位置になります(図 3-20)。

図 3-20 I/O 制約



すべての制約の編集が完了した後、ツールバーの「**Save**」をクリックして物理制約ファイルを生成します。図 3-21 に示すとおりです。

図 3-21 物理制約の表示



配置配線の際、物理制約ファイルがない場合は、自動的に配置配線されます。物理制約ファイルがある場合は、物理制約ファイルに従って配置配線されます。

### 3.7.2 物理制約の変更

物理制約ファイルが生成されたら、FloorPlanner を使用して物理制約



を変更できます。変更した後、ツールバーの「Save」をクリックして制約の変更を完了します。

## 3.8 タイミング制約

合成が完了したら、タイミング制約を手動で編集するか、Timing Constraints Editor で編集できます。このデザインでは、Timing Constraints Editor を使用してタイミング制約を編集します。このツールの使用法については、『Gowin タイミング制約ユーザーガイド (SUG940)』を参照してください。

### 3.8.1 タイミング制約の新規作成

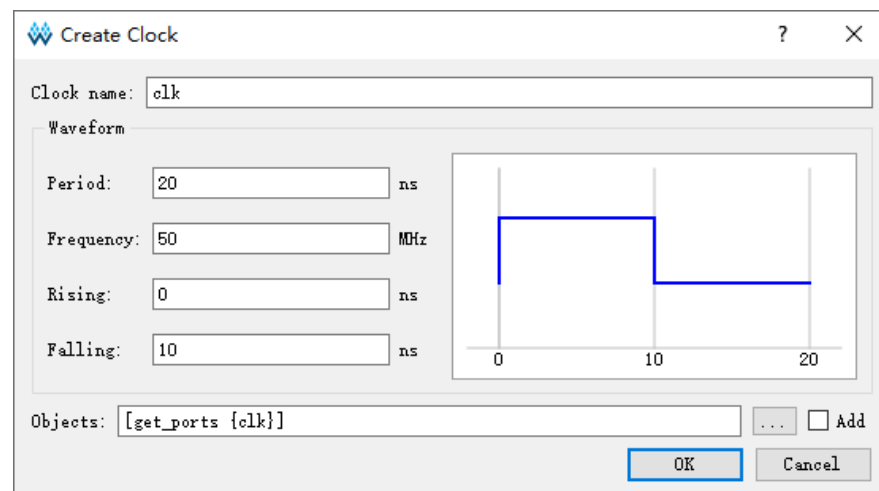
Gowin ソフトウェアから「Process > User Constraints > Timing Constrains Editor」を選択して Timing Constrains Editor を開きます。このツールは、クロック、I/O、およびタイミングレポートなどのタイミング制約をサポートしています。このデザインはクロックおよびタイミングレポート制約を例として使用します。

#### クロック制約

Timing Constraints > Clocks を選択します。右側の空白で右クリックし、Create Clock を選択すると、Create Clock ダイアログボックスが表示されます(図 3-22)。

- Clock name : clk
- Period : 20
- Frequency : 50
- Rising : 0
- Falling : 10
- Source Object : get\_ports {clk}

図 3-22 Clock 制約



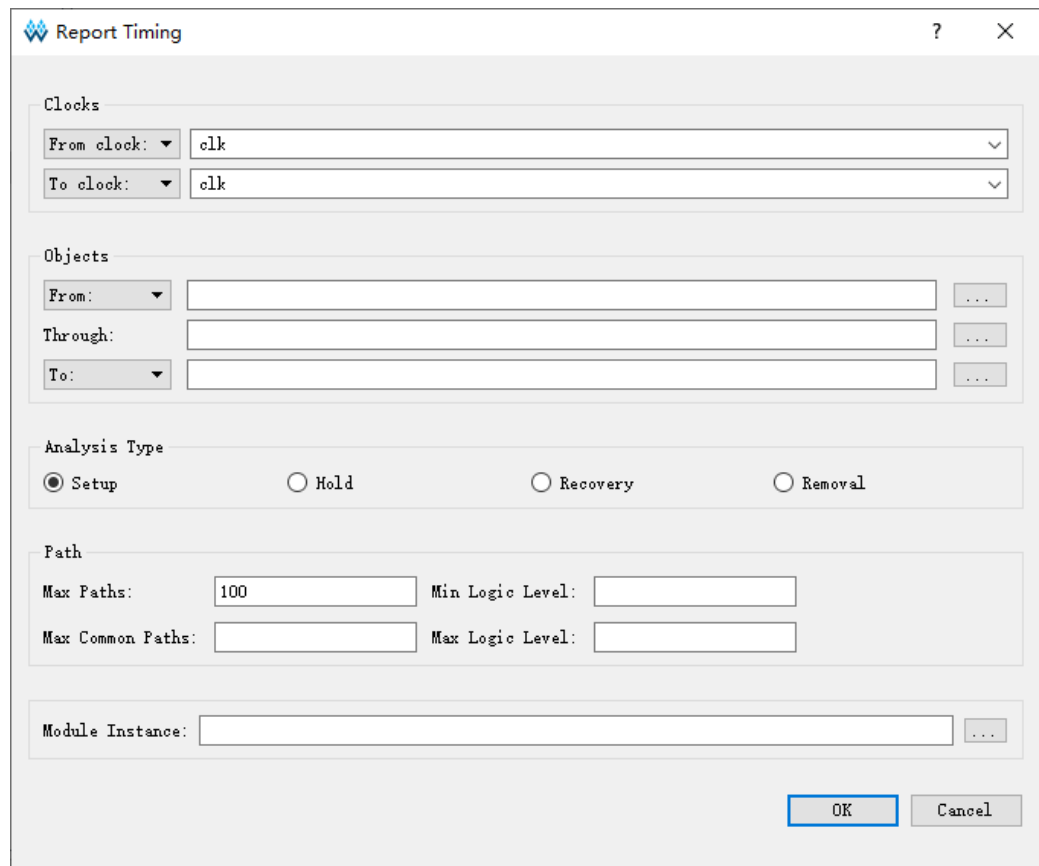
本設計では GAO が使用されるため、クロック tck\_pad\_i を clk と同

じ方法で作成します。**clk** と **tck\_pad\_i** は非同期クロックです。**Gowin** ソフトウェアに 2 つの関係を解析させたくない場合は、タイミング制約エディタを使用してクロックグループ制約を作成できます。

### タイミングレポート制約

「Timing Constraints > Report > Report Timing」を選択し、右側の空白スペースで右クリックして **Create Report** を選択し、ポップアップした **Report Timing** ダイアログボックスでパラメータを設定します(図 3-23)。

図 3-23 タイミングレポート制約



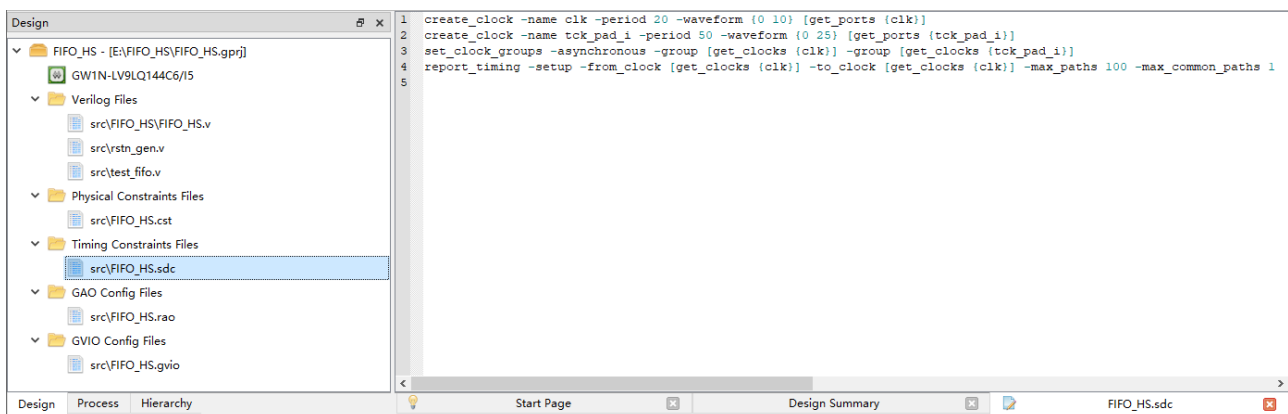
The **Report Timing** dialog box is shown with the following settings:

- Clocks:** From clock: **clk**, To clock: **clk**
- Objects:** From: (empty), Through: (empty), To: (empty)
- Analysis Type:** ☒ Setup, ☐ Hold, ☐ Recovery, ☐ Removal
- Path:** Max Paths: **100**, Min Logic Level: (empty), Max Common Paths: (empty), Max Logic Level: (empty)
- Module Instance:** (empty)

Buttons: **OK**, **Cancel**

すべての制約の編集が完了した後、ツールバーの「**Save**」をクリックしてタイミング制約を生成します。図 3-24 に示すとおりです。

図 3-24 タイミング制約



配置配線の際、タイミング制約ファイルがない場合は、デフォルトのクロックに従ってタイミング解析が実行され、タイミング制約ファイルがある場合は、タイミング制約ファイルに従ってタイミング解析が実行されます。

### 3.8.2 タイミング制約の変更

タイミング制約ファイルが生成されたら、**Timing Constrains Editor**を使用してタイミング制約を変更できます。変更した後、ツールバーの「**Save**」をクリックして制約の変更を完了します。

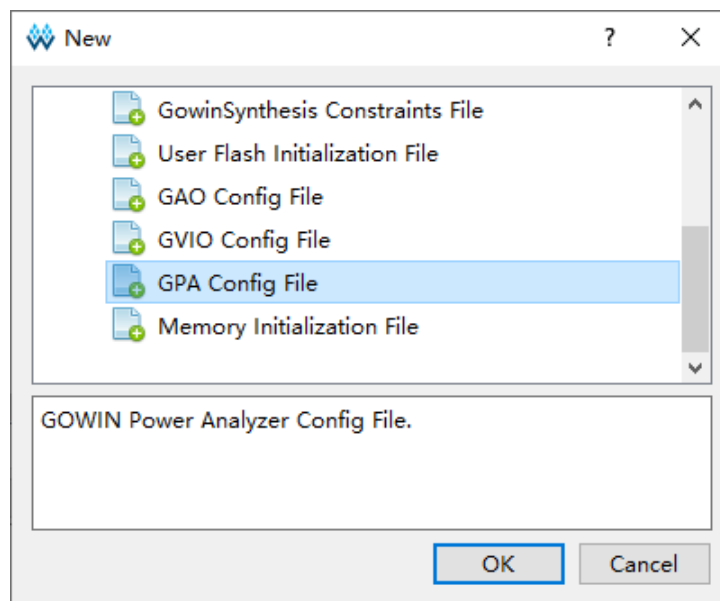
## 3.9 消費電力解析の構成

合成が完了したら、消費電力解析用の消費電力解析構成ファイルを作成することができます。詳細については、『**Gowin パワーアナライザ ユーザーガイド(SUG282)**』を参照してください

### 3.9.1 消費電力解析の構成ファイルの作成

Gowin ソフトウェアから「**Design > New File...**」を選択し、ポップアップする[New]ダイアログボックスで、**GPA Config File**を選択します(図 3-25)。ファイル名は **FIFO\_HS** として設定します。ファイルパスは、デフォルトでプロジェクトの下での **src** フォルダを選択します。最後に、**[OK]**をクリックします。

図 3-25 消費電力解析の構成ファイルの作成



### 3.9.2 オプションの構成

消費電力解析構成ファイルを作成した後、**General Setting**、**Rate Setting**、および **Clock Setting** を構成します。

- **General Setting** には、デバイス、パッケージ、スピードグレード、温度グレード、熱インピーダンス、および電圧などのパラメータが含まれます。

- **Rate Setting** ウィンドウは、信号のトグルレートの設定に使用され、IO または **Net** のトグルレートを設定するか、デフォルトのトグルレートを使用することができます。
- 「**Clock Setting**」ウィンドウは、主に動作クロックと、**BSRAM**、I/O、および **DFF** クロックのイネーブル特性を構成するために使用されます。

## General Setting

この設計における General Setting は図 3-26 に示すとおりです。

図 3-26 General Setting の構成

General Setting | Rate Setting | Clock Setting

**Operating Conditions**  
Grade: Commercial Process: Typical

**Environment**  
☐ Junction Temperature: 25.408°C  
Ambient Temperature: 25.000°C  
☐ Custom Theta JA: 25.000°C/W

**Heat Sink**  
☒ None ☐ Low Profile ☐ Medium Profile ☐ High Profile ☐ Custom  
Air-flow: 0 (LFM)  
Custom Theta SA: 25.000°C/W

**Board Thermal Model**  
☒ None ☐ Custom ☐ Typical  
Board Temperature: 25.000°C  
Custom Theta JB: 25.000°C/W

**Voltage**  
VCC: 1.200V  
VCCX: 3.300V

FIFO\_HS.gpa

## Rate Setting

この設計では、図 3-27 に示すように、クロック信号 **clk** のトグルレートは **50%**で、残りの信号のトグルレートはデフォルトの **12.5%**です。

図 3-27 Rate Setting の構成

General Setting   Rate Setting   Clock Setting

Net Rate

☒ %   ☐ transition/s

Name	Value
clk	50.00%

VCD File

Instance	File Name	File Type
----------	-----------	-----------

☐ Filter glitch on VCD file

Default Rate Setting

Default Rate used for IO input signals: 12.50 %

Default Rate used for remaining signals

Default Value: 12.50 %

FIFO\_HS.gpa

## Clock Setting

この設計における Clock Setting は図 3-28 に示すとおりです。

図 3-28 Clock Setting の構成

General Setting   Rate Setting   Clock Setting

Clock

Global Enable: 100.00

Clock Name	Clock Enable	Quad1	Quad2	Quad3	Quad4
clk	100				

B-SRAM

Clock Enable: 100.00   Read Probability: 100.00   Write Probability: 100.00

Name	ClockA Enable	ReadA Probability	WriteA Probability	ClockB Enable	ReadB Probability	WriteB Probability
------	---------------	-------------------	--------------------	---------------	-------------------	--------------------

IO

Name	Out Enable	Load Capacity
------	------------	---------------

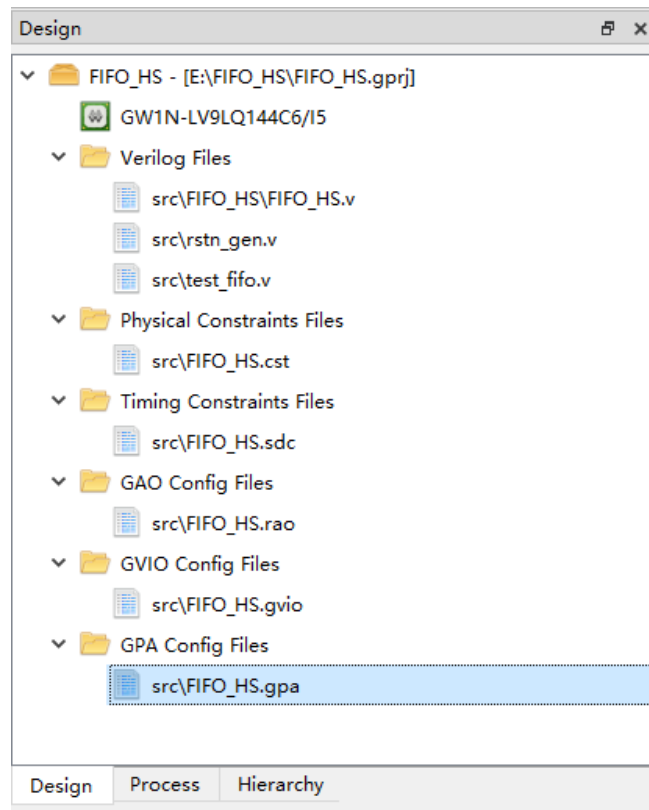
DFF

Name	Value
------	-------

FIFO\_HS.gpa

すべてのオプションの構成が完了した後、「**Save**」をクリックします。図 3-29 に示すように、**Design** ウィンドウに表示されます。

図 3-29 消費電力解析の構成ファイルの表示



配置配線の際、消費電力解析構成ファイルがない場合は、デフォルトの構成に従って消費電力解析が実行され、消費電力解析構成ファイルがある場合は、消費電力解析構成ファイルに従って消費電力解析が実行されます。

## 3.10 配置配線

合成の後に必要に応じて物理制約ファイル、タイミング制約ファイル、消費電力解析構成ファイルを作成したら、配置配線を開始できます。

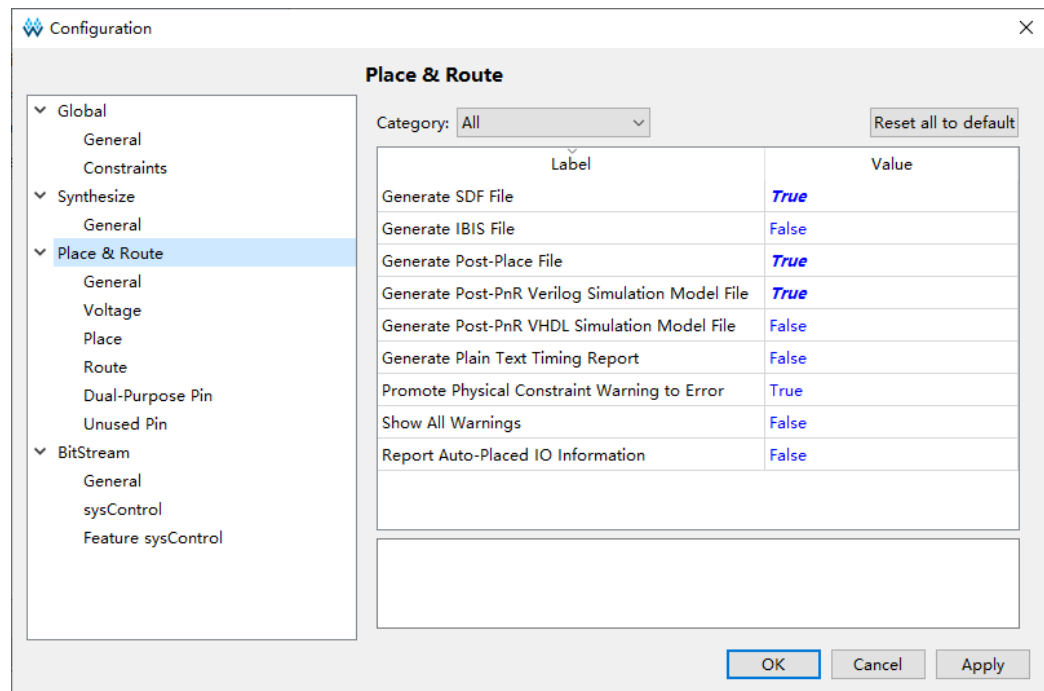
### 3.10.1 オプションの構成

「**Process > Place & Route(右クリック) > Configuration**」を選択すると、「**Configuration**」ダイアログボックスが表示され、このダイアログボックスで **Place & Route** および **Bitstream** のオプションを構成することができます。オプション構成の詳細については、『**Gowin ソフトウェア ユーザーガイド(SUG100)**』を参照してください。

本設計では、図 3-30 に示すように、「**General**」オプションにおける「**Generate SDF File**」、「**Generate Post-Place File**」、「**Generate Post-PNR Verilog Simulation Model File**」を **True** に構成し、「**Place**」オプションにおける「**Place output register to IOB**」を **False** に構成し、それ以外

のオプションはデフォルト値を使用します。

図 3-30 配置配線のオプションの構成



### 3.10.2 PnR の実行

配置配線オプションを構成した後、配置配線を実行できます。


「Process」ウィンドウで「Place&Route」をダブルクリックして、配置配線を開始します。配置配線の際、GAO の構成と物理制約に基づいて配置配線が実行され、タイミング制約に基づいてタイミング解析が実行され、消費電力解析の構成に基づいて消費電力解析が実行されます。配置配線が完了すると、図 3-31 に示すように、Place & Route の前のアイコンが「」になります。

図 3-31 配置配線完了

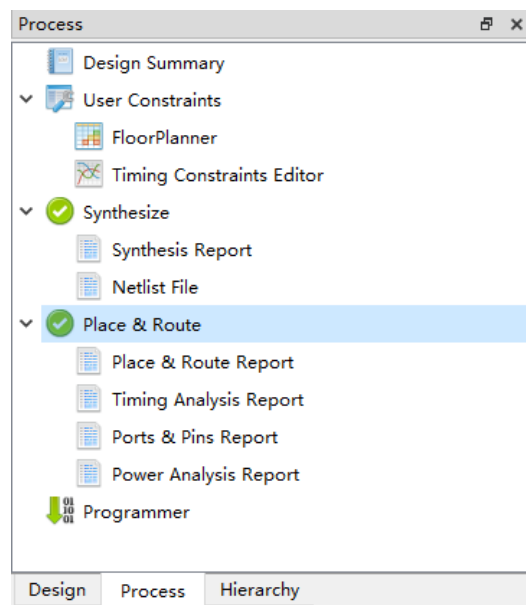




図 3-32 に示すように、配置配線が完了すると、プロジェクト作成パス¥impl の下に pnr フォルダが生成されます。このフォルダには、配置配線中に生成されたすべてのファイル(ビットストリームファイル、配置配線後のネットリスト・ファイル、出力レポートなど)が含まれます。このうち、配置配線レポート、ポート属性レポート、タイミングレポート、および消費電力解析レポートの詳細については、[3.13 ファイルの出力](#)を参照してください。

図 3-32 PnR ディレクトリ

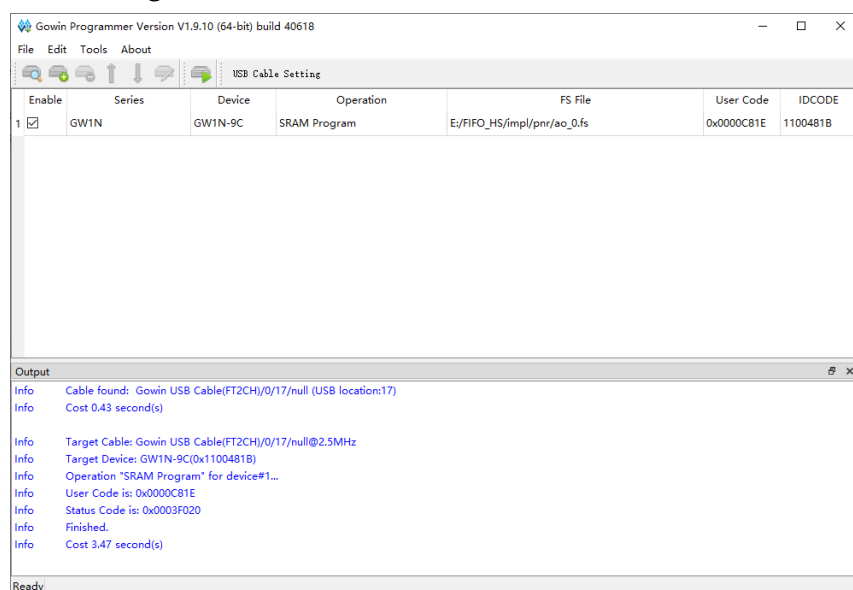
Name	Date modified	Type	Size
ao_0.fs	5/31/2022 15:51	FS File	1,732 KB
cmd.do	5/31/2022 15:51	DO File	1 KB
device.cfg	5/31/2022 15:51	CFG File	1 KB
FIFO_HS.db	5/31/2022 15:51	Data Base File	43 KB
FIFO_HS.log	5/31/2022 15:51	LOG File	2 KB
FIFO_HS.pin.html	5/31/2022 15:51	360 se HTML Doc...	35 KB
FIFO_HS.posp	5/31/2022 15:51	POSP File	1 KB
FIFO_HS.power.html	5/31/2022 15:51	360 se HTML Doc...	8 KB
FIFO_HS.rpt.html	5/31/2022 15:51	360 se HTML Doc...	40 KB
FIFO_HS.rpt.txt	5/31/2022 15:51	TXT File	29 KB
FIFO_HS.sdf	5/31/2022 15:51	SDF File	2,321 KB
FIFO_HS.timing_paths	5/31/2022 15:51	TIMING_PATHS File	32 KB
FIFO_HS.tr.html	5/31/2022 15:51	360 se HTML Doc...	1 KB
FIFO_HS.vo	5/31/2022 15:51	VO File	561 KB
FIFO_HS_tr_cata.html	5/31/2022 15:51	360 se HTML Doc...	8 KB
FIFO_HS_tr_content.html	5/31/2022 15:51	360 se HTML Doc...	844 KB

## 3.11 ビットストリームのダウンロード

配置配線が完了すると、ビットストリームファイルが生成されます。Programmer を介してビットストリームファイルをダウンロードすることができます。Programmer の使用法については『Gowin Programmer ユーザーガイド([SUG502](#))』を参照してください。

「Process > Programmer」をダブルクリックして、プロジェクトのビットストリームファイルを自動的に認識してロードする Programmer を開きます。開発ボードの準備ができたなら、ツールバーの Program/Configure アイコンをクリックして、ビットストリームを開発ボードにダウンロードします(図 3-33)。

図 3-33 Programmer の画面

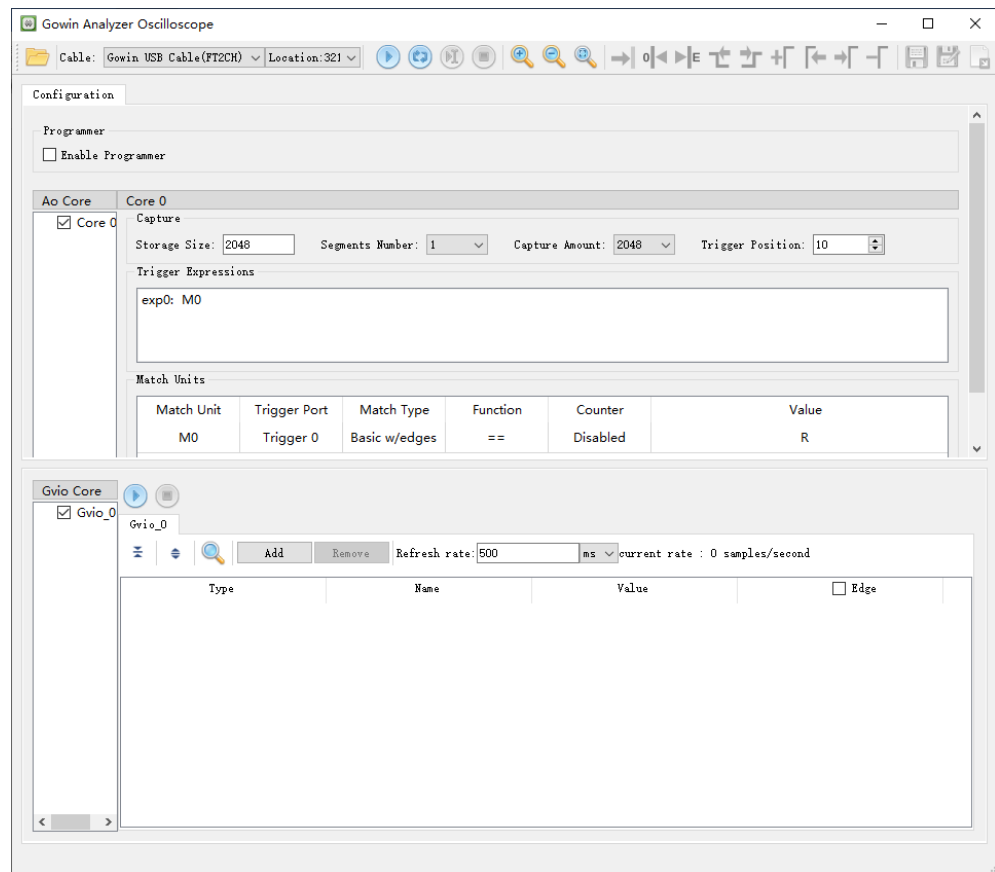


## 3.12 GVIO によるデバッグと GAO によるデータ収集

ビットストリームのダウンロードが完了したら、GAO でデザインの正しさを検証し、GVIO でデバッグすることができます。GAO の使用方法については、『Gowin アナライザオシロスコープ ユーザーガイド (SUG114)』を参照してください。GAO の使用方法については、『Gowin Virtual Input Output ツール ユーザーガイド(SUG1189)』を参照してください。

Gowin ソフトウェアのツールバー上の Gowin Analyzer Oscilloscope アイコンをクリックすると、GAO の画面が表示されます。GAO は、プロジェクトの有効な.gao と.gvio ファイルを自動的に認識してロードします(図 3-34)。

図 3-34 GAO と GVIO による共同デバッグ画面



共同デバッグ画面には 2 つの **Start** ボタンがあり、上の **Start** ボタンは GAO の動作を制御し、下の **Start** ボタンは GVIO の動作を制御します。GAO と GVIO は同時にまたは個別に実行できます。以下は、GAO と GVIO の同時実行を例に説明します。

gvio\_test はデザイン内の rst\_n 信号に作用する、アクティブ High のステイミューラス信号です。gvio\_test が Low の場合、FIFO HS デザインには影響しません(図 3-35)。gvio\_test が High の場合、デザインは常にリセット状態になります。GAO の画面で Match Unit をダブルクリックして Value を X に変更します。キャプチャされる波形は図 3-36 に示すとおりです。

GAO 画面の「Start」アイコンをクリックして、データの収集を開始します。収集が完了すると、波形を表示するための windows ウィンドウが生成されます。このウィンドウは、マーカーによる位置情報表示や波形の拡大縮小などをサポートしており、データの正確さを分析するのに便利です。

図 3-35 GAO と GVIO による共同デバッグ・サンプリング画面(gvio\_test=0)

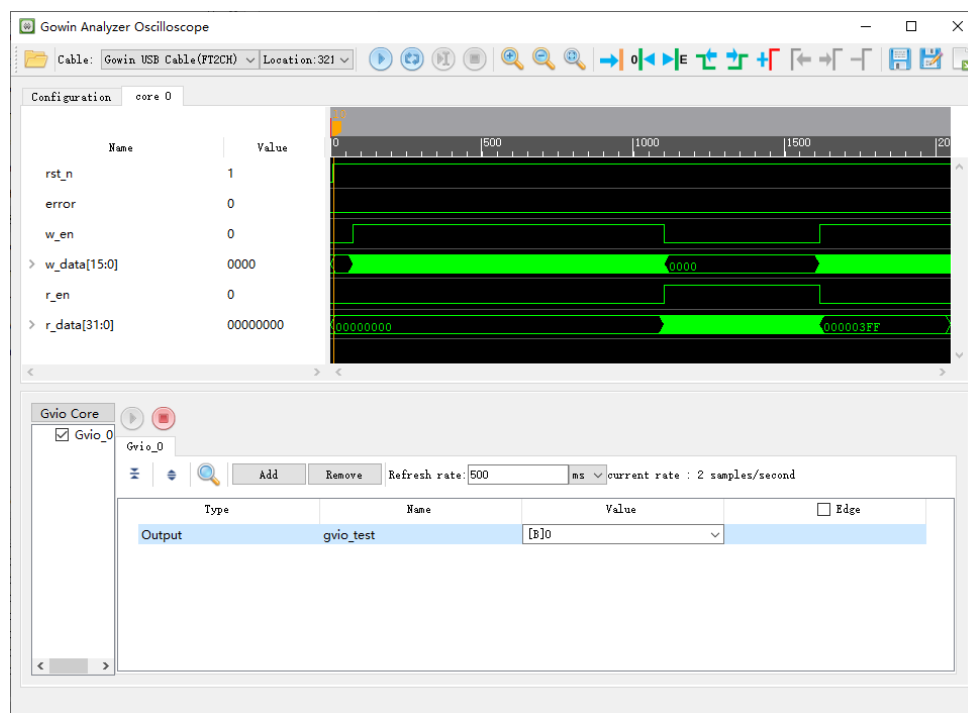
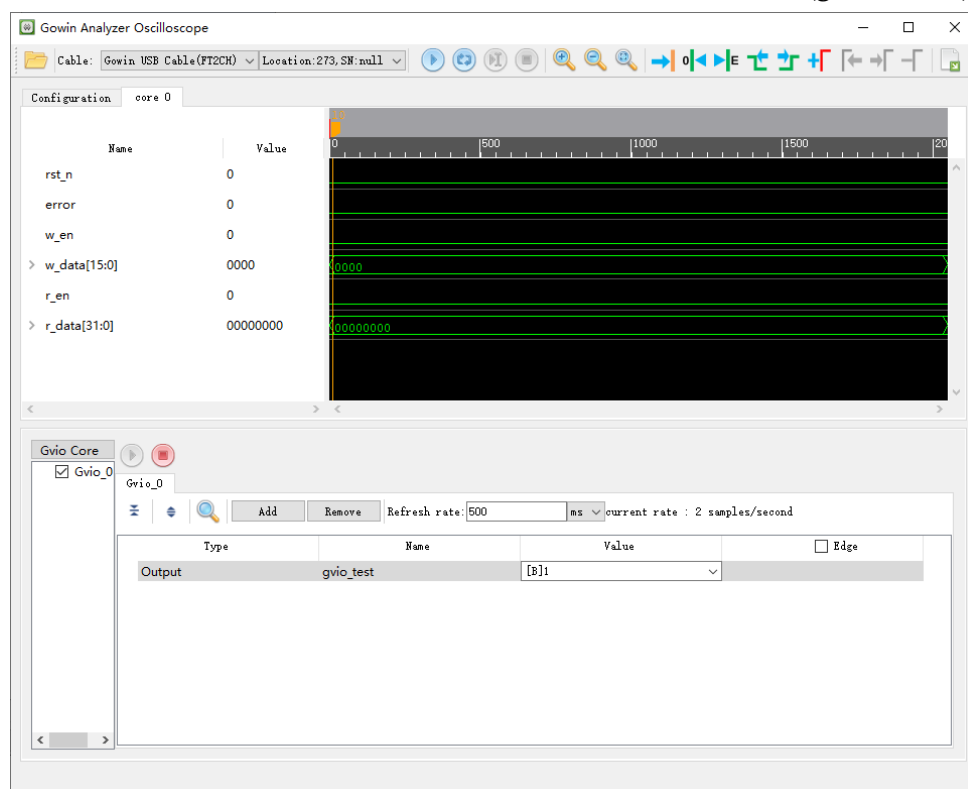


図 3-36 GAO と GVIO による共同デバッグ・サンプリング画面(gvio\_test=1)



## 3.13 ファイルの出力

### 3.13.1 配置配線レポート

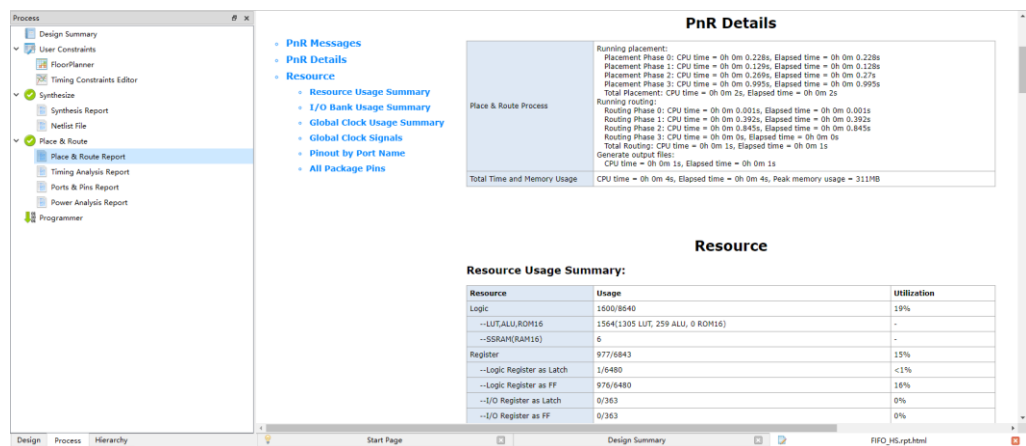
配置配線レポートには、ユーザーデザインが占有するデバイスリソース

ス情報、メモリ使用情報、時間使用情報などが記載されます。これにより、ユーザーはデザインのサイズと、ターゲットデバイスと一致するかどうかを確認できます。ファイルの拡張子は.rpt.html で、詳細は\*.rpt.html ファイルを参照してください。

Process ウィンドウの Place & Route > Place & Route Report をダブルクリックして、配置配線レポートを開きます(図 3-37)。

配置配線レポートの詳細については、『Gowin ソフトウェア ユーザーガイド(SUG100)』を参照してください。

図 3-37 配置配線レポート



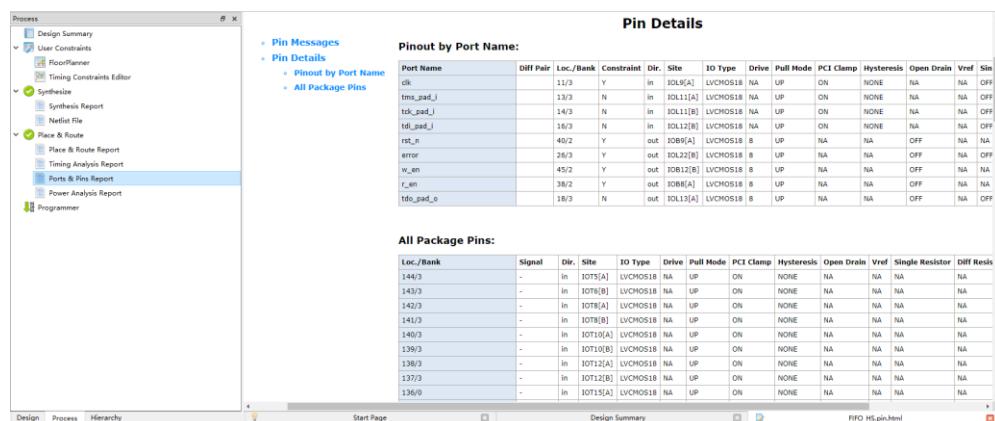
### 3.13.2 ポート属性レポート

ポート属性レポートは、配置後に出力されるポート属性のファイルで、ポートのタイプ、属性、ポート位置情報などが含まれます。生成されるファイルの拡張子は.pin.html で、詳細については\*.pin.html ファイルを参照してください。

Process ウィンドウの Place & Route > Ports & Pins Report をダブルクリックして、ポート属性レポートを開きます(図 3-38)。

ポート属性レポートの詳細については、『Gowin ソフトウェア ユーザーガイド(SUG100)』を参照してください。

図 3-38 ポート属性レポート



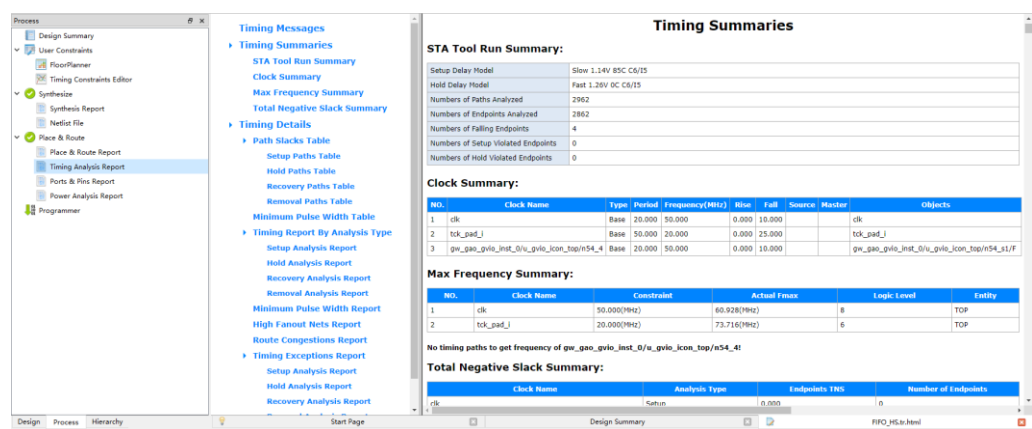
### 3.13.3 タイミングレポート

タイミングレポートには、セットアップ時間チェック、ホールド時間チェック、リカバリ時間チェック、リムーバル時間チェック、最小クロックパルスチェック、最大ファンアウトパス、配線密集レベルレポートなどが含まれます。デフォルトでは上記のすべてのチェックについて報告するほか、最大周波数のレポートも提供します。

Process ウィンドウの **Place & Route > Timing Analysis Report** をダブルクリックして、タイミングレポートを開きます(図 3-39)。

タイミングレポートの詳細については、『Gowin タイミング制約ユーザーガイド([SUG940](#))』を参照してください。

図 3-39 タイミングレポート



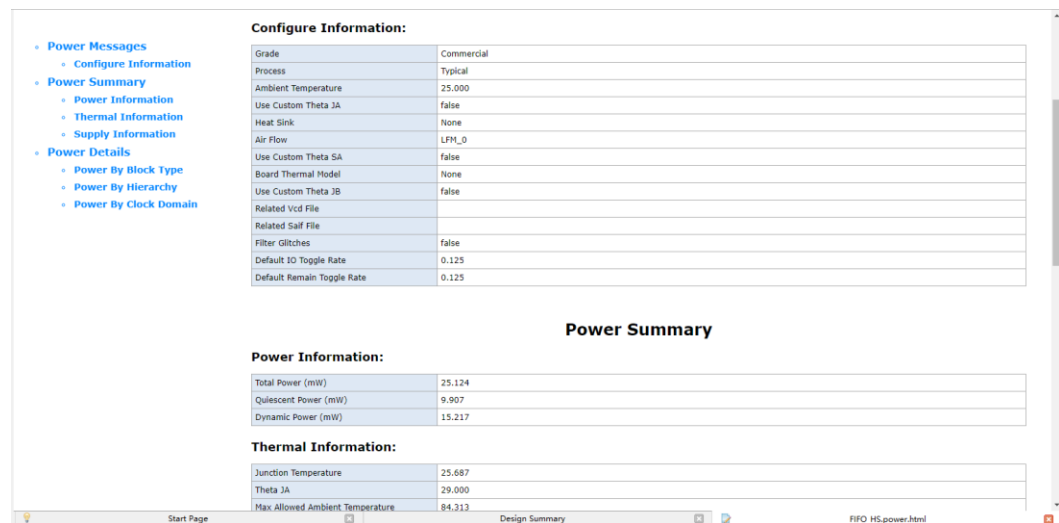
### 3.13.4 消費電力解析レポート

電力解析レポートは、主にユーザーデザインのために提供されます。電力解析の際、デバイスの特性に基づいて推定消費電力計算が行われます。これにより、ユーザーがデザインの基本的な消費電力値を評価できます。

Process ウィンドウの **Place & Route > Power Analysis Report** をダブルクリックして、電力解析レポートを開きます(図 3-40)。

電力解析レポートの詳細については、『Gowin パワーアナライザ ユーザーガイド([SUG282](#))』を参照してください。

図 3-40 電力解析レポート



## 3.14 ファイルの暗号化

### 3.14.1 ソースファイルの暗号化

ユーザーは、プロジェクトの作成後、[Hierarchy]ウィンドウで選択したモジュールとそのサブモジュールを暗号化できます(図 3-41)。詳しくは、『Gowin ソフトウェア ユーザーガイド([SUG100](#))』を参照してください。

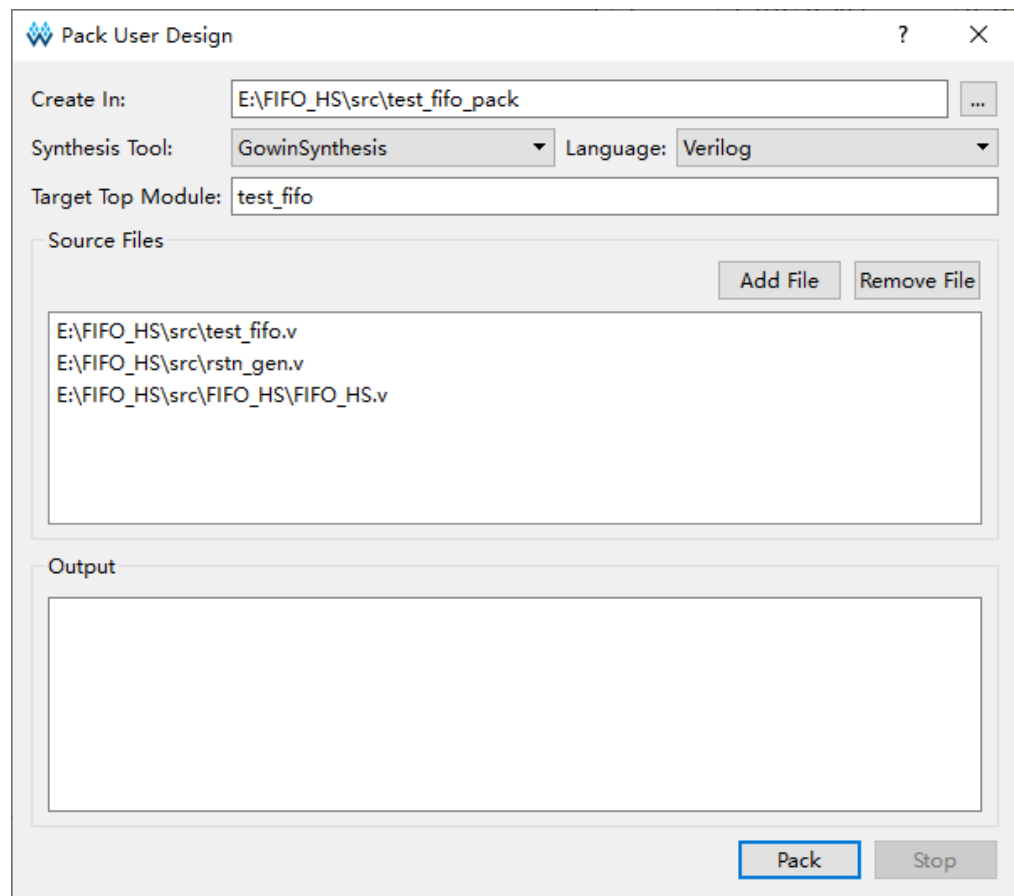
図 3-41 Hierarchy ウィンドウでのリソース情報の表示

Unit	File	Register	LUT	ALU	BSRAM	SSRAM	MULTALU36X18
test_fifo	src/test_fifo.v	977(247)	1308(586)	242(184)	8(0)	6(0)	2(2)
rstn_gen(rstn_gen)	src/rstn_gen.v	17(17)	6(6)	15(15)	0(0)	0(0)	0(0)
FIFO_HS_Top(u_fifo_hs_top)	src/FIFO_HS\FIFO_HS.v	93(93)	102(102)	29(29)	2(2)	6(6)	0(0)
~fifo.FIFO_HS_Top(fifo_inst)	src/FIFO_HS\FIFO_HS.v						

モジュール `test_fifo` を例として、ファイルの暗号化方法を紹介します。

Hierarchy ウィンドウで `test_fifo` を右クリックし、右クリックメニューから「Pack User Design」を選択して Pack User Design ウィンドウを開きます(図 3-42)。

図 3-42 Pack User Design ダイアログボックス



モジュールとしては **test\_fifo** を選択し、「Pack」をクリックして暗号化を開始します。暗号化の開始および完了の際に関連情報が **Output** ウィンドウに出力されます。

暗号化が完了すると、ターゲットパス

(...¥FIFO\_HS¥src¥test\_fifo\_pack)の下に 2 つのファイル (test\_fifo\_gowin.vp と test\_fifo\_sim.v) が生成されます。

- test\_fifo\_gowin.vp は、暗号化されたファイルです。
- test\_fifo\_sim.v は、シミュレーションに使用できるフラット化されたプレーンテキストのネットリスト・ファイルです。

### 3.14.2 シミュレーションファイルの暗号化

Gowin が提供するシミュレーションファイルはプレーンテキスト形式です。シミュレーションファイルを保護するために、サードパーティのシミュレーションソフトウェアで暗号化できます。サードパーティのシミュレーションソフトウェアを使用するには、ライセンスが必要です。

Modelsim および VCS シミュレーションツールを例に、test\_fifo\_sim.v の暗号化方法を紹介します。

#### Modelsim による暗号化

Modelsim で暗号化する手順：

1. シミュレーションファイル test\_fifo\_sim.v の暗号化する必要があるコ



コンテンツの前後に、マクロ定義 ``protect`` および ``endprotect`` を追加します。

2. 次のコマンドを実行します : `vlog +protect test_fifo_sim.v`。
3. コマンドを実行すると、Modelsim シミュレーションに使用できる `test_fifo_sim.vp` が work ライブラリに生成されます。

#### VCS による暗号化

VCS で暗号化する手順 :

1. シミュレーションファイル `test_fifo_sim.v` の暗号化する必要があるコンテンツの前後に、マクロ定義 ``protect128`` および ``endprotect128`` を追加します。
2. 次のコマンドを実行します : `vcs +v2k -protect128 test_fifo_sim.v`。
3. コマンドを実行すると、VCS シミュレーションに使用できる `test_fifo_sim.vp` が現在のパスに生成されます。

# 4 Tcl コマンドの使用

さらに、Gowin ソフトウェアは Tcl コマンドもサポートしています。FIFO HS デザインを例として、Windows OS における Tcl コマンドの使用法を紹介します。Tcl コマンドの詳細については、『Gowin ソフトウェア ユーザーガイド([SUG100](#))』の「8 Tcl コマンドの説明」を参照してください。

## 4.1 Tcl コマンドの実行方法

### 4.1.1 Tcl コマンド編集ウィンドウで実行

Console ページの下部には、Tcl コマンド編集ウィンドウがあります。ウィンドウに Tcl コマンドを入力して Enter キーを押してコマンドを実行できます(図 4-1)。

図 4-1 Tcl コマンド編集ウィンドウ

```
Generate file "E:\FIFO_HS\impl\pnr\FIFO_HS.power.html" completed
Generate file "E:\FIFO_HS\impl\pnr\FIFO_HS.pin.html" completed
Generate file "E:\FIFO_HS\impl\pnr\FIFO_HS.rpt.html" completed
Generate file "E:\FIFO_HS\impl\pnr\FIFO_HS.rpt.txt" completed
Generate file "E:\FIFO_HS\impl\pnr\FIFO_HS.sdf" completed
Generate file "E:\FIFO_HS\impl\pnr\FIFO_HS.vo" completed
Generate file "E:\FIFO_HS\impl\pnr\FIFO_HS.tr.html" completed
Generate file "E:\FIFO_HS\impl\pnr\FIFO_HS.posp" completed
Fri May 06 09:20:08 2022
```

% run pnr|

Console Message

### 4.1.2 Tcl コマンドラインで実行

GOWIN Tcl コマンドライン・コンソールのパス：インストール・ディレクトリの¥x.x¥IDE¥bin¥gw\_sh.exe

方法 1：gw\_sh.exe を直接使用し、Enter キーを押してコマンド実行します。このモードでの実行方法は、Tcl コマンド編集ウィンドウの実行方法と同じであり、Tcl コマンドは 1 つずつ実行されます(図 4-2)。

図 4-2 Tcl コマンドライン方法

```
*** GOWIN Tcl Command Line Console ***
% add_file -type verilog "E:/FIFO_HS/src/test_fifo.v"
add new file: "E:/FIFO_HS/src/test_fifo.v"
% add_file -type verilog "E:/FIFO_HS/src/FIFO_HS/FIFO_HS.v"
add new file: "E:/FIFO_HS/src/FIFO_HS/FIFO_HS.v"
%
```

方法 2 : gw\_sh.exe [script file]を使用してスクリプトファイルを実行します(図 4-3)。Tcl スクリプトファイルには、デバイス情報、設計ファイル、プロセスオプション、プロセス実行など、サポートされているすべての Tcl コマンドが含まれます。Tcl スクリプトファイルの内容は次のとおりです。Tcl スクリプトファイルは手入力または **saveto** コマンドで生成できます。**saveto** コマンドで Tcl スクリプトを生成する場合、実行コマンドの **run** は含まれていません。必要に応じて **run** コマンドを自分で追加できます。Tcl スクリプトの詳細については、「[4.2 Tcl コマンドのクイックスタート](#)」を参照してください。

図 4-3 Tcl スクリプトファイル方法

```
PS C:\Gowin\Gowin_V1.9.10_x64\IDE\bin> .\gw_sh.exe E:/FIFO_HS/FIFO_HS.tcl
*** GOWIN Tcl Command Line Console ***
current working directory: E:/tcl/FIFO_HS_tcl
GowinSynthesis start
Running parser ...
Analyzing Verilog file 'E:/tcl/FIFO_HS_tcl/src/FIFO_HS.v'
Analyzing Verilog file 'E:/tcl/FIFO_HS_tcl/src/rstn_gen.v'
Analyzing Verilog file 'E:/tcl/FIFO_HS_tcl/src/test_fifo.v'
Analyzing Verilog file 'C:\Gowin\Gowin_V1.9.10_x64\IDE\data\ipcores\GAO\GW_AO_0\gw_ao_crc32.v'
Analyzing Verilog file 'C:\Gowin\Gowin_V1.9.10_x64\IDE\data\ipcores\GAO\GW_AO_0\gw_ao_match.v'
Analyzing included file 'C:\Gowin\Gowin_V1.9.10_x64\IDE\data\ipcores\GAO\GW_AO_0\gw_ao_define.v' ('C:\Gowin\Gowin_V1.9.10_x64\IDE\data\ipcores\GAO\GW_AO_0\gw_ao_match.v':374)
```

## 4.2 Tcl コマンドのクイックスタート

gw\_sh.exe を直接使用する場合のコマンドは、Tcl コマンド編集ウィンドウで使用される Tcl コマンドと同じであるため、gw\_sh.exe [script file]を例に Tcl コマンドを紹介します。この tcl スクリプトによって、既存のプロジェクト FIFO\_HS に基づいてプロジェクト FIFO\_HS\_tcl が新規作成され、FIFO\_HS の下の設計ファイルが新しいプロジェクト FIFO\_HS\_tcl にロードされ、プロジェクトが構成されて実行されます。使用される tcl スクリプトの内容は次のとおりです。

#create project

```
create_project -name FIFO_HS_tcl -dir E:/tcl -pn GW1N-LV9LQ144C6/I5 -
device_version C
```

#import design file to FIFO\_HS\_tcl/src

```
import_files -file "E:/FIFO_HS/src/FIFO_HS/FIFO_HS.v"
```

```
import_files -file "E:/FIFO_HS/src/rstn_gen.v"
```

```
import_files -file "E:/FIFO_HS/src/test_fifo.v"
```

```
import_files -file "E:/FIFO_HS/src/FIFO_HS.cst"
```

```
import_files -file "E:/FIFO_HS/src/FIFO_HS.sdc"
```

```
import_files -file "E:/FIFO_HS/src/FIFO_HS.rao"
```

```
import_files -file "E:/FIFO_HS/src/FIFO_HS.gvio"
```

```
import_files -file "E:/FIFO_HS/src/FIFO_HS.gpa"
#####Global Configuration#####
#set output base name
set_option -output_base_name FIFO_HS
#set global frequency
set_option -global_freq 50.000
#####Synthesis Configuration#####
#set synthesis tool
set_option -synthesis_tool gowinsynthesis
#set top module
set_option -top_module test_fifo
#set verilog language
set_option -verilog_std sysv2017
#set ram r/w check
set_option -rw_check_on_ram 1
#####Place & Route Configuration#####
#set generate sdf file
set_option -gen_sdf 1
#set generate post-place file
set_option -gen_posp 1
#set generate post-pnr verilog simulation model file
set_option -gen_verilog_sim_netlist 1
#set place output registers to IOB
set_option -oreg_in_iob 0
#####
#set run process
run all
```

