전자공학개론

1. $15 [\Omega]$ 의 내부 등가 저항을 갖는 전기기기에 $v(t) = 120 \sqrt{2} \sin(wt)$ [V]의 교류 전압을 인가할 때, 전기기기에 흐르는 전류의 실횻값[A]과 순시 전류[A]는?

실횻값

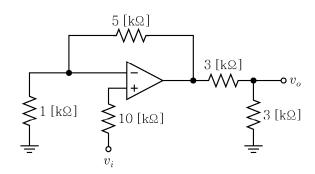
순시 전류

- ① 8
- $8\sin(wt)$

- ② 8
- $8\sqrt{2}\sin(wt)$
- $3 \ 8\sqrt{2}$
- $8\sin(wt)$
- $4 8\sqrt{2}$
- $8\sqrt{2}\sin(wt)$

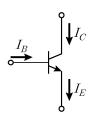
- 2. 최대 260개를 계수할 수 있는 카운터를 설계할 때, 필요한 플립플롭 (flip-flop)의 최소 개수는?
 - ① 6
 - 2 7
 - 3 8
 - 49

3. 다음 연산증폭기에서 전압이득 $\frac{v_o}{v_i}$ 는? (단, 연산증폭기는 이상적이다)



- 1 2
- ② 3
- 3 4
- **4** 5

4. BJT 전류를 표기한 회로가 다음과 같을 때, 직류모드에서 이미터 전류 I_E 와 컬렉터 전류 I_C 의 관계식으로 옳은 것은? (단, $\alpha=\frac{\beta}{\beta+1}$, $\beta=\frac{I_C}{I_B}$ 이다)



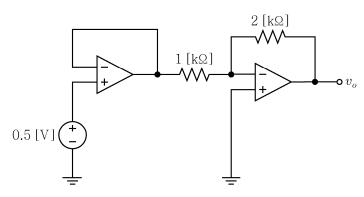
- $] I_E = \alpha I_C$
- ② $I_E = \frac{1}{\alpha}I_C$

5. 다음 카르노 맵(Karnaugh map)과 일치하는 논리식은?

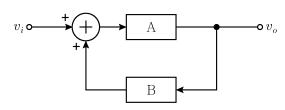
BC A	0	1
00	0	1
01	0	0
11	1	0
10	1	1

- $2 A\overline{B} + B\overline{C}$

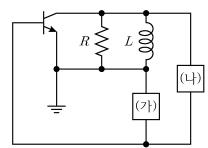
6. 다음 연산증폭기 회로에서 출력전압 v_o [V]는? (단, 연산증폭기는 이상적이다)



- ① -1.5
- \bigcirc -1.0
- ③ 1.0
- 4 1.5
- 7. 다음 궤환회로에서 발진조건은? (단, v_i 는 입력, v_o 는 출력, A, B는 각 부분의 전달함수이다)

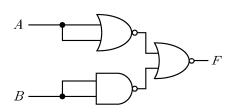


- ① AB = $1 \angle -180^{\circ}$
- ② $AB = 1 \angle 0^{\circ}$
- ③ AB = $0 \angle -180^{\circ}$
- 4 AB = $0 \angle 0^{\circ}$
- 8. 다음 하틀리(Hartley) 발진기를 구성하기 위한 회로에서 (7)와 (나)에 알맞은 소자는? (단, R, L, C는 각각 저항, 인덕터, 커패시터이다)



- (가)
- (나)
- \bigcirc L
- L
- 2 C3 L
- C C
- 4 C
- L

9. 다음 논리회로에서 출력 F의 논리식은?

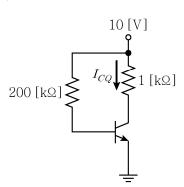


- ① *AB*
- $\bigcirc \overline{A} \overline{B}$
- 3A+B
- $4 \overline{A} + \overline{B}$

10. 정보신호 $m(t) = 8\cos(100\pi t)$ 를 반송파 $f_c(t) = 10\cos(1000\pi t)$ 에 진폭변조할 때, 진폭변조된 신호의 변조지수와 하측파대 신호 주파수[Hz]는? (단, 진폭변조된 신호는 DSB-LC이다)

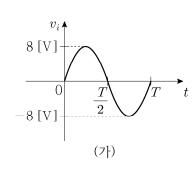
	변조지수	하측파대 신호 주파수
1	0.1	450
2	0.1	900
3	0.8	450
4	0.8	900

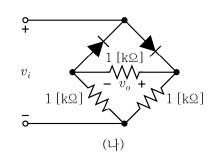
11. 다음 BJT 증폭기 회로에서 컬렉터 전류 I_{CQ} [mA]는? (단, 베이스-이미터 턴온 전압 $V_{BE(ON)}=0.7$ [V], 직류 전류 이득 $\beta=100$ 이고, 저항성분은 무시한다)

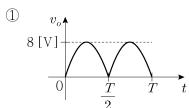


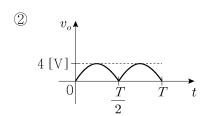
- ① 0.55
- ② 2.55
- ③ 4.65
- 4 5.05

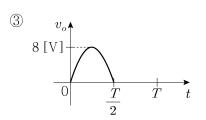
12. 다음 (가) 입력 v_i 를 (나) 회로에 인가하였을 때, 출력 v_o 의 파형은? (단, 다이오드는 이상적이다)

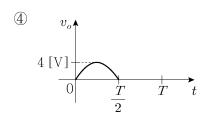






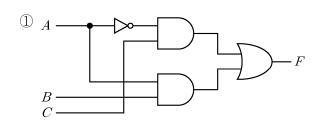


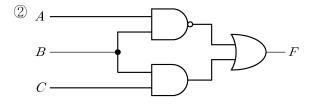


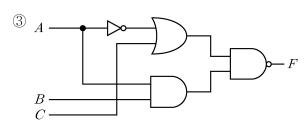


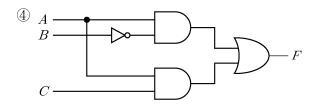
13. 입력 A, B, C에 대하여 다음 논리식 F와 동일한 논리회로는?

$F = ABC + \overline{A}BC + AB\overline{C} + \overline{A}\overline{B}C$

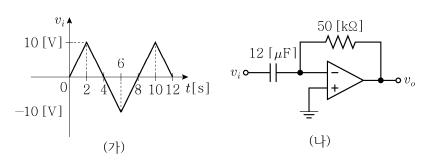








14. 다음 (가) 입력 v_i 를 (나) 회로에 인가했을 때, 4 < t[s] < 6 구간에서 출력전압 v_o [V]는? (단, 연산증폭기는 이상적이다)

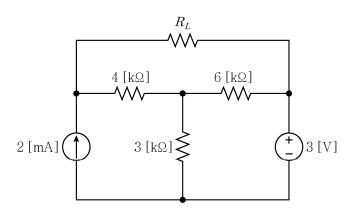


- ① 2
- ② 3
- 3 5
- 4 6

15. 64-QAM(quadrature amplitude modulation)으로 변조된 신호를 15 [MHz]의 나이퀴스트(Nyquist) 대역폭을 사용한 이상적인 시스템에서 전송할 경우, 전송속도[Mbps]는?

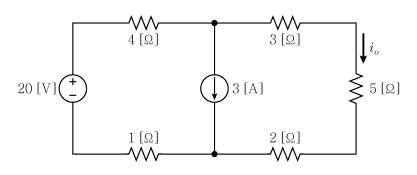
- ① 90
- 2 108
- ③ 120
- 4 150

16. 다음 회로에서 부하 R_L 에 최대 전력 전달을 위한 부하 R_L $[k\Omega]$ 과 이 부하에 전달되는 최대 전력 P_L [mW]은?



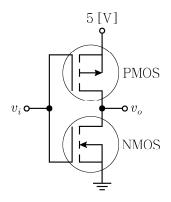
- R_L
- P_L
- ① 3
- 3
- <u>25</u>
- 4 6
- $\frac{25}{6}$

17. 다음 회로에서 저항 $5[\Omega]$ 에 흐르는 전류 $i_o[A]$ 는?



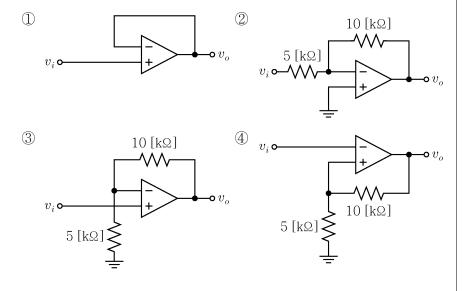
- ② $\frac{2}{3}$
- $3 \frac{4}{3}$
- $4) \frac{5}{3}$

19. 다음 CMOS 회로에 대한 설명으로 옳지 않은 것은? (단, PMOS, NMOS는 이상적인 스위치로 동작한다)

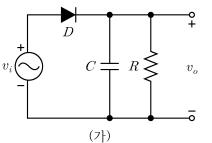


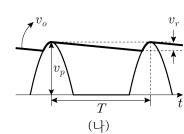
- ① $v_i = 0$ [V]일 때, NMOS는 OFF된다.
- ② $v_i = 0$ [V]일 때, PMOS는 ON된다.
- ③ $v_i = 5$ [V]일 때, NMOS는 OFF된다.
- ④ $v_i = 5$ [V]일 때, PMOS는 OFF된다.

18. 연산증폭기 회로에서 슈미트 트리거(Schmitt trigger) 회로는? (단, 연산증폭기는 이상적이다)



20. 다음 (가) 정류회로의 출력값 v_o 가 (나)와 같이 최대 전압 v_p 와 리플전압 v_r 로 출력되도록 설계할 경우, C값에 가장 가까운 값[μ F]은? (단, v_r 값이 v_p 의 1%가 되고 R=2 [k Ω], 입력 사인파 주파수 f=60 [Hz], $RC\gg T$ 이며, 다이오드는 이상적이다)





- ① 12
- ② 83.3
- ③ 120
- 40833