## 전 자 회 로 (9급)

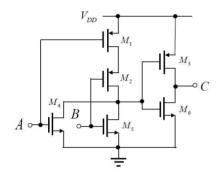
(과목코드 : 093)

2023년 군무원 채용시험

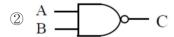
응시번호:

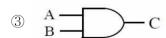
성명:

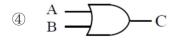
- 1. 전자회로에 사용되는 소자에 대한 설명으로 가장 옳지 않은 것은?
  - ① 저항은 전력을 소비하는 소자이다.
  - ② 커패시터와 인덕터는 에너지를 저장할 수 있는 소자이다.
  - ③ 다이오드는 반도체소자로 전력을 소비한다.
  - ④ MOSFET는 반도체 소자로 항상 전류원으로 모델링된다.
- 2. 다음 CMOS 논리회로에 대한 논리게이트 심볼은?



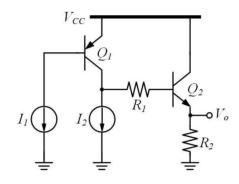




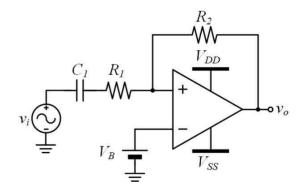




3. 아래 회로에서  $I_{I}$ =20[ $\mu$ A],  $I_{Z}$ =1[mA],  $\beta_{I}$ =100,  $\beta_{Z}$ =50,  $R_{I}$ =100[ $\Omega$ ],  $R_{Z}$ =5[ $\Omega$ ],  $V_{CC}$ =10[V]일 때,  $V_{o}$ 의 값을 구하시오. ( $\beta_{I}$ 과  $\beta_{Z}$ 는 트렌지스터  $Q_{I}$ 과  $Q_{Z}$ 의 전류이득이며, 얼리효과는 무시한다.)

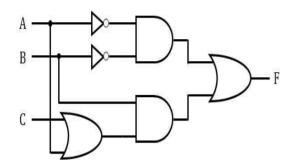


- ① 255[mV]
- ② 2.31[V]
- ③ 10.44[V]
- 4) 161[mV]
- 4. 이득이 R₂/R₁인 반전증폭기를 구현하기 위해 아래와 같이 회로를 설계하였으나, 이득이 원했던 값으로 나오지 않았다. 원하는 이득값을 가지도록 회로를 변경하려면 어떻게 해야 하는가? (C₁은 매우 큰 값을 가진다고 가정하며, 이상적인 연산증폭기가 사용되었다.)



- ① *C*<sub>1</sub>을 제거한다.
- ② 연산증폭기의 두 입력 단자를 서로 바꾸어 준다.
- ③  $R_1$ 과  $R_2$ 의 위치를 서로 교환한다.
- ④ 연산증폭기 (-) 입력의 전압  $V_B$ 를 제거한다.

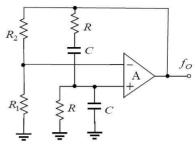
5. 다음 그림의 논리 게이트를 나타낸 논리식 F로 올바른 것은?



- ①  $F = AB + \overline{B}(A + C)$
- ②  $F = \overline{A} + \overline{B} + B + AC$

- 6. 다음 중, 부귀환(Negative Feedback)에 대한 설명으로 가장 옳지 않은 것은?
  - ① 시스템의 이득을 증가시킨다.
  - ② 시스템의 대역폭을 넓힌다.
  - ③ 입출력 임피던스(impedance)의 크기를 바꾼다.
  - ④ 선형성을 증가시킨다.
- 7. 전자회로에서의 잡음(noise)에 대한 설명으로 가장 옳지 않은 것은?
  - ① 저항에서 발생하는 열잡음(thermal noise)은 온도가 올라가면 증가한다.
  - ② 일반적인 트랜지스터 회로에서는 인덕터를 출력단과 ground 사이에 연결하면 잡음 제거를 할 수 있다.
  - ③ 트랜지스터에서도 열잡음(thermal noise)이 발생한다.
  - ④ 트랜지스터 자체에서 발생하는 저주파 잡음 으로는 플릭커 잡음(flicker noise)이 있다.

8. 다음 회로에서 발진주파수 $f_o[Hz]$ 와 발진할 수 있는 조건을 바르게 구한 것은? (단, 연산증폭기는 이상적이다.)



① 발진주파수 :  $f_o = \frac{1}{2\pi RC}$ 

발진조건 :  $R_1 = 10[k\Omega]$ ,  $R_2 = 15[k\Omega]$ 

② 발진주파수 :  $f_o = \frac{1}{4\pi RC}$ 

발진조건 :  $R_1 = 10[k\Omega]$ ,  $R_2 = 21[k\Omega]$ 

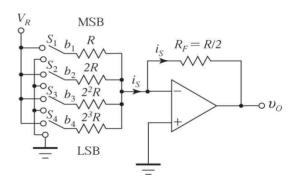
③ 발진주파수 :  $f_o = \frac{1}{4\pi RC}$ 

발진조건 :  $R_1 = 10[k\Omega]$ ,  $R_2 = 15[k\Omega]$ 

④ 발진주파수 :  $f_o = \frac{1}{2\pi RC}$ 

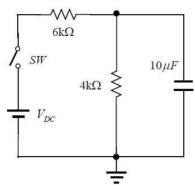
발진조건 :  $R_1 = 10[k\Omega]$ ,  $R_2 = 21[k\Omega]$ 

9. 다음 가산기(또는 가중저항)형 D/A(디지털 아날 로그) 변환기 회로에서  $V_R$ 이 -5[V]이고 스위치 2진수 가  $b_1b_2b_3b_4=1010$ 일 때 출력전압은?

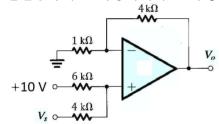


- ① -4.0625[V]
- ② -3.125[V]
- 3.125[V]
- 4.0625[V]

10. 다음 회로에서 스위치 SW가 t=0에서 ON된 다고 할 때 시정수  $\tau$ 는?



- ① 0.24[msec]
- ② 240[msec]
- ③ 2.4[msec]
- 4 24[msec]
- 11. 다음 증폭기 회로에서 출력전압  $V_o = 65 [V]$ 가 될 때, 입력전압  $V_s$ 의 값으로 올바른 것은? (단, 연산증폭기는 이상적이라고 가정한다.)



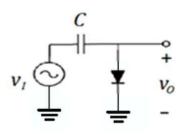
- ① 5[V]
- ② 10[V]
- ③ 15[V]
- 4 20[V]

- 12. 차동전압이득이 100dB인 어떤 연산증폭기의 CMRR(Common-Mode Rejection Ratio)은 80[dB]이다. 이 연산증폭기에 차동성분과 동상성분이 각각 0.1[mV]와 10[mV]인 입력 신호가 인가될 때, 차동출력전압과 동상출력 전압을 바르게 구한 것은?
  - ① 차동출력전압 : 10[V], 동상출력전압 : 1.0[V] ② 차동출력전압 : 10[V], 동상출력전압 : 0.1[V]
  - ③ 차동출력전압 : 1.0[V], 동상출력전압 : 0.1[V]④ 차동출력전압 : 1.0[V], 동상출력전압 : 1.0[V]
- 13. 불 대수의 연산에서  $(A+B)(A+\overline{B})$ 의 결과값 으로 올바른 것은?
  - $\textcircled{1} \ A$

 $\bigcirc \overline{A}$ 

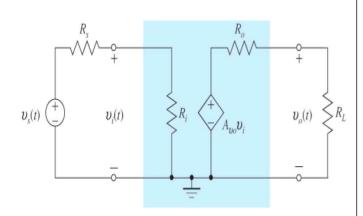
③ B

- $\oplus \overline{B}$
- 14. 다음 회로의 입력 전압,  $v_I(t) = V_P \sin \omega t$  [V] 일 때, 출력 전압 $(v_0)$ 을 가장 옳게 표시한 것은? (단, 다이오드는 이상적이라고 가정한다.)



- ①  $V_0(t) = 0[V]$
- ②  $V_0(t) = V_0 \sin \omega t[V]$
- ③  $V_0(t) = -V_p(1-\sin\omega t)[V]$

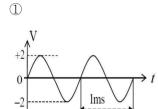
15. 다음 회로에서  $A_v = \frac{v_o(t)}{v_s(t)}$  를 바르게 구한 것은?

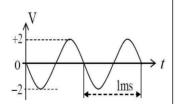


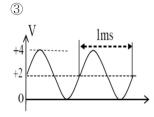
$$② \ A_v = \frac{R_s}{R_s + R_i} \bullet \ \frac{R_L}{R_o + R_L} \bullet \ A_{vo}$$

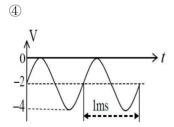
16. 다음 그림 중에서V=2+2sin(2π • 1,000t)[V]에 대한

 $V = 2 + 2\sin(2\pi \cdot 1,000t)[V]$ 에 대한 파형을 바르게 그린 것은? (t: Second 단위의 시간)







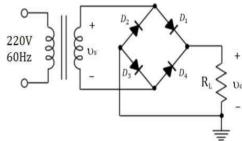


17. 다음 카로노맵에서 최소 곱의 합(SOP: Sum Of Product)를 바르게 구한 것은?

CD AB	00	01	11	10
00	1			1
01	1	1		1
11	1	1		1
10	1		1	1

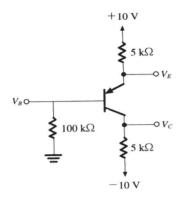
- $\bigcirc \overline{D} + A \overline{B} \overline{C} + B \overline{C}$
- $\bigcirc \overline{D} + A \overline{B} C + \overline{B} \overline{C}$
- $\bigcirc A D + A \overline{B} C + B \overline{C}$
- 18. 다음 정류기에서 v<sub>s</sub>>0일 때, 다이오드 D4에 걸리는 최대전압 (a), 출력전압 v<sub>o</sub>의 최댓값 (b)에 가장 가까운 값은?
  (단, v<sub>s</sub>의 최댓값은 7[V], 다이오드 D1~D4의

순방향 전압은 0.7[V]로 가정한다.)

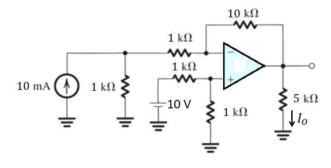


- ① (a) 6.3[V], (b) 5.6[V]
- ② (a) 5.6[V], (b) 6.3[V]
- ③ (a) 6.3[V], (b) 7.7[V]
- 4 (a) 0.7[V], (b) 5.6[V]

19. 다음 회로에서  $V_B = 1$  [V]이다. 전압  $V_C$ , 전류이득  $\beta$  의 값으로 올바른 것은? (단,  $V_{EB}$  = 0.7[V]로 가정한다.)

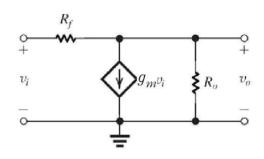


- ①  $V_C = -0.25[V], \quad \beta = 195$
- ②  $V_C = -1.75[V]$ ,  $\beta = 165$
- ③  $V_C = -3.25[V]$ ,  $\beta = 135$
- $4 V_C = -4.75[V], \beta = 105$
- 20. 다음 연산증폭기에서 출력 전류  $I_o$  [mA]의 값으로 올바른 것은?(단, 연산증폭기는 이상적이라고 가정한다.)



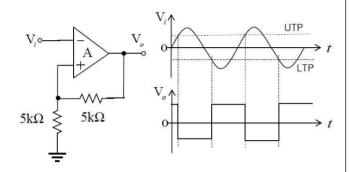
- ① 16 [mA]
- 2 [mA]
- 3 -4 [mA]
- (4) -16 [mA]

21. 다음 증폭기의 전압이득(*v<sub>o</sub>*/*v<sub>i</sub>*)으로 올바른 것은?

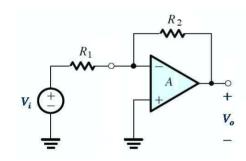


- $4) \frac{1 g_m R_f}{1 + R_f / R_o}$
- 22. 다음 중 pnp형 BJT를 활성(active) 모드로 동작시키기 위한 설명으로 올바른 것은?
  - ① 베이스-이미터 사이의 DC 바이어스 전압을 역방향으로, 컬렉터-베이스 사이의 DC 바이어스 전압을 역방향으로 인가한다.
  - ② 베이스-이미터 사이의 DC 바이어스 전압을 순방향으로, 컬렉터-베이스 사이의 DC 바이어스 전압을 역방향으로 인가한다.
  - ③ 베이스-이미터 사이의 DC 바이어스 전압을 순방향으로, 컬렉터-베이스 사이의 DC 바이어스 전압을 순방향으로 인가한다.
  - ④ 베이스-이미터 사이의 DC 바이어스 전압을 역방향으로, 컬렉터-베이스 사이의 DC 바이어스 전압을 순방향으로 인가한다.

23. 다음 슈미트 트리거(Schmitt trigger) 회로에서포화된 출력전압이 ±10[년일 때UTP와 LTP 값으로 올바른 것은?(UTP:상위트립점, LTP:하위트립점)



- ① UTP = 10[V], LTP = -10[V]
- ② UTP = -10[V], LTP = 10[V]
- $3 \text{ UTP} = 5[V], \qquad \text{LTP} = -5[V]$
- $4 \text{ UTP} = -5[V], \quad \text{LTP} = 5[V]$
- 24. 다음 증폭기의 전압이득(V/V)으로 올바른 것은? (단, 연산증폭기의 이득은 A이고,  $\infty[\Omega]$  입력 저항,  $0[\Omega]$  출력저항을 갖는다고 가정한다.)



- ①  $\frac{-AR_1}{R_1 + R_2/(1+A)}$

- 25. 다음 평활커패시터를 갖는 정류회로에서 리플 (ripple) 전압에 대한 설명중 가장 옳은 것은?
  - ① 리플전압 크기는 커패시터 C 값의 크기에 비례하다.
  - ② 리플전압 크기는 저항기 R 값의 크기에 비례한다.
  - ③ 리플전압 크기는 입력신호 주파수의 크기에 비례한다.
  - ④ 리플전압 크기는 입력신호 주기의 크기에 비례한다.