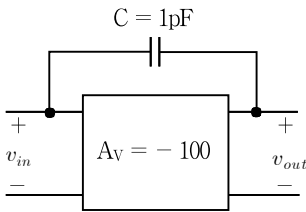


전자회로

문 1. 1보다 작지만 1에 가까운 전압 이득과 상대적으로 큰 전류 이득을 갖는 특징이 있어, 전압 완충기나 다단 증폭기의 출력단에 응용 되는 증폭기 회로는?

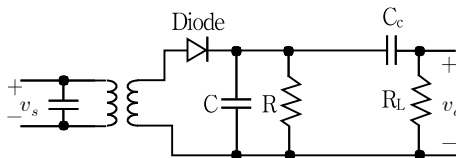
- ① 공통-베이스 증폭기
- ② 이미터 저항을 갖는 공통-이미터 증폭기
- ③ 공통-이미터 증폭기
- ④ 공통-컬렉터 증폭기

문 2. 다음 그림은 입력과 출력 단자 사이에 커패시터를 갖는 증폭기이다. 귀환 커패시터를 입력측과 출력측에 등가 커패시터로 분할하려고 한다. $A_v = -100$, $C = 1\text{pF}$ 인 경우에 입력측 커패시터 C_{in} 과 출력측 커패시터 C_{out} 의 크기 [pF]는?



- | C_{in} | C_{out} |
|----------|-----------|
| ① 1 | 1 |
| ② 101 | 1.01 |
| ③ 1.01 | 101 |
| ④ 100 | 100 |

문 3. 다음 회로는 AM 복조기이다. 이에 대한 설명으로 옳지 않은 것은?

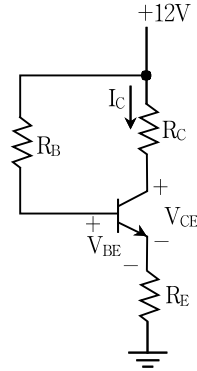


- ① 포락선 검파기라고도 한다.
- ② C - R_L 은 고역통과필터(high pass filter) 역할을 한다.
- ③ Diode와 C 는 피이크(peak) 검출기이다.
- ④ RC 시정수가 크면 클수록 회로 내의 충방전 특성이 빠르다.

문 4. 부하가 없을 때, 출력 전압이 15 V인 정전압 조정기(voltage regulator)에서 10 mA 전부하(full-load) 전류에서의 출력전압이 14.5 V이었다. 이 정전압 조정기의 부하에 따른 전압변동률 [%]은?

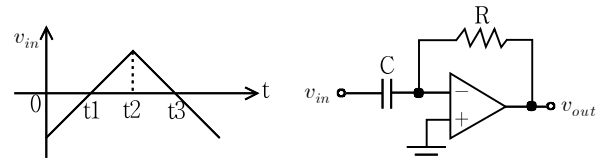
- ① 3.45
- ② - 3.45
- ③ 3.33
- ④ - 3.33

문 5. 다음 회로는 $V_{CE} = 5\text{ V}$, $I_C = 0.5\text{ mA}$ 에서 동작점을 갖는 BJT 증폭기 회로이다. R_C 에 걸리는 전압이 3 V일 때 R_B 와 R_E 의 저항값 [k Ω]은? (단, $\beta = 40$, $V_{BE} = 0.7\text{ V}$ 로 가정)



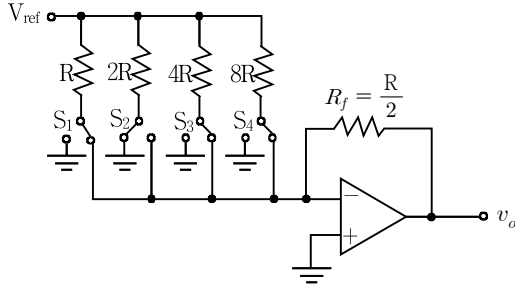
- | R_B | R_E |
|-------|-------|
| ① 120 | 7.8 |
| ② 300 | 9.4 |
| ③ 584 | 7.8 |
| ④ 120 | 5.4 |

문 6. 다음 회로에서 그림과 같은 삼각파 v_{in} 이 입력될 경우에 출력 v_{out} 의 파형으로 옳은 것은?



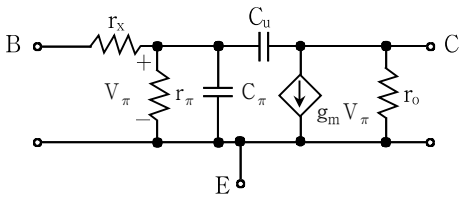
- ①
- ②
- ③
- ④

문 13. 다음 D/A 변환기 회로에서 $V_{ref} = -3V$ 일 때, 출력전압 v_o [V]는?



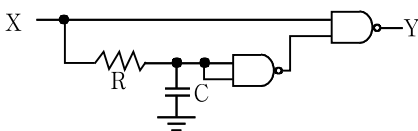
- ① $\frac{33}{16}$ ② $\frac{33}{8}$
 ③ $\frac{12}{16}$ ④ $\frac{36}{16}$

문 14. 바이폴라 접합 트랜지스터(BJT)의 고주파 모델은 다음 그림과 같다. g_m 은 BJT의 트랜스컨덕턴스이며, $C_\pi = C_{je} + C_{de}$ 로 BJT의 베이스-에미터 접합 정전용량(C_{je})과 베이스 충전 또는 확산에 의한 정전용량(C_{de})의 합으로 나타난다. C_u 는 컬렉터-베이스 접합 정전용량이다. BJT의 단위 이득 대역폭(f_T)을 최대로 하는 방법은?



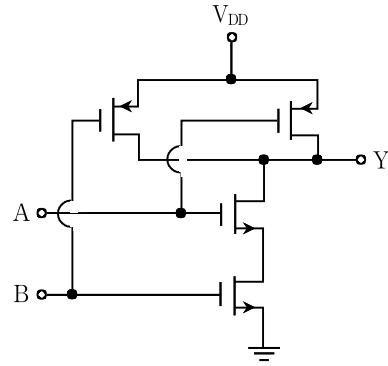
- | | g_m | C_π | C_u |
|------|-------|---------|-------|
| ① 증가 | 감소 | 감소 | |
| ② 증가 | 증가 | 증가 | |
| ③ 감소 | 감소 | 증가 | |
| ④ 감소 | 증가 | 감소 | |

문 15. 다음 회로에서 디지털 입력신호 X에 대하여 출력 Y에서 나타날 수 있는 파형중 옳은 것은? (단, RC 시정수는 X의 주기보다 작다)



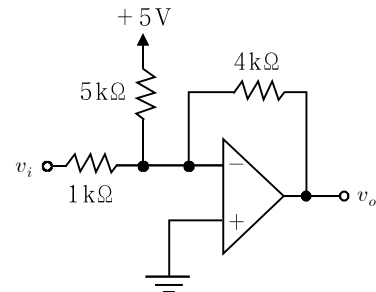
- ① ②
 ③ ④

문 16. 다음 회로는 어떤 종류의 논리 게이트(gate)로 동작하고 있는가? (단, A, B는 입력이며 Y는 출력이다)



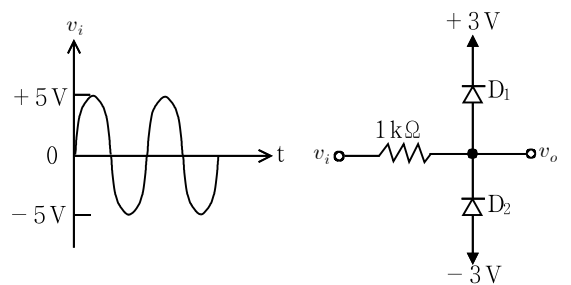
- ① OR ② NOR
 ③ AND ④ NAND

문 17. 다음 회로에서 연산 증폭기는 이상적인 특성을 갖고 있다. v_i 에 $+3V$ 가 인가되면 v_o 에서 관측되는 전압 [V]은?



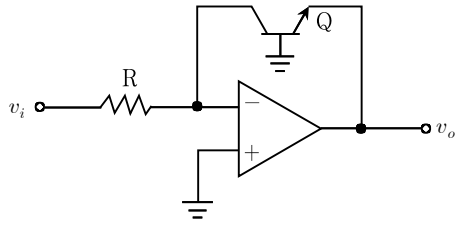
- ① 12 ② -12
 ③ 16 ④ -16

문 18. 다음 다이오드 회로의 입력파형(v_i)이 아래 그림과 같을 때 출력 파형(v_o)으로 알맞은 것은? (단, $V_D = 0.7V$ 이다)



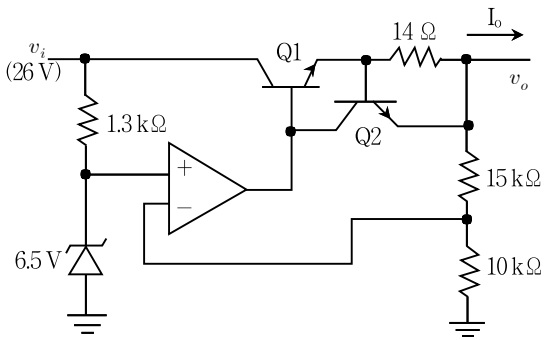
- ① ②
 ③ ④

문 19. 다음 대수증폭기 회로에 대한 출력전압의 표현식은?



- ① $v_o = -V_T \ln \frac{v_i}{RI_S}$ ② $v_o = -V_T \log \frac{v_i}{RI_S}$
 ③ $v_o = -\frac{V_T}{RI_S} \log v_i$ ④ $v_o = -\frac{V_T}{RI_S} \ln v_i$

문 20. 다음 전원변환 회로에서 최대 정격 출력전류 I_o [mA]의 크기에 가장 가까운 것은?



- ① 15 ② 50
 ③ 464 ④ 260