

※ 답안지에 한 번 표기한 답을 백색 수정액으로 정정하거나 칼 등으로 긁어 변형할 경우 그 문항을 무효로 처리함.

1. 디지털 시스템에서는 디지털 신호를 사용하게 된다. 디지털 신호를 설명한 것 중 가장 잘못된 것은?

- ① 이산(discrete)적으로 변화하는 신호이다.
- ② 외부에서 잡음이 혼입되어도 원래의 신호를 재현하기가 수월하다.
- ③ 연속적인 신호를 취급하기 때문에 신호의 입력과 출력이 비례 관계를 갖는다.
- ④ 1(high) 상태와 0(low) 상태로 구분되어 잡음의 영향이 적다.

2. 디지털 시스템에서 사용하는 디지털 데이터에 대한 설명으로 가장 잘못된 것은?

- ① 데이터의 최소단위를 니블(nibble)이라 한다.
- ② 데이터의 우측부터 좌측으로 자릿수가 올라가며 최상위비트를 MSB라 한다.
- ③ 32비트 컴퓨터는 4바이트의 워드(word) 크기를 갖는다.
- ④ 1바이트(byte)는 8비트(bit)로 구성된다.

3. 다음은 3초과 코드에 대한 설명이다. 가장 잘못된 것은?

- ① BCD 코드로 표현된 값에 3(=0011<sub>2</sub>)을 더하여 나타낸 값이다.
- ② 자기보수의 성질을 가지며 현재 값에서 1의 보수를 취하면 10진수에서 9의 보수에 해당하는 값이 된다.
- ③ 두 수를 더하는 덧셈을 행할 때에 더한 결과가 자리올림(carry)이 발생하지 않으면 3(=0011<sub>2</sub>)을 빼고, 이 때 자리올림수에서도 3(=0011<sub>2</sub>)을 뺀다.
- ④ 두 수를 더하는 덧셈을 행할 때에 더한 결과가 자리올림(carry)이 발생하면 3(=0011<sub>2</sub>)을 더하고, 이 때 자리올림수에도 3(=0011<sub>2</sub>)을 더한다.

4. 다음 8진수 연산 11<sub>8</sub> - 33<sub>8</sub> 결과를 8비트 2의 보수로 표현한 것은?

- ① 11101110<sub>2</sub>    ② 11101101<sub>2</sub>    ③ 10100000<sub>2</sub>    ④ 10101010<sub>2</sub>

5. 6비트로 표현된 1의 보수인 2개의 수 A=110010<sub>2</sub>과 B=010101<sub>2</sub>에 대해 A+B, A-B를 각각 수행했을 때 overflow의 유무가 바르게 짝지어진 것은?

- ① A+B: overflow, A-B: overflow
- ② A+B: overflow, A-B: no overflow
- ③ A+B: no overflow, A-B: overflow
- ④ A+B: no overflow, A-B: no overflow

6. 다음의 10진수 중 2진수로 변환했을 때 유한하게 표현할 수 없는 것은?

- ① 0.5<sub>10</sub>    ② 0.125<sub>10</sub>    ③ 0.25<sub>10</sub>    ④ 0.1<sub>10</sub>

7. 데이터비트가 8비트일 때 해밍코드(Hamming code)를 만들기 위해서는 패리티 비트를 부가해야 한다. 패리티 비트의 위치로 적합하지 않은 것은?

- ① 2번째 자리    ② 4번째 자리    ③ 6번째 자리    ④ 8번째 자리

8. 다음 중 2진수 11010010<sub>2</sub>을 그레이(gray) 코드로 올바르게 변환한 것은?

- ① 11001011<sub>2</sub>    ② 10111011<sub>2</sub>    ③ 10101010<sub>2</sub>    ④ 10001000<sub>2</sub>

9. 다음 중 부울 대수의 등식이 성립하지 않는 것은?

- ①  $(A+B)(A+\bar{B})=A$
- ②  $(A+B)(\bar{A}+C)(B+C)=(A+B)(\bar{A}+C)$
- ③  $(A+B)(A+\bar{B}+C)=(A+B)(A+C)$
- ④  $(A+B)(\bar{A}+C)=AC+BC$

10. 무관항(don't care)을 포함하고 있는 다음 함수를 카르노 맵(Karnaugh map)을 이용해 최소화한 부울 함수로 가장 올바른 것은?

$$F(A,B,C,D)=\sum m(2, 9, 10, 12, 13)+\sum d(1, 4, 5)$$

- ①  $\bar{B}C+\bar{C}D+\bar{B}\bar{D}$     ②  $\bar{B}\bar{C}+\bar{C}D+\bar{B}C\bar{D}$
- ③  $AB\bar{C}+A\bar{C}D+\bar{B}C\bar{D}$     ④  $\bar{B}C+\bar{C}D+\bar{B}C$

11. 최대항의 전개로 표현된 아래 부울 함수 F를 간소화한 것으로 가장 올바른 것은?

$$F(A,B,C,D)=\prod M(0, 2, 4, 6, 9, 11, 13, 15)$$

- ①  $\bar{A}\bar{D}+AD$     ②  $\bar{A}D+A\bar{D}$
- ③  $\bar{B}\bar{C}+BC$     ④  $\bar{B}C+B\bar{C}$

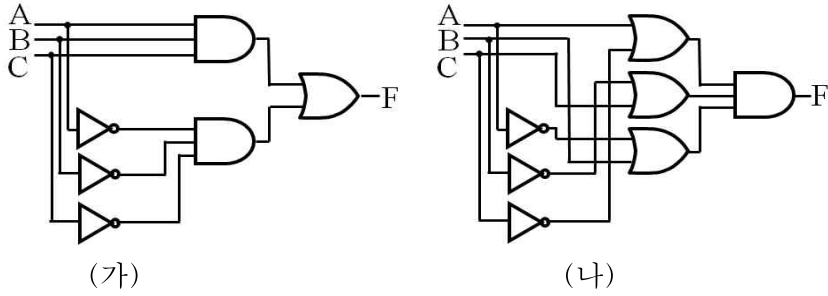
12.  $F(A,B,C,D) = \sum m(0, 1, 2, 5, 8, 9, 10)$ 을 논리 합의 곱(product of sums)으로 간소화한 것으로 가장 올바른 것은?

- ①  $F = \bar{B}\bar{D} + \bar{B}\bar{C} + \bar{A}\bar{C}D$
- ②  $F = AB + CD + B\bar{D}$
- ③  $F = (\bar{A} + \bar{B})(\bar{C} + \bar{D})(\bar{B} + D)$
- ④  $F = (B + D)(B + C)(A + C + \bar{D})$

13. 다음 설명 중 가장 잘못된 것은? [단, 게이트 입력 비용(gate input cost)은 인버터(inverter)를 고려하지 않을 때의 총 게이트 입력 카운트를 의미한다.]

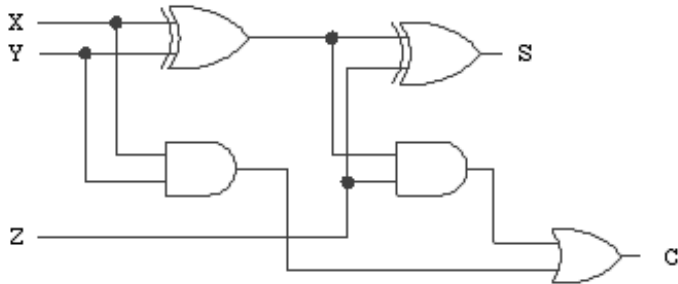
- ①  $G=\bar{A}\bar{C}\bar{D}+\bar{A}D+\bar{B}C+CD+A\bar{B}\bar{D}$ 에서 게이트 입력 비용은 17이다.
- ②  $G=\bar{A}\bar{C}\bar{D}+\bar{A}D+\bar{B}C+CD+A\bar{B}\bar{D}$ 를 최소화하면  $G=CD+\bar{A}\bar{C}+\bar{B}\bar{D}$ 로 정리할 수 있다.
- ③  $G=CD+\bar{A}\bar{C}+\bar{B}\bar{D}$ 의 게이트 입력 비용은 9이다.
- ④  $G=A+BC+\bar{B}\bar{C}$ 의 게이트 입력 비용은 8이다.

14. 다음과 같은 두 논리회로 (가)와 (나)에 대한 설명으로 가장 잘못된 것은?



- ① (가)는 (나)보다 게이트 입력 비용(gate input cost) 측면에서 효율적이다.
- ② (가)와 (나)는 동일한 동작을 수행한다.
- ③ (나)에서 인버터(inverter)에 대한 입력을 포함한 게이트 입력 비용은 11이다.
- ④ (가)와 (나)에서 리터럴(literal)의 수는 공통적으로 6이다.

15. 다음 회로는 2개의 반가산기와 하나의 OR 게이트에 의한 전가산기를 실현시킨 것이다. 출력 S의 함수로 올바른 것은?



- ①  $S = \bar{X}Y\bar{Z} + X\bar{Y}\bar{Z} + XYZ + \bar{X}\bar{Y}Z$
- ②  $S = \bar{X}Y\bar{Z} + X\bar{Y}\bar{Z} + XYZ$
- ③  $S = XY\bar{Z} + X\bar{Y}\bar{Z} + XYZ + \bar{X}\bar{Y}Z$
- ④  $S = XY\bar{Z} + \bar{X}\bar{Y}\bar{Z} + \bar{X}\bar{Y}Z$

16. 다음은 디코더와 인코더에 대한 설명이다. 가장 잘못된 것은?

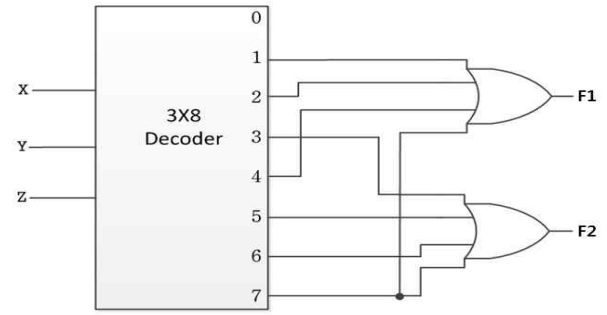
- ① 디코더는  $n$ 개의 입력선으로부터 2진식 정보를 최대  $2^n$ 개의 독자적인 출력선으로 변환하는 조합 회로이다.
- ② 디코드 된  $n$ 비트의 정보가 사용되지 않는 무정의의 조합들을 갖고 있다면, 디코더의 출력은  $2^n$ 보다 많은 출력을 갖고 있을 것이다.
- ③ 인코더는 디코더의 기능으로부터 반대되는 동작을 만들어 내는 디지털 회로이다.
- ④ 인코더는  $2^n$ (또는 그 이하)의 입력선과  $n$ 개의 출력선을 갖고 있다.

17. 4개의 입력변수의 우선순위가  $D_0 < D_1 < D_2 < D_3$ 가 되고 2개의 출력변수가 나오는 우선순위 인코더(priority encoder)를 설계하고자 한다.  $V$ 로 표시되는 유효출력지시계(valid-output indicator)는 하나 또는 여러 개의 입력이 1일 때만 1을 나타내고, 모든 입력이 0일 때 회로의 다른 두 출력은 사용할 수 없게 된다. 유효출력지시계의 출력 값을 가장 올바르게 나타낸 것은?

(단, 입력변수는  $D_0D_1D_2D_3$ 이고 출력변수는  $xyV$ 로 설정한다.)

- ①  $V = D_2 + D_3$
- ②  $V = D_0D_1D_2D_3$
- ③  $V = D_3 + D_1\bar{D}_2$
- ④  $V = D_0 + D_1 + D_2 + D_3$

18. 다음 회로의 주요 기능은 무엇인가?

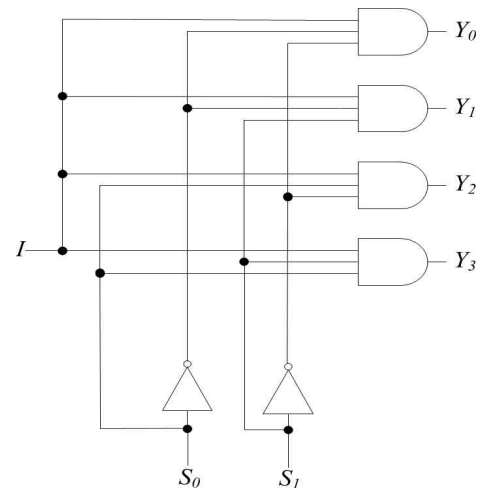


- ① 반가산기
- ② 전가산기
- ③ 인코더
- ④ 멀티플렉서

19. 다음은 MSI(Medium-Scale Integration)부품에 대한 설명이다. 가장 잘못된 것은?

- ① 인에이블(enable) 입력이 있는 디코더는 디멀티플렉서(demultiplexer)의 기능을 할 수 있다.
- ② 디지털 디멀티플렉서는 많은 입력선 중의 하나로부터 2진식 정보를 선택하여 단일 출력 선으로 돌려주는 조합회로이다.
- ③ 전부는 아니더라도 대부분의 IC 디코더는 회로의 동작을 제어하기 위하여 하나 또는 그 이상의 인에이블 입력을 포함하고 있다.
- ④ 멀티플렉싱(multiplexing)은 소수의 채널 또는 선로에 다수의 정보단위를 전송함을 의미한다.

20. 다음 논리회로의 기능은 무엇인가?

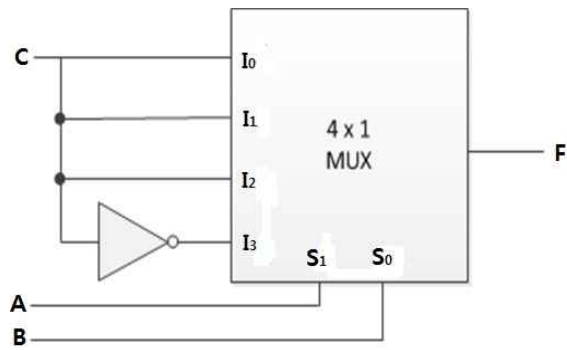


- ① 전가산기
- ② 코드 변환기
- ③ 디멀티플렉서
- ④ 디코더

21.  $8 \times 1$  멀티플렉서에서 선택입력  $B, C, D$ 를 가지고 있다.  $I_0$ 로부터  $I_7$ 까지의 데이터 입력이  $I_0 = I_2 = I_6 = 0, I_4 = I_5 = I_7 = 1, I_1 = I_3 = A$ 와 같을 때, 멀티플렉서가 구현하는 부울함수로 가장 올바르게 표현한 것은?

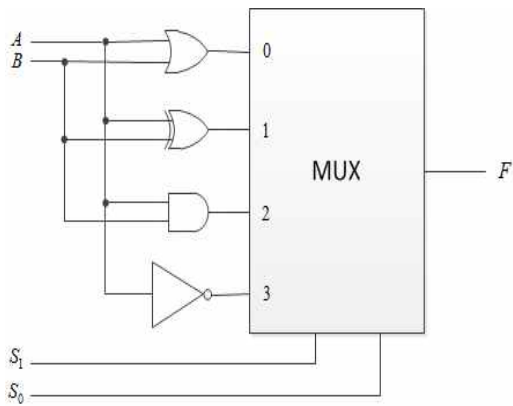
- ①  $AC + \bar{A}\bar{C} + BCD$
- ②  $\bar{C}D + \bar{B}\bar{C}D + AD$
- ③  $\bar{B}\bar{C} + BD + AD$
- ④  $A + \bar{B}\bar{C} + BCD$

22. 다음 그림과 같이 멀티플렉서를 이용하여 구성된 조합논리 회로가 나타내는 출력 F를 최소항(minterm)의 전개로 올바르게 표현한 것은?



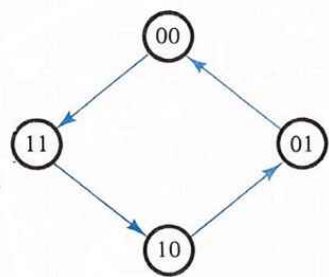
- ①  $F(A,B,C) = \sum m(1, 3, 5, 6)$
- ②  $F(A,B,C) = \sum m(0, 1, 5, 8)$
- ③  $F(A,B,C) = \sum m(2, 5, 7, 8)$
- ④  $F(A,B,C) = \sum m(0, 2, 4, 6)$

23. 다음 회로에서 출력 F로 나올 수 없는 것은?



- ①  $\bar{B}$
- ②  $\bar{A}B + A\bar{B}$
- ③  $AB$
- ④  $A + B$

24. 다음과 같은 상태도를 가진 순서논리회로를 JK 플립플롭 (flip-flop)으로 만들기 위한 여기표의 일부이다. 괄호 안에 왼쪽부터 차례대로 들어갈 수 있는 값으로 가장 올바른 것은?



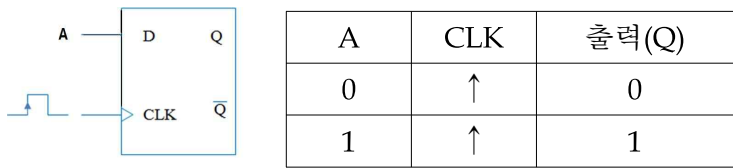
현재상태		다음상태		플립플롭의 동작			
A	B	A	B	JA	KA	JB	KB
0	0	1	1				
0	1	0	0	( )	( )	( )	( )
1	0	0	1				
1	1	1	0				

- ① 1, 0, 1, 0
- ② 0, 1, 0, 1
- ③ X, 0, 1, X
- ④ 0, X, X, 1

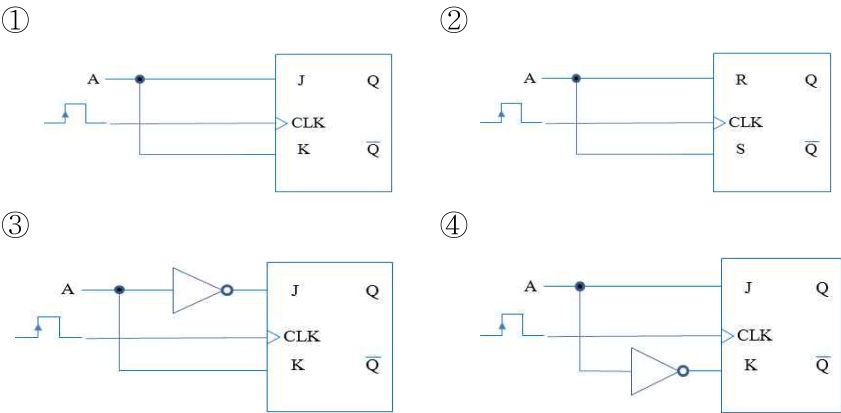
25. 다음 중 매 클럭마다 이전의 출력 값이 반전되어 출력되게 하는 플립플롭(flip-flop)의 타입은?

- ① D 타입
- ② RS 타입
- ③ T 타입
- ④ JK 타입

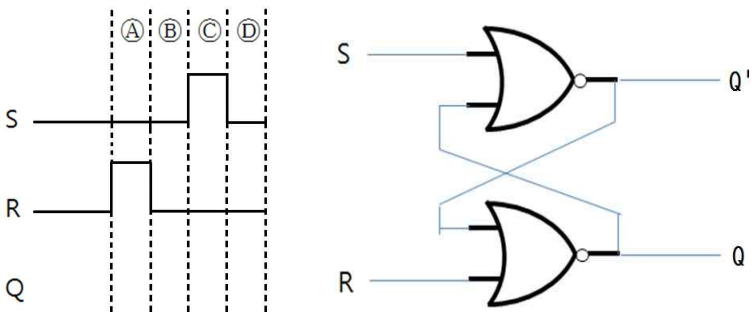
26. D 플립플롭(Flip-Flop)과 같은 출력을 나타내는 회로는 다음 중 어느 것인가? (단, 처음 상승 펄스가 가해지기 전의 Q=1이었다고 가정한다.)



A	CLK	출력(Q)
0	↑	0
1	↑	1



27. 다음 그림 오른쪽은 SR 래치(latch)를 나타낸다. 입력신호 S와 R을 아래 그림 왼쪽과 같이 입력할 때, ㉠부터 ㉣까지의 각 구간에서의 출력 값 Q와 Q'의 값으로 알맞은 것은? (단, 출력 Q는 0으로 초기화 되어 있으며, 게이트에서 전파지연은 없는 것으로 간주한다.)



- ① ㉠에서 Q=1
- ② ㉡에서 Q'=0
- ③ ㉢에서 Q=1
- ④ ㉣에서 Q'=1

28. 다음 시프트 레지스터(shift register)에 대한 설명 중 옳은 내용으로 묶은 것은?

가. 동기 전송은 클럭(CLK) 입력을 이용한다.  
나. 비동기 전송은 클럭(CLK) 입력을 이용한다.  
다. 하나의 레지스터에서 다른 레지스터로 데이터를 가장 빠르게 전송하는 방법은 병렬 전송이다.  
라. 직렬 전송의 경우 병렬 전송에 비하여 회로가 복잡하다.

- ① 가, 라
- ② 다, 라
- ③ 나, 다
- ④ 가, 다

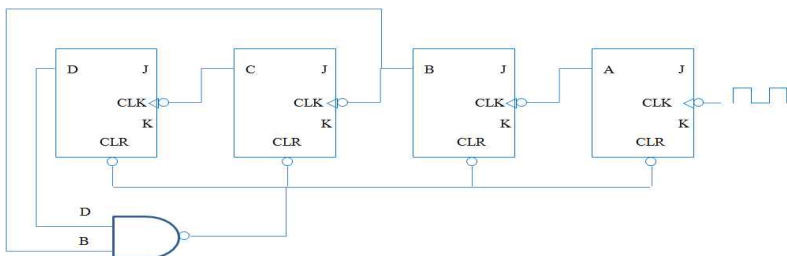
29. 다음 중 레지스터의 설명으로 가장 잘못된 것은?

- ① n비트 레지스터는 n비트의 2진 정보를 저장할 수 있다.
- ② 레지스터는 플립플롭으로 구성되는 조합 논리회로이다.
- ③ 카운터는 근본적으로 입력펄스가 가해짐에 따라 미리 정해진 순서로 진행되는 레지스터이다.
- ④ 레지스터는 자료처리 작업을 수행하는 논리게이트를 가질 수 있다.

30. 8비트 레지스터에  $(-37)_{10}$ 이 2의 보수 표현 방법으로 저장되어 있다. 이를 왼쪽으로 두 번 자리 이동한 경우 저장된 값은?

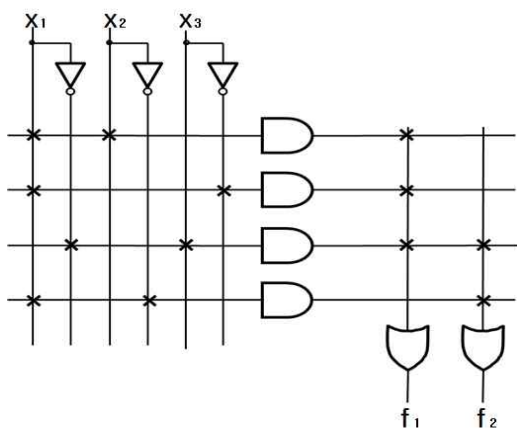
- ①  $(108)_{10}$
- ②  $(104)_{10}$
- ③  $(-37)_{10}$
- ④  $(100)_{10}$

31. 다음은 하강 에지(edge) 트리거 J-K 플립플롭(flip-flop)으로 구성된 비동기식 리플 카운터이다. 이 카운터의 모드(mode) 수를 구하라. [단, 모드 수는 카운터 결과에 의한 논리상태의 수를 의미하며, 모든 J,K입력은 1(high)상태이다.]



- ① 8                      ② 10                      ③ 11                      ④ 16

32. 다음 PLA 회로로 구현한 함수  $f_1$ 과  $f_2$ 의 논리식을 올바르게 표현한 것은?



- $$\begin{aligned} \textcircled{1} \quad f_1 &= (x_1 + x_2)(x_1 + \overline{x_3})(\overline{x_1} + x_3) \\ \textcircled{2} \quad f_1 &= \overline{x_1} \overline{x_2} + \overline{x_1} x_3 + x_1 \overline{x_3} \\ \textcircled{3} \quad f_2 &= (x_1 + \overline{x_3})(\overline{x_1} + x_2) \\ \textcircled{4} \quad f_2 &= \overline{x_1} x_3 + x_1 \overline{x_2} \end{aligned}$$

33. 다음 설명 중 옳은 내용으로 묶은 것은?

가. PLA는 AND plane 과 OR plane을 모두 자유롭게 프로그램 할 수 있다.

나. PAL은 조합회로만 구현할 수 있다.

다. CPLD는 PAL 여러 개를 한 칩에 집적한 것과 유사한 내부 구조를 가지고 있다.

라. CPLD는 1회만 프로그램이 가능하고 한번 프로그램된 내용은 지울 수 없다.

- ① 가, 나      ② 나, 다      ③ 가, 다      ④ 다, 라

34.  $16K \times 1$  메모리 디바이스와  $2K \times 8$  메모리 디바이스를 비교하였을 때, 다음 설명 중 가장 올바른 것은?

- ① 같은 비트 메모리 용량을 가지며, 같은 수의 어드레스 버스를 필요로 한다.
- ② 같은 비트 메모리 용량을 가지며, 다른 수의 어드레스 버스를 필요로 한다.
- ③ 다른 비트 메모리 용량을 가지며, 같은 수의 어드레스 버스를 필요로 한다.
- ④ 다른 비트 메모리 용량을 가지며, 다른 수의 어드레스 버스를 필요로 한다.

35. 다음 설명 중 옳은 내용으로 묶은 것은?

가. TTL(Transistor-Transistor Logic) 디바이스의 경우 어떤 입력을 접속하지 않고 개방상태로 두면 그 입력은 로직 1(high)의 상태가 된다.

나. TTL 디바이스는 CMOS(Complementary Metal Oxide Semiconductor) 디바이스에 비하여 전력소모는 적으나 동작속도가 느리다.

다. CMOS 디바이스는 쌍극성(bipolar) 트랜지스터로 구성된다.

라. CMOS 디바이스의 팬 아웃(fan-out)은 동작 주파수에 따라 다르게 된다.

- ① 가, 다      ② 나, 다      ③ 나, 라      ④ 가, 라

36. 8비트 D/A 변환기가 입력  $00011110_2$ 에 대해 6mA의 출력 전류를 갖는다면 이 변환기의 최대출력전류는 얼마가 되는가?

- ① 50mA                  ② 51mA  
③ 52mA                  ④ 53mA

37. 광센서와 카운터를 이용하여 컨베이어 벨트를 통과하는 품목의 개수를 계수하려고 한다. 500개의 품목을 계수하기 위해서 필요한 최소한의 플립플롭(flip-flop) 수는 얼마인가?

- ① 4                      ② 9                      ③ 12                      ④ 15

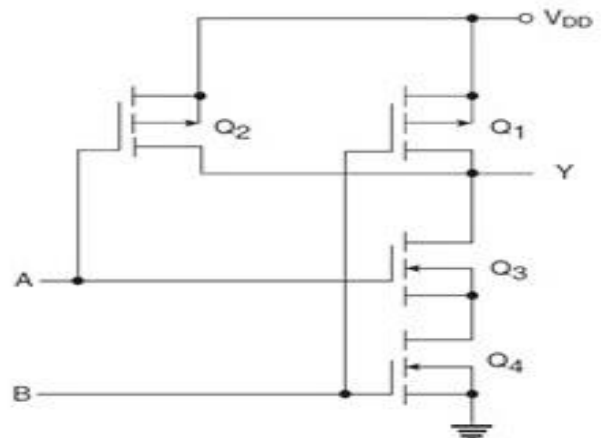
38. 다음 중 디지털 집적회로(Integrated Circuit, IC) 기술의 발전에 따른 장점으로 가장 잘못된 것은?

- ① 생산 가격 절감
- ② 소비 전력 감소
- ③ 처리해야 할 데이터 양 감소
- ④ 디지털 시스템의 신뢰도 향상

39. 다음 설명 중 가장 잘못된 것은?

- ① 전파지연 - 입력과 출력 파형에서 특정 전압 값 사이의 시간 지연
- ② 상승시간 - 펄스신호가 논리 low에서 논리 high로 변할 때 최종 값의 10%에서 90% 사이에 걸리는 시간
- ③ 팬 인(fan-in) - 정상적인 출력에 영향을 주지 않고 단일 출력으로 구동할 수 있는 논리 입력의 수
- ④ 잡음 여유(noise margin) - 논리 계열(logic family)에 의하여 제공되는 잡음 내성(noise immunity)의 정량적 척도

40. 다음 표준 CMOS 회로의 기능은 무엇인가?



- ① NAND 게이트                      ② NOR 게이트  
③ XOR 게이트                      ④ OR 게이트