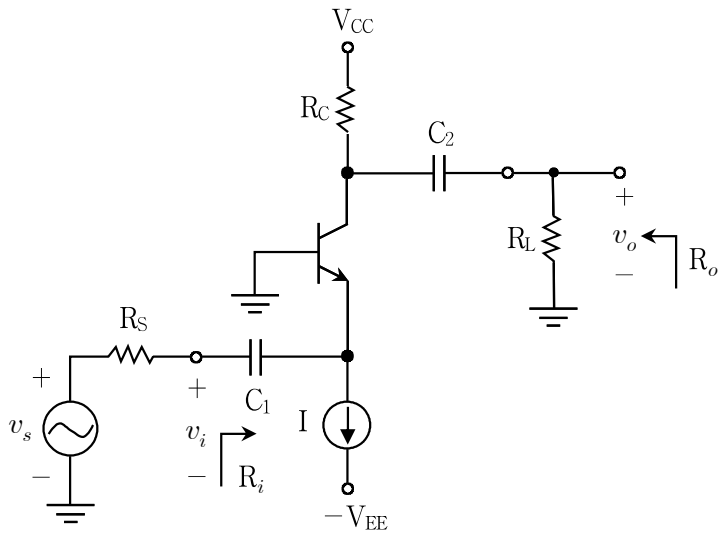


전자회로

문 1. 그림과 같은 공통 베이스(CB) 증폭기에 대한 설명으로 옳지 않은 것은?

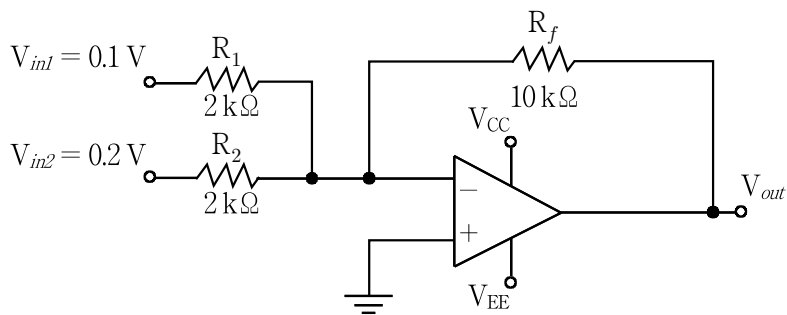


- ① 출력 저항 $R_o = R_C \parallel R_L$
- ② 전압 이득 $A_{v_s} = \frac{v_o}{v_s} = g_m R_C$
- ③ 입력 저항 $R_i = r_e$
- ④ 전류 이득 $A_i = \frac{-\alpha i_e}{i_i} = \alpha$

문 2. CCVS(current controlled voltage source)기본 증폭기에 적합한 궤환(feedback) 형태는?

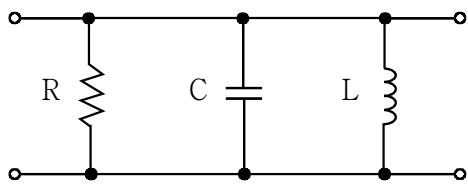
- ① 직렬-병렬(series-shunt) 궤환회로
- ② 병렬-병렬(shunt-shunt) 궤환회로
- ③ 직렬-직렬(series-series) 궤환회로
- ④ 병렬-직렬(shunt-series) 궤환회로

문 3. 그림과 같은 이상적인 연산증폭기 회로의 출력(V_{out}) 전압[V]은?



- ① 1.5
- ② -1.5
- ③ 1
- ④ -1

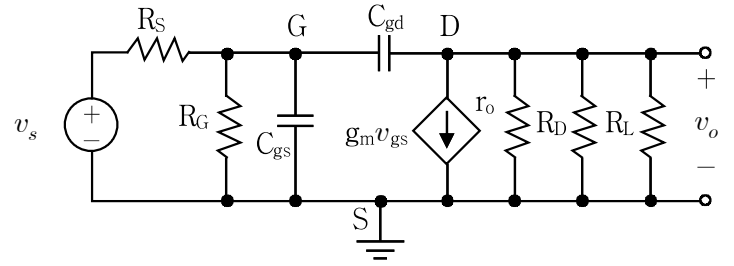
문 4. 아래의 RLC 병렬 공진 회로에 대한 설명으로 옳지 않은 것은?



- ① 공진 주파수는 $f_0 = \frac{1}{2\pi\sqrt{LC}}$ 이다.
- ② 대역폭은 $BW = \frac{\omega_0}{Q}$ 이다.
- ③ 선택도는 $Q = \frac{2\pi f_0 L}{R}$ 이다.
- ④ 공진 주파수에서 전체 임피던스의 크기는 최대이다.

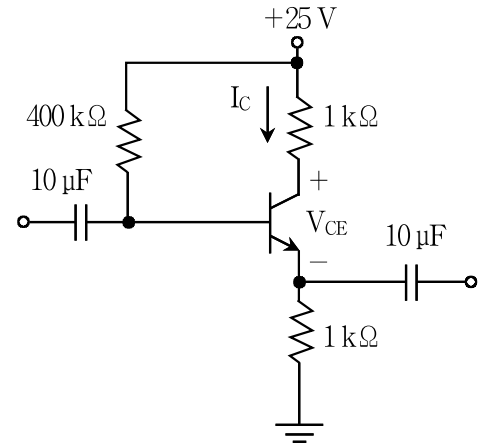
문 5. 아래 고주파 회로의 상위 3-dB 주파수 f_H 를 구하는 식은 다음과 같다. C_i , R_i 값은?

$$f_H = \frac{1}{2\pi C_i R_i}$$



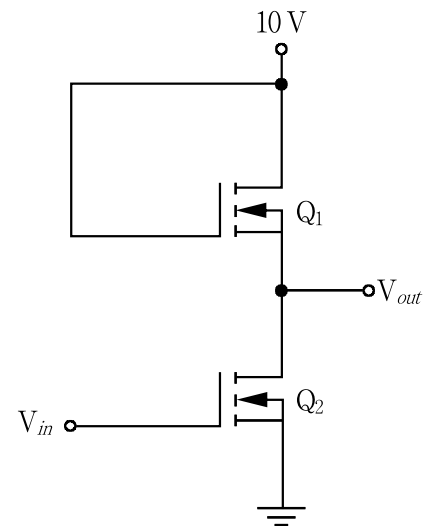
- | C_i | R_i |
|---|---------------------|
| ① $C_{gs} + C_{gd}(1 + g_m R_L)$ | $R_S \parallel R_G$ |
| ② $C_{gs} + C_{gd}(1 + g_m R_L)$ | $R_S + R_G$ |
| ③ $C_{gs} + C_{gd}(1 + g_m(r_o \parallel R_D \parallel R_L))$ | $R_S \parallel R_G$ |
| ④ $C_{gs} + C_{gd}(1 + g_m(r_o \parallel R_D \parallel R_L))$ | $R_S + R_G$ |

문 6. 다음 BJT 트랜지스터 회로에 대한 바이어스 값[I_{CQ} , V_{CEQ}]에 가장 가까운 것은? (단, $\beta = 200$, $V_{BE} = 0.7V$ 이다)



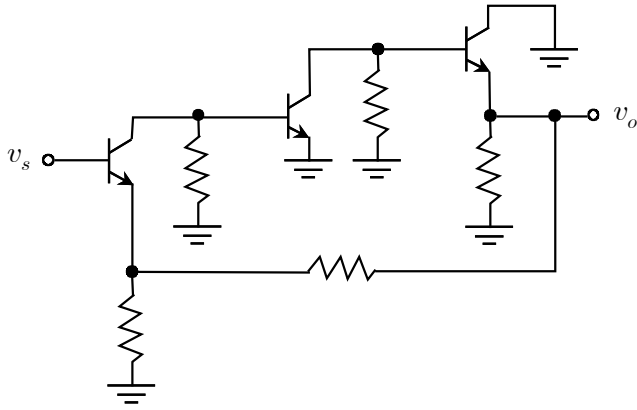
- | | $I_{CQ}[mA]$ | $V_{CEQ}[V]$ |
|---|--------------|--------------|
| ① | 8.1 | 8.8 |
| ② | 3.2 | 10.2 |
| ③ | 5.7 | 11.2 |
| ④ | 6.7 | 12 |

문 7. 다음 MOSFET 회로에서 입력 전압(V_{in})이 low(A)와 high(B) 상태일 때, 각각의 출력 전압(V_{out})[V] 값에 가장 가까운 것은? (단, MOSFET의 $I_{D(active)} = 1mA$ 일 때, $V_{DS(active)} = 5V$ 이고, Q_2 의 $R_{DS(on)} = 200\Omega$ 이다)



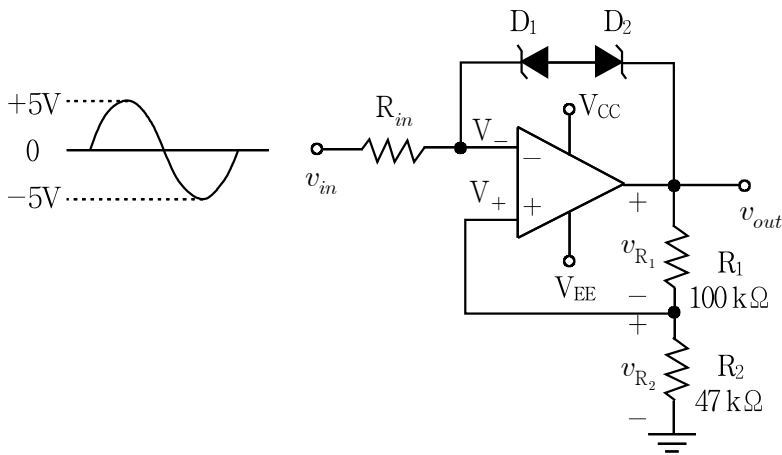
- | | A | B |
|---|----|------|
| ① | 5 | 0.24 |
| ② | 5 | 0.38 |
| ③ | 10 | 0.24 |
| ④ | 10 | 0.38 |

문 8. 다음 궤환증폭기 교류회로에 대한 설명으로 옳지 않은 것은?



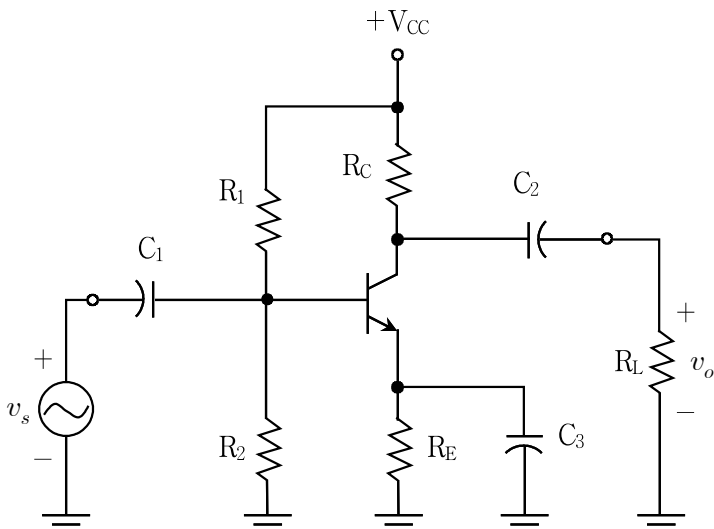
- ① 궤환으로 인하여 입력 저항이 증가한다.
- ② 입력단으로 궤환되는 신호는 전류이다.
- ③ 출력단에서 샘플링되는 신호는 전압이다.
- ④ 궤환으로 주파수 대역폭이 넓어진다.

문 9. 이상적인 연산증폭기로 구성된 회로에 대한 설명으로 옳지 않은 것은? (단, $V_Z = 4.7\text{V}$, $V_T = 0.7\text{V}$, $V_{CC} = 10\text{V}$, $V_{EE} = -10\text{V}$ 이다)



- ① $V_{R1} = \pm 5.4\text{V}$
- ② $V_- = V_+$
- ③ $V_{out} = \pm 7.94\text{V}$
- ④ $V_+ = \pm 4.7\text{V}$

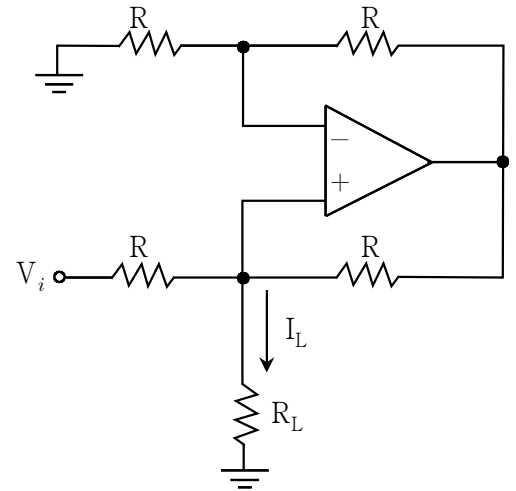
문 10. 다음 회로에서 저주파 대역과 고주파 대역에서 전압 이득이 감소하는 이유로 옳지 않은 것은?



- ① 고주파 대역에서 C_3 에 의한 바이패스 효과가 크기 때문에 이득이 감소한다.
- ② 트랜지스터의 접합 용량은 고주파 대역에서 이득 감소의 원인이 된다.
- ③ C_1 , C_2 는 저주파 대역에서 임피던스에 의한 전압 강하로 전압 이득을 감소시킨다.
- ④ C_3 로 인하여 저주파 대역에서 부궤환 효과로 인하여 이득을 감소시킨다.

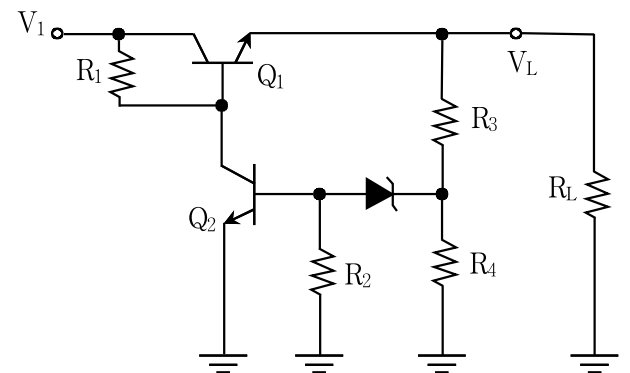
문 11. 다음 회로에서 부하저항 R_L 로 흐르는 전류 I_L 은?

(단, $R \neq R_L$ 이고, 연산증폭기는 이상적이라고 가정한다)



- ① $\frac{V_i}{4R}$
- ② $\frac{V_i}{R}$
- ③ $\frac{V_i}{R_L}$
- ④ $\frac{V_i}{4R_L}$

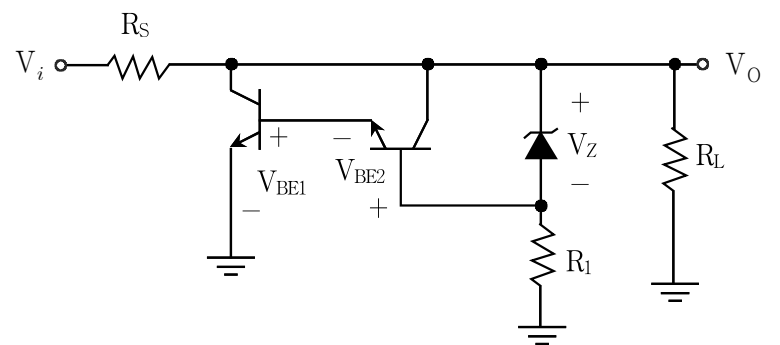
문 12. 다음 정전압 회로에서 외부 영향으로 V_L 의 전압이 강제로 감소될 때, 순간 발생하는 회로 동작에 대한 설명으로 옳지 않은 것은?



- ① Q_1 의 컬렉터 전류(I_{C1})는 증가한다.
- ② Q_1 의 베이스-에미터 전압(V_{BE1})은 증가한다.
- ③ Q_2 의 베이스-에미터 전압(V_{BE2})은 감소한다.
- ④ Q_2 의 컬렉터-에미터 전압(V_{CE2})은 감소한다.

문 13. 다음 정전압 회로의 출력 전압 V_O [V]는?

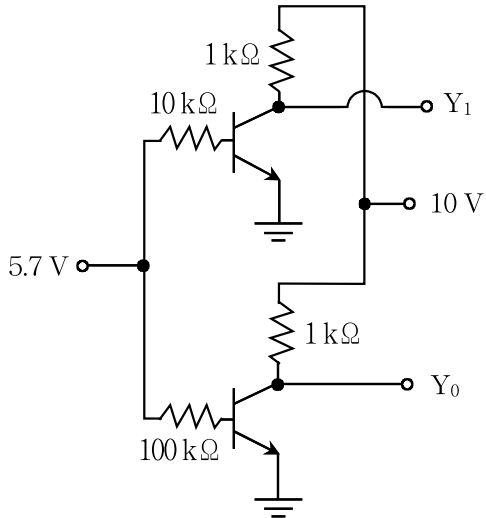
(단, $V_{BE1} = V_{BE2} = 0.7\text{V}$, $V_Z = 5\text{V}$ 이다)



- ① 4.3
- ② 5.0
- ③ 5.7
- ④ 6.4

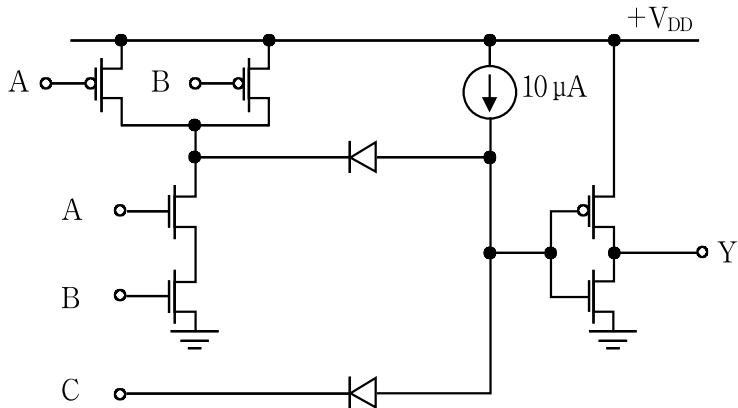
문 14. BJT($\beta = 100$)를 사용하여 구성한 아래 회로의 출력 Y_1Y_0 를 2진수로 표현하면?

(단, 출력 전압 0[V]에서 0.3[V] 사이를 이진수의 0으로 하고, 1[V] 이상을 이진수의 1이라고 가정하고 $V_{BE(on)} = 0.7\text{V}$ 이다)



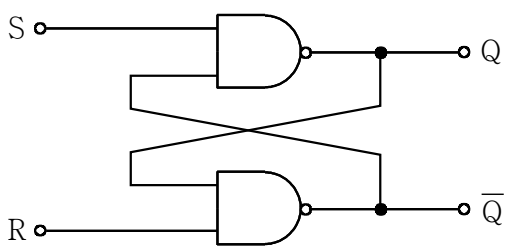
	Y_1	Y_0
①	0	0
②	0	1
③	1	0
④	1	1

문 15. 다음 논리회로의 출력 Y를 옳게 표현한 것은?



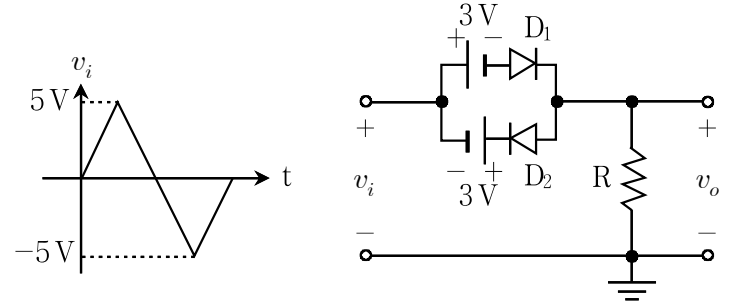
- ① $\overline{AB+C}$
 ② $\overline{AB+C}$
 ③ $\overline{AB+C}$
 ④ $\overline{AB+C}$

문 16. 다음 회로의 NAND latch에서 입력이 $S = 1$, $R = 0$ 일 때 출력 Q 및 \overline{Q} 의 값은?



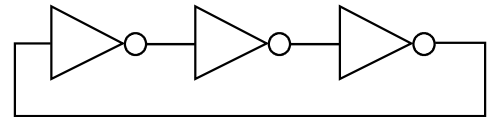
	Q	\overline{Q}
①	0	0
②	1	0
③	1	1
④	0	1

문 17. 다음 회로에서 출력 전압 v_o 의 파형에 대한 설명으로 옳은 것은?
 (단, 보기 중 점선은 입력이고, 실선은 출력이다)



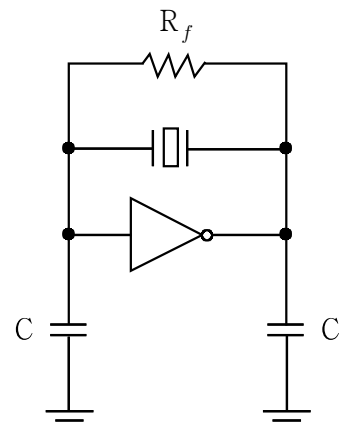
- ① ②
 ③ ④

문 18. 다음은 인버터 3개로 구성된 발진회로이다. 하나의 인버터의 지연 시간이 4ns라고 할 때, 발진 회로 주파수에 가장 근사한 값은?



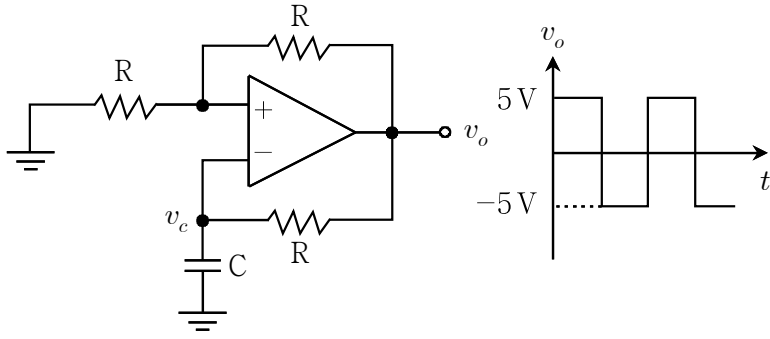
- ① 52 MHz
 ② 63 MHz
 ③ 83 MHz
 ④ 100 MHz

문 19. 다음 회로는 수정 진동자(crystal oscillator)를 이용한 클럭(clock) 발생회로이다. 이 회로의 특징에 대한 설명으로 옳지 않은 것은?



- ① 인버터의 동작점이 0과 1이 변하는 중간쯤에 잡히도록 R_f 값을 결정하면 높은 증폭도를 얻는다.
 ② 수정 발진자의 Q가 매우 크기 때문에 매우 정확하고 안정된 발진 주파수를 얻을 수 있다.
 ③ R_f 를 조절하면 발진 주파수를 조절할 수 있다.
 ④ 수정 발진자의 리액턴스(reactance)가 유도성(inductive)일 때 발진이 일어난다.

문 20. 다음의 구형파 발진회로에서 v_o 가 $V_H = 5V$, $V_L = -5V$ 일 때, v_c 가 변화하는 범위는? (단, 연산증폭기는 이상적이라고 가정한다)



- ① $-2.5V \sim +2.5V$
- ② $-5.0V \sim +5.0V$
- ③ $-7.5V \sim +7.5V$
- ④ $-10.0V \sim +10.0V$