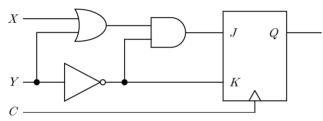
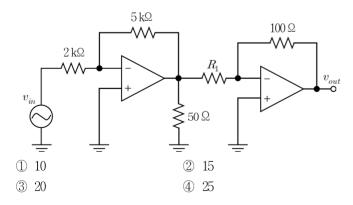
## 전자공학개론

- 문 1. 다음 논리식 중 나머지 셋과 다른 하나는?
  - ①  $\overline{A} \cdot \overline{B} + A \cdot B$
- $\bigcirc \overline{A \oplus B}$
- $(\overline{A} + B) \cdot (A + \overline{B})$
- 문 2. 반도체의 pn 접합에서 발생하는 현상에 대한 설명으로 옳지 않은 것은?
  - ① 순방향 바이어스를 인가할 경우, 전위장벽(potential barrier)이 낮아진다.
  - ② 역방향 바이어스를 인가할 경우, n 영역으로 확산되는 정공의 수가 증가한다.
  - ③ 역방향 바이어스를 인가할 경우, 공핍영역은 확장한다.
  - ④ 평형상태에서 pn 접합부에는 공핍영역이 존재한다.
- 문 3. 다음과 같은 J-K 플립플롭을 이용한 회로에서 *XY* 입력이 11, 10으로 순차적으로 들어갈 경우 *Q*의 변화는? (단, *Q*의 현재값은 1이다)



- ①  $1 \to 0 \to 0$
- $2 1 \rightarrow 0 \rightarrow 1$
- (3)  $1 \rightarrow 1 \rightarrow 0$
- 4  $1 \rightarrow 1 \rightarrow 1$
- 문 4. 다음 회로에서 전체 전압이득  $(v_{out}/v_m)$ 의 절대값을 10으로 만들기 위한 저항  $R_1$  [ $\Omega$ ]은? (단, 전압원과 연산증폭기는 이상적이다)

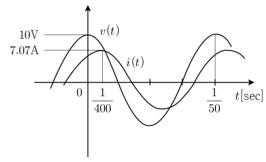


- 문 5. 차동증폭기의 특성에 대한 설명으로 옳지 않은 것은?
  - ① 차동증폭기는 두 개의 입력에 함께 작용하는 잡음 성분을 제거하는 효과가 있다.
  - ② 이상적인 차동 증폭기의 동상모드제거비(CMRR)는 ∞이다.
  - ③ 차동증폭기는 두 개의 입력 차이에 상관없이 출력을 일정하게 만들 수 있는 증폭기이다.
  - ④ 차동증폭기는 2개의 트랜지스터를 대칭적으로 구성하여 회로를 설계한다.

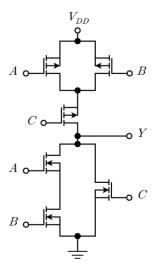
문 6. 다음 카르노맵을 간략화하여 나타낸 논리식은?

CD AB	00	01	11	10
00	0	1	0	0
01	1	1	1	1
11	1	1	1	0
10	0	1	0	0

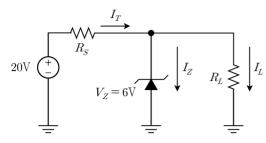
- ①  $\overline{A}B + \overline{C}D + BD + B\overline{C}$
- ②  $\overline{A}B + \overline{C}D + BD + A\overline{C}\overline{D}$
- $3 \overline{A}B + \overline{C}D + BD + A\overline{C}$
- 4  $\overline{A}B + \overline{C}D + BD + AB$
- 문 7. RL 직렬회로에서 전원 v(t)를 인가하였을 때 회로에 흐르는 전류 i(t)가 그림과 같이 측정되었다. 이 때 R [ $\Omega$ ] 및 L [mH]의 값으로 가장 가까운 것은?



- <u>R</u> <u>L</u>
- ① 1 2.2
- ② 1 3.2
- ③ 1.4 2.2
- 4 1.4 3.2
- 문 8. 그림은 CMOS로 구성된 하나의 디지털 논리회로이다. 이 회로의  $^{\frac{1}{2}}$  출력 Y는?

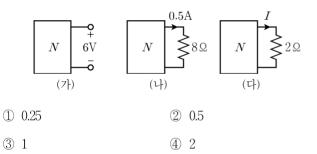


- ①  $Y = (A + B) \cdot C$
- $2 Y = (\overline{A} \cdot \overline{B}) + \overline{C}$
- $4 Y = (A \cdot B) + C$

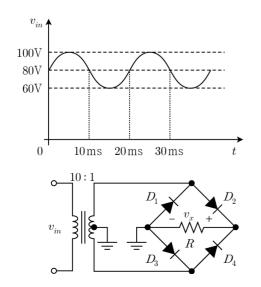


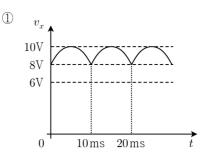
	$R_{L(\min)}$	$I_{L(\mathrm{max})}$
1	1.2	5
2	1.2	7
3	1	5
4	1	7

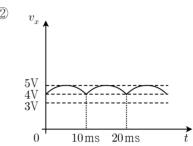
문 10. 그림 (r)와 그림 (r)를 이용하여 그림 (r)의 전류값 r[A]를 구하면? (r) 전원을 포함한 임의의 저항회로이다)

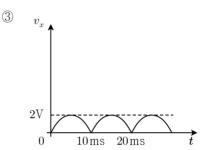


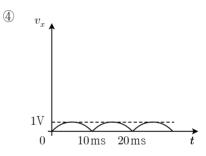
문 11. 그림은 변압기와 브리지 다이오드를 사용한 정류회로이다. 입력 신호  $v_{in}$ 을 인가하였을 때,  $v_{x}$ 의 파형으로 옳은 것은? (단, 변압기와 다이오드들은 모두 이상적이다)



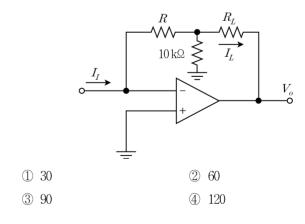








문 12. 다음 회로에서 입력전류  $I_I$ 와 부하전류  $I_L$  사이의 전류비 $(I_L/I_I)$ 가 10이 되도록 하는 저항 R [k $\Omega$ ]은? (단, 연산증폭기는 이상적이다)



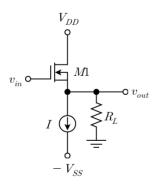
- 문 13. 증가형 MOSFET에서 반전층(inversion layer)의 전하와 전기적으로 같은 극성을 가지는 것은?
  - ① 반전층이 형성되었을 때 게이트 전극의 전하(charge)
  - ② 드레인(drain) 영역의 다수 캐리어(majority carrier)
  - ③ 소스(source) 영역의 소수 캐리어(minority carrier)
  - ④ 기판의 다수 캐리어(majority carrier)

- 문 14. *RLC* 회로의 공진에 대한 설명으로 옳지 않은 것은?
  - ① 회로망의 입력단자에서 전압과 전류가 동위상일 때 회로망은 공진상태에 있다.
  - ② 공진주파수는 임피던스(직렬공진) 또는 어드미턴스(병렬공진)의 위상각이 90°가 되도록 하는 주파수이다.
  - ③ 공진시의 회로 임피던스(직렬공진) 또는 어드미턴스(병렬공진)는 순수 저항성이 된다.
  - ④ 공진시 회로에 축적되는 총 에너지는 시간에 관계없이 일정하다.
- 문 15. 300 [Hz]에서 4,300 [Hz]까지의 주파수 대역과 신호 대 잡음비 (SNR)가 255인 통신 링크에서 얻을 수 있는 최대 채널용량 [kbps]은?
  - ① 12

2 22

③ 32

- ④ 42
- 문 16. 수정발진기에 대한 설명으로 옳지 않은 것은?
  - ① 수정발진기는 수정의 압전(piezoelectric) 효과를 이용한 것이다.
  - ② 수정발진기는 LC 동조회로보다 Q 값이 낮아 주파수 안정도가 좋다.
  - ③ 수정의 등가회로는 직병렬 *RLC* 회로이다.
  - ④ 수정의 병렬공진주파수는 직렬공진주파수보다 높다.
- 문 17. 다음 전압증폭회로의 입력전압  $v_m$ 과 출력전압  $v_{out}$  사이의 소신호  $\label{eq:continuous}$  전압이득  $\frac{v_{out}}{v_m}$ 은?

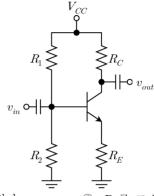


(단, M1의 소신호 등가회로는 G 이다  $\frac{1}{g_m}$  이다

- $3 \frac{1+g_mR_I}{a_IR_I}$

- 문 18. 10초 길이의 어떤 아날로그 신호가 디지털컴퓨터에 압축 없이 저장되는 과정에서 8,000 [Hz]로 샘플링 되고, 샘플 당 8비트를 사용하여 파일로 저장된다면, 최종 저장된 파일의 크기[bits]는? (단, 아날로그에서 디지털로 변환된 데이터 이외의 부가정보는 무시한다)
  - ① 640,000
- 2 64,000

- 3 80,000
- 4 32,000
- 문 19. 다음 BJT 증폭기의 소신호 전압 증폭률이 증가하는 경우가 아닌 것은?



- ①  $R_E$ 를 크게 한다.
- 2  $R_{C}$ 를 크게 한다.
- ③ *R*<sub>1</sub>을 작게 한다.
- ④ R<sub>2</sub>를 크게 한다.
- 문 20. 다음 회로에서 입력신호  $v_{in}$ 이 가해질 때 얻어지는 출력  $v_{out}$ 의 파형은? (단,  $V_{CC}\!=\!5$  [V],  $V_{EE}\!=\!0$  [V],  $R_1\!=\!1$  [k $\Omega$ ],  $R_2\!=\!1$  [k $\Omega$ ]이고,  $V_{D.on}\!=\!0.7$  [V]이다)

