

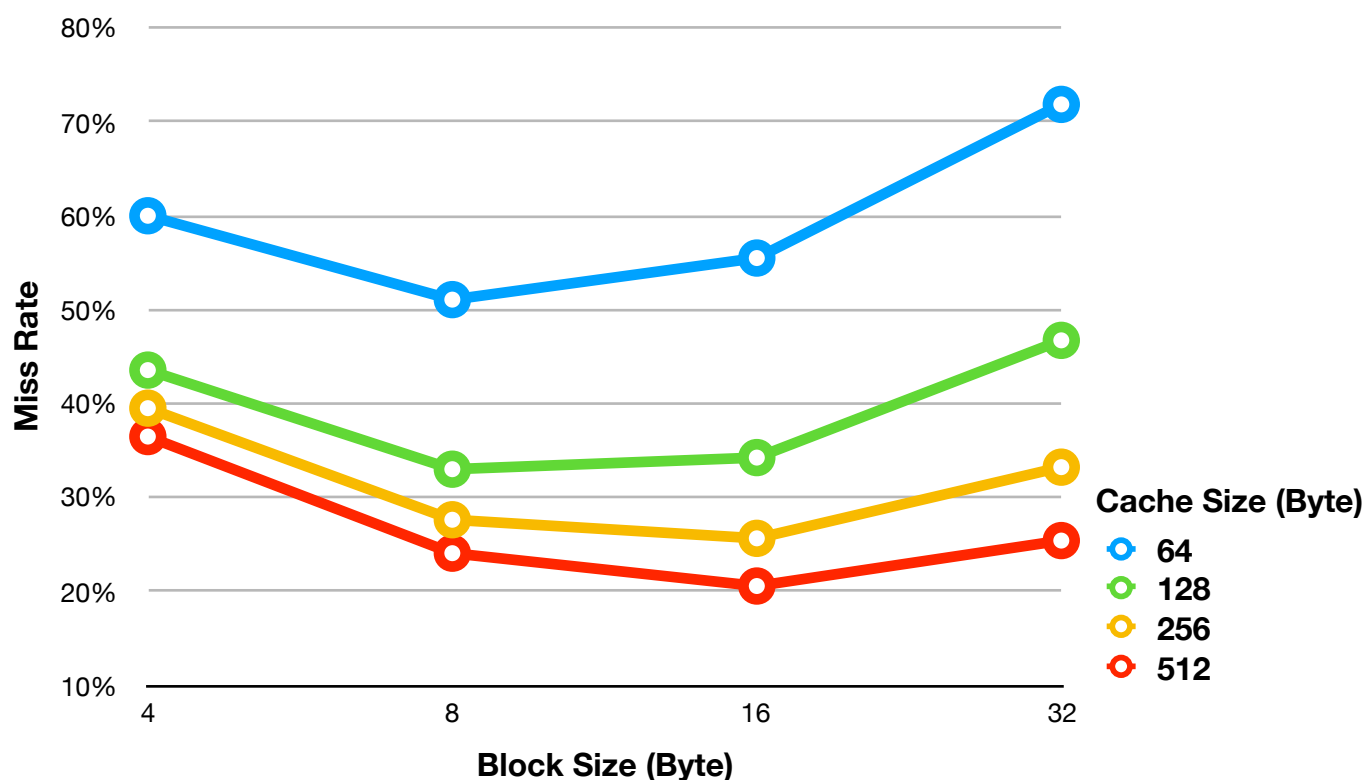
# Computer Organization

## 實驗目的

這次的實驗主要是評估各種Cache的結構對Miss rate的影響，先從Direct-map cache開始，研究不同的Cache size與Block size對Miss rate造成的影響。接著固定Block size，研究不同的Cache size與Associativity對Miss rate造成的影響。

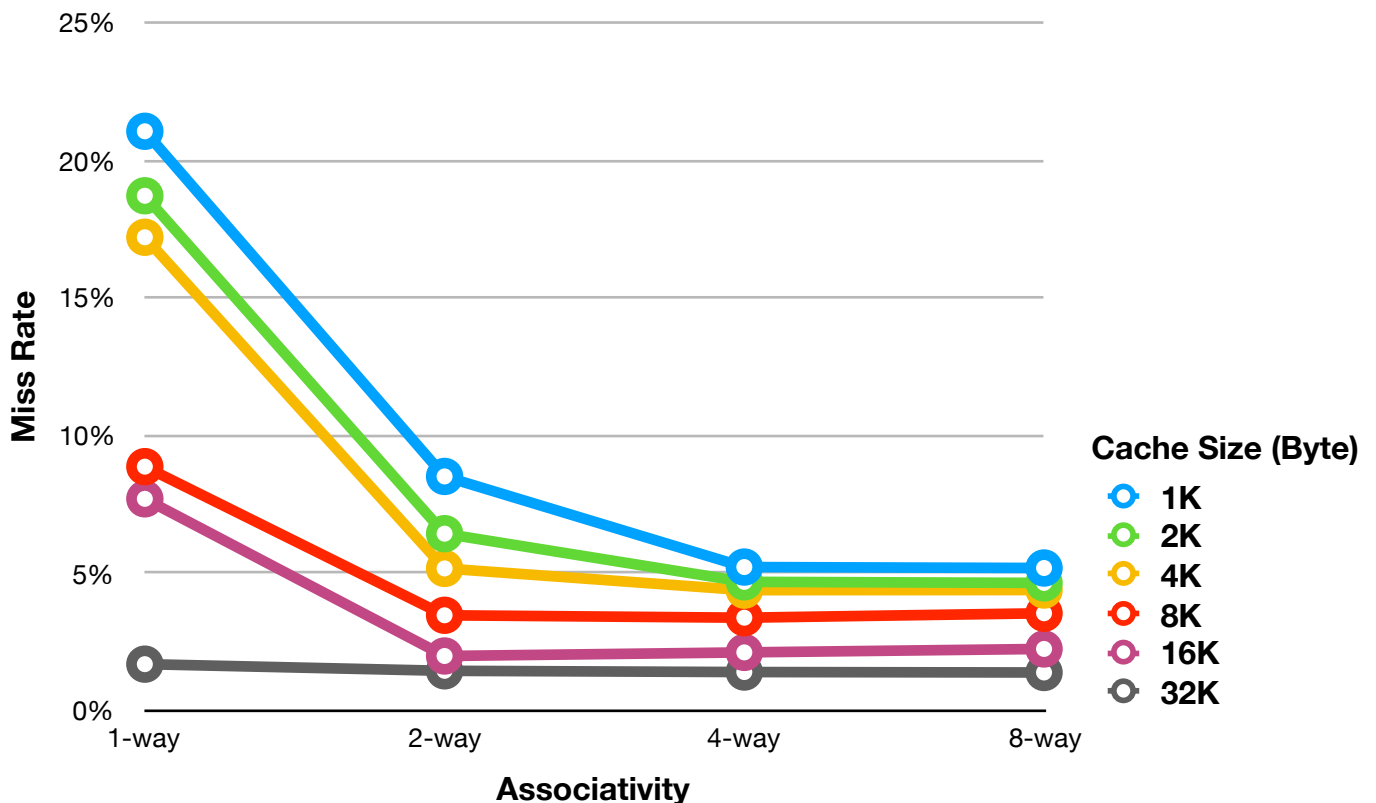
## 實驗結果與分析

第一部分、固定Associativity，觀察不同的Cache size與Block size對Miss rate造成的影響，實驗結果如下（原始資料在resultA.csv中）：



可以觀察到Miss rate在四個不同的Cache size都呈現先降後升的趨勢。一開始Miss rate降低的原因是較大的Block利用了Spatial locality，但後來Block size越來越大，使得Block的數量越來越少，當Block size與Cache size的比例高過一定值之後，會產生Block互相競爭的情形（另一個角度來說可以說是當Block非常大時，Spatial locality下降，因為Block的內容不段地被取代），以至於Miss rate又逐漸提高。

第二部分、固定Block size，觀察不同的Cache size與Associativity對Miss rate造成的影響，實驗結果如下（原始資料在resultB.csv中）：



可以發現Associativity越高，Miss rate就會越低，不論對哪一種Cache size而言皆是如此。這個原因很明顯，因為增加了Associativity，就代表降低了Block競爭某一個空間所造成的Miss。值得注意的是，增加Associativity的效益是逐漸遞減的，一開始效果很好，但後來改善的幅度越來越小，因為增加Associativity會增加硬體的成本，這個Cost/Performance的效應是值得考慮的事情。另一點可以注意的是，比較小的Cache從High associativity獲得較大的好處，因為比較小的Cache原本的Miss rate就較高，較大的Cache原本Miss rate就較小，所以可以改進的空間也比較小。

## 結論與心得

這次實驗模擬了不同的Cache架構對Miss rate的影響，對實驗所產生出來的現象做了分析，知道如何改進Cache的效能，除此之外，也稍微理解了成本與表現之間的Trade off關係。相較於CPU而言，記憶體效能提升算是相當緩慢，因此如何能提出或優化出一個低成本高性能的記憶體階層架構便是在提升運算速度上相當重要的課題了。