



CH1 概論

隨堂練習解答

1-1 數量的表示法

P3

1. 數量的表示法基本上可分為那兩種？類比 表示法與 數位 表示法。

2. 數位 表示法適用於不連續的位階表示法。

3. 類比 表示法適用於連續變化的表示法。

4. a. 數字溫度計 b. 電子碼表 c. 人數 d. 日曆
e. 指針式電壓表 f. 傳統汽車速度表 g. 水銀溫度計
h. 傳統音響的音量控制

請歸納以上幾種數量，何者為類比量？何者為數位量？

類比量：e、f、g、h

數位量：a、b、c、d

1-2 數位系統和類比系統 P5

1. 由自然界中所獲得的信號大都為類比 信號。

2. ADC 的作用為：將類比信號轉換成數位信號。

3. DAC 的作用為：將數位信號轉換成類比信號。

4. 數位信號在傳送控制的過程中，具有哪些優點？

- (1)可程式化控制 (2)不易受雜訊干擾
(3)傳送速度快 (4)容易儲存及還原

1-3 邏輯準位及二進位表示法 P8

1. 數位信號常以 Hi 與 Low 或 1 與 0 表示。(兩兩位置可互換)

2. 以高電位代表邏輯 1，低電位代表邏輯 0 稱之為正邏輯。

以高電位代表邏輯 0，低電位代表邏輯 1 稱之為負邏輯。

3. 若某一脈波的頻率為 5kHz，則其週期為0.2 毫秒；若其脈波寬度為 0.05ms，則其工作週期為25%。

4. 由脈波振幅的 90% 處衰減至脈波振幅的 10%處所需的時間稱為 下降時間(t_f)。

P10

1. 數目 $1011.11_{(2)}$ 的 MSB 權值為 2^3 ，其 LSB 權值為 2^{-2} 。
2. $11010_{(2)} =$ 26 $_{(10)}$ 。
3. $0.101_{(2)} =$ 0.625 $_{(10)}$ 。

1-4 數位積體電路及可程式邏輯裝置的認識 P13

1. 小型積體電路(SSI) 是最簡單且容量最少的數位積體電路(IC)。
2. 試將 MSI、SSI、LSI、ULSI、VLSI 依其容量大小順序寫出：
ULSI、VLSI、LSI、MSI、SSI。
3. 積體電路(IC) 的優點有哪些？
 - (1) 體積小、耗電量低，消耗功率以 mW 或 μ W 為單位。
 - (2) 電路性能可靠，故障率低。
 - (3) 可高速工作，其延遲時間以 ns 為單位。
 - (4) 價格低廉。
 - (5) 外部連接線少，使得應用電路簡單化。
4. 超大型積體電路(VLSI) 幾乎都為 CMOS IC，其主要原因為何？

解 CMOS IC 有極低的功率消耗。

P16

1. PLD 廣受喜愛的主要原因(優點) 為 保密性、時效性、工作速度提高、降低成本、可靠度增加、設計與維護容易。
2. 電機電子工程師協會(IEEE) 認可的兩種硬體描述語言為 VHDL、Verilog HDL。
3. 就 IC 容量的多寡，試將 SPLD、CPLD、FPGA 三者由大至小排列。

解 IC 容量由大至小排列為 FPGA、CPLD、SPLD。

自我評量解答

課本 P17

一、選擇題

(D) 1. 下列何者不是數位信號的優點？

- (A)不易受雜訊干擾 (B)容易儲存及還原
(C)傳送速度快 (D)可精確表示原信號。

解 數位信號具有可程式化控制(利用軟體的程式達到控制的作用)、不易受雜訊干擾(信號是以位準而定，常以某位準以上為 Hi，某位準以下則為 Low)、傳送速度快(可同時傳送 N 位元的並列傳送)及容易儲存及還原(將信號轉變成 H、L 兩種狀態，故容易儲存及還原)等優點。然而卻有不易精確表示原信號的缺點(只能用近似的接近值去代表，無法完全相等)。

(D) 2. 如圖 P1-1 粗線所示之脈波波形，下列何者表示正向脈波的寬度？

- (A) T_a (B) T_b (C) T_c (D) T_d 。

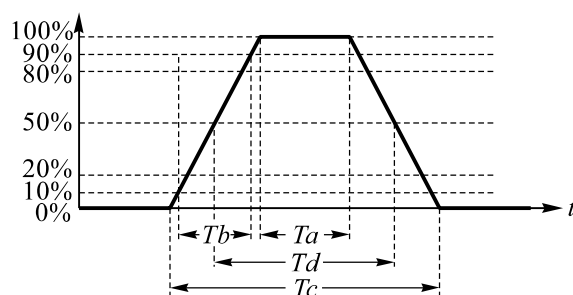


圖 P1-1

解 脈波寬度的定義：在脈波振幅的 50%處，兩點(前緣與後緣)間的時間差；故為圖中的 T_d 時間。

(C) 3. 某一週期性正向脈波，其頻率為 100Hz，脈波寬度(高電位時間)為 5ms，則下列敘述何者正確？

- (A)此脈波的工作週期為 5% (B)此脈波的週期為 100ms
(C)此脈波為方波 (D)此脈波的上升時間為 10ms。

解 (1)脈波週期(T) $T = \frac{1}{f} = \frac{1}{100} = 10\text{ms}$

(2)脈波的工作週期 $D\% = \frac{t_w}{T} \times 100\% = \frac{5}{10} \times 100\% = 50\%$

(D) 4. 積體電路中，依邏輯閘數目之多寡分類，且由多到少排序，何者正確？

(A)SSI > MSI > LSI > VLSI

(B)VLSI > ULSI > LSI > MSI

(C)ULSI > VLSI > SSI > LSI

(D)ULSI > VLSI > MSI > SSI。

解 數位 IC 的分類，常以元件(零件)數及閘(邏輯閘)數來分，其分類如下表所示：

IC 內含 各型 IC	元件數	邏輯閘數
SSI	100 個以下	12 個以下
MSI	100 個～1000 個	12 個～100 個
LSI	1000 個～10000 個	100 個～1000 個
VLSI	10000 個以上	1000 個以上
ULSI	1000000 個以上	100000 個以上

由表可知 ULSI > VLSI > LSI > MSI > SSI。

(A) 5. 就 CPLD、SPLD、FPGA 而言，何者容量最少？何者容量最多？

(A)SPLD、FPGA

(B)CPLD、SPLD

(C)FPGA、SPLD

(D)CPLD、FPGA。

解 容量最少者為 SPLD(簡單型可程式邏輯裝置)，而容量最多者為 FPGA(現場可程式閘陣列)。

二、問答題

1. 何謂者類比信號與數位信號？

解 類比信號：為自然界中一切呈連變化的信號，例如：聲音的大小、光線的強弱及溫度的高低等各種變化量；又如常見的正弦波、三角波等均是類比信號。

數位信號：代表不連續變化的信號，通常是由高、低兩種不同的電壓範圍所組成的信號，如常見的方波、脈波均是數位信號。

2. 正、負邏輯的定義為何？

解 正邏輯：較高電壓位準的信號，以邏輯 1 或 H 代表；

較低電壓位準的信號，以邏輯 0 或 L 代表。

負邏輯：較高電壓位準的信號，以邏輯 0 或 L 代表；

較低電壓位準的信號，以邏輯 1 或 H 代表。

例如：在電晶體電晶體邏輯族(TTL)中，常以+2V 至+5V 為邏輯 1 或 H，而 0V 至+0.8V 為邏輯 0 或 L 的正邏輯觀念。

3. 數位積體電路依內部容量大小分類為何？

解 數位積體電路的分類，常以元件(零件)數或邏輯閘數來劃分，其分類如下表所示：

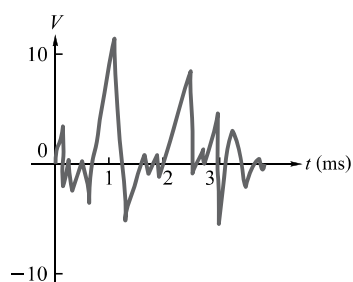
名稱	元件數	邏輯閘數
SSI	100 個以下	12 個以下
MSI	100 個~1000 個	12 個~100 個
LSI	1000 個~10000 個	100 個~1000 個
VLSI	10000 個以上	1000 個以上
ULSI	10000000 個以上	1000000 個以上

4. 目前國際上常見的兩種硬體描述語言(IEEE 認可)為何？

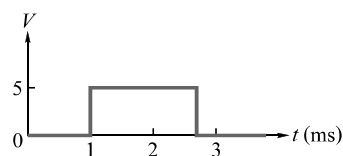
解 VHDL、Verilog HDL

鍛鍊本解答—嚴選精華

- 1-1 1. 數量的表示法基本上可分為那兩種？類比 表示法與 數位 表示法。
2. 類比 表示法是一種“可連續變化的表示法”。
3. 數位 表示法是一種不連續的(或是一個位階一個位階)表示法。
- 1-2 4. 如圖(1)所示為 類比 信號為自然界中一切呈連續變化的信號，而圖(2)所示則為 數位 信號則代表不連續變化的信號。



圖(1)



圖(2)

5. 數位信號在傳送的過程中具有 可程式化控制、不易受雜訊干擾、容易儲存 及 還原 等各項優點。

6. DAC(Digital to Analog Converter)的作用：將 數位 信號轉換成 類比 信號。
7. ADC(Analog to Digital Converter)的作用：將 類比 信號轉換成 數位 信號。
- 1-3** 8. 正邏輯：較高電壓準位信號以邏輯 1 代表，而較低電壓準位信號以邏輯 0 代表。
9. 某一週期性脈波寬度(t_w)為 $0.5\mu s$ ，週期(T)為 $10\mu s$ ，則該脈波頻率(f)為 100k Hz，工作週期($D\%$)為 5 %。
10. 由脈波振幅的 90%處衰減至脈波振幅的 10%處所需的時間稱為 下降 時間。
11. $101110_{(2)} =$ 46 $_{(10)}$ 。
12. $1101.011_{(2)} =$ 13.375 $_{(10)}$ 。
- 1-4** 13. 積體電路 (IC)就是在很小的矽(Si)晶片上，製造出電晶體、二極體、電阻及電容等元件，並將各元件做必要的連接，是一種把電路小型化的方式。
14. IC 的優點有哪些？
- (1) 體積小、耗電量低。
 - (2) 電路性能可靠，故障率低。
 - (3) 可高速工作。
 - (4) 價格低廉。
 - (5) 外部連接線少，使得應用電路簡單化。
15. 由於 CMOS(金氧半場效電晶體)具有 超低的消耗功率，所以在製作 VLSI(超大型積體電路)，甚至 ULSI(特大型積體電路)上，幾乎都採用它。
16. PLD 的優點：保密性、時效性、工作速度提升、降低成本、可靠度增加、設計與維護容易。
17. 電機電子工程師協會(IEEE)認可的兩種硬體描述語言為 VHDL 與 Verilog HDL。
18. PLD 中容量的最多(大)者為 FPGA，最少(小)者為 SPLD。

鍛鍊本解答—大顯身手

課內題

詳解請參考自我評量解答 P1-3-1-5

課外題

一、精選題

- (A) 1. 某一週期性正向脈波，其頻率為 200Hz，脈波寬度(高電位時間)為 2ms，則下列敘述何者正確？
 (A)此脈波的工作週期為 40% (B)此脈波的週期為 10ms
 (C)此脈波為方波 (D)此脈波的上升時間為 10ms。
- (D) 2. 二進位的 1110.11 等於十進位的
 (A)10.75 (B)13.25 (C)13.75 (D)14.75。
- (D) 3. 積體電路中，依邏輯閘數目之多寡分類，且由多到少排序，何者正確？
 (A)SSI > MSI > LSI > VLSI (B)VLSI > ULSI > LSI > MSI
 (C)ULSI > LSI > MI > SSI (D)ULSI > VLSI > MSI > LSI。
- (C) 4. 就 CPLD、SPLD、FPGA 而言，其容量大小依序為？
 (A)SPLD > FPGA > CPLD (B)CPLD > SPLD > FPGA
 (C)FPGA > CPLD > SPLD (D)CPLD > FPGA > SPLD。
- (C) 5. 具有支援『線上系統規劃』(ISP)功能的 PLD 為？
 (A)SPLD、FPGA (B)CPLD、SPLD
 (C)FPGA、CPLD (D)CPLD、FPGA、SPLD。

鍛鍊本解答－高手過招

- (D) 1. 下列有關數位積體電路的敘述，何者正確？
 (A)SSI 內含邏輯閘的數量比 VLSI 多
 (B)使用電晶體-電晶體邏輯元件製作的 IC 簡稱為 CMOS IC
 (C)標準 TTL IC 的工作電壓範圍較 CMOS IC 廣
 (D)CMOS IC 的功率消耗比標準 TTL IC 較低。 【103 統測資電類】
- 解** (A)邏輯閘數的多寡依序為 ULSI > VLSI > LSI > MSI > SSI
 (B)電晶體-電晶體邏輯為 TTL (Transistor-Transistor Logic)
 (C)CMOS IC 工作電壓一般為 3V ~ 15V，而標準 TTL IC 則為 5V ± 5%。

(D) 2. 下列對於可程式邏輯元件(Programmable Logic Device)的敘述，何者正確？

【104 統測資電類】

- (A) PROM 與 PAL 都可重複規劃，PLA 只能規劃一次
- (B) PROM 中的 AND 閘陣列與 OR 閘陣列均為可規劃的結構
- (C) PLA 中的 AND 閘陣列為不可規劃的結構，OR 閘陣列為可規劃的結構
- (D) PAL 中的 AND 閘陣列為可規劃的結構，OR 閘陣列為不可規劃的結構。

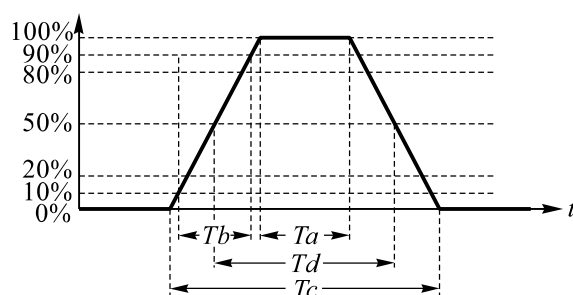
解

- (A) PROM 與 PAL 都只能規劃一次
- (B) PROM 中的 AND 閘陣列為不可規劃的結構，OR 閘陣列為可規劃的結構
- (C) PLA 中的 AND 閘陣列與 OR 閘陣列均為可規劃的結構
- (D) PAL 中的 AND 閘陣列為可規劃的結構，OR 閘陣列為不可規劃的結構。

(D) 3. 如圖(1)粗線所示之脈波波形，下列何者表示正向脈波寬度？

- (A) T_a (B) T_b (C) T_c (D) T_d 。

【104 統測資電類】



圖(1)

解

脈波寬度的定義：在脈波振幅的 50% 處，兩點(正緣與負緣)間的時間差。

(D) 4. 在數位信號脈波的上升緣中，從振幅的 10% 到振幅的 90% 之時間，稱之為？

- (A) 脈波寬度 (B) 脈波週期 (C) 設定時間 (D) 上升時間。

【106 統測資電類】

解

由脈波信號振幅的 10% 上升至振幅的 90% 的時間稱為上升時間(rise time)。

(A) 5. 二進制數值 1001.01 等於下列哪一個十進制數值？

- (A) 9.25 (B) 9.75 (C) 13.25 (D) 13.75。

【107 統測資電類】

解

$$1001_{(2)} = 1 \times 2^3 + 0 \times 2^2 + 0 \times 2^1 + 1 \times 2^0 = 8 + 1 = 9$$

$$0.01_{(2)} = 0 \times 2^{-1} + 1 \times 2^{-2} = 0.25$$

$$\text{故 } 1001.01_{(2)} = 9.25_{(10)}$$