

EX1

- 請依照以下敘述完成 T 型正反器的設計。
 - a. 時脈 Clk 下緣觸發，上緣非同步預置信號 Pre 的優先權等級最高，上緣同步清除信號 Clr 次之，上緣同步載入信號 Load 又次之。
 - b. Load 信號成立時，由輸入信號 D 載入儲存。
- 提示：參考並整合課本範例碼 Ch08 dff_1.v、dff_2.v 和 jk_tff.v。
- testbench，請自行設計，但測試腳本中必須讓 Clk、Pre、Clr 與 Load 具有 1 與 0 的輸入，時間點可隨機但缺一不可。