

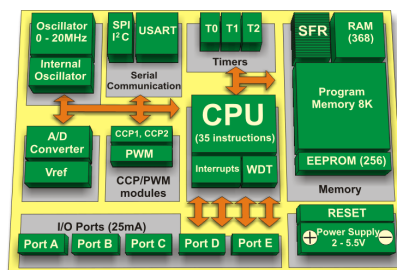
# Computer interfacing

Interfícies dels computadors

Dpt. d'Enginyeria de Sistemes,  
Automàtica i Informàtica Industrial

## Temari de l'assignatura

- Introducció
- Arquitectura del micro
- Ports d'E/S
- Interrupcions
- Timers i CCP (entrades/sortides impulsional)
- Conversors A/D (interfícies analògiques)
- Interfícies de comunicació sèrie
- Busos i DMA



# Bibliografia

Les transparències **SÓN** un ajut per al seguiment de les classes.

Les transparències **NO SÓN** la font bibliogràfica ni el material d'estudi de l'assignatura. **No** són apunts.

# Bibliografia

## - Llibres de text

*PIC Microcontroller: An Introduction to Software & Hardware Interfacing*

*Han-Way Huang , Leo Chartrand . Publisher: Delmar Cengage Learning; 2004*

## - Manual de referència tècnica (PIC18F45K22 Data Sheet)

*El teniu a Atenea i es pot cercar al web de Microchip.*

## - Recursos on-line

<https://www.microchip.com/applicationnotes>

<https://learn.mikroe.com/ebooks/piccpprogramming/>

<https://learn.mikroe.com/ebooks/microcontroladorespicc/> (en castellà)

## Avaluació

- Introducció
- Arquitectura del micro
- Ports d'E/S
- Interrupcions
- ▶ 1r control
- Timers i E/S impulsional (CCP)
- Interfícies analògiques
- Interfícies de comunicació sèrie
- ▶ 2on control

## Avaluació

La nota final s'obté:

$$NF = 0'65 \cdot NT + 0'35 \cdot NL$$

La nota de teoria NT es calcula en funció de la nota dels dos parcials

$$NT = (P1 + P2)/2$$

La nota de laboratori NL s'obté ponderant les avaluacions de les pràctiques. La pràctica '**TxT**' no genera nota (és obligatòria però de caràcter formatiu).

Els estudiants repetidors que hagin aprovat les pràctiques al darrer quadrimestre, poden convalidar-les amb una nota de 5.

## Avaluació (laboratori)

És condició necessària per superar l'assignatura realitzar i presentar correctament les pràctiques de laboratori. Això vol dir:

- Cal fer la pràctica i/o la feina que es demana abans de la sessió de laboratori corresponent.
- L'assistència al laboratori és obligatòria. Cal assistir al grup al qual esteu assignats.
- A l'inici de la sessió s'haurà d'entregar la feina realitzada a casa.
- Durant la sessió de laboratori caldrà resoldre correctament les modificacions i/o preguntes que el professor demani sobre la pràctica.
- Algunes pràctiques estan dividides en dues parts, cadascuna amb el seu treball previ i amb les seves modificacions al laboratori. L'entrega dels treballs previs s'ha de fer abans de la corresponent sessió de laboratori per poder ser avaluats.
- En els parcials **es poden fer preguntes sobre les pràctiques.**

## Laboratori. Mínims exigibles

L'estudiant té l'obligació de presentar un treball propi i és responsable de dominar la totalitat de la pràctica presentada i demostrar-ho quan així ho demani el professor.

Tingueu en compte que a totes les sessions **s'avaluarà amb un 0** tota pràctica en la que:

- No s'hagi entregat el treball previ mínim dins del termini establert.
- L'estudiant no sàpiga respondre correctament alguna pregunta que el professor faci sobre el seu propi treball entregat.
- Hi hagi una demostració manifesta de que l'estudiant no sap adaptar el seu propi treball previ a la resolució de la pràctica demanada pel professor 'in situ' al laboratori.

Cal entregar una còpia del treball previ de cada pràctica via electrònica abans d'assistir a la sessió de laboratori corresponent. No s'acceptarà cap entrega fora de data.

Entregar una pràctica plagiada, de forma total o parcial implica el **suspens automàtic de l'assignatura.**

## Extres

Al llarg del curs es proposaran nombrosos exercicis senzills, a realitzar pels estudiants tant a casa com a classe, que seran avaluats pel professor.

Aquí hi entraran exercicis proposats a classe de Teoria (*entregables*) i els *qüestionaris* d'Atenea. La realització d'aquests exercicis serà voluntària però serveixen per preparar exàmens i treball de laboratori.

## Avaluació (competència transversal)

*G3.1 - Comprendre i utilitzar eficaçment manuals, especificacions de productes i altra informació de caràcter tècnic escrita en anglès.*

- Materials i activitats a l'Atenea de l'assignatura.
- Avaluació al final de quadrimestre amb un test de comprensió lectora.

La competència "llengua estrangera" és l'única necessària per a l'obtenció del títol d'enginyer. (Exigència legal – Acreditació externa)

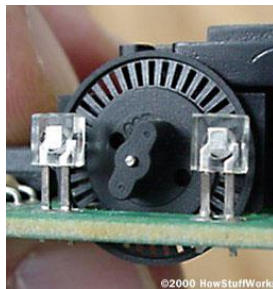
## Coneixements previs

Entre d'altres:

- Coneixement del funcionament dels diferents components electrònics:
  - *Components passius*: R, L, C
  - *Semiconductors*: diodes, LED, transistors BJT i MOSFET
- Anàlisi de circuits electrònics en DC. Càlcul de tensions(V), corrents(A) i potència consumida(W). Llei d'Ohm
- Programació en llenguatge C
- Entendre correctament documentació escrita en anglès.

## Assistència a classe

**La diferència entre no venir a classe**



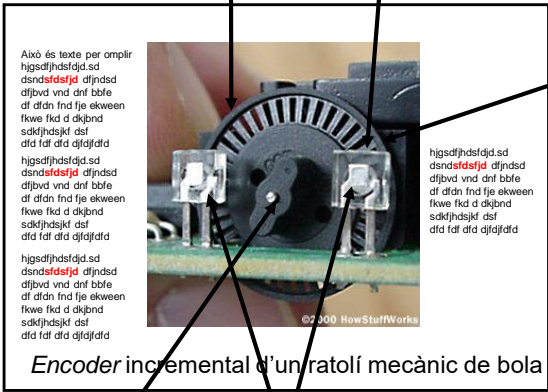
*Encoder incremental d'un ratolí mecànic de bola*

# Assistència a classe

## i venir a classe

La relació entre el nombre de finestretes  
i el perímetre de l'eix ens donarà la resolució

Diode fotoreceptor  
+ foto emissor (a l'altre costat)  
sempre encès



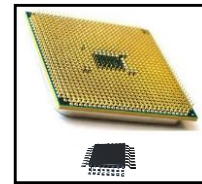
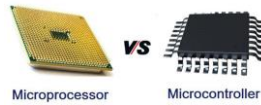
Rodeta  
dentada  
(anomenada  
*encoder*  
incremental)

Eix en contacte amb la bola

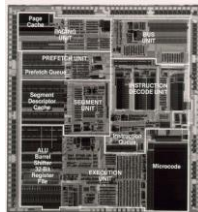
Dos díodes per obtenir senyal  
en quadratura.  
El desfasament ens donarà el sentit de gir.

# Introduction

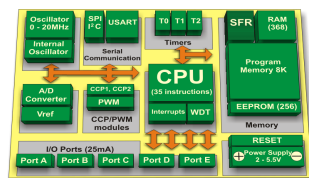
# Microprocessor & Microcontroller



Els tamanyos  
relatius serien  
realment així...

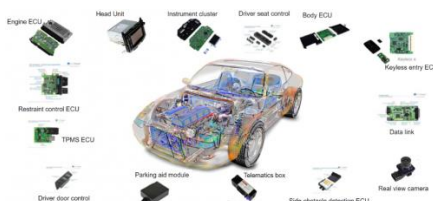


A **microprocessor** is a  
CPU in a single chip.



A **microcontroller** is a  
small computer on a  
single chip, containing a  
processor core, memory,  
and programmable  
input/output peripherals.

## Microcontrollers



Car microcontrollers



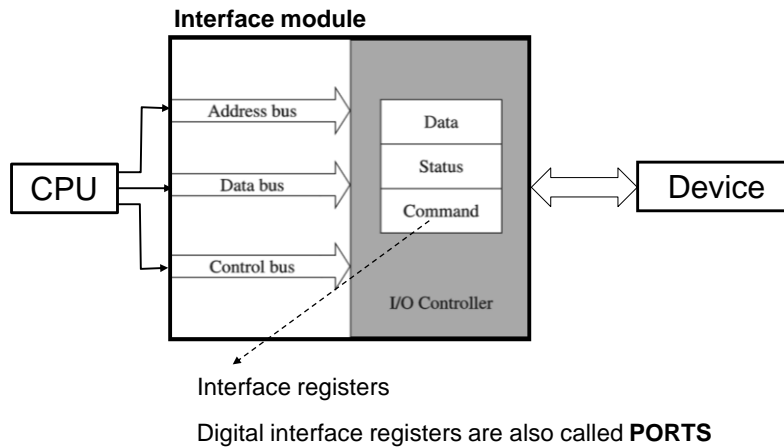
Drone microcontrollers



IoT



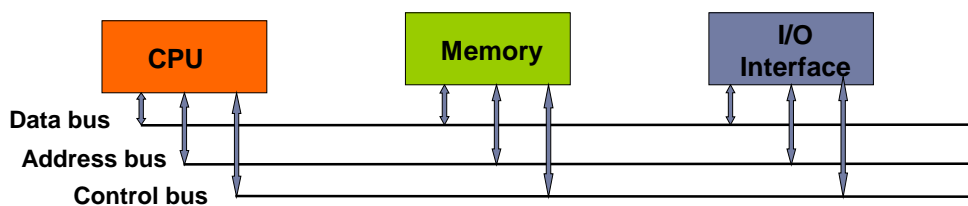
## Interface or peripheral controller



Where are Data, Status and Command registers located?

## I/O Addressing question

If the same address bus is used for both memory and I/O, **how should the hardware be designed to differentiate between memory and I/O reads and writes?**

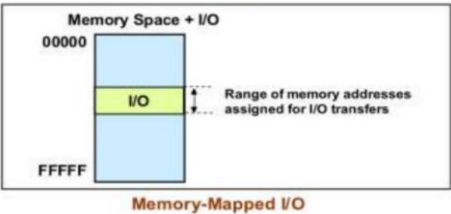


# Memory Mapped I/O vs. Isolated I/O

## ➤ Memory Mapped I/O (MOTOROLA):

- 1. Any instruction that reads or writes memory can read/write I/O Port
- 2. Address specifies which module (input, output, RAM, ROM), will communicate with the processor
- 3. Example:

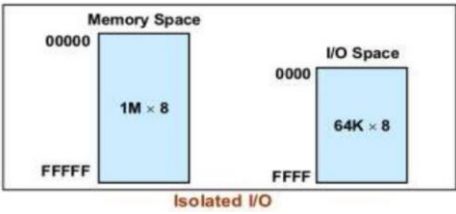
```
LDAA $200A ;load value from  
           ;RAM address $200A  
STAA $0024 ;store value to  
           ;Port H address $0024
```



## ➤ Isolated I/O (INTEL):

- 1. The control bus signals that activate the I/O are separate from those that activate the memory device.
- 2. These systems have a separate address space.
- 3. Separate instructions are used to access I/O and Memory.
- 4. Example:

```
IN AL,$10 ;read from port $10  
MOV $200A,AL ;store value to  
             ;RAM address $200A
```



# Memory mapped I/O

Address	Name	Address	Name	Address	Name	Address	Name
FFFh	TOSU	FDfh	INDF2 <sup>(1)</sup>	FBfh	CCPR1H	F9fh	IPR1
FFEh	TOSH	FDEh	POSTINC2 <sup>(1)</sup>	FBEh	CCPR1L	F9Eh	PIR1
FFDh	TOSL	FDDh	POSTDEC2 <sup>(1)</sup>	FBDh	CCP1CON	F9Dh	PIE1
FFCh	STKPTR	FDCh	PREINC2 <sup>(1)</sup>	FBCh	CCPR2H	F9Ch	__ <sup>(2)</sup>
FFBh	PCLATU	FD Bh	PLUSW2 <sup>(1)</sup>	FB Bh	CCPR2L	F9 Bh	OSCTUNE
FFAh	PCLATH	FD Ah	FSR2H	FBAh	CCP2CON	F9 Ah	__ <sup>(2)</sup>
FF9h	PCL	FD9h	FSR2L	FB9h	__ <sup>(2)</sup>	F99h	__ <sup>(2)</sup>
FF8h	TBLPTRU	FD8h	STATUS	FB8h	BAUDCON	F98h	__ <sup>(2)</sup>
FF7h	TBLPTRH	FD7h	TMR0H	FB7h	PWM1CON <sup>(3)</sup>	F97h	__ <sup>(2)</sup>
FF6h	TBLPTRL	FD6h	TMR0L	FB6h	ECCP1AS <sup>(3)</sup>	F96h	TRISE <sup>(3)</sup>
FF5h	TABLAT	FD5h	T0CON	FB5h	CVRCON	F95h	TRISD <sup>(3)</sup>
FF4h	PRODH	FD4h	__ <sup>(2)</sup>	FB4h	CMCON	F94h	TRISC
FF3h	PRODL	FD3h	OSCCON	FB3h	TMR3H	F93h	TRISB
FF2h	INTCON	FD2h	HLVDCON	FB2h	TMR3L	F92h	TRISA
FF1h	INTCON2	FD1h	WDTCON	FB1h	T3CON	F91h	__ <sup>(2)</sup>
FF0h	INTCON3	FD0h	RCON	FB0h	SPBRGH	F90h	__ <sup>(2)</sup>
FEfh	INDF0 <sup>(1)</sup>	FCfh	TMR1H	FAfh	SPBRG	F8fh	__ <sup>(2)</sup>
FEeh	POSTINC0 <sup>(1)</sup>	FCeh	TMR1L	FAeh	RCREG	F8eh	__ <sup>(2)</sup>
FEdh	POSTDEC0 <sup>(1)</sup>	FCdh	T1CON	FADh	TXREG	F8dh	LATE <sup>(3)</sup>
FECh	PREINC0 <sup>(1)</sup>	FCCh	TMR2	FACH	TXSTA	F8Ch	LATD <sup>(3)</sup>
FE Bh	PLUSW0 <sup>(1)</sup>	FC Bh	PR2	FABh	RCSTA	F8 Bh	LATC
FE Ah	FSR0H	FC Ah	TZCON	FAAh	__ <sup>(2)</sup>	F8 Ah	LATB
FE9h	FSR0L	FC9h	SSPBUF	FA9h	EEDADR	F89h	LATA
FE8h	WREG	FC8h	SSPADD	FA8h	EEDATA	F88h	__ <sup>(2)</sup>
FE7h	INDF1 <sup>(1)</sup>	FC7h	SSPSTAT	FA7h	EECON2 <sup>(1)</sup>	F87h	__ <sup>(2)</sup>
FE6h	POSTINC1 <sup>(1)</sup>	FC6h	SSPCON1	FA6h	EECON1	F86h	__ <sup>(2)</sup>
FE5h	POSTDEC1 <sup>(1)</sup>	FC5h	SSPCON2	FA5h	__ <sup>(2)</sup>	F85h	__ <sup>(2)</sup>
FE4h	PREINC1 <sup>(1)</sup>	FC4h	ADRESH	FA4h	__ <sup>(2)</sup>	F84h	PORTE <sup>(3)</sup>
FE3h	PLUSW1 <sup>(1)</sup>	FC3h	ADRESL	FA3h	__ <sup>(2)</sup>	F83h	PORTD <sup>(3)</sup>
FE2h	FSR1H	FC2h	ADCON0	FA2h	IPR2	F82h	PORTC
FE1h	FSR1L	FC1h	ADCON1	FA1h	PIR2	F81h	PORTB
FE0h	BSR	FC0h	ADCON2	FA0h	PIE2	F80h	PORTA

PICs use a memory mapped solution

ports

## RISC vs. CISC

### RISC

Simple instruction set

Regular and fixed instruction format

Wired instructions, take only one or a few clock cycles to execute.

Simple address modes

Separated data and program memory

Most operations are register to register

Take shorter time to design and debug

Provide large number of CPU registers

Simple operations, longer programs

EFFICIENCY?

### CISC

Complex instruction set

Irregular instruction format

Complex microcoded instructions, take many clock cycles to execute.

Complex address modes

Combined data and program memory

Most operations can be register to memory

Take longer time to design and debug

Provide smaller number of CPU registers

Complex operations, shorter programs

EFFICIENCY?

## Entregable N° 1

Q1 Un microcontrolador amb l'entrada/sortida mapejada en la memòria RAM serà més aviat RISC o CISC?

Q2 Un xip microcontrolador que pretén ser de baix consum tindrà molta, poca RAM o no té res a veure?

Q3 Si en la ROM es guarda el programa, en la RAM es guarden els valors de les variables, llavors on es guarden els valors de les comandes, consignes i paràmetres?