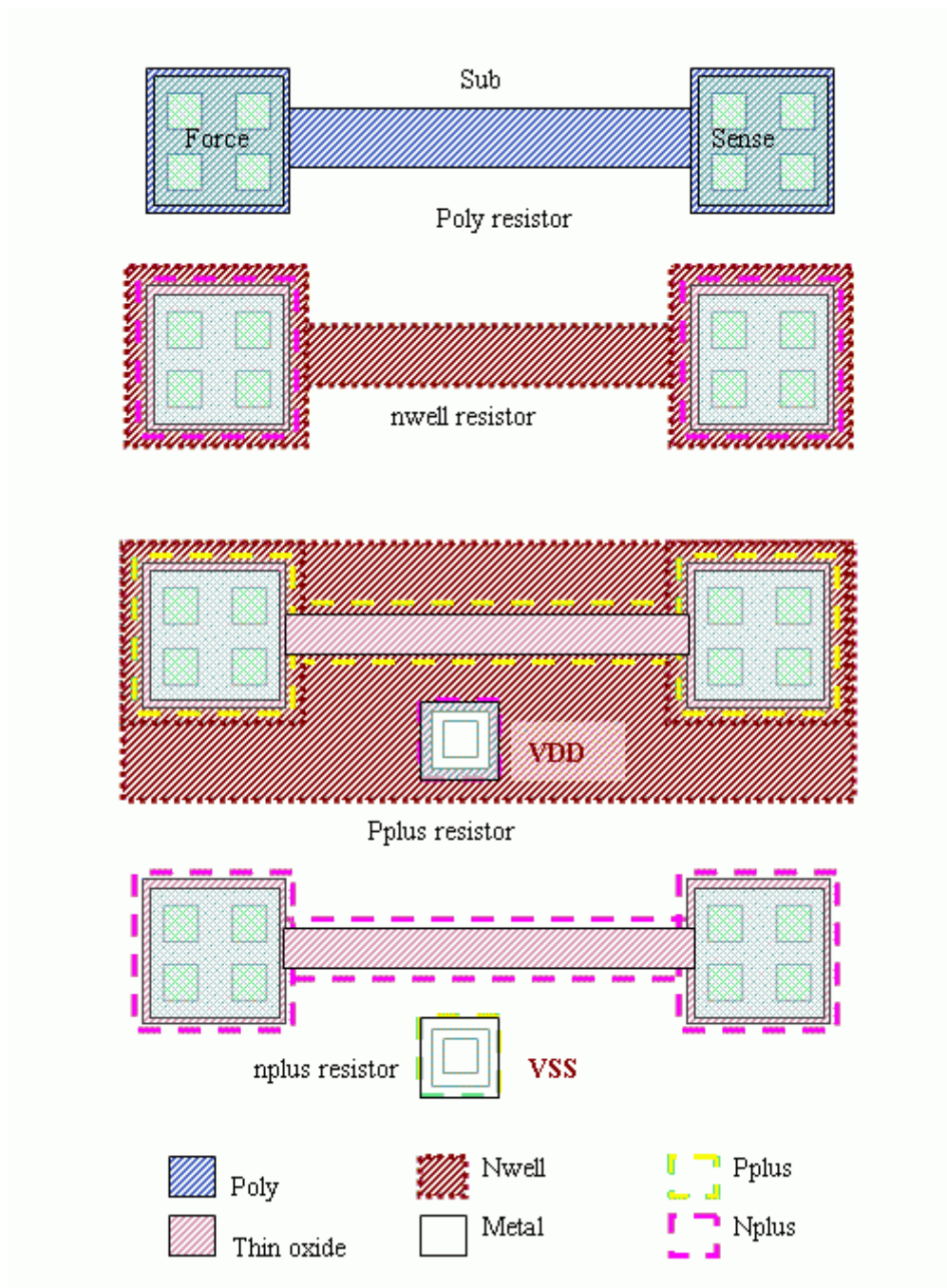


新手学版图--几种电阻的画法

刚好 **Module** 部门要画 test key 测试新制程对器件的影响，其中就有一部分是画不同类型的电阻。这些电阻有：poly 电阻，nwell 电阻，pplus 电阻，nplus 电阻。



上图即为这几种电阻的画法，除 poly 电阻外，其他三种电阻的画法是值得推敲的。电阻三端分别定义为 force ,sense 和 sub。我们来分析这三种电阻。

nwell 电阻:

问题 1: 为什么 force ,sense 端要加 thin oxide 和 nplus?

问题 2: 为什么要用 nplus 而不用 pplus?

Pplus 电阻:

问题 1: 为什么要画在 nwell 中?

问题 2: 为什么 sub 要接高电位?

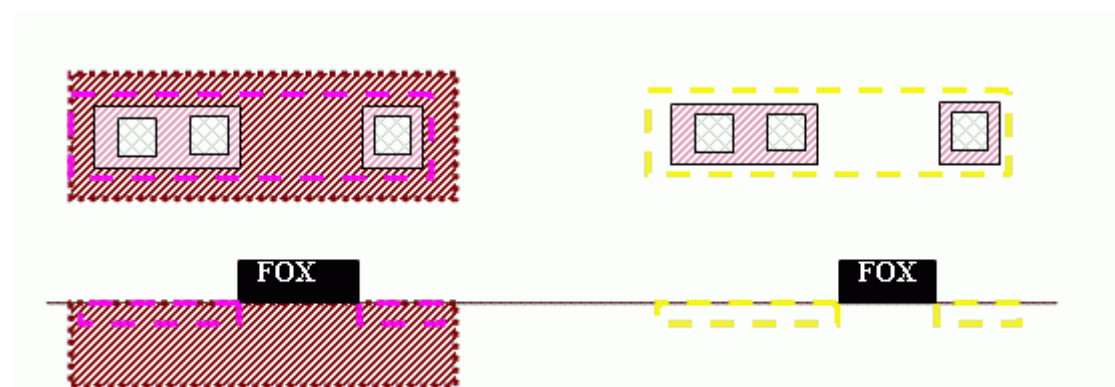
问题 3: 为什么电阻中间要用 thin oxide 连接?

Nplus 电阻:

问题 1: 可不可以画在 nwell 中?

其实以上问题的重点 1 是要理解 thin oxide 的作用, 以及 nwell, p+/N+ plus 在制造过程中所处的步骤。thin oxide 可以理解为去除 FOX。nwell 在制造的前端就形成了, FOX 不会对此造成影响。而 P+/N+ plus 会受 FOX 的影响, 如果 FOX 阻挡的话, wafer 上就不会形成相应的 P 型 或 N 型。重点 2 即是否会出现不正确的导通。

回答完这些问题之后, 我们可以联想到加 guard ring 时的一些情况。就 p-sub /n well CMOS 版图而言, 少数载流子 guard ring 为 nwell + nplus + thin oxide + VDD, 多数载流子 guard ring 为 pplus + thin oxide + VSS。讨论当两种 guard ring thin oxide 不连续时的不同影响。



新手学版图—理解版图的层

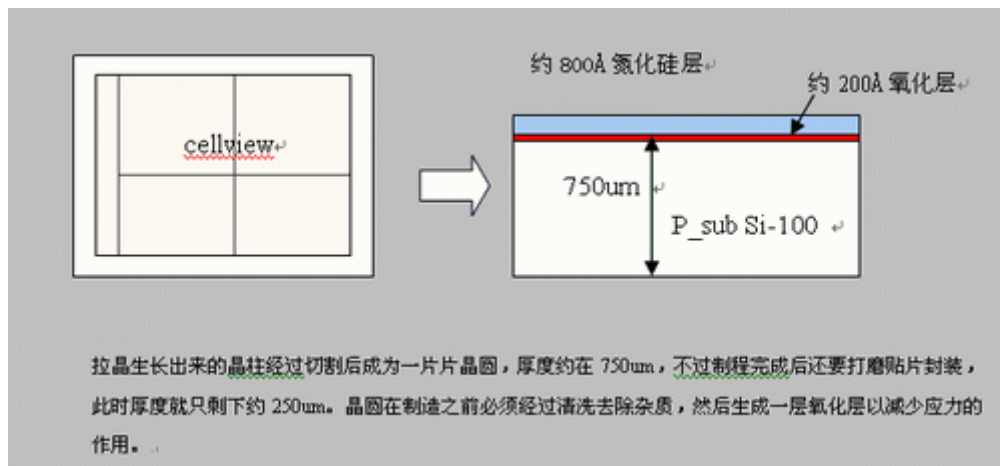
版图相对入门比较简单, 但大多数新手只了解了表面的意思却没有真正理解版图。所以虽然能够将版图画出, 却不能说明为什么要这样做。有鉴于此, 本文就收集了一些资料, 希望可以帮助新手们加速对版图的认识。

本文介绍基本 CMOS 流程, 不再强调如何操作软件, 而是着重讲解具体的原因, 因本人水平有限不足之处还望见谅。

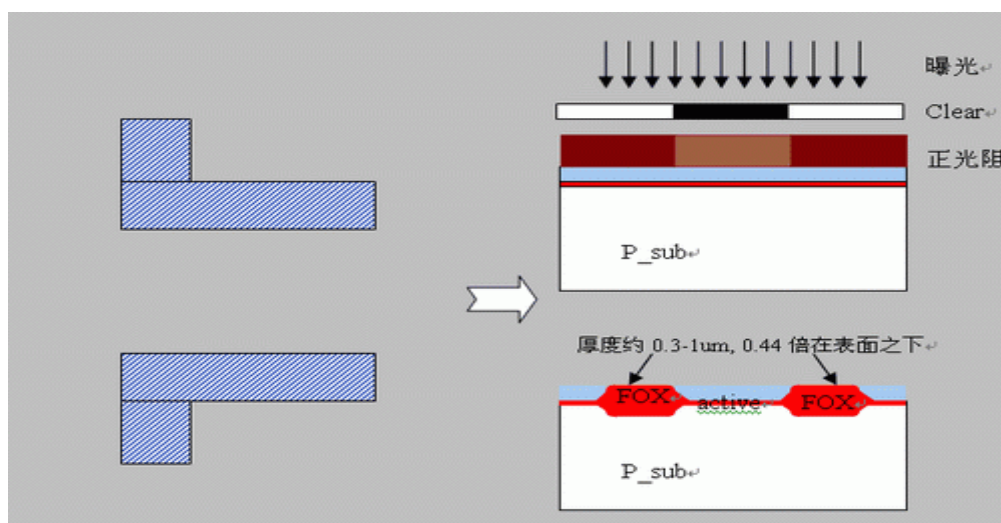
以 CMOS 反相器为例, 基本原理很简单, 当输入高电平时, NMOS 导通, 输出端连接到地; 当输入端为低电平时, PMOS 导通, 输出端连接到 VDD。版图的目的就是要以图形的方式形成这两个 MOS 管, 并且有输入、出端, 还有连接点

连接到地或电源。有源区加 POLY 自对准形成 MOS 管子，输入为 POLY，输出为金属连线，连接点为 CONTACT。

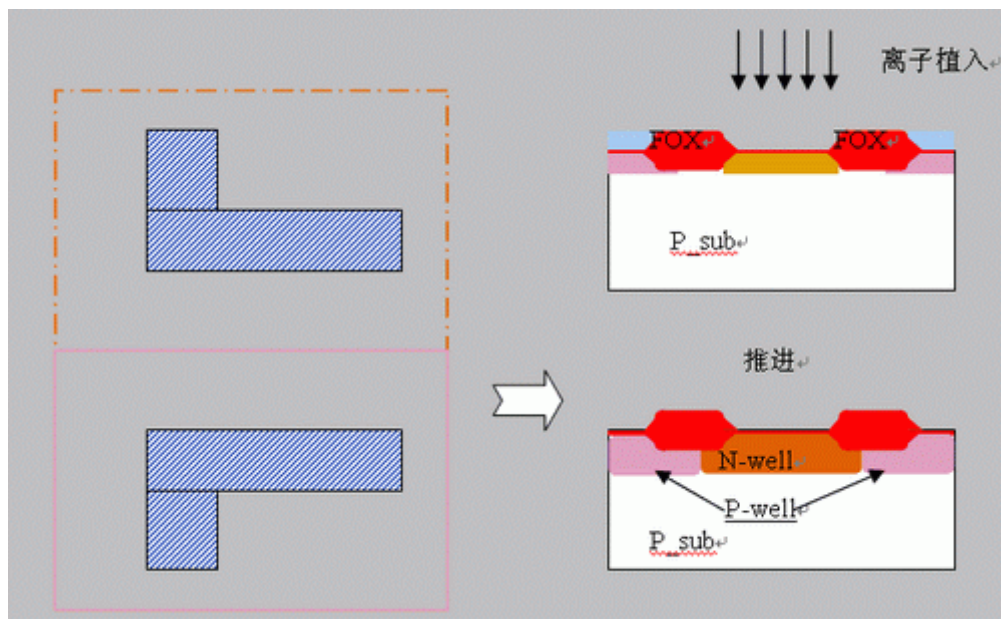
首先创建新的 cell view 背景代表 P 型衬底，材料为 Si-100 电阻率约 $5-10\ \Omega\text{cm}$ ，清洗后生长约 200\AA 氧化层，再以 LPCVD(低压化学气相沉积)沉积氮化硅约 800\AA 。Wafer 厚度大约为 $750\mu\text{m}$ ，但最后打磨贴片后的厚度大约只有约 $250\mu\text{m}$ 。 $(1000\text{\AA}=1\mu\text{m})$



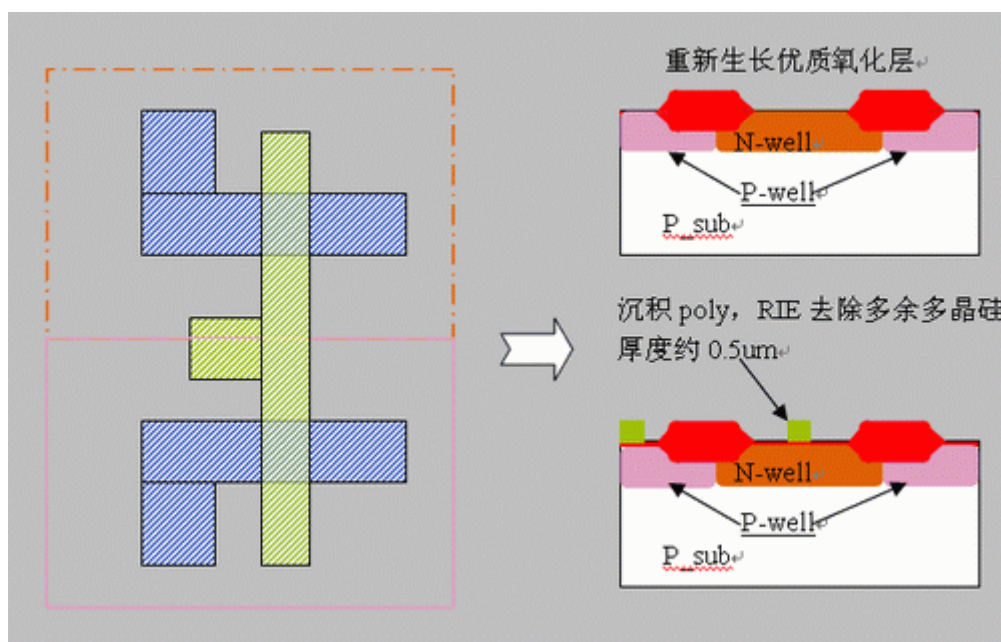
- 1、氧化层的应用大致可分为：屏蔽、遮蔽、场区及局部绝缘、衬垫、缺陷去除、栅介电层、浅沟槽阻挡，厚度依次约为 200\AA 、 5000\AA 、 $3000-5000\text{\AA}$ 、 $100-200\text{\AA}$ 、 $<1000\text{\AA}$ 、 $30-120\text{\AA}$ 、 $100-200\text{\AA}$ 。
- 2、氮化物一般较为致密，所以可以用来隔离、阻挡，以及 CMP 的停止层。
- 3、涂布光阻、曝光、显影，以氮化物等离子体干法刻蚀去除氮化硅，剥离光阻(以下将省略一些层的去除过程)。版图 **Active** 层将定位出有源区，非有源区将通过 LOCOS(硅的局部氧化)生长场氧化层，厚度大约 $3000-10000\text{\AA}$ 。不过因该过程存在鸟嘴效应及表面平坦度问题，90 年代后已经由 STI(浅沟槽绝缘)所取代。



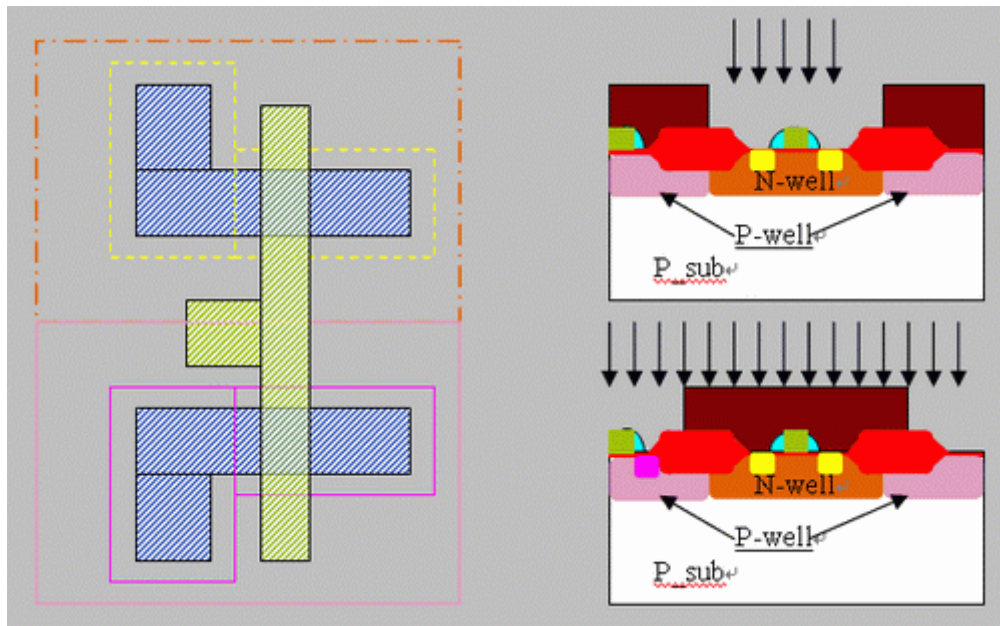
版图 **P-well** 层定位 P-well 区域，在这一区域离子植入 $B+/225\text{KeV}/3 \times 10^{13}\text{cm}^{-2}$ 。用版图 **N-well** 层定位 N-well 区域，离子植入 $P+/600\text{KeV}/2 \times 10^{13}\text{cm}^{-2}$ 。以 $P/250/2 \times 10^{12} + P/1200/3 \times 10^{13} + 950\text{C}, 30\text{min}$ 为例最后深度大约 $2\mu\text{m}$ ，方块电阻 $790\Omega/\square$ 。传统工艺制成的阱区深度约 $4\mu\text{m}$ 左右。阱区形成后还可能进行阈值调整处理，这一步不需要版图层的参与。



版图 **Poly** 层定位 poly 及 gate，不过在形成 channel(沟道)之前，必须生长出一层优质的氧化层，这一层的厚度约 $30\text{-}120\text{\AA}$ ，可能实际测量出来只有十几埃。在这一层上以 LPCVD 沉积多晶硅约 $0.5\mu\text{m}$ ，并对 poly 掺杂 $P/30/5 \times 10^{15}$ 。因为多晶硅各向异性所以采用 RIE(反应离子刻蚀)方法进行刻蚀。

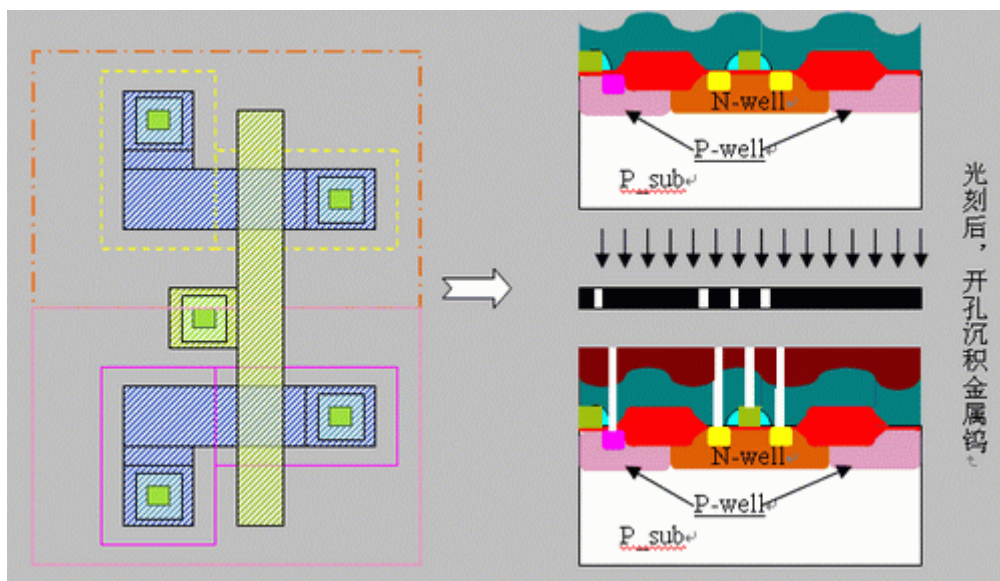


自对准形成源、漏极,被 **poly** 层挡住与 **active** 层重叠的下面将会是 MOS 的沟道,剩下的 **active** 区域将形成源、漏极。为了抑制热电子或热载流子效应要通过 LD D(轻掺杂漏极)首先进行轻掺杂,然后在栅上形成侧墙后再以低能量、高电流来形成源漏区,这样会形成一个梯度。版图 **P-imp** 层决定形成 P+型,离子植入 $B/10/2 \times 10^{15}$, 版图 **N-imp** 层决定形成 N+型,离子植入 $As/30/3 \times 10^{15}$ 。通常该区域的深度在 $2\mu m$ 左右。



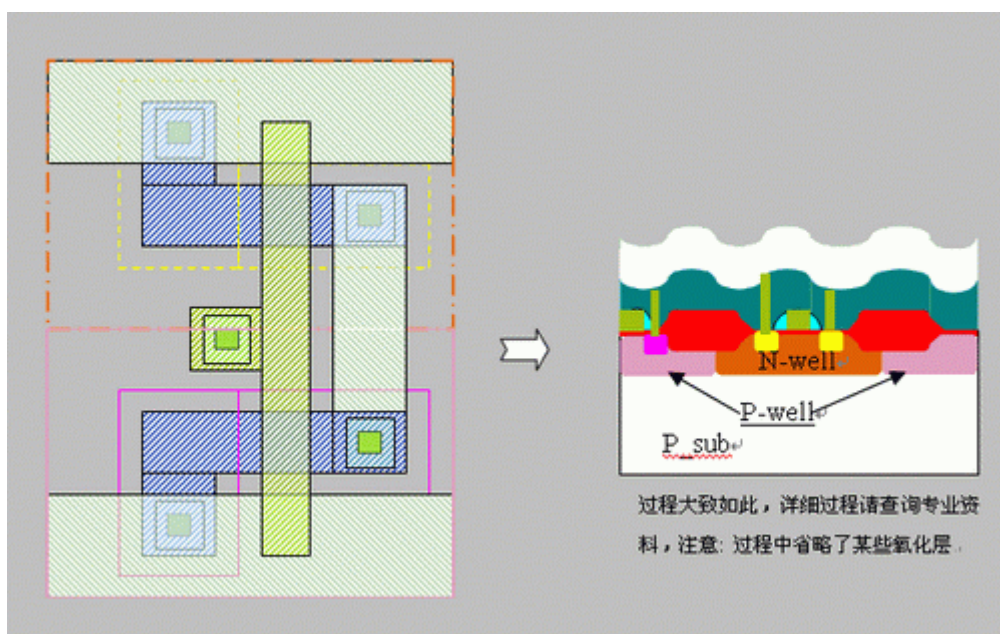
此时器件已经基本形成,之后要为连接作好准备。在表面溅射一层金属层(比如 Ti),在与硅接触的表面反应形成金属硅化物(silicide),在外表面形成 TiN。如果栅、源、漏极都有 silicide 俗称为 salicide,如果只形成在多晶硅上称为 polycide。

表面平坦化处理时,可以通过加热掺杂的 BPSG(硼磷硅玻璃)软化流动,或以 CMP(化学机械研磨)以达到表面平坦化。



版图 **contact** 层定位连接孔，contact 光掩膜通常采用 Dark 形式，即图形区域透光，背景不透光，配合正光阻，光照射的区域可溶化，以此定位出开孔区域。孔内金属是以 MOCVD(金属有机化学气相沉积 CVD)形式沉积金属 W(钨)，再以 CMP 方式打磨多余的金属。

溅射第一层金属，并以版图 **metal1** 层，刻画出金属连线。覆盖 CMP(介电层)，以同样的方式开孔(版图 **via1** 层)，刻画第二层金属(版图 **metal2** 层)。



如果是完整的项目还要使用版图 **pass** 层开出 PAD 的位置，并进行钝化处理以 PECVD(介质等离子体增强化学气相沉积)沉积氮化硅，以达到保护芯片的目的。

现在各层的作用已经有了说明，接下来将利用实际的作用来举例说明，层与层之间的关系。

1, 版图 **P-well** 层, **N-well** 层在衬底形成各自的阱区, 它们之间的关系应该不能相互重叠。2, 因为器件形成在阱中, 所以器件的图形必须被阱所覆盖, 要么在 **P-well** 中, 要么在 **N-well** 中。

3, **P-well** 与 **P-well**, **N-well** 与 **N-well** 是否可以相连, 取决于特性是否一致, 比如相同的电位。

4, **P-imp**, **N-imp** 层要比相对的 active 大。否则未覆盖的区域将没有离子植入。

5, 因为自对准工艺, 在形成 channel 的地方, **poly** 要横跨过 **active** 层。没有 channel 的地方避免接触。

6, **contact** 层必须与 **metal** 层或 **poly** 层要有接触(在需要连接的地方)。传统的“钉头”形式需要金属覆盖住 **contact**。

新手学版图—理解版图的层

版图相对入门比较简单, 但大多数新手只了解了表面的意思却没有真正理解版图。所以虽然能够将版图画出, 却不能说明为什么要这样做。有鉴于此, 本文就收集了一些资料, 希望可以帮助新手们加速对版图的认识。

本文介绍基本 **CMOS** 流程, 不再强调如何操作软件, 而是着重讲解具体的原因, 因本人水平有限不足之处还望见谅。

以 **CMOS** 反相器为例, 基本原理很简单, 当输入高电平时, **NMOS** 导通, 输出端连接到地; 当输入端为低电平时, **PMOS** 导通, 输出端连接到 **VDD**。版图的目的是要以图形的方式形成这两个 **MOS** 管, 并且有输入、出端, 还有连接点连接到地或电源。有源区加 **POLY** 自对准形成 **MOS** 管子, 输入为 **POLY**, 输出为金属连线, 连接点为 **CONTACT**。

首先创建新的 **cell view** 背景代表 **P** 型衬底, 材料为 **Si-100** 电阻率约 $5-10\ \Omega\text{cm}$, 清洗后生长约 200\AA 氧化层, 再以 **LPCVD**(低压化学气相沉积)沉积氮化硅约 800\AA 。Wafer 厚度大约为 $750\mu\text{m}$, 但最后打磨贴片后的厚度大约只有约 $250\mu\text{m}$ 。

涂布光阻、曝光、显影, 以氮化物等离子体干法刻蚀去除氮化硅, 剥离光阻(以下将省略一些层的去除过程)。版图 **Active** 层将定位出有源区, 非有源区将通过 **LOCOS**(硅的局部氧化)生长场氧化层, 厚度大约 $3000-10000\text{\AA}$ 。不过因该过程存在鸟嘴效应及表面平坦度问题, 90 年代后已经由 **STI**(浅沟槽绝缘)所取代。

版图 **P-well** 层定位 **P-well** 区域, 在这一区域离子植入 $B^{+}/225\text{KeV}/3\times 10^{13}\text{cm}^{-2}$ 。用版图 **N-well** 层定位 **N-well** 区域, 离子植入 $P^{+}/600\text{KeV}/2\times 10^{13}\text{cm}^{-2}$ 。以 $P/250/2\times 10^{12} + P/1200/3\times 10^{13} + 950\text{C}, 30\text{min}$, 为例最后深度大约 $2\mu\text{m}$, 方块电

阻 790ohms。传统工艺制成的阱区深度约 4um 左右。阱区形成后还可能进行阈值调整处理，这一步不需要版图层的参与。

版图 **Poly** 层定位 poly 及 gate，不过在形成 channel(沟道)之前，必须生长出一层优质的氧化层，这一层的厚度约 30-120A，可能实际测量出来只有十几埃。在这一层上以 LPCVD 沉积多晶硅约 0.5um，并对 poly 掺杂 P/30/5x10¹⁵。因为多晶硅各向异性所以采用 RIE(反应离子刻蚀)方法进行刻蚀。

自对准形成源、漏极，被 **poly** 层挡住与 **active** 层重叠的下面将会是 MOS 的沟道，剩下的 **active** 区域将形成源、漏极。为了抑制热电子或热载流子效应要通过 LD D(轻掺杂漏极)首先进行轻掺杂，然后在栅上形成侧墙后再以低能量、高电流来形成源漏区，这样会形成一个梯度。版图 **P-imp** 层决定形成 P+型，离子植入 B/10/2x10¹⁵，版图 **N-imp** 层决定形成 N+型，离子植入 As/30/3x10¹⁵。通常该区域的深度在 2um 左右。

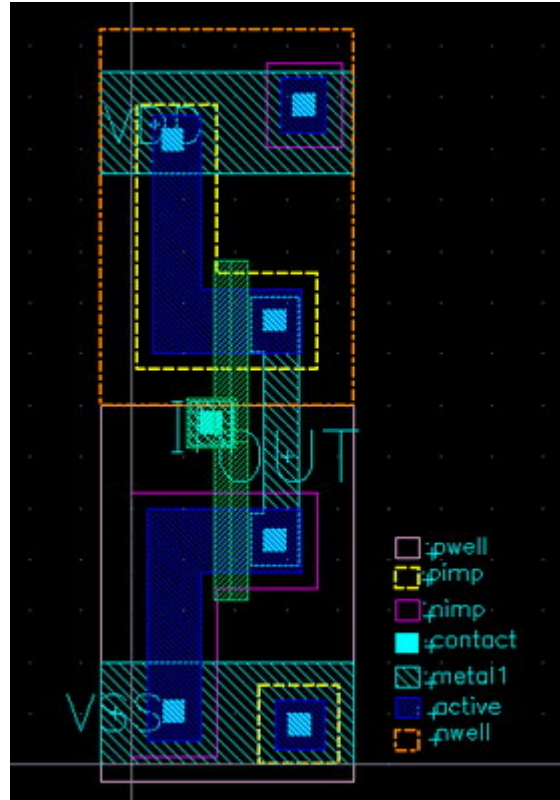
此时器件已经基本形成，之后要为连接作好准备。在表面溅射一层金属层(比如 Ti)，在与硅接触的表面反应形成金属硅化物(silicide)，在外表面形成 TiN。如果栅、源、漏极都有 silicide 俗称为 salicide，如果只形成在多晶硅上称为 polycide。

表面平坦化处理时，可以通过加热掺杂的 BPSG(硼磷硅玻璃)软化流动，或以 CMP(化学机械研磨)以达到表面平坦化。

版图 **contact** 层定位连接孔，contact 光掩膜通常采用 Dark 形式，即图形区域透光，背景不透光，配合正光阻，光照射的区域可溶化，以此定位出开孔区域。孔内金属是以 MOCVD(金属有机化学气相沉积 CVD)形式沉积金属 W(钨)，再以 CMP 方式打磨多余的金属。

溅射第一层金属，并以版图 **metal1** 层，刻画出金属连线。覆盖 CMP(介电层)，以同样的方式开孔(版图 **via1** 层)，刻画第二层金属(版图 **metal2** 层)。

最后使用版图 **pass** 层开出 PAD 的位置，并进行钝化处理以 PECVD(介质等离子体增强化学气相沉积)沉积氮化硅，以达到保护芯片的目的。



现在各层的作用已经有了说明，接下来将利用实际的作用来举例说明，层与层之间的关系。

1，版图 **P-well** 层，**N-well** 层在衬底形成各自的阱区，它们之间的关系应该不能相互重叠。2，因为器件形成在阱中，所以器件的图形必须被阱所覆盖，要么在 **P-well** 中，要么在 **N-well** 中。

3，**P-well** 与 **P-well**，**N-well** 与 **N-well** 是否可以相连，取决于特性是否一致，比如相同的电位。

4，**P-imp**，**N-imp** 层要比相对的 active 大。否则未覆盖的区域将没有离子植入。

5，因为自对准工艺，在形成 channel 的地方，**poly** 要横跨过 **active** 层。没有 channel 的地方避免接触。

6，**contact** 层必须与 **metal** 层或 **poly** 层要有接触(在需要连接的地方)。传统的“钉头”形式需要金属覆盖住 **contact**。

(本文到此结束，不足之处还批评指正，谢谢!)