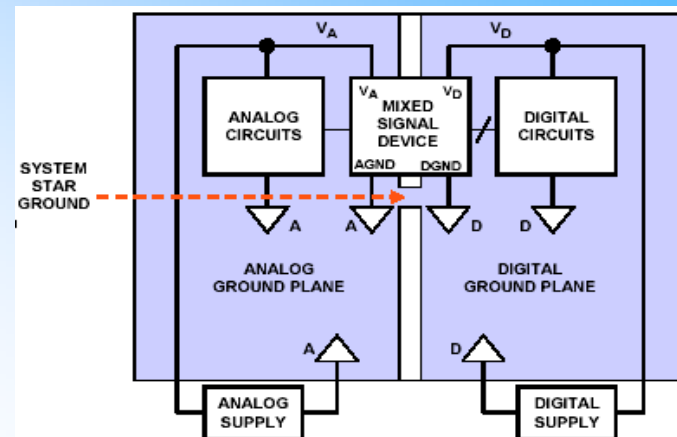
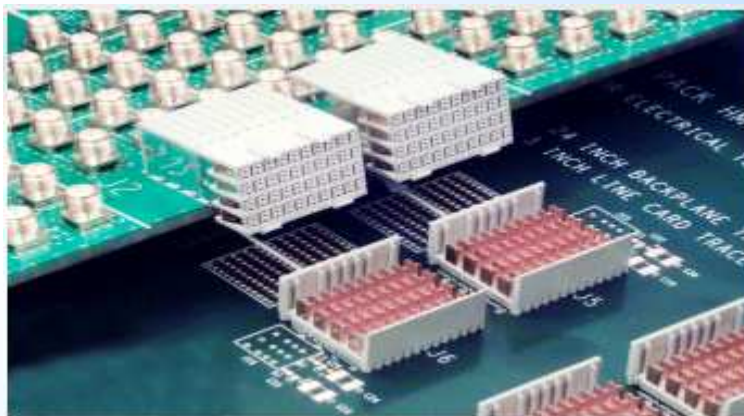
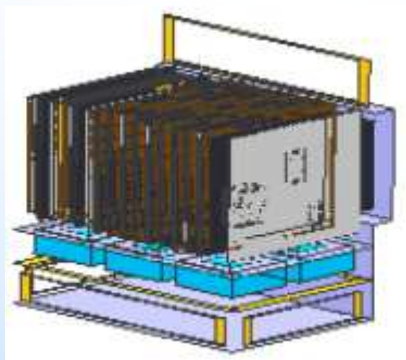


接地设计规范与指南

PCB 的接地设计

睦诗菊 范大祥 编制

PCB的接地设计要求



II PCB的接地设计，首先应根据设备系统总的接地设计方案，如：单板上的保护地、屏蔽地、工作地（包括数字地和模拟地）等如何与背板连接，背板上的这些地又如何与系统的各种地汇接，在PCB上落实系统接地方案对PCB板的接地设计要求。

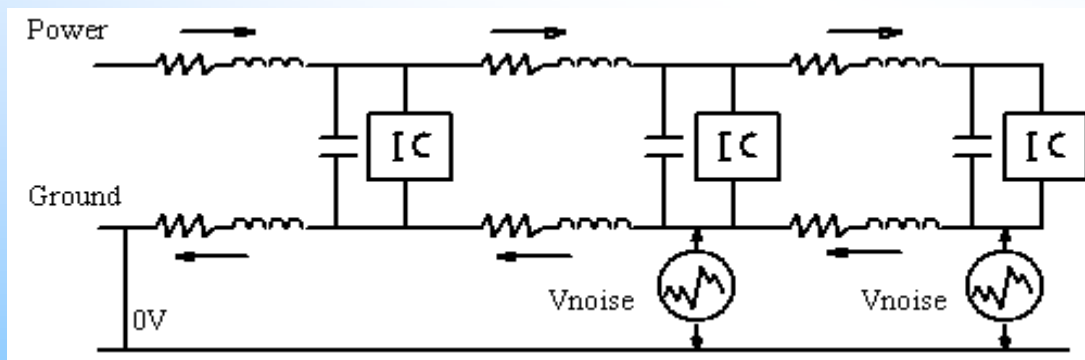
工作地

II 工作地——信号回路的电位基准点（直流电源的负极或零伏点），在单板上可分为数字地GNDD与模拟地GNDA。数字地连接数字元器件接地端，模拟地连接模拟元器件接地端。

II 理想的工作地是电路参考点的等电位平面。但在实际的设计中，工作地被作为信号电流的低阻抗回路和电源的供电回路。这样就会产生常遇到的三个问题：共模干扰、信号串扰和幅射。

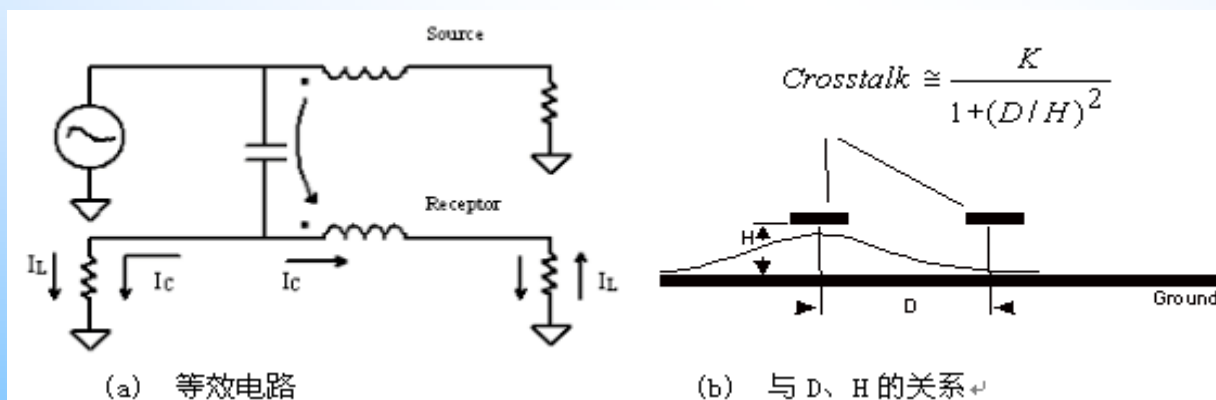
共模干扰电压

II 所有的导体都具有一定的阻抗，电流流经地时，同样会产生压降。流经工作地中的电流主要来自两个方面，一是信号的回流；另一个是电源的电流需要沿工作地返回。下图表示了典型的信号和电源共地逻辑电路PCB上共模电压的产生。其中， V_{noise} 是电流流经工作地时产生的共模噪声电压。



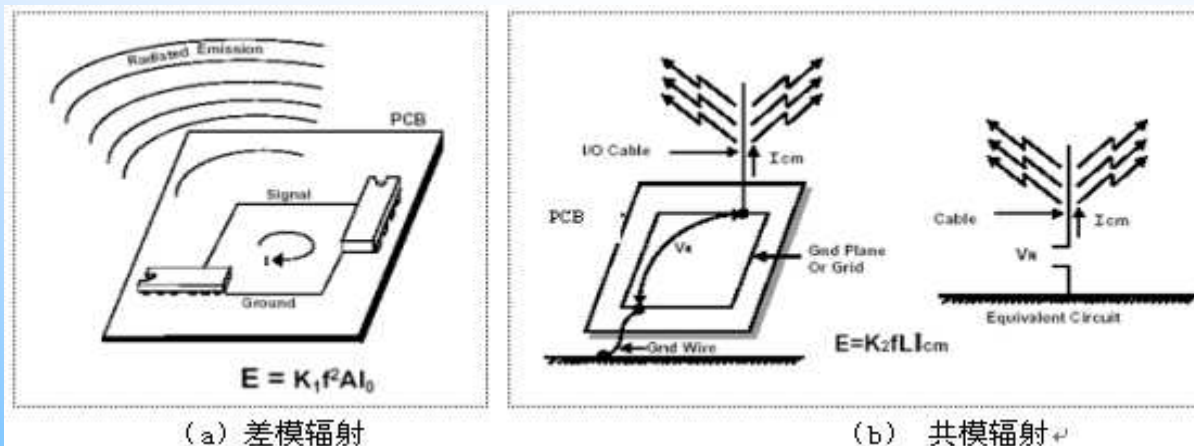
串扰

II PCB上相邻的印制线之间存在互感和耦合电容，当信号电压或电流随时间快速变化时，会对周围的信号产生不可忽视的串扰。图（a）是串扰的等效电路。图（b）是集总参数下串扰（Crosstalk）与线间距D和印制线离地平面（参考平面）高度H之间的关系。



辐射与干扰

- II PCB上的快速变化的电流回路，其作用相当于小回路天线，它会向外进行电磁场辐射。图（a），属于差模辐射方式。辐射的电场强度与回路中电流的大小 I_0 、回路的面积 A 、电流的频率的二次方成正比。同理，PCB上的信号回路（小回路天线）也会接收周围快速变化的电磁场，而产生干扰电流。
- II 如图（b），当出入PCB的电缆上存在共模电流时，会产生共模辐射。辐射的电场强度与共模电流的大小、共模电流的频率、线的长度成正比。同时，它也会对PCB上的电路产生共模干扰。



PCB接地设计原则

II 共模干扰、串扰和辐射干扰都与PCB的接地设计有密切的关系。一个好的设计可以有效控制信号回路的阻抗和回路面积，以及干扰电流的幅度。

Ω 确定高 di/dt 、高 dv/dt 电路（产生辐射）

PCB设计开始时，首先要确定电路中可能的干扰源。一般是高 di/dt 、高 dv/dt 电路，如：时钟、总线缓冲器/驱动器、高功率振荡器。在PCB布局、布线和检查时对它们给予特别关注。

Ω 确定敏感电路（易受干扰）

确定电路中易受干扰的敏感电路，如：低电平模拟电路，高速数据和时钟。在设计时注意隔离和保护。

PCB接地设计原则（续）

⌚ 最小化地电感和信号回路

信号线应该尽量短，信号回路面积尽量小。对速度较高的电路应用有地平面的多层板。

关键电路包括器件和走线，应尽量远离板的边缘。板的边缘存在较强的干扰场。

⌚ 地平面分割与不分割的合理应用

对于混合电路，若数字地与模拟地分割，不会出现或能够很好解决信号跨越和信号回路的问题，可以采用分割。否则，建议采用“分区但不分割”的方法。即：局部和布线时严格区分数字与模拟区域，避免数字信号与模拟信号出现公共回流路径。但地层并不分割开。避免信号跨越而形成大的信号回路。

PCB接地设计原则（续）

⌚ 接口地保持“干净”，使噪声无法通过耦合出入系统
出入PCB板信号，特别是通过电缆连接的信号易将噪声耦合出入系统，注意保持I/O地不受到共模干扰。接口部分的电源地尽量采用平面。

⌚ 电路合理分区，控制不同模块之间的共模电流
对于纯数字电路，应该注意按电路工作速率高、中、低以及I/O进行分区。以减少电路模块之间的共模电流。

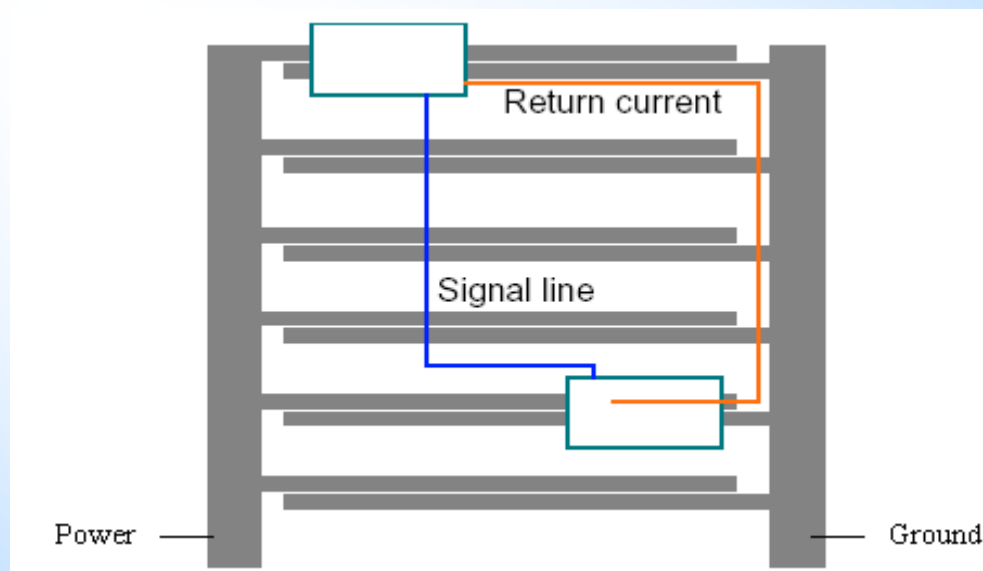
⌚ 贯彻系统的接地方案

PCB上的接地设计，应该符合设备系统的总接地方案。

特别是单板、背板，以及与机框机架需要搭接的地方，PCB上应该备有系统要求的安装孔、喷锡或采用其它镀层的导电接触面。

双面板接地设计

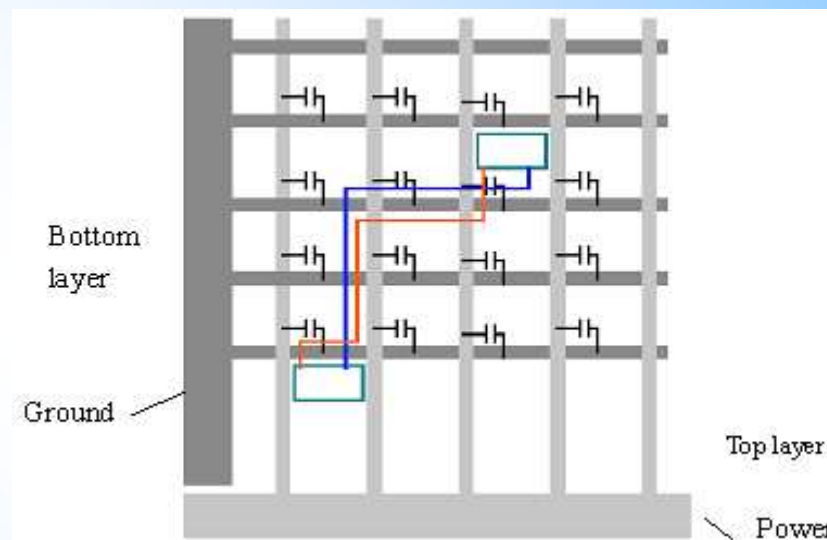
II 梳形电源、地结构



- * 任何电路都不宜直接采用梳形的地结构，由图可以看出信号的回流都必须折回根部，回路面积大。但只要对较重要的信号加以地保护，布线完成之后将空的地方都敷上地铜皮，并用多个过孔将两层的地连接在一起，这个缺陷可以得到弥补。这种结构只适用于低速电路，PCB上信号的走向较单一，而且走线密度较低的情况。

双面板接地设计（续）

II 栅格形地结构

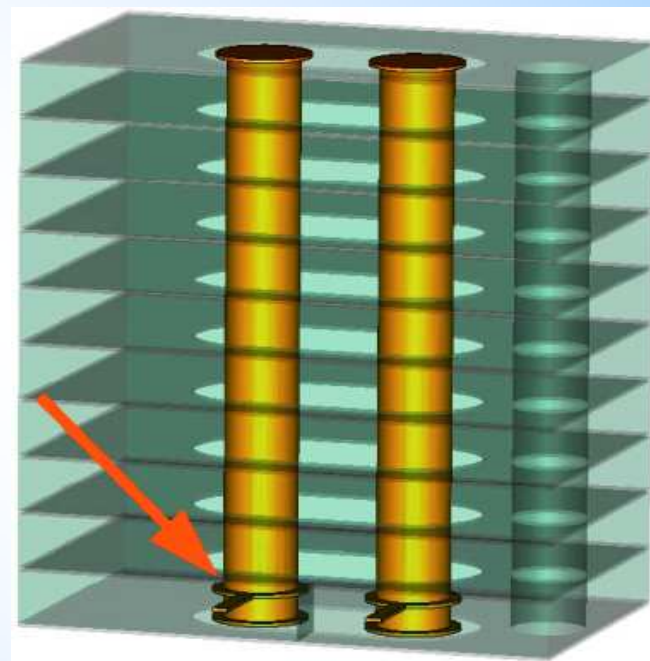
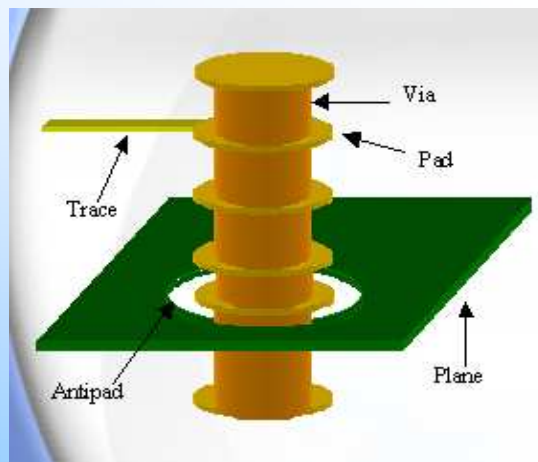
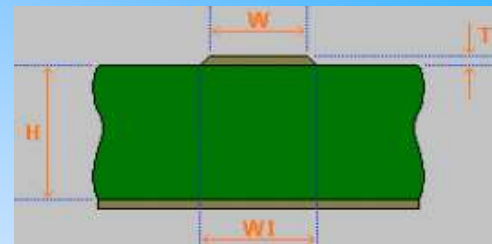


- * 栅格形地结构，电源和地分别从PCB的顶层和底层，以正交方式引出，在电源和地交叉处放置去耦电容，电容的两端分别接电源和地。
- * 与梳形比较，栅格形地结构信号回路较小。栅格形地结构适用于低速的CMOS和普通的TTL电路，但应该注意对较高速的信号加足够的地保护，使回路面积和回流路径的电感达到最小。

多层板的接地设计

II 有完整地平面的多层板之优点

- (1) 信号提供较稳定的参考电平和低电感的信号回路，使所有信号线具有确定的阻抗值；
- (2) 为电路提供低电感的工作电源供电；
- (3) 可以控制信号间的串扰。

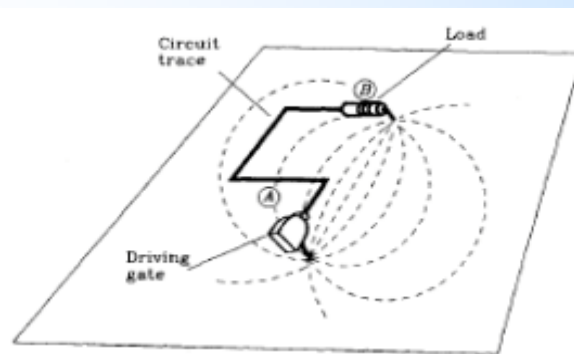


多层板的接地设计 (续)

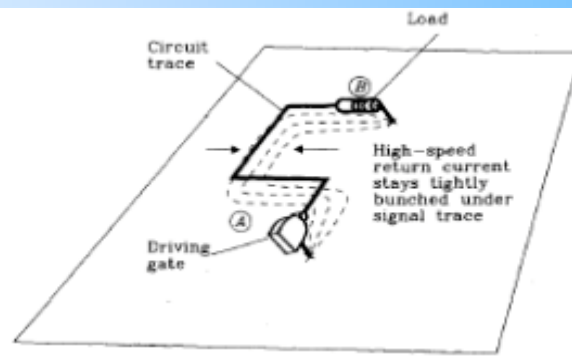
II 信号回流

当信号的频率较低时, 信号的回流主要沿最低电阻路径, 即几何最短路径, 如图 (a)。

当信号达到一定频率 ($F > 1\text{KHz}$) 时, 信号的回流集中沿最低电感路径, 如图 (b), 返回电流主要沿印制线的下方回流。图中的虚线表示信号的回流。



(a) 低频信号的回流

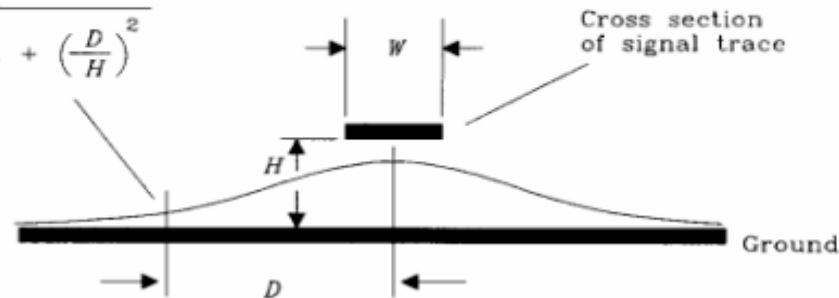


(b) 高频信号的回流

信号频率较高时的回流分布

Current density at point D is proportional to

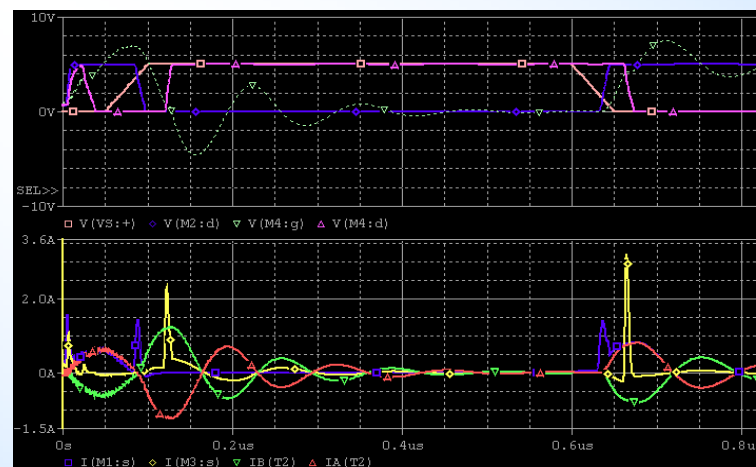
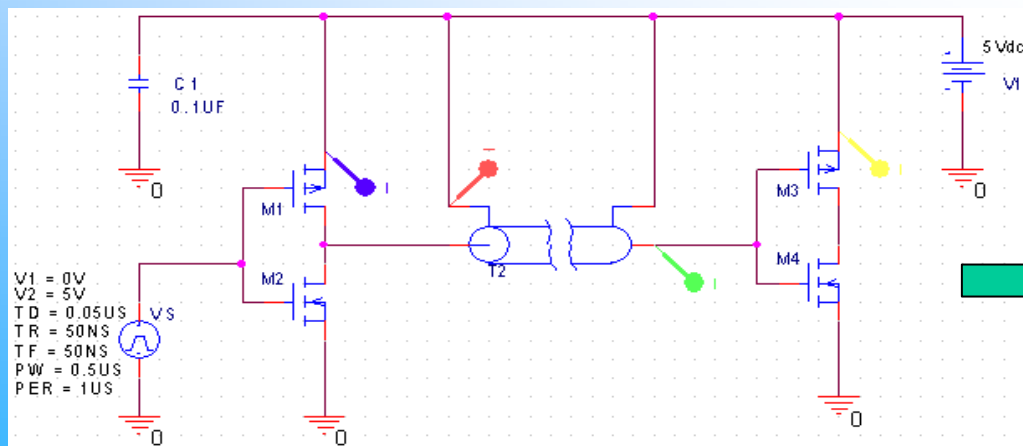
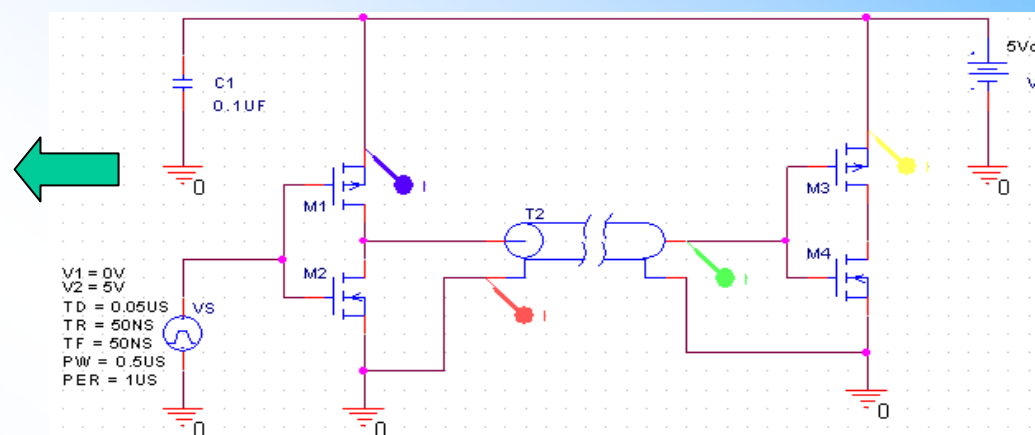
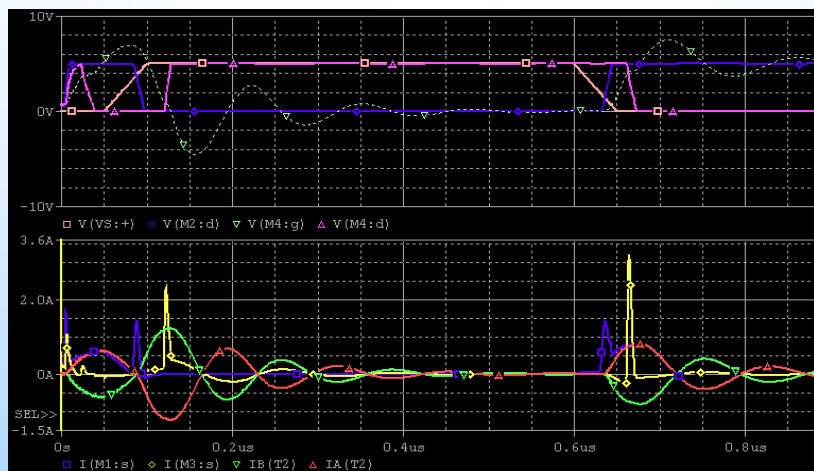
$$\frac{1}{1 + \left(\frac{D}{H}\right)^2}$$



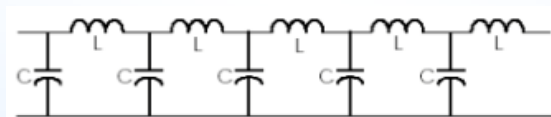
多层板的接地设计 (续)

II 信号回路的构成

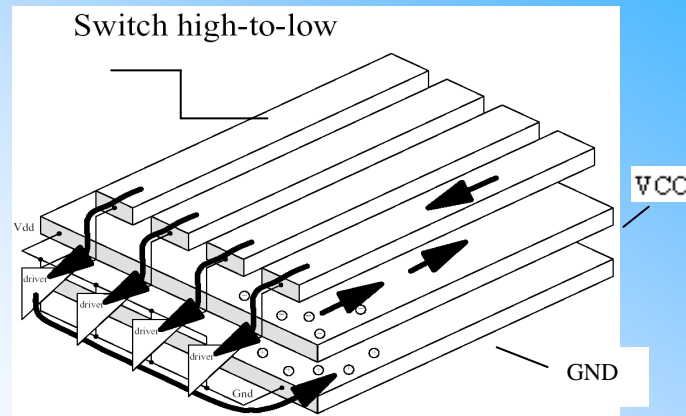
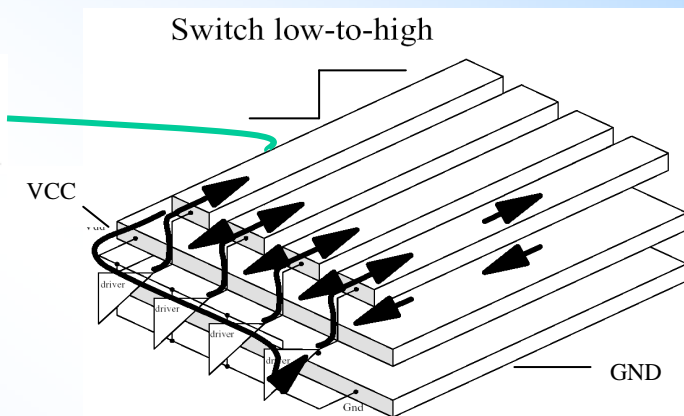
频率较高时，不论信号紧靠的是电源平面还是地网络平面，信号的返回电流总是沿紧靠的参考平面回流。



多层板的接地设计（续）



无损耗传输线等效电路

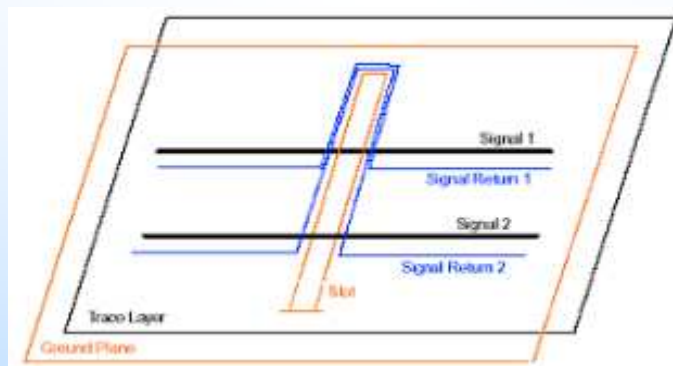


II 由回路的构成可以得出：

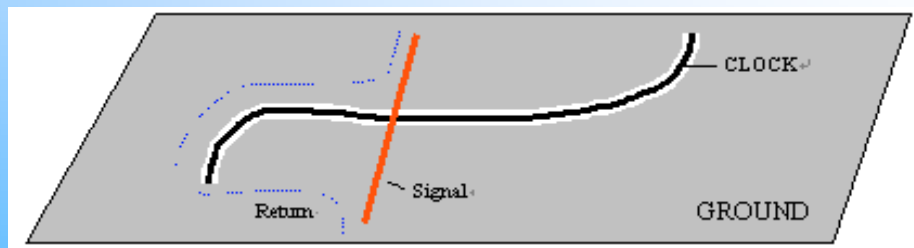
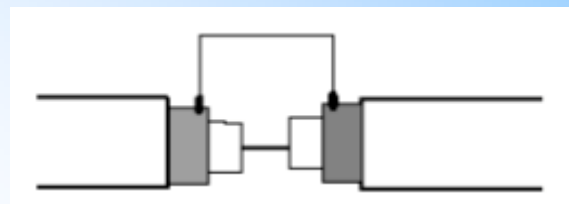
- 1) 回路的构成上，电源平面与地网络平面同样重要；
- 2) 滤波电容不仅起平滑电源、为电源去耦的作用。它还在信号回路中起桥梁作用；
- 3) 应该纠正所有信号只能从地回流、电源平面不重要的片面观点。

多层板的接地设计（续）

II 参考平面被分割的影响



等效



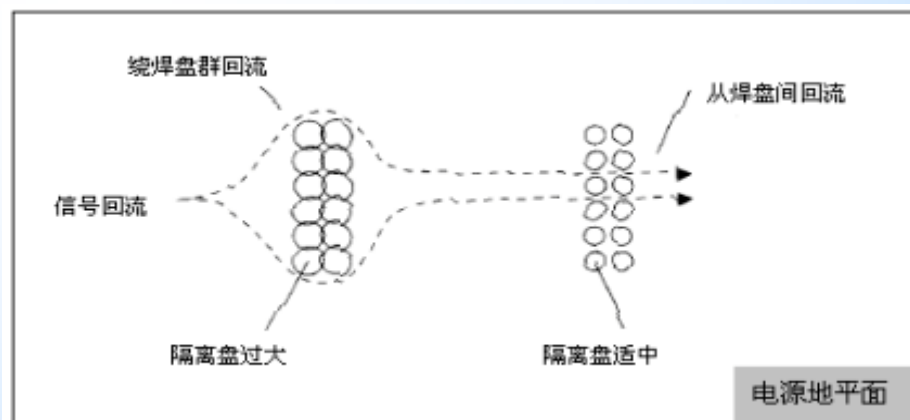
设计人员常犯的错误是，认为时钟信号很重要，所以要把它走在地网络平面上，如左图。如此会带来以下问题：

（1）若该地网络平面相邻的不是另一地平面，时钟信号线离地平面较远，中间还有信号层，造成时钟信号线本身的阻抗难以控制，造成信号完整性问题；

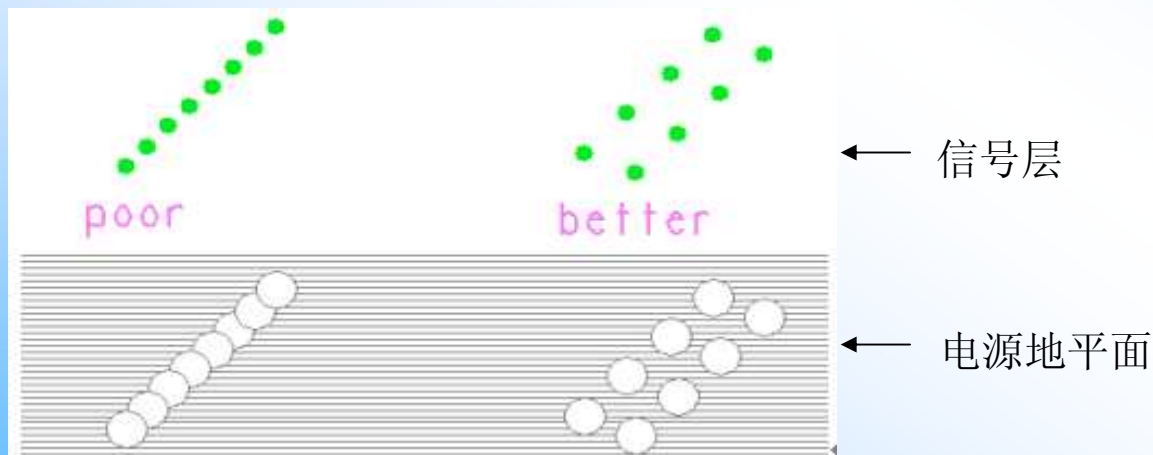
（2）由于时钟信号线走在地网络平面上会造成平面被分割，使分割带之上的信号回路必须绕分割带，回路面积增大。当分割带之上的信号线较多时，累积的大信号回路产生的EMI将不可忽视。

多层板的接地设计（续）

II 参考平面上隔离盘尺寸过大的影响



II 走线时，将信号过孔密集地整齐排列会在参考平面上产生开槽的效果



多层板的接地设计（续）

II 参考平面的设计

在实际的设计中，完全禁止平面分割是不现实和不经济的。例如：

- (1) 芯片的低功耗化和单板功能的复杂化，有时一个PCB板上会有三种以上的工作电源，安排每种电源一层是不合适的，可把几种不同的电源安排在同一层面上，这样，一个层面就被不同的电源网络所分割。
- (2) 为了避免不同的电路之间的干扰，不同的电路设置不同的地平面，这样，一个层面就被不同的地平面所分割。对于数模混合电路，根据单板电路的具体情况，可采用以下三种方式：分割；分割 + 桥接；分区但不分割。

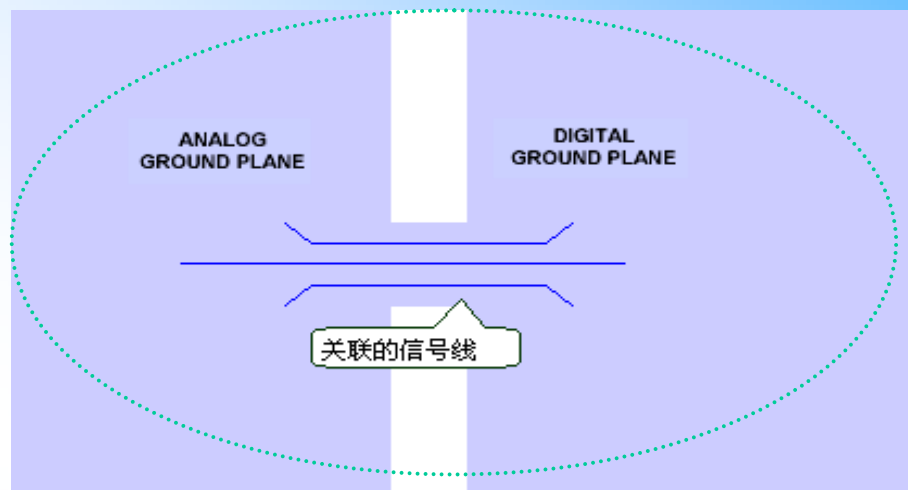
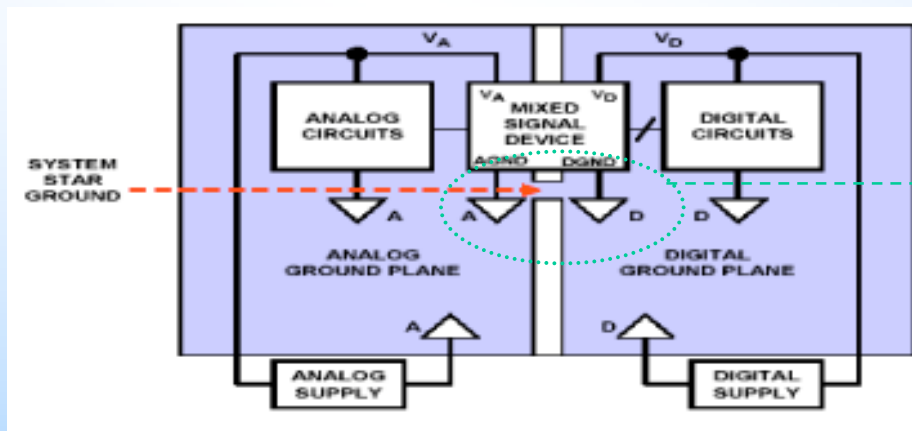
II 分割 -- 适用于数字电路与模拟电路之间没有信号联系



布局时将数字电路和模拟电路分开，器件排列尽量紧凑，布线时避免数字电路的信号跨越模拟电路区域，避免模拟电路的信号跨越数字电路区域。两个区域隔离足够的距离。数字地与模拟地分割，然后在插座处单点连接，见左图。这样能最大限度地抑制数字电路对模拟电路的干扰。

多层板的接地设计（续）

II 分割 + 桥接 -- 适用于数字电路与模拟电路之间联系的信号线较少且集中



II 分区但不分割 -- 适用于数字电路与模拟电路之间联系的信号线较多且难以集中在一块

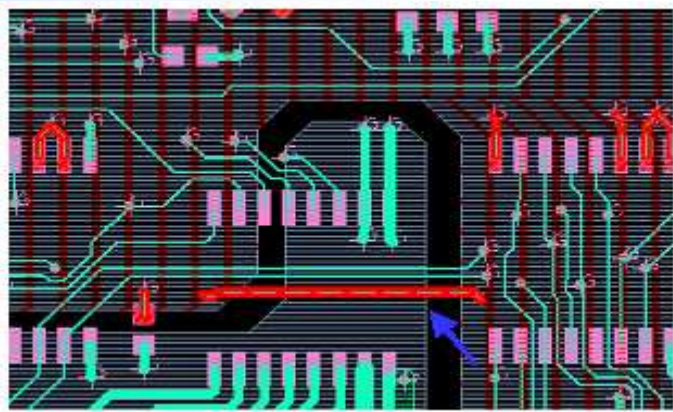
将数字电路和模拟电路分区布局，布线时避免数字电路内部的信号跨越模拟电路区域，避免模拟电路内部的信号跨越数字电路区域。地层并不分割，是一完整的层面，保证两个电路之间联系的信号有最小的信号回路。

多层板的接地设计（续）

II 信号回路的桥接

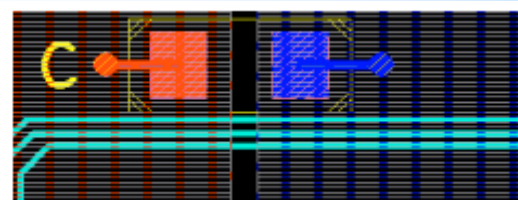
当较重要的信号不得不跨越参考平面时，可以采用以下的桥接方法：

（1）跨线桥接



跨线桥接适用于信号跨越后，又能回到原来的参考平面上。线桥走在信号层，并且走线尽量地宽。

（2）电容桥接



当信号跨越分割后回不到原参考平面上时，可以在信号跨越处增加一个（或多个） $0.01\mu\text{F}$ 至 $1\mu\text{F}$ 的电容为信号提供回路。这种用途的电容常被形象地称为Stitching Capacitor。桥接电容应尽量靠近（小于200mil，小于80mil时效果更佳）要保护的信号线，每个电容所保护的信号线不超过5根。如图，电容的两端分别接平面各自对应的网络。

多层板的接地设计（续）

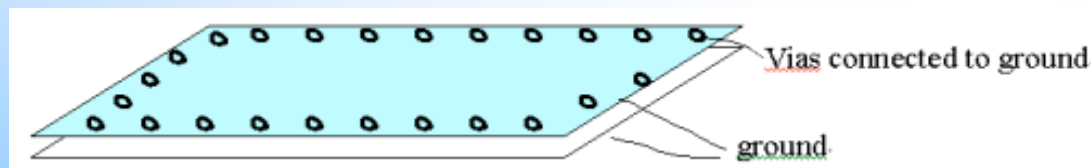
II 参考平面的处理

（1） 电源平面紧靠地平面 （仅限于高频电路）

当电路的工作频率很高（如：大于100MHz）时，电源平面应该紧靠地平面，这样可以最大化电源平面与地平面的电容耦合，降低电源的噪声。

（2） 多个地平面用过孔相连

当PCB中有多个地平面层时，应该在板上用较多分散的过孔将地平面连接在一起，特别在信号集中换层的地方，以便为换层的信号提供较短回路和降低辐射。如图在平面的周用过孔将地平面连接在一起，可以有效的降低PCB对外的辐射。



多层板的接地设计（续）

II 参考平面的处理（续）

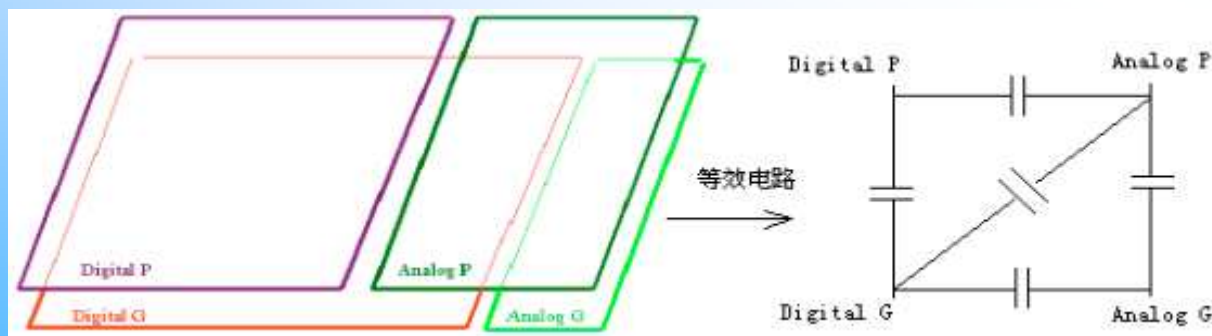
（3）条件允许时，采用20H原则

（4）加地平面作为信号隔离层

当信号层数多需要加隔离层时，宜加地平面作为隔离层，不要加电源层作为隔离层。

（5）控制好平面的延伸区域

在进行电源地平面设计时，应该控制好平面的延伸区域。避免不同类型电路的参考平面交叠，平行的带电平面之间存在电容耦合。见图，模拟电源平面Analog P和数字地平面 Digital G之间会相互耦合。见等效电路。



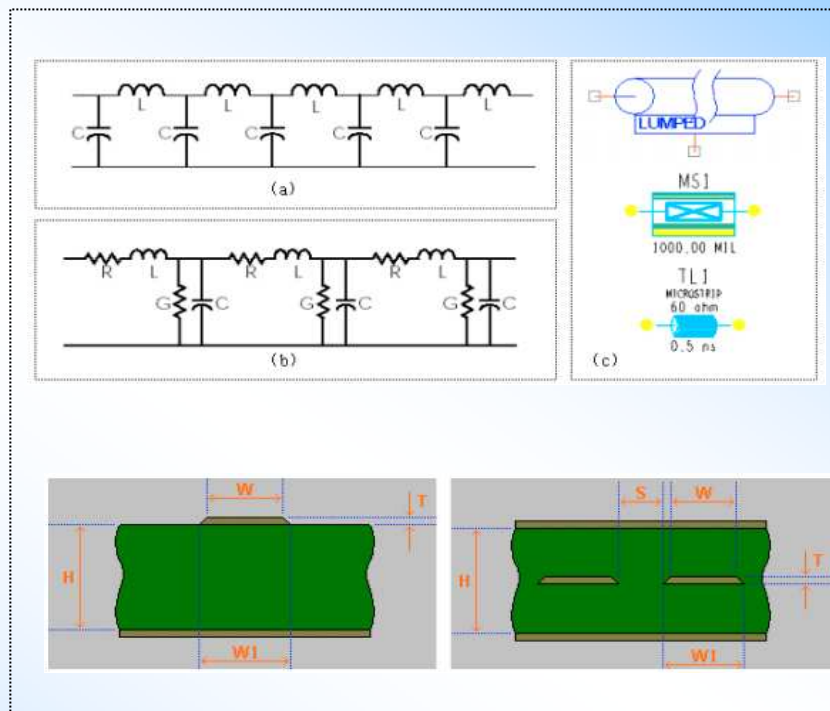
在实施20H原则时，应该优先满足信号的回路最小，信号阻抗连续。即，缩进电源平面时，若相邻的信号层在电源平面边缘有走线，可以在此范围内不考虑20H原则，确保信号不跨越，而且电源平面的边缘应该延伸出信号线位置。

多层板的接地设计（续）

II PCB的叠层设计

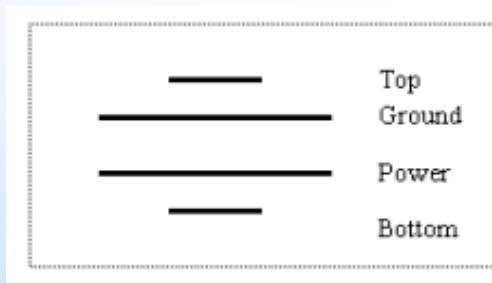
PCB的叠层设计不是层的简单堆叠，地层的安排是关键，它与信号的安排和走向有密切的关系。一般应按以下原则进行叠层设计：

- (1) 满足信号的特征阻抗要求
- (2) 满足信号回路最小化原则
- (3) 满足最小化PCB内的信号干扰要求
- (4) 满足对称原则

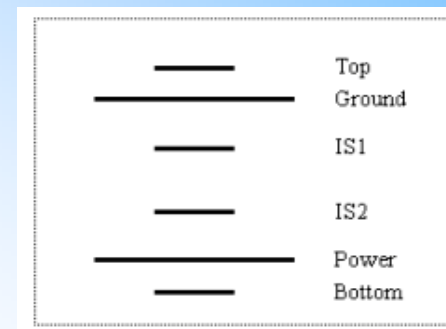


多层板的接地设计（续）

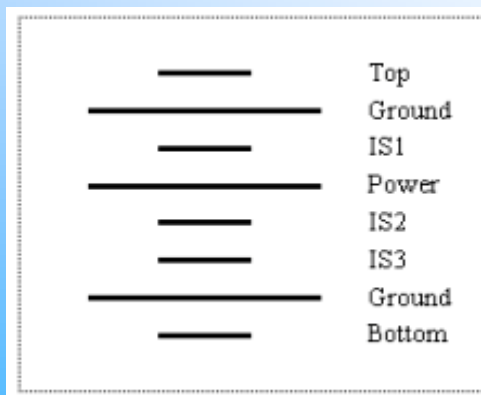
II PCB的叠层设计举例



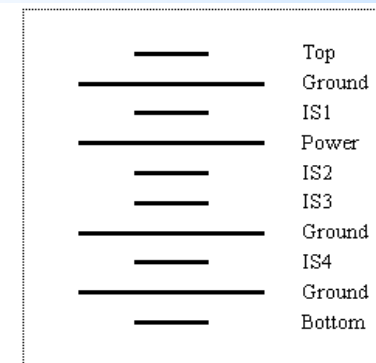
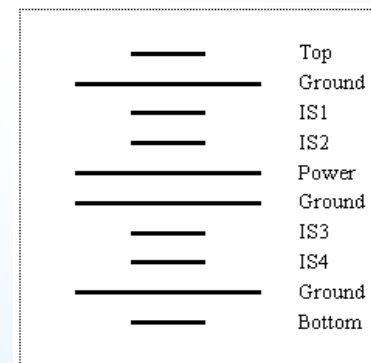
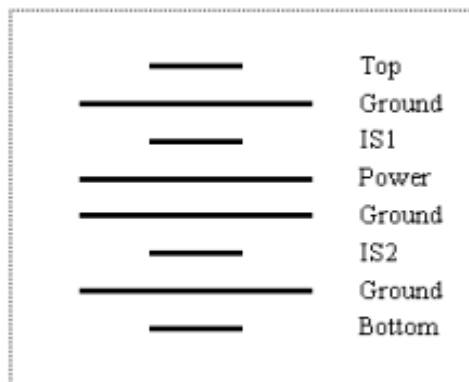
四层板



六层板



八层板



十层板

后背板的接地设计

对于有后背板的大型设备，在功能单板上，各种接地母线或接地平面在插座处汇合后经过后背板接到工作地和工作地汇流条。保护地通过后背板接到保护地汇流条。 -48V 地通过后背板接到 -48V 地汇流条。如果 -48V 电源与 $\pm 5\text{V}$ 或 $\pm 12\text{V}$ 电源有共地的要求（如用户板）， -48V 地与工作地在后背板上（靠近 -48V 电源输入插座位置）相连。否则， -48V 地汇流条与工作地汇流条在接地螺丝处相连。静电防护与屏蔽地通过固定螺丝与机壳良好搭接。

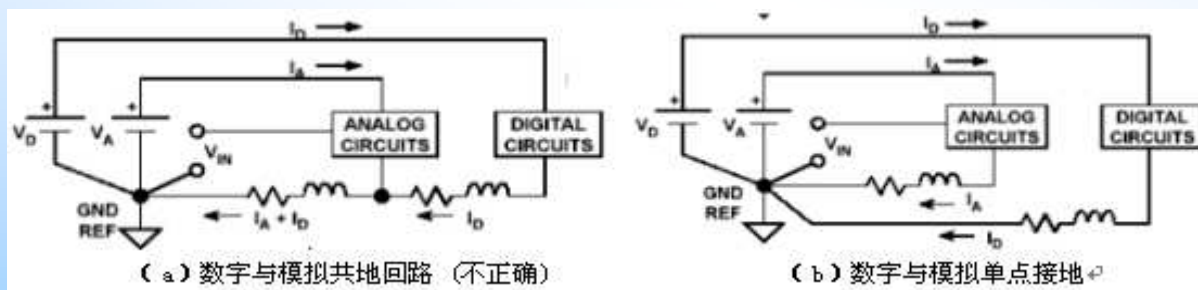
有金属外壳器件/模块的接地设计

- (1) 具有金属外壳的接插件，其金属外壳应与接地的机壳或底板紧密相连。
- (2) 印制板（双层板）在靠近接插件的部位，模拟地线、数字地线、功率地线、继电器地线、低电平电路地线、-48V地线应合并为大面积地线。
- (3) 印制板（多层板）的模拟接地面、数字接地面、功率接地面、继电器接地面、低电平电路接地面、-48V接地面要保持完整，在靠近接插件的部位要多点相连。
- (4) 对于有金属外壳的小型设备，印制板的地线或接地面应通过固定螺丝多点接外壳，且在靠近接插件的部位适当增加固定螺丝。其他与接插件相连的部件的接地端也应就近接外壳。

PCB的布局设计

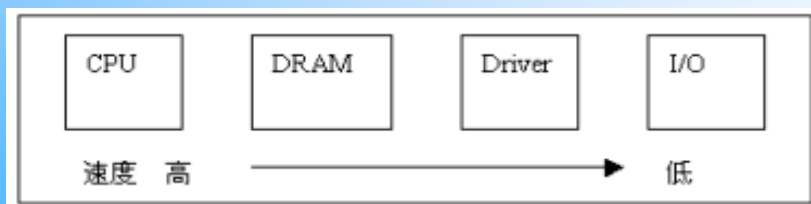
布局设计是PCB接地设计的关键步骤之一，布局时应考虑电路的功能模划分，关键信号的走向，布通率等因素。

II 混合电路的分区



数字电路和模拟电路分区布置，数字部分和模拟部分单点接地。见图 (b)，图中的“GND REF”选择在单板的紧靠插座的位置。布局时应该将数字电路和模拟电路分开，各部分内器件排列尽量紧凑，预留出足够的隔离空间。

II 数字电路的分区



数字电路必要时应该根据速率高、中、低速、I/O电路分区。以减少高速电路对其它部分的干扰。左图为处理器电路的分区。

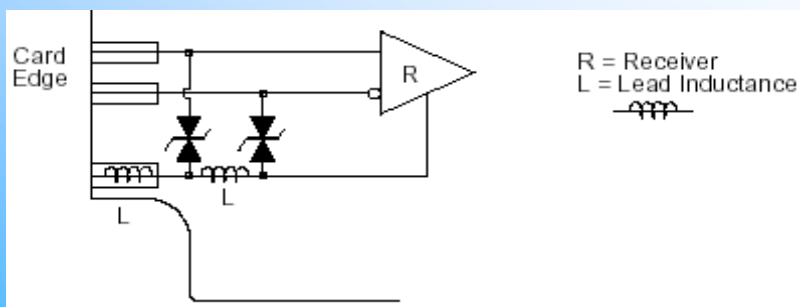
PCB的布局设计（续）

II 高频高速电路和敏感电路的布局

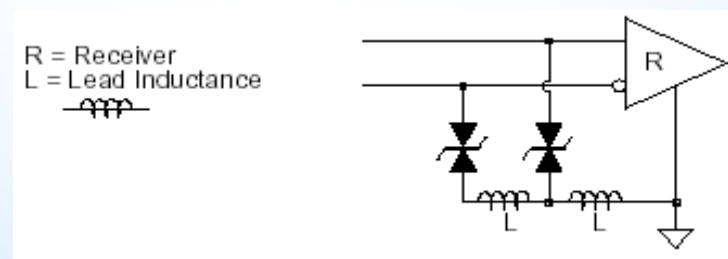
高频高速电路和敏感电路内部的布局尽量紧凑，最小化敏感信号回路。高频高速电路和敏感电路之间的布局尽量隔离，以减少高频高速电路对敏感电路的干扰。晶振与时钟分发、倍频器、驱动、串阻应尽量集中在一起，并远离高速CPU、高速信号、I/O电路、无关的敏感电路、PCB边缘。

II 保护器件的布局

在印制版上，雷击浪涌保护器件应尽可能靠近插座或印制板的边缘，保护地应尽可能粗、短且均匀，保护地除了与保护器件相连以外不能与其它元器件和其它地线相连，保护地与其它焊盘、走线应隔离足够距离。



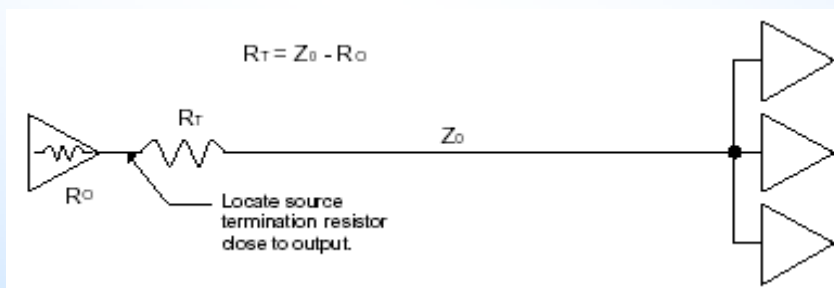
单板的保护电路紧靠连接器放置



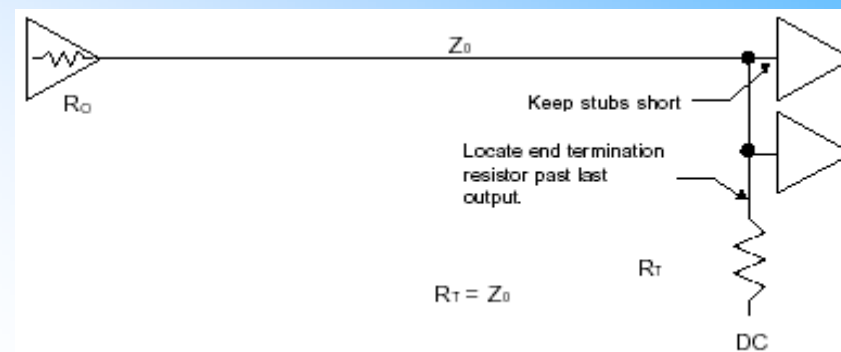
芯片的保护电路紧靠芯片放置

PCB的布局设计 (续)

II 端接器件的放置



串连端接电阻必须放在源端



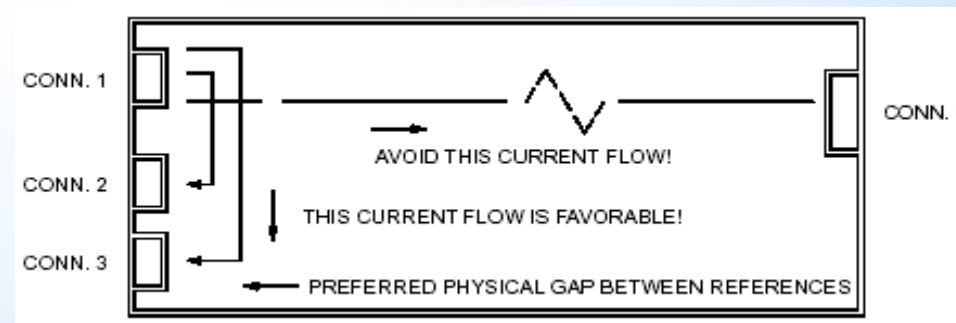
并连端接电阻等必须放在接收端

II 连接器的安排

由于连接器的信号出入PCB时，容易出现共模干扰问题，在安排连接器位置时，应该避免I/O信号贯穿PCB的长边方向流动。

II I/O滤波器与变压器的放置

I/O滤波器与变压器应该非常靠近I/O连接器，以免I/O信号再次被干扰。



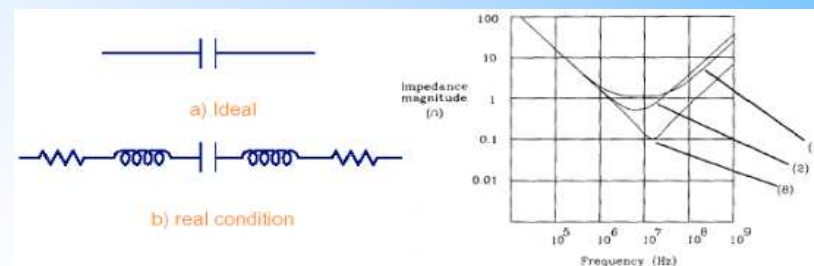
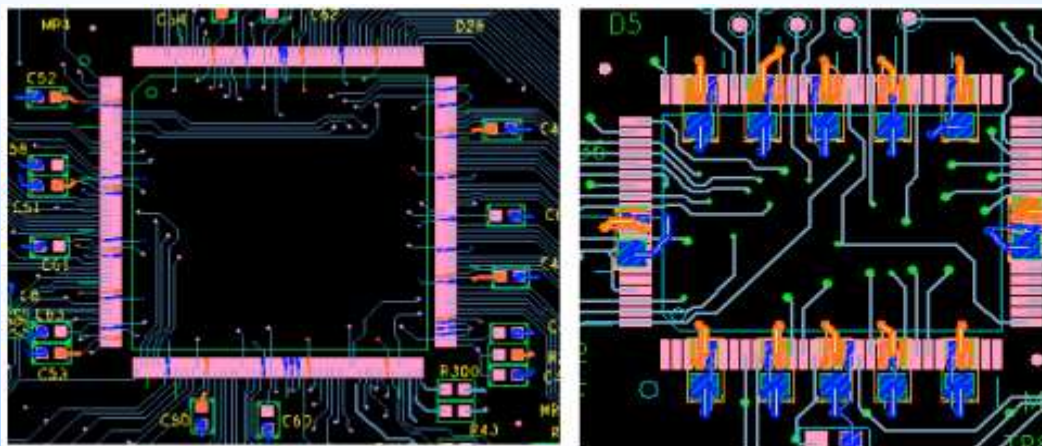
合理安排连接器位置

II 大电流器件的放置

大电流器件应靠近电源，远离I/O连接器，减小回流距离和对其它信号线的耦合。

PCB的布局设计 (续)

II 去耦电容的放置



去耦电容的等效电路

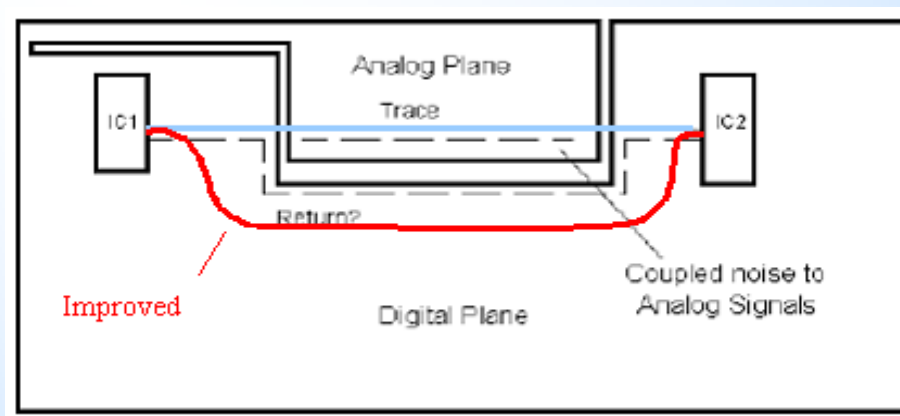
II 与后背板相连的插座上地线插针的设计

- (1) 地线插针应足够多且应纵向安排，接地线与地线插针连线要足够粗，以免形成接地瓶颈。
- (2) 对于高频信号尤其是高频时钟信号，四周应用地线插针包围。

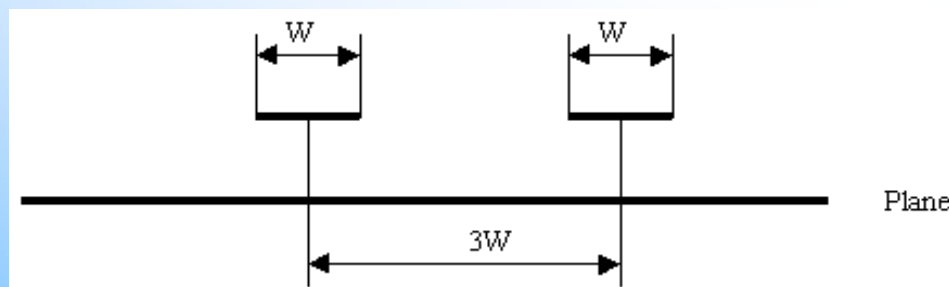
II 器件的布局应该符合公司的工艺要求

PCB的布线设计

- (1) 地线应该尽量宽，使其有足够的电流承载能力和最小化的电感。
- (2) 高速信号线不要在分割区上跨越，不要在无关的参考平面上方穿行。



- (3) 3W原则



PCB的布线设计（续）

（4）保护线（Guard Trace）



在模拟电路和射频电路设计，以及没有电源地平面的双面板中，常常用保护线来对关键信号进行保护，使其免受其它信号的串扰。如图31，一般保护线连接地网络，并在线的两端与地相接。频率很高时，保护线上用多个过孔接地，过孔之间的距离应小于板上最高频率所对应波长（ λ ）的1/20。对于有完整地平面的数字电路，一般可以不用保护线，若有空间足以插入保护线（即信号线间距大于3倍线宽），则地平面已经能够有足够的保护作用。

（5）所有高频信号或敏感信号必须紧靠完整的参考平面

所有高频信号或敏感信号必须紧靠完整的参考平面，以保证其最小化的信号回路和连续的阻抗。以减小信号的反射和辐射，提高信号的稳定性。

（6）高频信号或敏感信号应避免太多的过孔

过孔具有对地电容 C 和串连电感 L，其简单的估算公式分别为：

$$C = \frac{1.41 \epsilon_r T D_1}{D_2 - D_1} \quad L = 5.08h \left[\ln \left(\frac{4h}{d} \right) + 1 \right]$$

其中： ϵ_r = 基材的介电常数

T = PCB 的厚度，单位 in

D1 = 过孔的孔径，单位 in

D2 = 过孔的隔离盘直径，单位 in

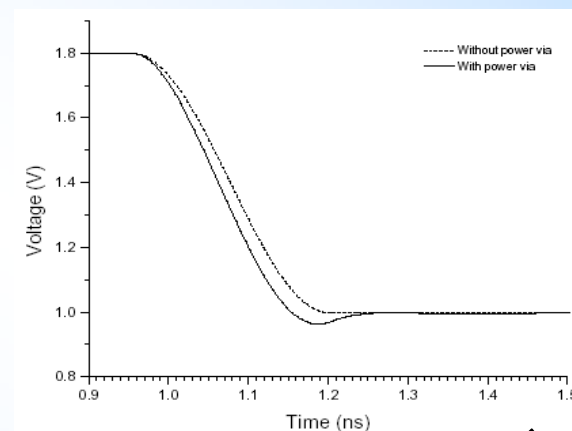
C = 过孔的电容，单位 pf

h = 过孔的高度，单位 in

d = 过孔的孔径，单位 in

L = 过孔的电感，单位 nH

对于频率非常高的信号，由于过孔与印制线的阻抗不连续会造成反射和时序的变化。



RAMBUS 有无过孔的区别

PCB的布线设计（续）

- （7）I/O信号避开高速和高 di/dt 信号等干扰源。连接器上应该安排足够的接地管脚。
- （8）高速信号的走线不应该出现锐角和直角。1GHz以上的信号应该尽量使用圆弧走线。
- （9）为了减少高频信号的辐射和干扰，高频信号尽量安排在内层。当走线的长度大于信号频率所对应波长（ λ ）的1/20时必须走内层。
 λ 简单的估算如下：100MHz 的 $\lambda/20$ 为150mm，300MHz 的 $\lambda/20$ 为50mm。
- （10）差分对应平行等距等时延走线，保持对称，使电路对共模干扰有良好的抑制。
- （11）金属壳体的高频器件下应该敷地平面，用多个过孔与地平面连接。该敷地平面喷锡，不要盖绿油。

案例1

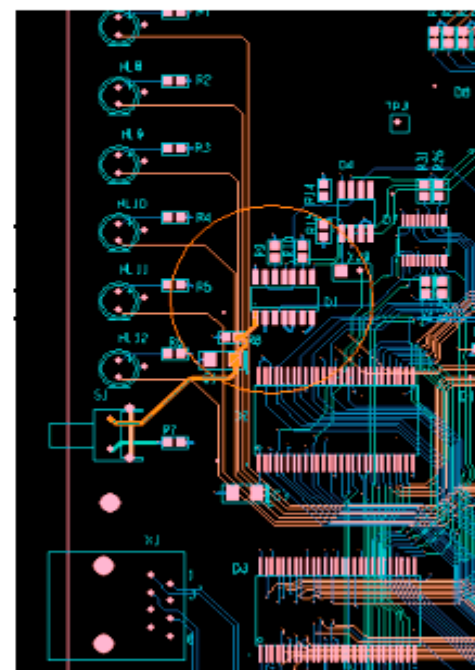
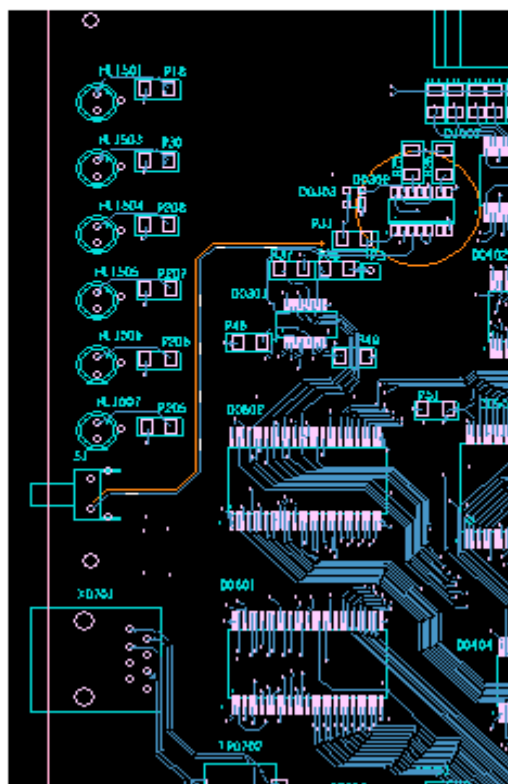
II ESD试验单板复位

问题描述: 某单板在进行 ESD 试验时, 单板上有时 (概率若 20%) 出现复位现象。

原因简析: 图为该板的 TOP 层丝印和走线图, 原设计中的复位信号线 (沿红线箭头处) 长距离地走在表面, 线宽 8 mil, 而且离面板边较近。进行 ESD 试验时, 受到快速瞬变场的影响, 复位信号线产生了干扰脉冲。

改进措施: 只将复位芯片下移, 复位信号线用 20mil 的线走到内层。

试验效果: 故障不再出现, ESD 试验顺利通过。



原设计

改进后的设计

案例2

II 信号跨越形成大信号回路造成系统故障

问题描述： 某单板在进行ESD试验时，系统的时钟基准信号A丢失。信号A是由两个时钟信号B和C以数脉冲个数的方式每两秒钟对齐一次，对齐后产生一个A信号。若信号B和C 在2秒是没有对齐，A信号不会产生。

原因简析： 左图为该板的TOP层丝印、TOP层走线和TOP层之下的被分割的地层，其中棕色的阴影区域为地网络平面铜皮，图（a）中，蓝色高亮线为时钟信号B，带箭头红线则是时钟信号B的回流路径。图（b）缩小的图形，可以看出整个回路。

时钟信号B的波形应该为左下图（a），但在进行ESD试验时，受到快速瞬变场的影响，实际测量的时钟信号B的波形为图（b）。由于时钟信号B产生了干扰脉冲，在2秒到来之前脉冲个数已满，而无法实现与时钟信号C对齐，造成信号A丢失。

改进措施： 将分割的地平面变成整体。

试验效果： 故障不再出现，ESD试验顺利通过。

