

主板维修系列教材之二

PC 主 板 基 本 线 路 分 析

顺达电脑厂有限公司
Prepared by: yu.xia

REV: R03
2004.7.6

目 录

绪言	3
电路基础知识	3
模拟电路基础.....	3
数字电路基础.....	10
第一章 主板供电	14
第二章 CPU 供电.....	21
第三章 主板时钟	32
第四章 主要控制信号	38
第五章 开机过程	45
附件.....	48

绪 言

主板也称主机板,是安装在主机机箱内的一块电路板,上面安装有电脑的主要电路系统。主板的类型和档次决定着整个微机系统的类型和档次,主板的性能影响着整个微机系统的性能。主板上安装有控制芯片组、BIOS 芯片和各种输入输出接口、键盘和面板控制开关接口、指示灯插接件、扩充插槽及直流电源供电接插件等组件。CPU、内存条插接在主板的相应插槽(座)中,驱动器、电源等硬件连接在主板上。主板上的接口扩充插槽用于插接各种接口卡,这些接口卡扩展了电脑的功能。常见接口卡有显示卡、声卡等。

主板发展到今天已经具有了固定的架构和组成模式。其复杂的电路基本上集成到一起形成了具有特定功能的模块。这些功能模块具有统一的规格和参数标准。本文通过对主板基本功能模块的工作原理和工作必备条件的分析,了解计算机的基本工作过程。

主板的线路分布和工作原理参照的标准基本一致,我们以 Intel P4 处理器、Intel845GV 芯片组、DDR 内存、集成网络子系统和音效子系统的一款 ATX 主板 (Bleford3) 为例进行分析。(相关资料见附件)

电路基础知识

第一部分 模拟电路基础

半导体

导电能力在导体与绝缘体之间的物质叫半导体,半导体的电阻率在 $10^1 \sim 10^{13}$ 欧姆 $\cdot \text{mm}^2/\text{m}$ 范围内。

特点:

- 1 杂敏性: 半导体对杂质很敏感。
- 2 热敏性: 半导体对温度很敏感。
- 3 光敏性: 半导体对光照很敏感。

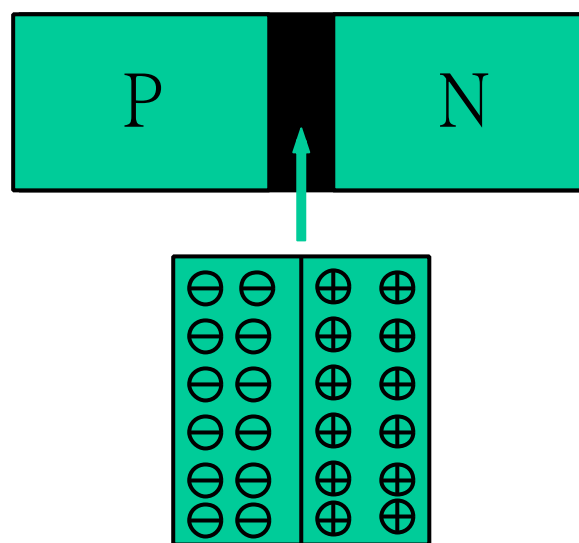
本征半导体: 不含杂质, 完全纯净的半导体称为本征半导体。

在一定温度下或一定光照下本征半导体的少数价电子获得足够的能量挣脱共价键的束缚而形成带单位负电荷的自由电子，而在原来的共价键上留下相同数量的空穴。所以在半导体中存在两种载流子，自由电子和空穴。

PN 结

空穴型（P 型）半导体，是在本征半导体中加入微量三价元素，使之出现较多带正电荷的空穴

电子型（N 型）半导体，是在本征半导体中加入微量五价元素，使之出现较多带负电荷的电子

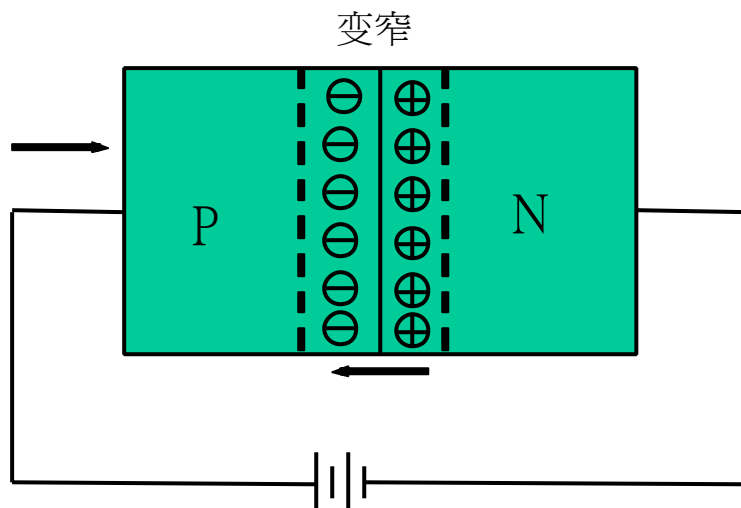


PN结

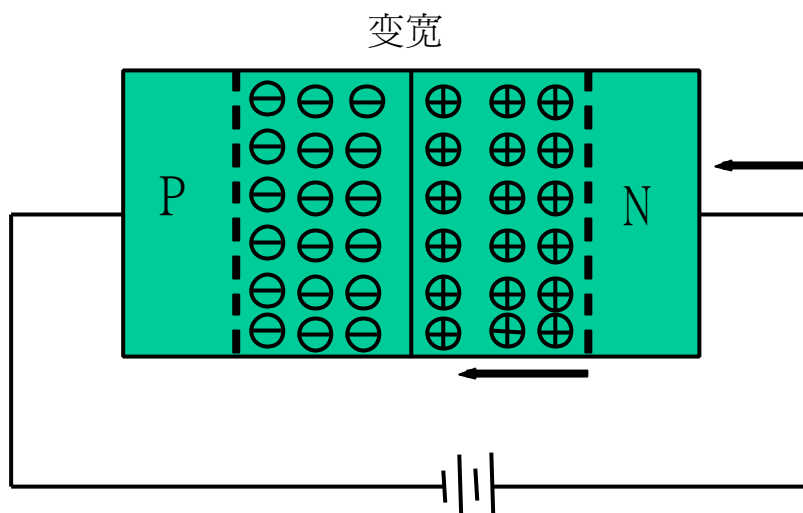
PN 结，在P型和N型半导体结合面的两侧形成的一个特殊的带电薄层。由于扩散运动，P区的空穴进入N区与电子结合，N区的电子进入P区与空穴结合，于是在临近界面的P区出现带负电的离子层，在临近界面的N区出现带正电的离子层，这样在交界面两侧形成一个带异性电荷的薄层，称为空间电荷区。空间电荷区中的正负离子形成了一个空间电场，称为内电场。

PN 结特性

PN 结正向偏置即P区电压高于N区电压时，外电场与内电场方向相反，削弱了内电场，空间电荷区变窄，扩散电流加强。PN 结对正向偏置呈现较小电阻，PN 结变为导通状态。

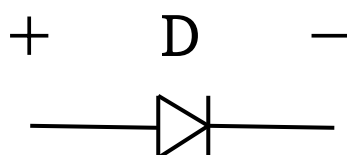


PN 结反向偏置即 P 区电压对于 N 区电压时，外电场与内电场方向相同，加强了内电场，空间电荷区变宽，无扩散电流，只有微小的漂移电流。PN 结对反向偏置呈现高电阻，PN 结变为截止状态。

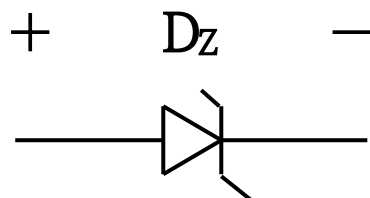


二极管

在 PN 结两侧的中性区各引出金属电极就构成了最简单的半导体二极管。半导体二极管也叫晶体二极管，简称二极管。接 P 型半导体的为正极，接 N 型半导体的为负极。符号如图：

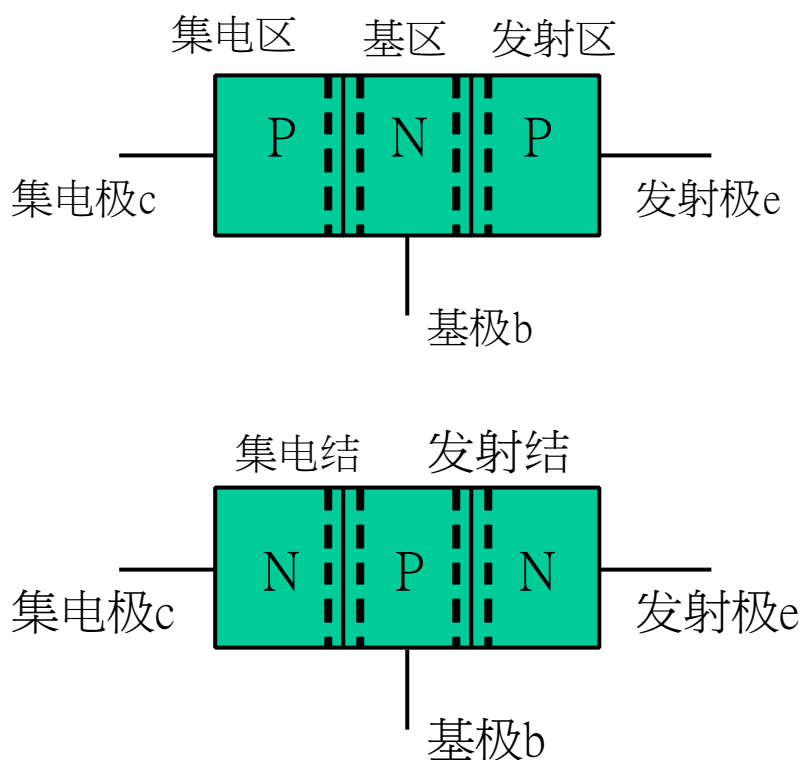


二极管具有单向导电特性，但当反向电压大到一定数值后二极管的反向电流会突然增加，这叫击穿现象。利用击穿时通过管子的电流变化很大而管子两端的电压几乎不变的特性，可以实现稳压，这就是稳压二极管。

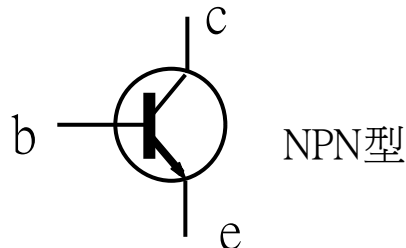
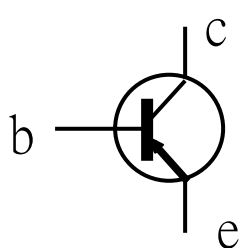


三极管 (Transistor)

半导体三极管又称双极型晶体三极管（简称晶体管），由两个相距很近的 PN 结构成。具有三个电极叫发射极 (Emitter)、基极 (Base) 和集电极。按 PN 结的组合类型有 PNP 型和 NPN 型。



符号：



三极管特性

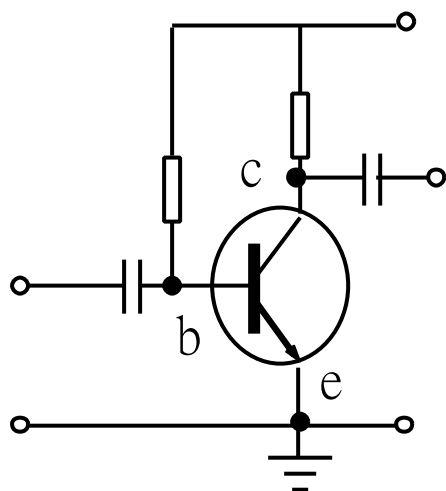
物理结构特性：

- 1 发射区杂质浓度远大于基区杂质浓度，以便于有足够的载流子供发射；
- 2 集电结的面积比发射结的面积要大，以便于收集载流子；
- 3 基区和薄，杂质浓度很低，以减少载流子在基区的复合机会。

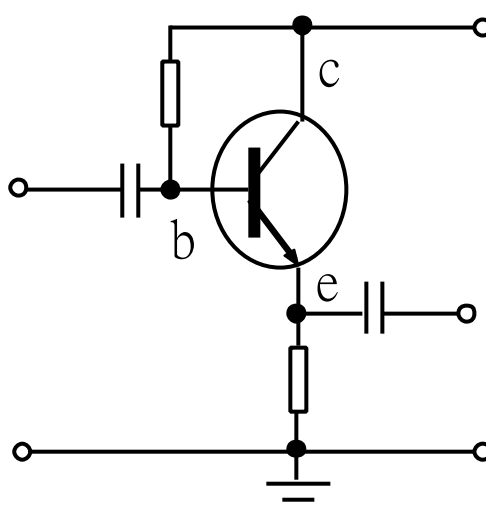
电路应用特性：

- 1 放大：发射结正偏，集电结反偏，集电极电流仅受基极电流控制。
- 2 截止：发射结为零偏和反偏，集电结为反偏，晶体管相当于断开的开关。
- 3 饱和：发射结和集电结都处于正向偏置，管压降很小，晶体管相当于闭合的开关，如同短路状态。

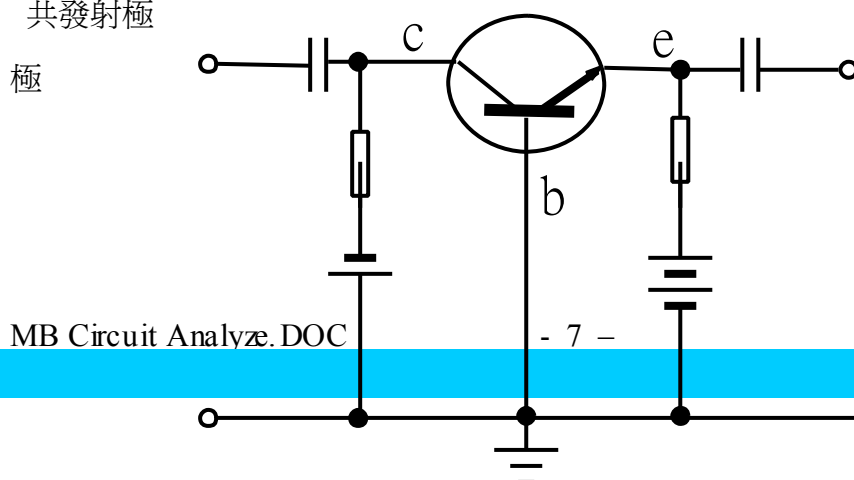
三极管三种基本放大电路形式



共发射极



共集电极



共基極

場效應管（FET， Field-effect transistors）

FET 是用電場效應來控制固體材料導電能力的有源器件，所以是一種壓控電流型器件，改變其柵源電壓就可以改變其漏極電流。

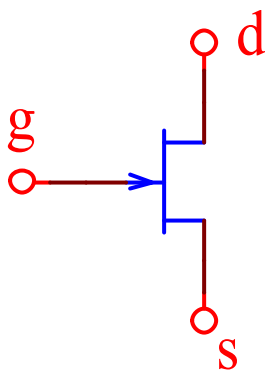
和普通半導體三極管的區別：電壓控制器件，只有一種極性載流子，稱為單極型晶體管，半導體三極管稱為雙極型晶體管。

場效應管分為：結型（JFET）和絕緣柵型（MOSFET）兩種。

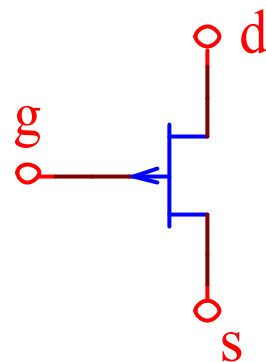
結型場效應管分為 P 溝道和 N 溝道，以 N 溝道為例說明結型場效應管的結構：

兩個 PN 結夾著一個 N 型溝道。三個電極： g：柵極、d：漏極、s：源極

符號：



N溝道



P溝道

結型場效應管的基本特性：

與半導體三極管一樣場效應管的工作也分為四個區

- 可變電阻區（導通區）。
- 恒流區也稱飽和區（放大區）。
- 夾斷區（截止區）。
- 击穿區。

夹断电压 U_P ——使导电沟道完全合拢（消失）所需要的栅源电压 u_{GS} 。

绝缘栅型场效应管（Metal Oxide Semiconductor FET），简称 MOSFET，也叫金属氧化物半导体场效应管。分为：

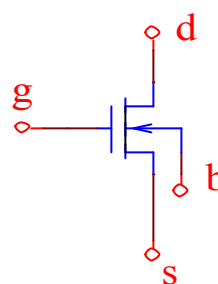
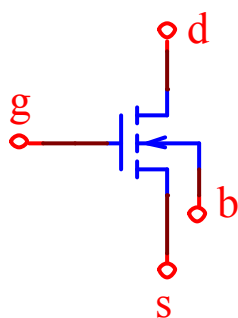
增强型 → N 沟道、P 沟道

耗尽型 → N 沟道、P 沟道

结构：

4 个电极：漏极 D，源极 S，栅极 G 和 衬底 B。

1.N 沟道增强型 MOSFET 和 N 沟道耗尽型 MOSFET 符号：



N 沟道增强型 MOS 管的基本特性：

$u_{GS} < U_T$ ，管子截止，

$u_{GS} > U_T$ ，管子导通。

u_{GS} 越大，沟道越宽，在相同的漏源电压 u_{DS} 作用下，漏极电流 I_D 越大。

开启电压（ U_T ）——刚刚产生沟道所需的

栅源电压 U_{GS} 。

2.N 沟道耗尽型 MOSFET 特点：

当 $u_{GS}=0$ 时，就有沟道，加入 u_{DS} ，就有 i_D 。

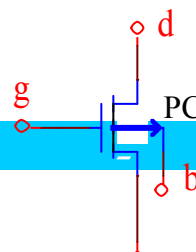
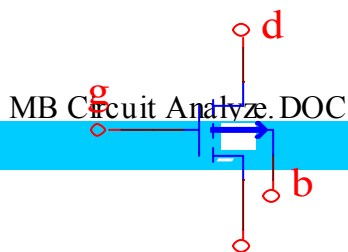
当 $u_{GS}>0$ 时，沟道增宽， i_D 进一步增加。

当 $u_{GS}<0$ 时，沟道变窄， i_D 减小。

夹断电压（ U_P ）——沟道刚刚消失所需的栅源电压 u_{GS} 。

3.P 沟道 MOSFET 的工作原理与 N 沟道 MOSFET 完全相同，只不过导电的载流子不同，供电电压极性不同而已。这如同双极型三极管有 NPN 型和 PNP 型一样。

FET 放大电路也有三种组态：共源、共漏和共栅。

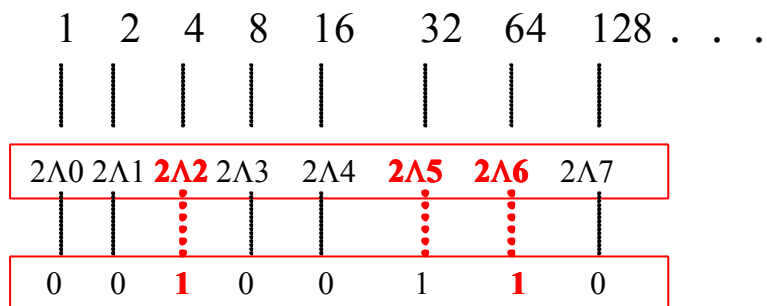


第二部分 数字电路基础

1 進制转换

1.1 十進制 (decimalism) 轉換成二進制 (binary)

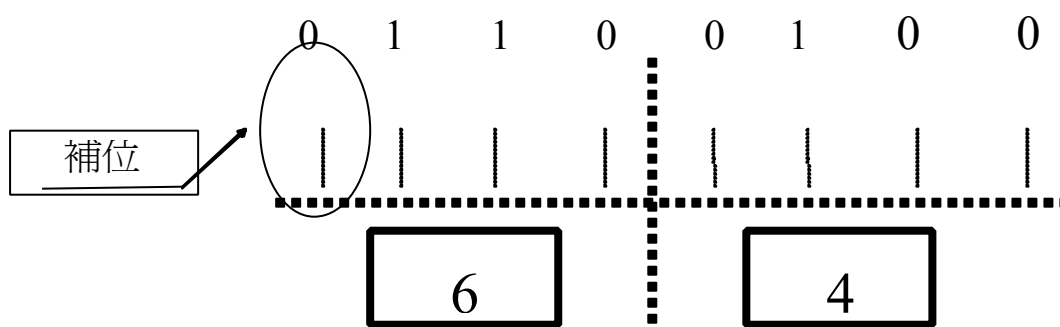
如下例：100 (DEC) 轉換成 BIN



其結果為：1100100

1.2 二進制 (binary) 轉換成十六進制 (hexadecimal)

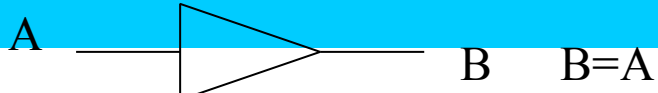
如下例：1100100 (BIN) 轉換成 HEX



其轉換結果：64H

2 邏輯門電路

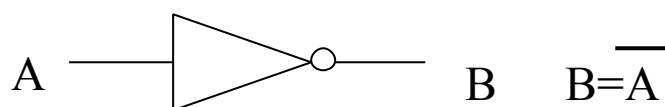
2.1 同向器 (跟隨器)



A	B
0	0
1	1

同向器真值表如右：

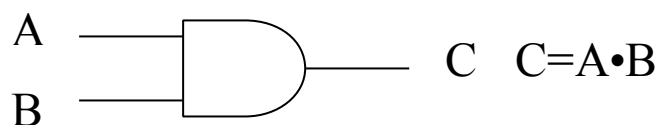
2.2 反向器



A	B
0	1
1	0

反向器真值表如右：

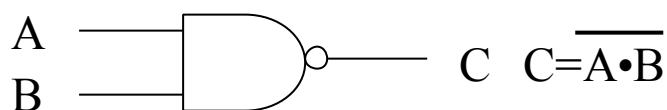
2.3 与門 (AND)



A	B	C
0	0	0
0	1	0
1	0	0
1	1	1

与門真值表如右：

2.4 与非門 (NAND)



A	B	C
0	0	1
0	1	1
1	0	1
1	1	0

与非門真值表如右：

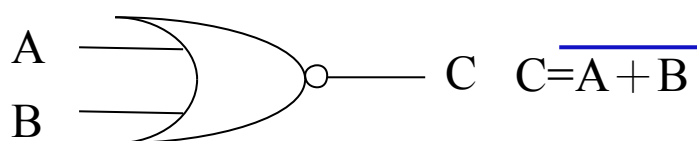
2.5 或門 (OR)



A	B	C
0	0	0
0	1	1
1	0	1
1	1	1

或門真值表如右：

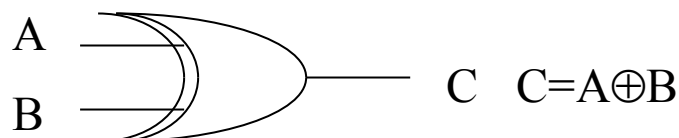
2.6 或非門 (NOR)



或非門真值表如右：

A	B	C
0	0	1
0	1	0
1	0	0
1	1	0

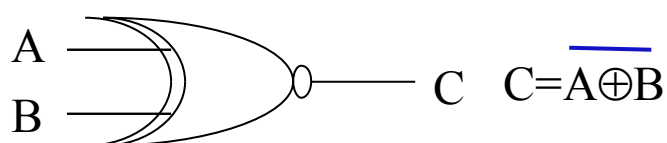
2.7 異或門 (XOR)



異或門真值表如右：

A	B	C
0	0	0
0	1	1
1	0	1
1	1	0

2.8 異或非門 (XNOR)



異或非門真值表如右：

A	B	C
0	0	1
0	1	0
1	0	0
1	1	1

2.9 CMOS 与非門及或非門電路

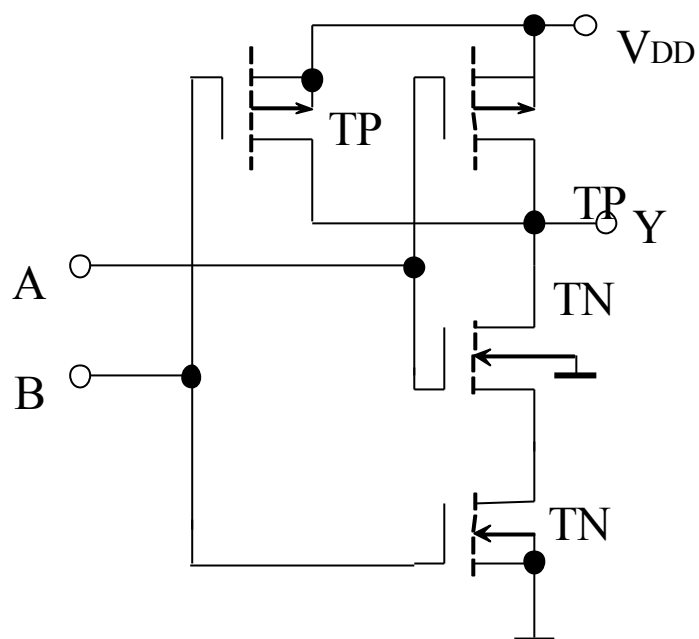


圖 与非門

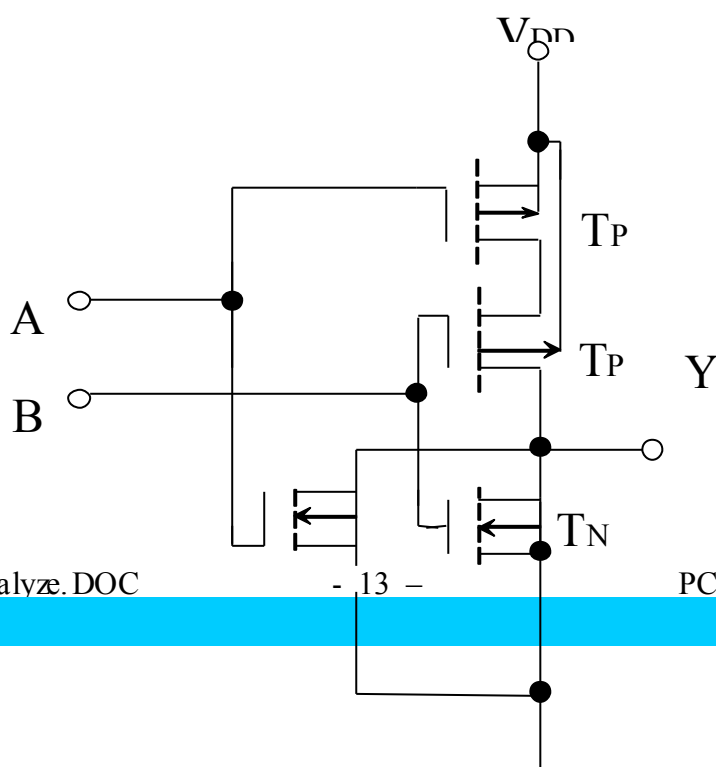


圖 或非門

第一章 主板供电

1.1 主板工作必备条件

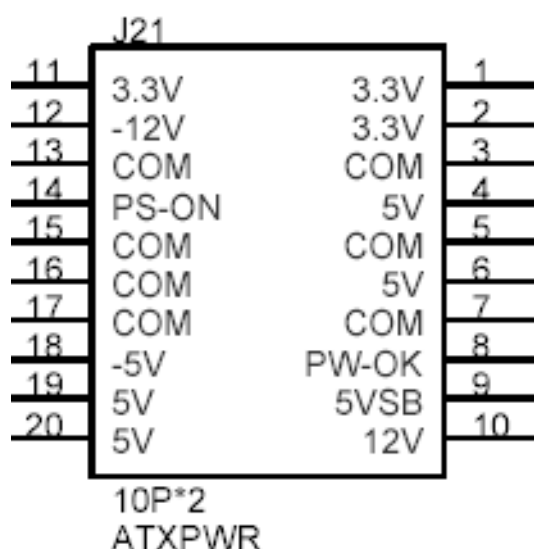
计算机由各个部件组成，其中主板是最关键的一个部件。主板要正常工作，必须各个功能模块即子系统都工作在正常情况下。每个功能模块正常工作的主要必备条件大致有 3 个：正常稳定的工作电压、稳定精确的时钟信号和正确的控制信号。

1.2 主板供电

P4 电源通过主板电源插槽供给主板的电源在正常工作情况下有：

12V、-12V、5V、-5V、3.3V、5VSB。

电源插槽引脚如图：

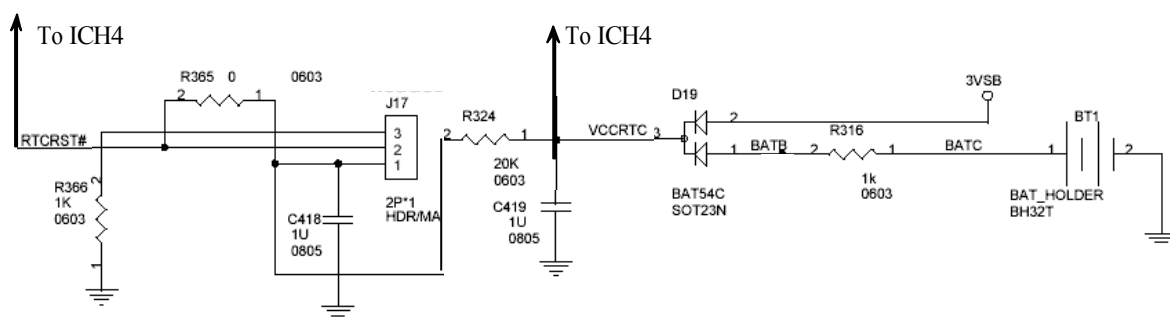


1.3 主板不同状态下的供电状况

状态一：主板未接电源。即主板没有任何外接电源。

此状态下主板由自身携带的电池（Battery）供电。谨供给南桥集成的 CMOS 电路，保证 CMOS 电路的持续工作。我们知道 CMOS 电路保存着计算机的一些基本配置信息和设置参数如实时时钟（RTC）、引导顺序等。一旦失去电源信息就会丢失，所以由电池来提供持续的供电电压。其电路如下图：

在无外接电源即无 3VSB 时电池 BT1 通过二极管 D19 Pin1 和 Pin3 正向导通给南桥 ICH4 供电 VCCRTC，电压约 3.2V。当有外接电源时由 3VSB 通过 D19 Pin2 和 Pin3 正向导通提供 VCCRTC。正常情况下 VCCRTC 通过电阻 R324、R365 保持 RTCRST# 为高电压。当 RTCRST# 为低电压如短路 J17 Pin2 和 Pin3 使 RTCRST# 接地或 BT1 无电造成 VCCRTC 为低电压时会使 RTCRST# 信号有效，使 CMOS 电路复位即保存的信息丢失。



状态二：有外接电源。即电源插槽插上 P4 POWER 但无开机动作。

此状态下 POWER 提供给主板的电源只有 5VSB。5VSB 为一电压为 5V 的辅助（Standby）电源。5VSB 直接供给板载网卡芯片或通过电阻电感供给板载声卡芯片。5VSB 除了作为网卡芯片和声卡芯片的工作电压之一外，还是 PS/2 鼠标键盘的工作电压。此外 5VSB 还是南桥 ICH4 的参考电压之一。如下图 1、2、3：

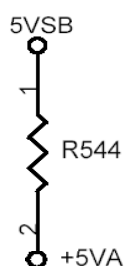


图1

MB Circuit Analyæ.DOC

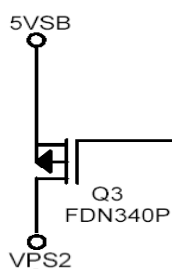


图2

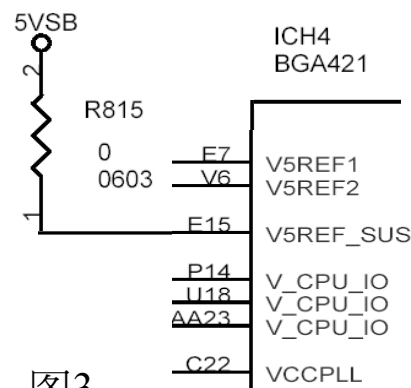


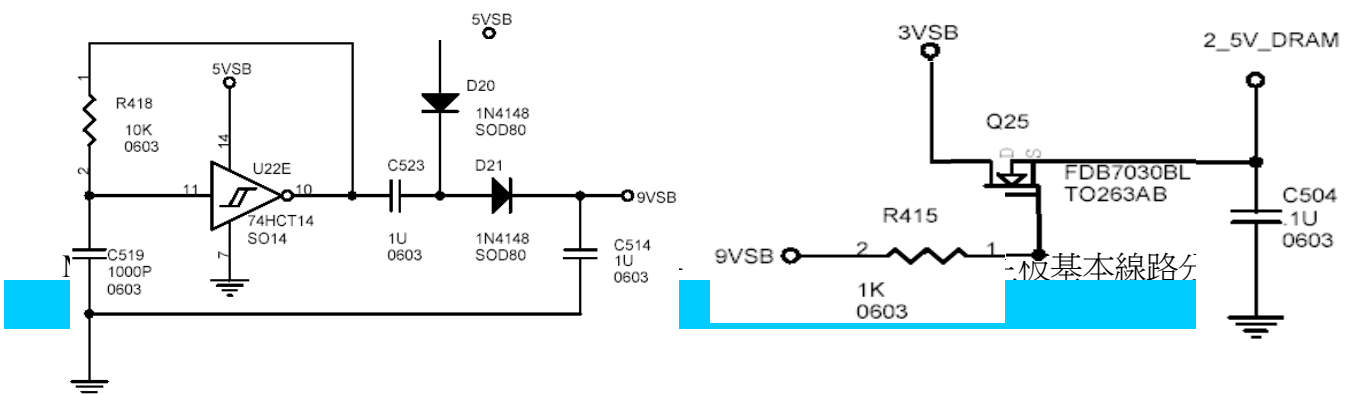
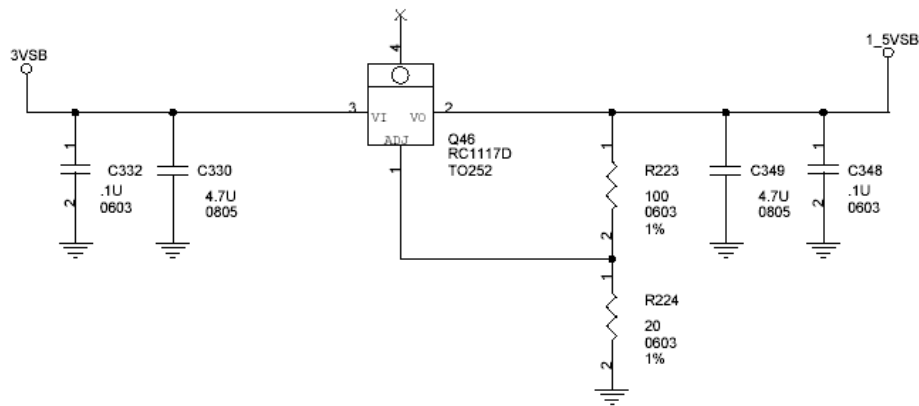
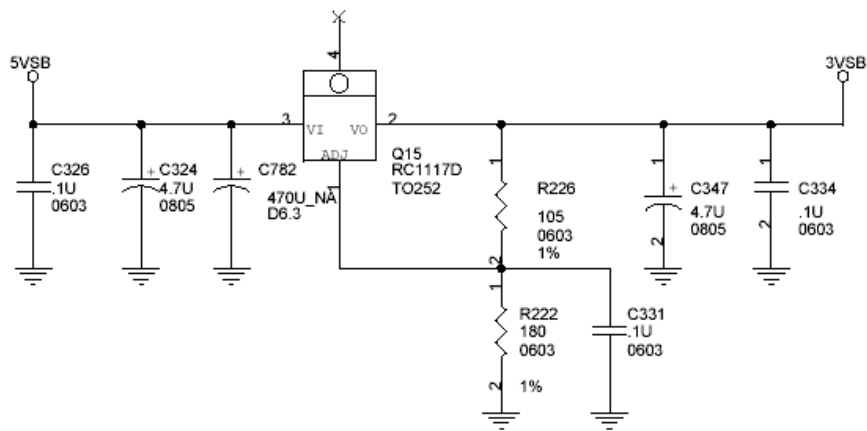
图3

PC 主板基本线路分

图一为 5VSB 通过 0 欧电阻为声卡 (Audio) 芯片提供工作电压 +5VA。图二为 5VSB 为 PS2 接口提供工作电压 VPS2。图三为 5VSB 通过 0 欧电阻提供给南桥作为一个参考 (Reference) 电压 V5REF。

5VSB 最主要的作用是转换为另一个辅助电压 3VSB。3VSB 的电压为 3.3V。3VSB 又转换为一个 1.5V 的辅助电压 1_5VSB。如下图：

5VSB 转换为 3VSB 和 3VSB 转换为 1.5VSB 都是通过同一类型的三端稳压管转换。3VSB 是南桥和 PCI 总线的主要工作电压之一，而 1.5VSB 则唯一供给南桥。此状态下南桥部分电路处于工作状态。

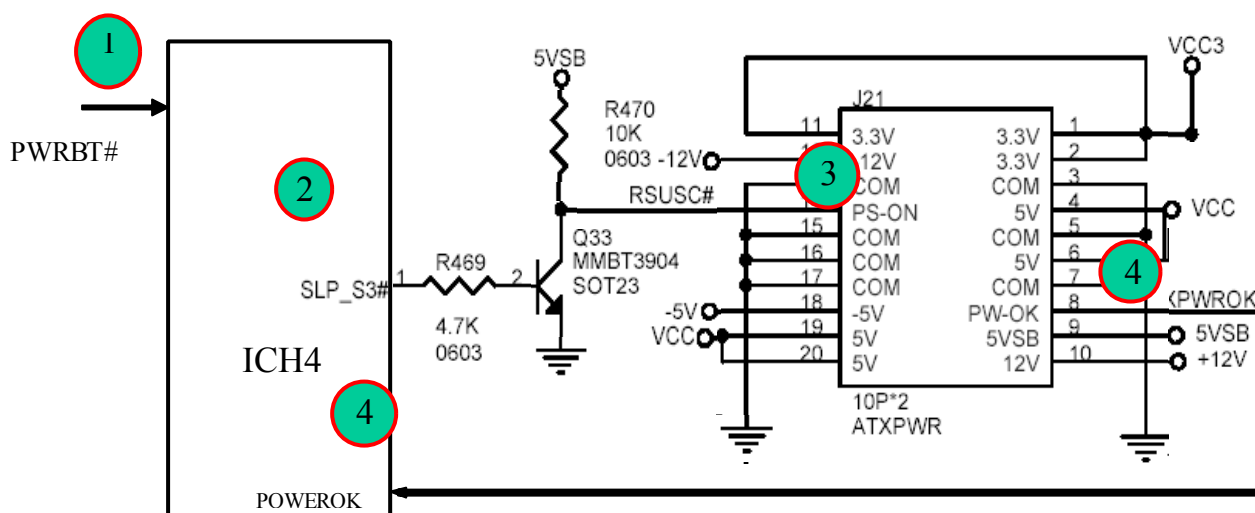


5VSB 还通过一个升压电路产生一个实际电压约 7V 的 9VSB 电压。9VSB 是内存供电的一个主要控制信号，我们在后面会讲到。电路如下图：

图 1 U22E 与 R418 和 C519 形成震荡电路在 U22E Pin10 产生梯形波, 平均电压为 5V。5VSB 通过 D20 与此梯形波迭加, 平均电压升为 9V, 然后通过 D21 和 C514 整流滤波, 输出实际电压为 7V 的直流电压 9VSB。

图 2 Q25 在 9VSB 的控制下将 3.3V 的 3VSB 转换为 2.5V 的 2_5V_DRAM 供给内存和内存控制器即北桥。

状态三图1主板启动时。即按下启动开关到计算机正常工作前图2电源启动过程。此过程从只有 SB 电压到 P4 POWER 完全工作，输出所有的工作电压：12V、-12V、5V(VCC)、-5V、3.3V(VCC3)。其电路如下图：



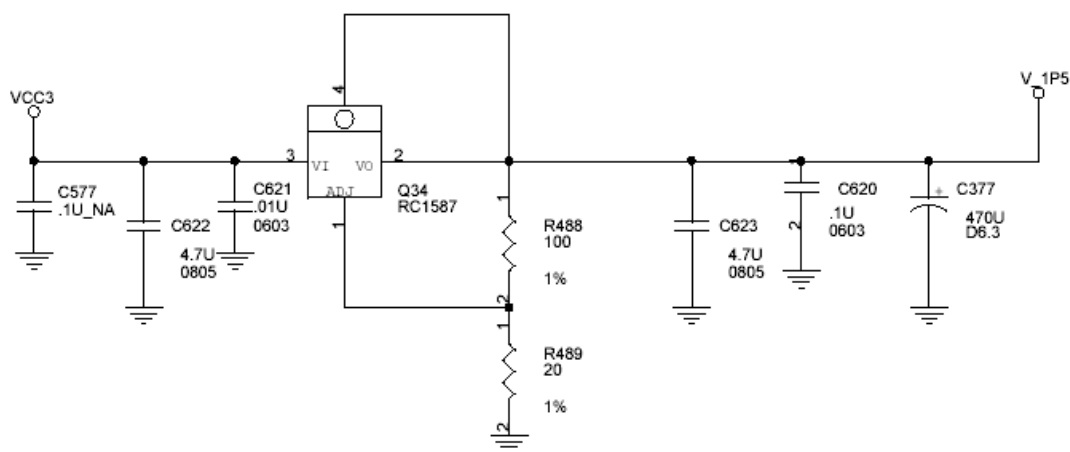
啓動原理：按下電源開關前 PS-ON 信號被 5VSB 電壓拉高保持爲高電平，PS-ON 信號是 P4 POWER 的工作控制信號，在高電平時 P4 POWER 不完全工作。當按下電源開關（Power Button）後產生一個 PWRBT#信號給南橋，南橋發出的 SLP-S3#信號此時爲高電平。高電平的 SLP-S3#信號通過電阻控制三極管 Q33 導通，使高電平的 PS-ON 信號被拉低。低電平的 PS-ON 信號控制下 POWER 輸出其它所有工作電壓 12V、-12V、-5V、VCC、VCC3。電壓輸出大約幾十毫秒後 POWER 檢測輸出電壓的電平是否達到正常。如一切電壓正常則發出 PWROK 信號。南橋接收到 PWROK 信號表示電源正

电路中 ATXPWROK # 信号是 ATXPWROK 通过“非门”电路转换而来即电平与 ATXPWROK 的电平的相反。电路原理如下：

一、正常工作时 ATXPWROK 为高电平，导通 Q45 截止 Q44，+12V 通过电阻加在 Q43 和 Q24 的 Pin2 上即双通道 MOS 管的 N 型通道的控制脚为高电平，该通道导通。此时 VCC 电压经 N 型 MOS 管从 Pin7、Pin8 输出为 5VUSB 电压。同时，ATXPWROK 为高电平时 ATXPWROK # 为低电平，则“与门” U26 输出为低电平，Q40 截止，输出高电平控制信号到 Q43 和 Q24 的 Pin4 上即双通道 MOS 管的 P 型通道截止，此时 Pin5、Pin6 无电流输出，即 5VSB 未提供 5VUSB 的电压。

二、睡眠或关机时 ATXPWROK 为低电平，无 +12V 电压，Q43 和 Q24 的 Pin2 为低电平，MOS 管的 N 型通道截止。此时 ATXPWROK # 为高电平，同时南桥 ICH4 发出的 SLP_S4# 为高电平，“与门” U26 输出高电平信号控制 Q40 导通输出低电平，Q43 和 Q24 的 Pin4 上即双通道 MOS 管的 P 型通道导通，此时 Pin5、Pin6 输出由 5VSB 转换而来的 5VUSB。

VCC3 是主板供电部件最多的工作电压，除了直接供给南桥、北桥、内存、PCI、Audio 芯片、Super I/O 芯片、BIOS 芯片或通过电感供给网卡芯片、时钟合成器芯片等等外，还通过电压调整管转换为 1.5V 的 V_{1P5}，电路如下：

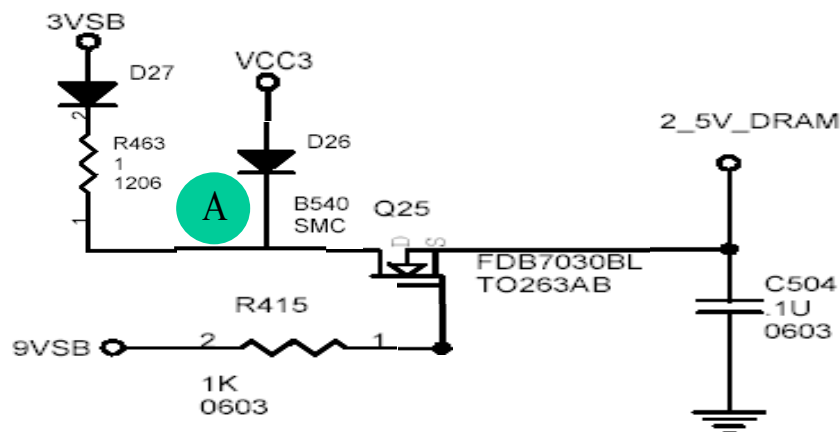


V_{1P5} 是北桥的主要工作电压，也是南桥的工作电压之一。如果主板有扩展 AGP 总线，V_{1P5} 是 AGP2.0 规范的工作电压。

前面我们讲过 3VSB 转换为 2.5V 的 2_5V_DRAM 供给内存和内存控制器。这个电压在计算机睡眠时保证内存内保存的数据不会丢失，但在正常工作情况下

2_5V_DRAM 是由 VCC3 替代 3VSB 产生的。电路如下图：

D27 的正向导压即导通电压为 0.7V，而 D26 的正向导压为 0.3V。正常工作时 3.3V 的 VCC3 通过 D26 给 Q25 供电，A 点电压约为 3V。此时 D27 两端的压降只有 0.3V，小于 D27 的正向导通电压 0.7V，故 3VSB 未对 Q25 供电。只有在睡眠状况无 VCC3 时 3VSB 才供电给 Q25。



内存上拉电压 DDR 内存的信号都有一个 1.25V 的上拉电压以提高信号的可靠性。这个 1.25V 的上拉电压 DDRVTT 是由 2_5V_DRAM 转换而来，转换电路一般采用如下两种：

图 1

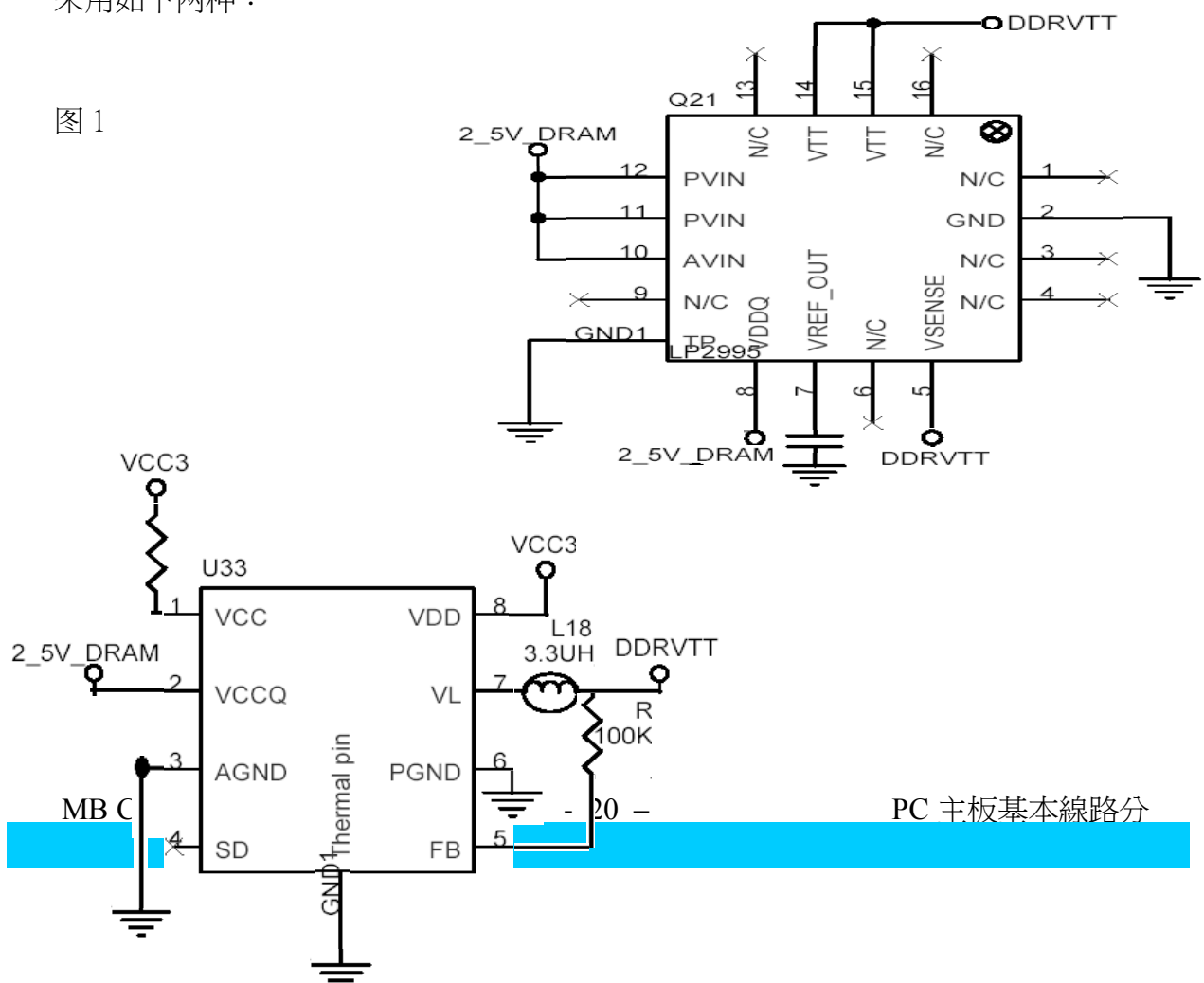
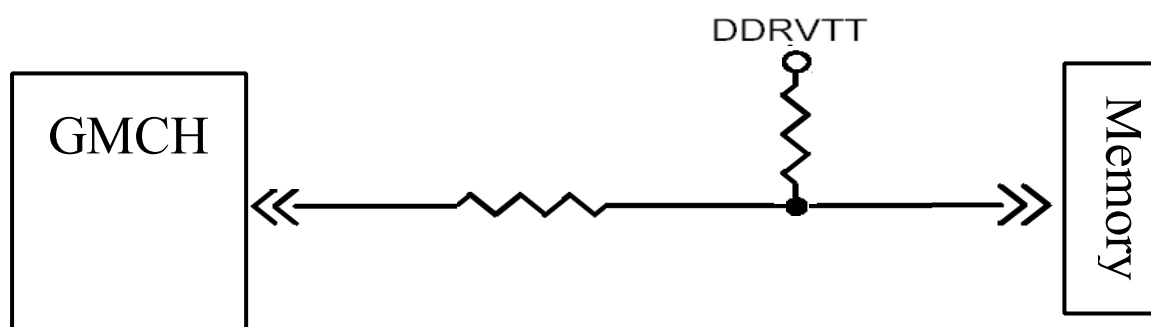


图 2

图 1 中 Q21 的 10、11、12Pin 为电压输入脚，14、15Pin 为电压输出脚，Pin8 为 Q21 的工作电压输入，Pin5 为输出电压反馈。

图 2 中 U33 的 pin2 为电压输入脚，Pin7 为电压输出脚，1、8Pin 为 U33 的工作电压输入，Pin5 为输出电压反馈。

内存上拉电压工作模式图如下：



第二章 CPU 供电

2.1 CPU 供电标准

CPU 是计算机最关键的部件，CPU 工作电压的稳定性和精确性将直接影响到整机的性能。质量不合格的 CPU 供电不仅影响计算机系统的稳定，严重的还会烧毁 CPU 和主板。

目前标准的主板 CPU 供电都采用 PWM 模式和参照 VRM 标准，先进的还采用了 Intel 的 VRD10.1

PWM，Pulse-Width Modulation，脉宽调制，就是利用脉冲控制信号控制开关 MOS 管产生方波经滤波后形成平直电流。

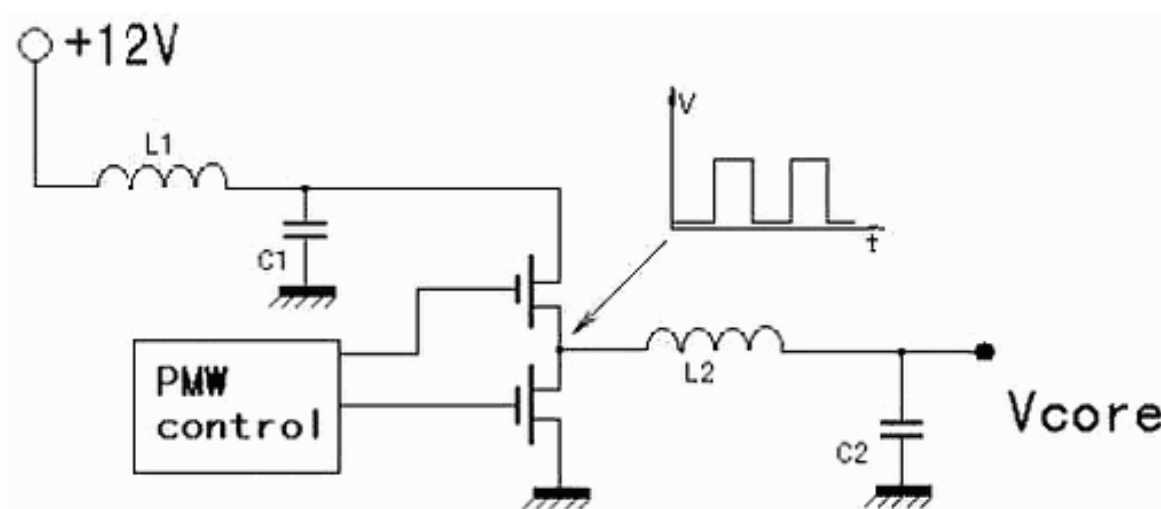
VRM，Voltage Regulator Module，电压调节组件，就是利用控制脉宽调制模式

调节CPU电压的控制器。Intel为其制定了一系列的标准，目前最新的标准是VRM10.0，我们这里所用到的是VRM9.0。

2.2 CPU供电原理

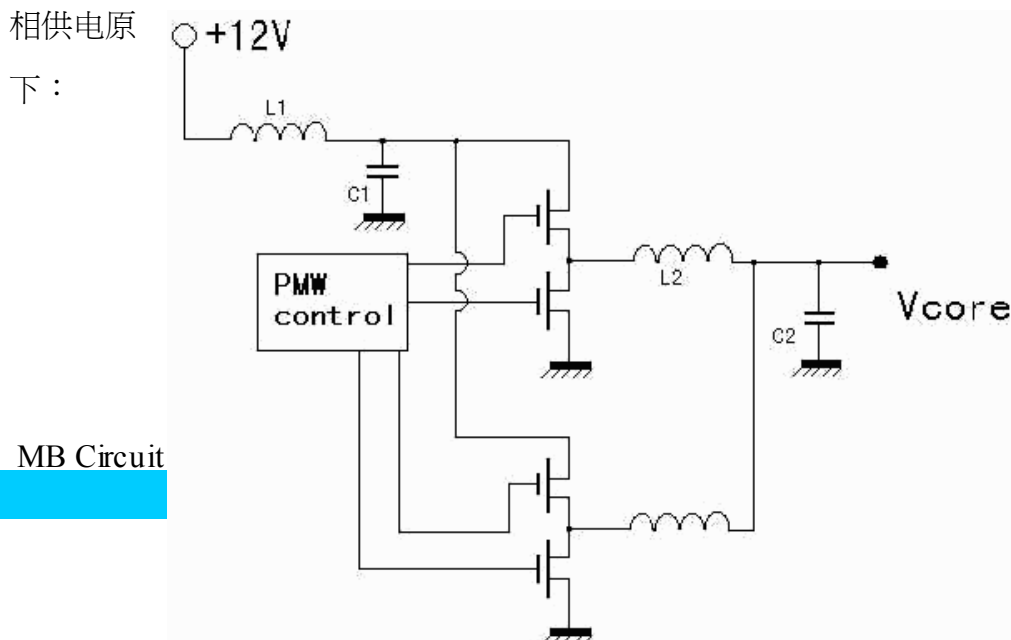
采用PWM模式供电的原理图如下：

12V电源通过由电感线圈和电容组成的滤波电路，然后进入两个MOS管组成的开关电路，此电路受到PMW控制器（控制MOS管导通的顺序和频率，从而可以在输出端达到电压要求）的控制输出所要求的电压和电流，图中箭头处的波形图可以看出输出随着时间变化的情况。此方波再经过L2和C2组成的滤波电路后，得到平滑稳定的电压，这个稳定的电压就是供给CPU的核心（Core）电压。



看出输出随着时间变化的情况。此方波再经过L2和C2组成的滤波电路后，得到平滑稳定的电压，这个稳定的电压就是供给CPU的核心（Core）电压。

采用原理图所示的电路最多不过能产生25A的电流，而现在的P4 CPU功率达到70~80瓦，电流也达到50A以上。实际应用的供电电路中一般都采用不止一组MOS管，而是用2到3组甚至4组MOS管供电。这就是我们平常说的“多相”供电。2相供电原理图如下：



2.3 VRM9.0

不同型号的 CPU 其核心工作电压不同，在设计时就已按 VRM 标准设定。VRM 模块的输出电压由 VID (0..4) 5 个电压识别 (Voltage ID) 信号控制。根据 VID 电平高低的组合，按照 VRM9.0 标准设计的 VRM 模块的输出电压范围为 1.100~1.850。具体的 VID 组合和输出电压对照如下：

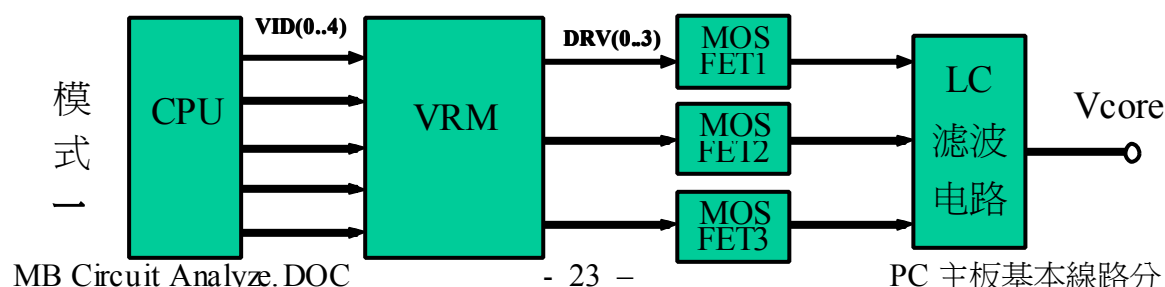
Output Voltage VS. VID Code

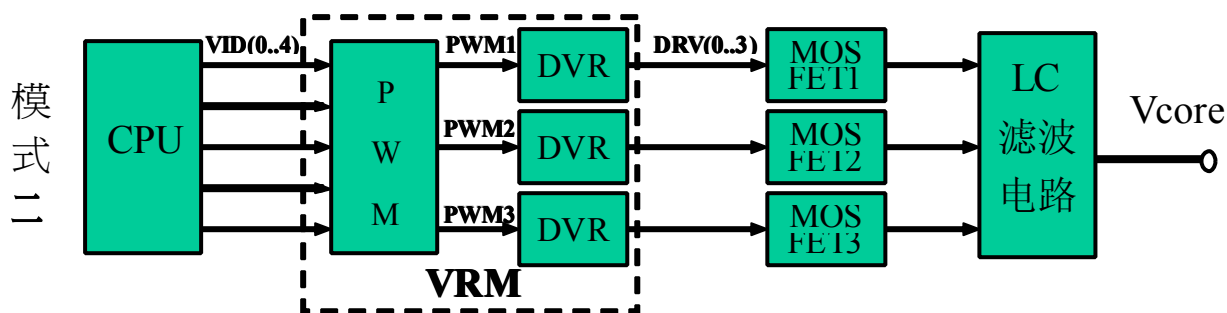
VID4	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
VID3	1	1	1	1	1	1	1	1	0	0	0	0	0	0	0	0
VID2	1	1	1	1	0	0	0	0	1	1	1	1	0	0	0	0
VID1	1	1	0	0	1	1	0	0	1	1	0	0	1	1	0	0
VID0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0
VOUT(V)	NO CPU	1.100	1.125	1.150	1.18	1.200	1.225	1.250	1.275	1.300	1.325	1.350	1.375	1.400	1.425	1.450

VID4	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
VID3	1	1	1	1	1	1	1	1	0	0	0	0	0	0	0	0
VID2	1	1	1	1	0	0	0	0	1	1	1	1	0	0	0	0
VID1	1	1	0	0	1	1	0	0	1	1	0	0	1	1	0	0
VID0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0
VOUT(V)	1.475	1.500	1.525	1.550	1.575	1.600	1.625	1.650	1.675	1.700	1.725	1.750	1.775	1.800	1.825	1.850

2.4 CPU 供电电路模式

以目前使用最多的 3 相供电为例来说明 CPU 供电电路的模式。一般有两种，如图：





模式一中 CPU 根据自身工作电压的需要发出 VID 组合代码给 VRM，将 VRM 的部分 VID 信号电压拉低。VRM 依据 VID 组合代码发出 3 路占空比相同但相位相差 120 度的脉冲信号。这 3 路脉冲信号每路两个，相位正好相反，即一个为高电平时另一个为低电平。每一路脉冲信号分别驱动每组 MOSFET 的导通与截止，将 12V 的电源转换为方波输出。再经过电感和电容组成的整流滤波电路，变成 CPU 所需要的平滑稳定的直流电源。电源的电压和电流可以通过调整脉冲信号的占空比和频率来改变，这就是所谓的脉宽调制模式。

模式二和模式一的不同在于模式二把 VRM 模块分为了 2 级。第一级只根据 VID 的组合发出 3 个脉宽调制信号，称之为 PWM 模块。第二级为驱动级，由 3 个相同的驱动模块组成。驱动模块的作用是将脉宽调制信号分为两个脉冲信号，将其中一个提高脉冲电压输出，将另一个反向输出。输出的这两个反向的脉冲信号就如模式一中的一样驱动 MOS 管工作，产生 CPU 电压。

2.5 典型 CPU 供电电路

该电路是由 ADP3165 芯片组成 VRM 的第一级，3 个 ADP3418 芯片组成 VRM 第二级的目前使用较多的典型电路 P4 CPU 供电电路。因为现在主流 CPU 的功率都比较大，VRM9.0 标准要求输出电流要达到 60A，所以 P4 主板的 VRM 系统由 ATX P4 Power 提供一个专用的 12V 电压供电。

工作过程：

1. CPU 拉低部分 VID 电平，ADP3165，U2 开始工作，从 Pin16、Pin17 和 Pin18 输出 3 路 PWM 信号分别给 ADP3418：U30、U31、U32。

2. ADP3418 将第二脚输入的 PWM 信号驱动为 DRVH 和 DRVL 两个反相的脉冲

信号从 Pin8 和 Pin5 输出。

3.每组脉冲信号分别连接两个 N 型 MOS 管的栅极，控制其导通与截止。

4.+12V 电源在高端 MOS 管导通时输出，在低端 MOS 管导通时截止，故在电感 L6、L7、L8 的左端输出为方波。

5.方波经过电感 L6、L7、L8 和右端的电容组成的整流滤波电路成为平稳的直流电 VCCP 供给 CPU。

6.VCCP 经过反馈电路，即通过电阻 R736 到达 U2 的 Pin9。

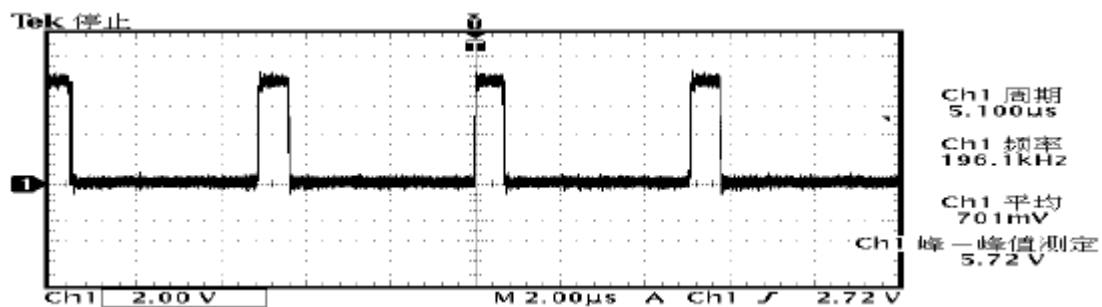
7.U2 检测到 CPU 电压 VCCP 达到标准后通过 Pin11 输出 VRMPG 信号给主板其

2.6 CPU 供电电路波形分析

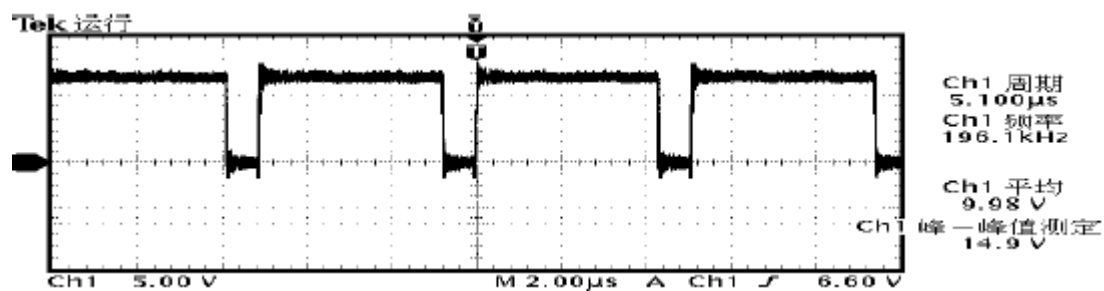
(1) 脈寬調制信號的驅動與轉換：

A 到 B、C

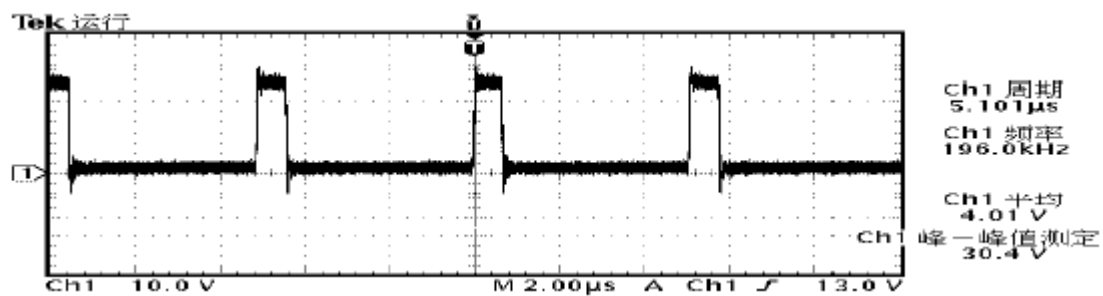
A 点 PWM 信号，平均电压和峰—峰值都比较低。



B 点 DRVH 信号，平均电压低，峰—峰值高。



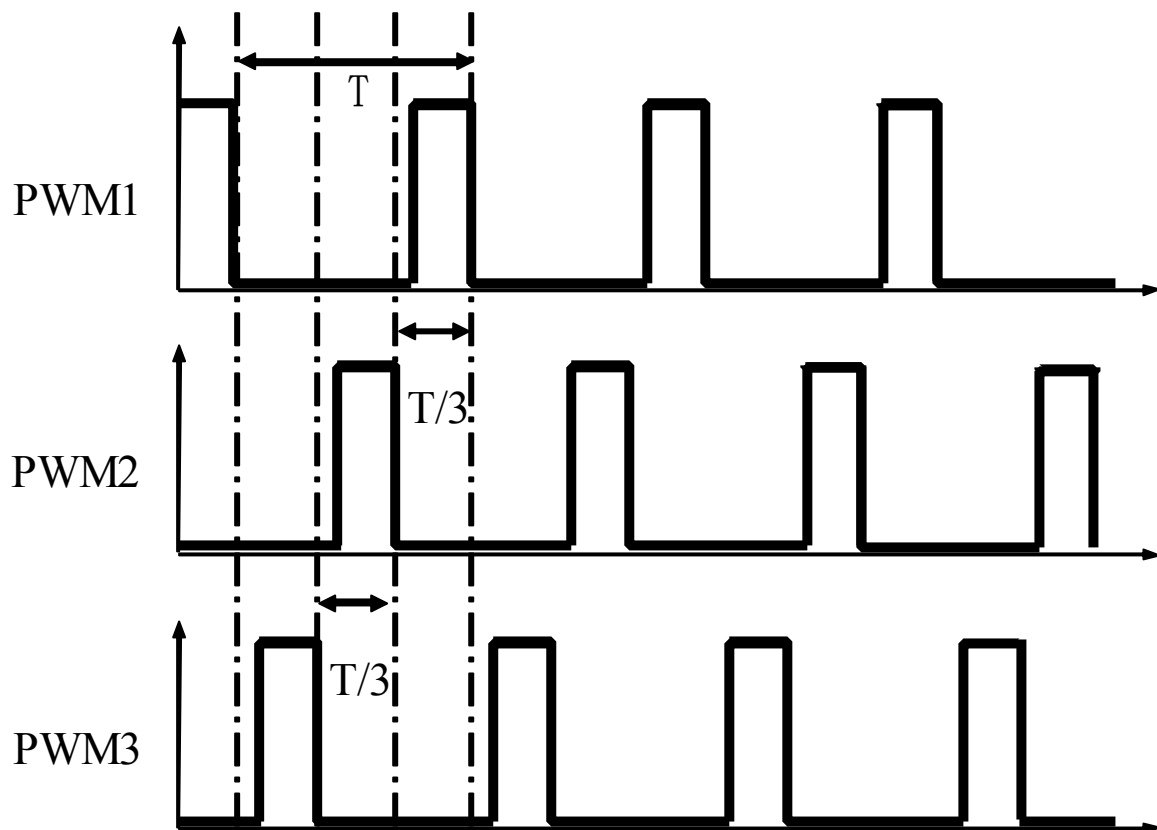
C 点 DRVL 信号，平均电压高，峰—峰值低。



AB 相位相同；BC 相位相反；ABC 频率相等

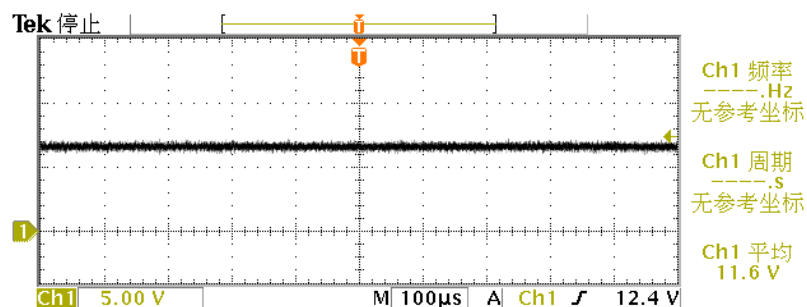
(2) 三路脈寬調制信號的比較：

三相 PWM 信号波形频率相同，相位相差三分之一周期，即 120 度。



(3) 直流到直流的電壓轉換：

1 點、2 點、3 點，12V 直流到脈沖交流到 VCCP 直流



1点+12V_Power

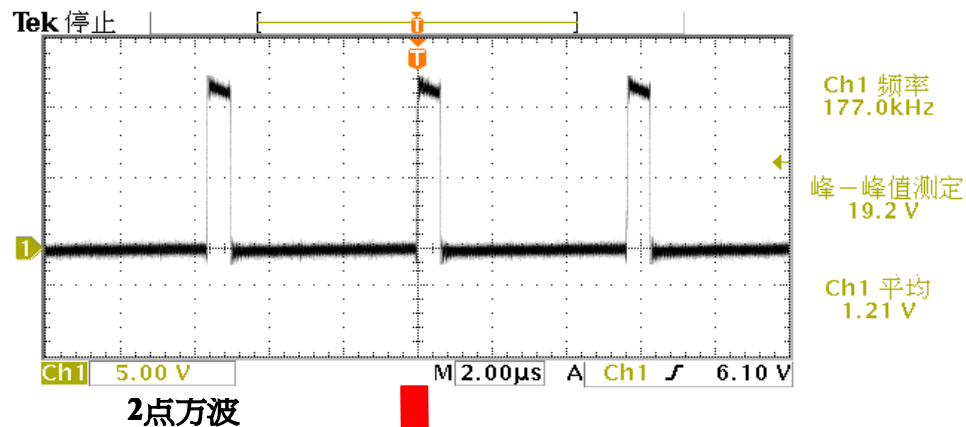
+12V 直流电压转换为峰峰值 19V

MB Circuit Analyze.DOC

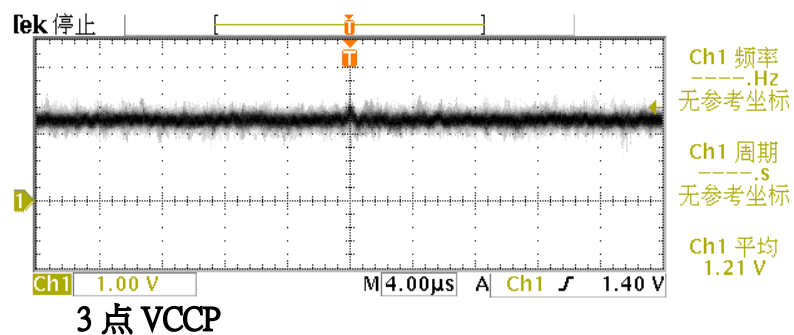
28 -

PC 主板基本線路分

平均值 1.2V 的方波



峰峰值 19V 平均值 1.2V 的方波
转换为 1.2V 的直流电

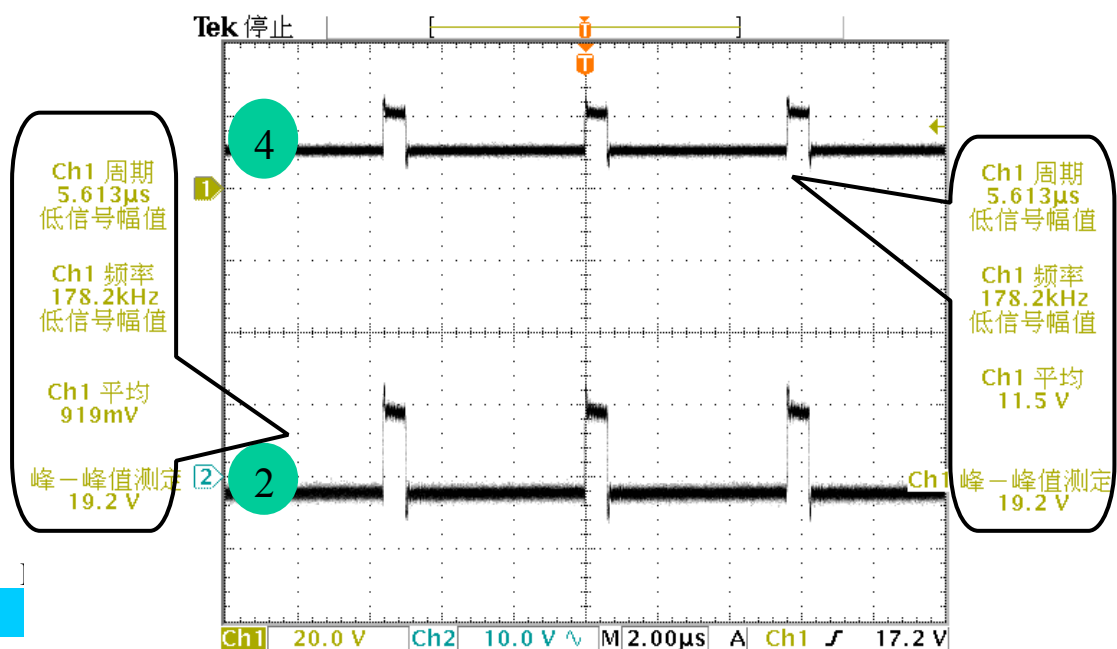


(4) 输出方

波與反饋信

號的比較：

2點：輸出方波；4點：反饋波形



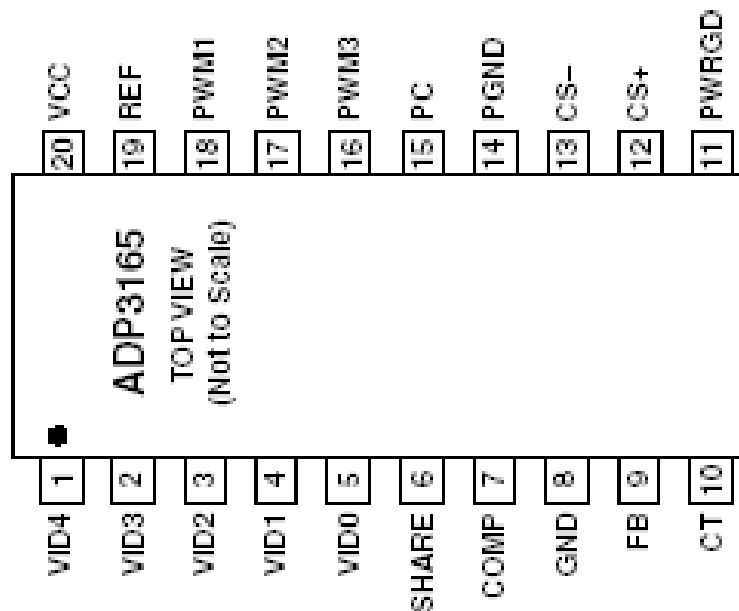
各分

CH2 测量的是 2 点即 SW 信号，CH1 测量的是 4 点即 BST 信号。两者波形，频率、峰峰值相同，平均电压 BST 比 SW 高约 10V。

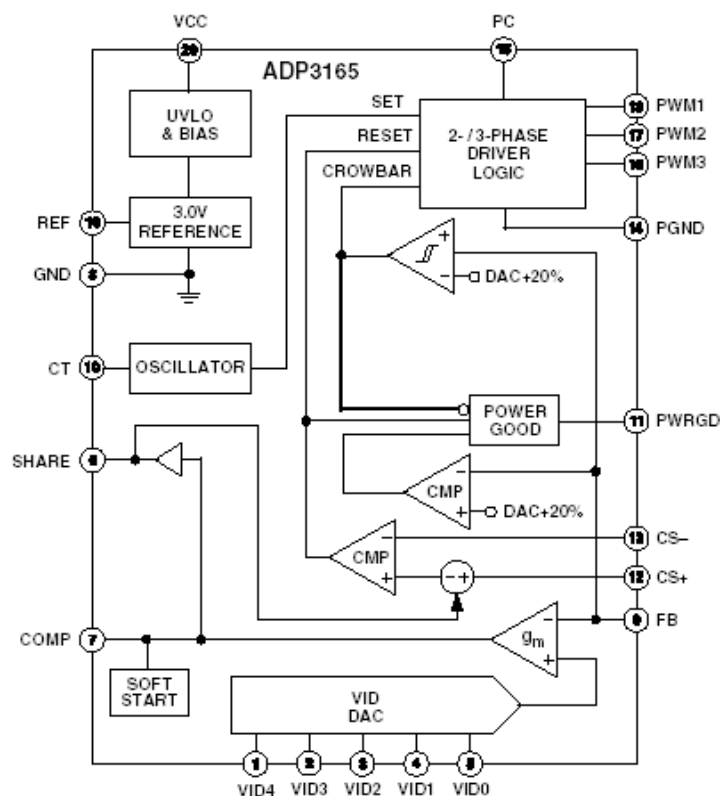
2.7 典型 CPU 供电电路芯片分析

(1) ADP3165

ADP3165 引脚图如下：



ADP3165 功能模块图如下：



ADP3165 芯片为 TSSOP 封装，20Pin，各引脚功能如下：

Pin1-5，VID4-VID0，电压识别输入。由内部的 3V 电压上拉保持为高电平。当有电压被拉低时 VRM 开始工作。

Pin6，SHARE，电流共享输出。与另一个 VRM 系统的 SHARE 信号连接，分配两个 VRM 系统的输出电流。一般为悬空。

Pin7，COMP，错误放大输出。当其电压小于 0.8V 时将使整个 VRM 系统的震荡器停止工作，即输出给 CPU 的电压为 0V。

Pin8，GND，接地脚。FB,REF 和 VID DAC 部分的参考接地。

Pin9，FB，反馈输入。侦测 VRM 输出电压，号调整输出电压的精确性。

Pin10，CT，电容脚。接一电容，容值决定 VRM 脉宽调制信号的频率。

Pin11，PWRGD，电源 OK 输出。VRM 输出电压达到稳定合格标准时输出。

Pin12-13，CS+、CS-，电流感应输入。侦测 VRM 输出电流。

Pin14，PGND，电源接地。所有电源和逻辑输出信号的参考接地。

Pin15，PC，相位控制输入。控制脉宽调制信号输出相数和每相的相位。

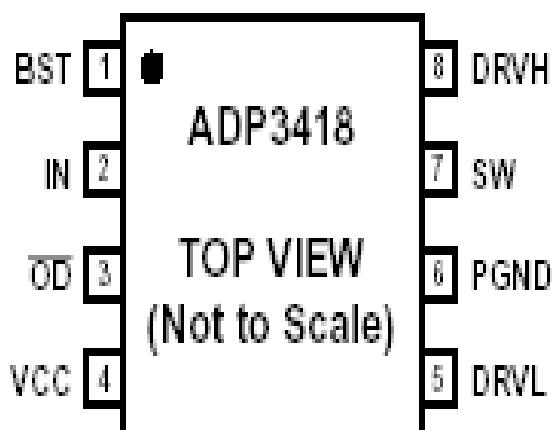
Pin16-18，PWM3-PWM1，脉宽调制信号输出。分别控制 3 相脉冲信号驱动器。

Pin19，REF，参考电压输出。3.0V，一般通过一个电阻连接 COMP 信号脚。可以作为放大器的校准电压。

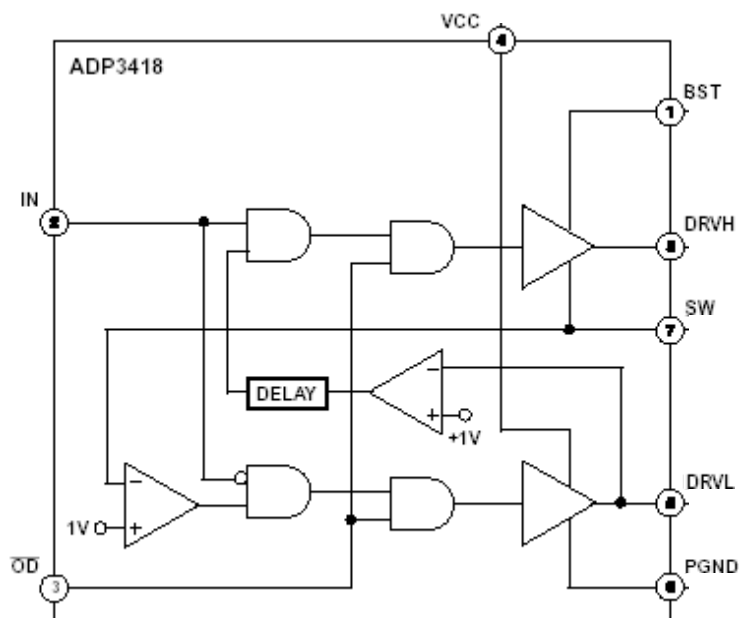
Pin20，VCC，工作电压。ADP3165 芯片的工作电压输入脚。

(2) ADP3418

ADP3418 的引脚图如下：



ADP3418 功能模块图如下



ADP3418 芯片为 SOP 封装，8Pin，各引脚功能如下：

Pin1，BST，自激供给电压输入。一个动态的自激振荡电压，供给 MOSFET 驱动信号的驱动开关。

Pin2，IN，脉宽调制信号输入。初级驱动信号，提供两个脉冲信号的输出。

Pin3，OD，输出禁止。当此电压为低时禁止 DRVH、DRVL 输出。

Pin4，VCC，工作电压。ADP3418 芯片的工作电压输入脚。

Pin5，DRVL，同步校正输出。驱动低端 MOSFET。

Pin6，PGND，电源接地。电源和信号的参考接地。

Pin7，SW，开关信号输入。监控高端 MOSFET 输出的开关电压。

Pin8，DRVH，脉冲驱动信号输出。驱动高端 MOSFET。

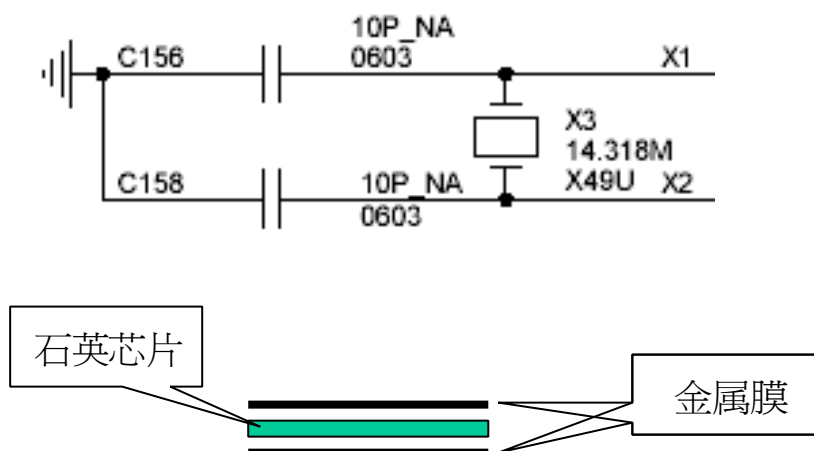
第三章 主板时钟

3.1 时钟合成器

时钟实时序是计算机工作的三个必要要素之一，在主板供电正常情况下，主板的时钟就会产生。如果把时钟比作脉搏，那么时钟合成器就是主板的心脏。

时钟合成器（Clock Generator）的工作原理是将一个基准频率通过分频与倍频产生主板所需要的各种工作频率。

基准频率由一个石英晶体振荡器（简称晶振）提供。晶振由石英芯片和夹在两面的充当电极的金属膜组成。石英芯片在电压作用下会产生固定的机械震动，机械震动使流过晶振的电流变化。于是晶振与接在晶振两极的电容产生正弦波。震荡频率由芯片的厚薄决定。



3.2 时钟合成器芯片

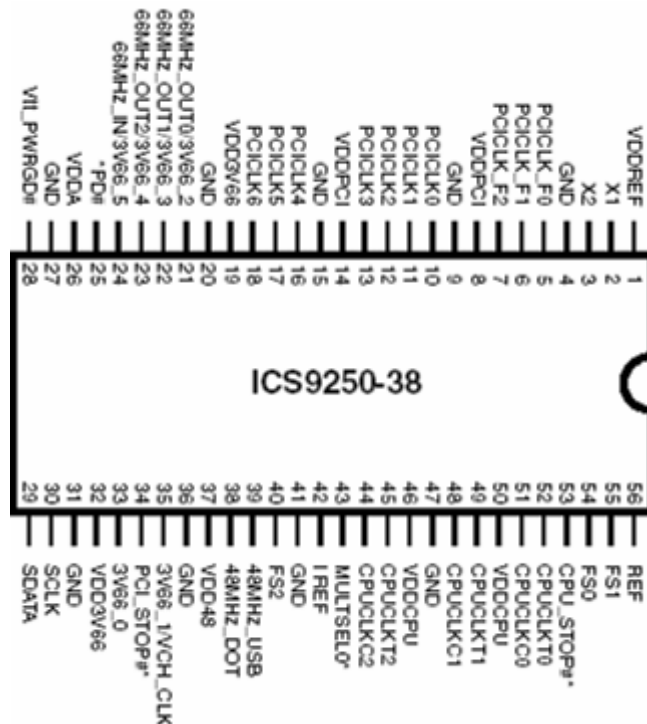
以使用最多的 ICS9250 芯片来说明时钟合成器的主要功能。

ICS9250 输出的时钟频率有：

- 3 组微分 CPU 时钟；
- 7 组 33.3MHz PCI 时钟；
- 3 组可调 PCI 时钟；

- 2 组 48MHz USB 时钟；
- 1 组 14.318MHz 参考时钟；
- 3 组 66MHz 可选时钟；
- 3 组 66.6MHz 可选时钟。

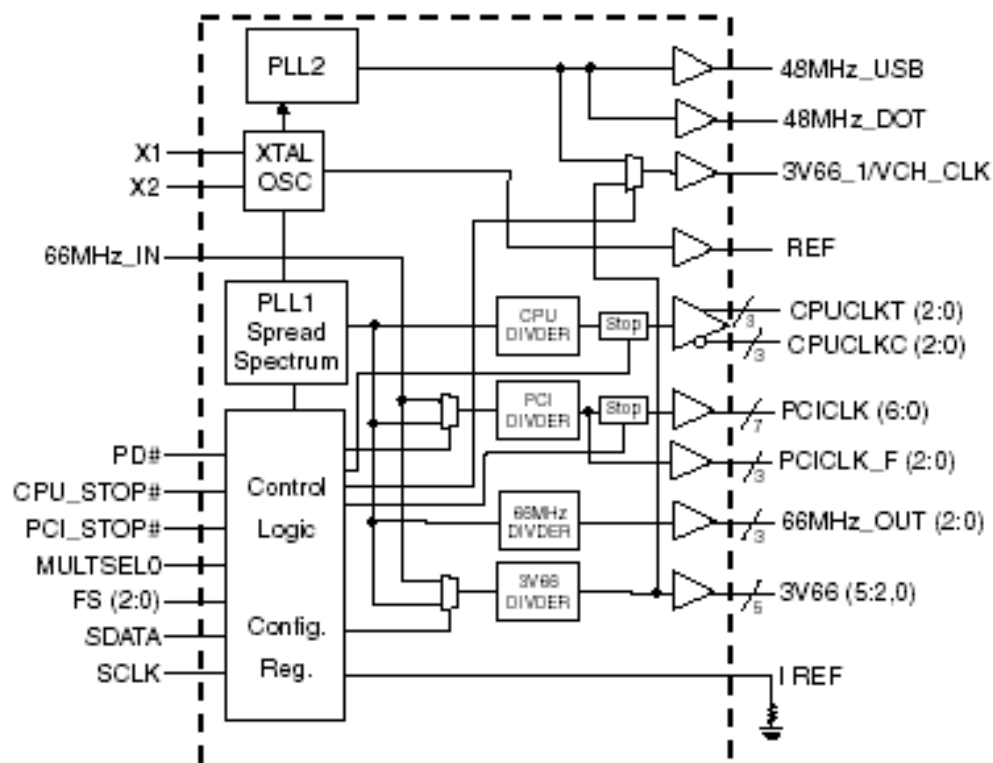
ICS9250 引脚图如下：



3.3 ICS9250功能模块

ICS
9250 模
图

925
块



MB C

线路分

ICS9250 除了输出各种时钟频率外还具有输出频率选择和调节；支持频率延展调节即可将频率向下调节 0 到-0.5%；支持电源管理功能即通过 STOP 信号屏蔽部分频率输出，降低功耗；具有输出频率反馈设计。

3.4 ICS9250引脚功能

ICS9250 为 SSOP 封装，56Pin，具体引脚功能如下：

Pin Number	Pin Name	Type	Description
1,8,14,19,26,32,37,46,50	VDD	PWR	3.3V電源供給
2	X1	IN	14.318的基准频率输入
3	X2	OUT	14.318的基准频率输出
4,9,15,20,27,31,36,41,47	GND	PWR	電源接地
5, 6, 7	PCICLK_F(2:0)	OUT	PCI時鐘，不受PCI_STOP#控制
10,11,12,13,16,17,18	PCICLK(6:0)	OUT	PCI時鐘
21,22,23	66MHz_OUT(2:0)	OUT	由66MHz_IN驅動的66MHz輸出
	3V66(4:2)	OUT	66MHz參考時鐘
24	66MHz_IN	IN	反饋回來的66MHz頻率，驅動66MHz_OUT
	3V66_5	OUT	66MHz參考時鐘
25	PD#	IN	調用斷電模式，當為低電平時芯片不工作
28	Vtt_PWRGD#	IN	偵測FS(2:0)和MULTSEL0是否有效。一旦偵測到低電平，芯片輸出信號不再受其它信號影響
29	SDATA	I/O	系統管理總線的同步數據
30	SCLK	IN	系統管理總線的同步時鐘
33	3V66_0	OUT	66MHz參考時鐘
34	PCI_STOP#	IN	中止PCICLK時鐘輸出，低電平有效果
35	3V66_1/VCH_CLK	OUT	66MHz或48MHz輸出，由SMBUS控制
38	48MHz_DOT	OUT	固定的48MHz輸出供給圖形處理核心
39	49MHz_USB	OUT	固定的48MHz輸出供給USB總線
40	FS2	IN	為模式選擇提供的一個特殊的3.3V輸入
42	I REF	OUT	內部電流參考輸出
43	MULTSEL0	IN	選擇為CPU時鐘輸出的電流放大器
44,48,51	CPUCLKC(2:0)	OUT	供給CPU的每組微分時鐘的補償時鐘
45,49,52	CPUCLKT(2:0)	OUT	供給CPU的每組微分時鐘的真實時鐘
53	CPU_STOP#	IN	CPU時鐘屏蔽信號，低電平有效
54,55	FS(1:0)	IN	CPU頻率選擇信號
56	REF	OUT	14.218MHz的參考時鐘

3.5 ICS9250输出频率的选择

从 ICS9250 的引脚功能可以看出，除了输出各种频率外，主要的控制信号有：FS(2:0)，SDATA，SCLK，MULTSEL0，CPU_STOP#，PCI_STOP#，PD#，Vtt_PWRGD#。FS(0:2)是输出频率选择（Frequency Select）信号，其输入电平的高低组合控制输出时钟的频率。具体的对应关系如下表：

FS2	FS1	FS0	CPU (MHz)	3V66 (MHz)	66Buff (2:0) 3V66 (4:2) (MHz)	66MHz_IN/ 3V66_5	PCI_F PCI (MHz)	REF0 (MHz)	USB/DOT (MHz)
0	0	0	66.66	66.66	66.66	66.66	33.33	14.318	48.00
0	0	1	100.00	66.66	66.66	66.66	33.33	14.318	48.00
0	1	0	200.00	66.66	66.66	66.66	33.33	14.318	48.00
0	1	1	133.33	66.66	66.66	66.66	33.33	14.318	48.00
1	0	0	66.66	66.66	66MHz_IN	Input	66MHz_IN/2	14.318	48.00
1	0	1	100.00	66.66	66MHz_IN	Input	66MHz_IN/2	14.318	48.00
1	1	0	200.00	66.66	66MHz_IN	Input	66MHz_IN/2	14.318	48.00
1	1	1	133.33	66.66	66MHz_IN	Input	66MHz_IN/2	14.318	48.00
Mid	0	0	Tristate	Tristate	Tristate	Tristate	Tristate	Tristate	Tristate
Mid	0	1	TCLK/2	TCLK/4	TCLK/4	TCLK/4	TCLK/8	TCLK	TCLK/2
Mid	1	0	Reserved	Reserved	Reserved	Reserved	Reserved	Reserved	Reserved
Mid	1	1	Reserved	Reserved	Reserved	Reserved	Reserved	Reserved	Reserved

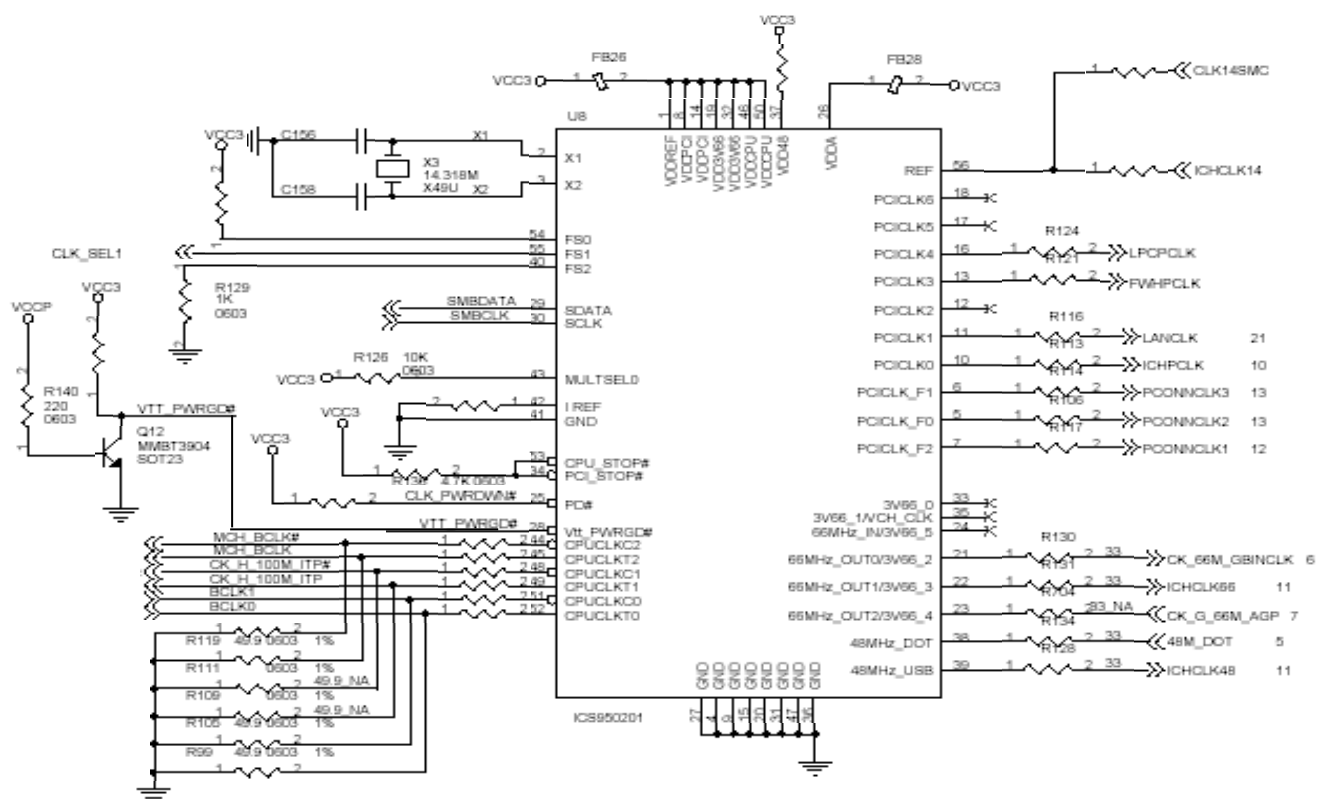
FS2 信号的电平一般固定的设定为高或者低，决定芯片的工作模式。从表中可以看出在不同模式下输出（或输入）时钟的性质也不同。FS1 和 FS0 的电平由 CPU 控制，即 CPU 按照自己要求的工作频率发出高低不同的 FS 电平组合给 ICS9250。

SDATA 和 SCLK 即是系统管理总线，在这里用来控制整个主板的时钟信号同步。MULTSEL0 是一个增益放大器（Multiplier）选择信号，它的作用是选通为 CPU 时钟增强信号的放大器。

CPU_STOP#和 PCI_STOP#的作用是在节电模式如睡眠时屏蔽 CPU 和 PCI 时钟，使之控制的模块停止工作。

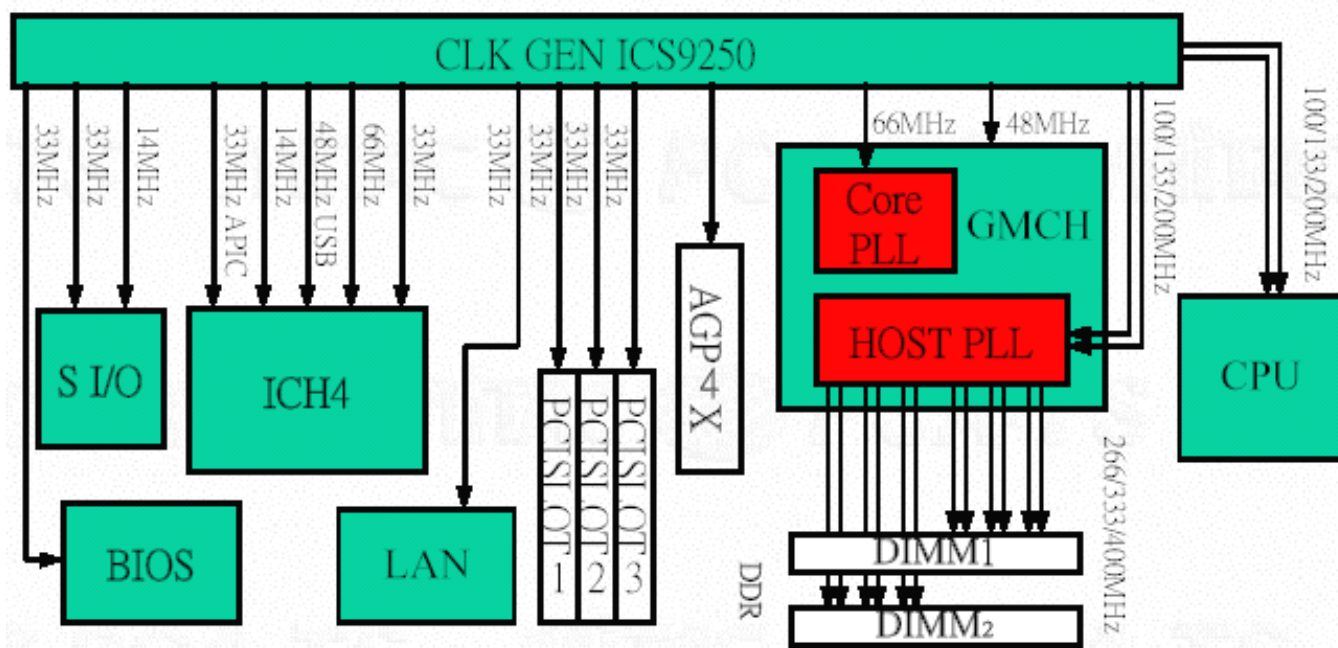
PD#是掉电（POWER DOWN）信号，低电平时芯片停止工作。Vtt_PWRGD#也是芯片的工作控制信号，当它有效时芯片开始工作。在实际电路中 PD#一般都保持为高电平，而 Vtt_PWRGD#由 CPU 电压 VCCP 控制，即产生 CPU 电压后时钟合成器就开始工作。

3.6 时钟合成器电路



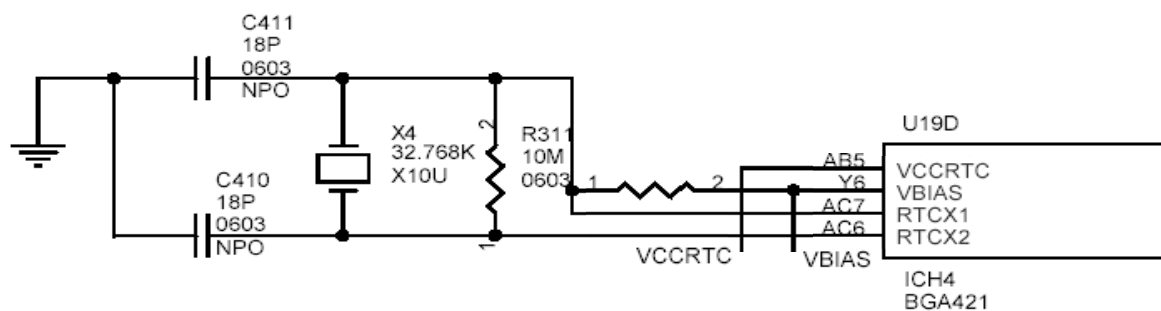
3.7 主板时钟方块图

下面是一款主板的时钟方块图：

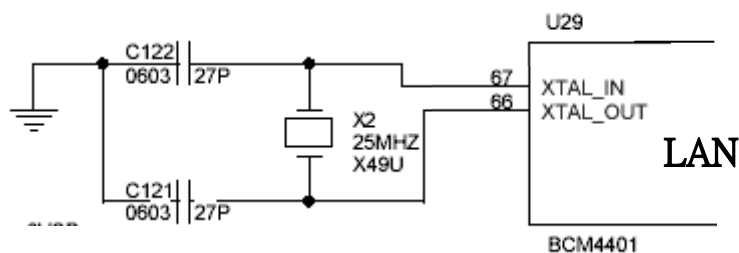
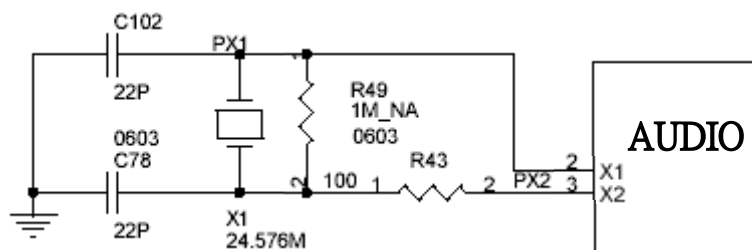


3.8 主板其它时钟

主板除了由时钟合成器产生时钟信号外，还有一个必需的时钟频率，那就是南桥 CMOS 电路的实时时钟（Real Time）频率。它由一个 32.768 KHz 的晶振提供基准频率，其电路如下：



另外，如果在主板上集成有网卡和声卡，它们分别也有晶振提供其核心的工作基准频率。如图：



等。

CPU 的地址和数据信号直接连接到北桥。

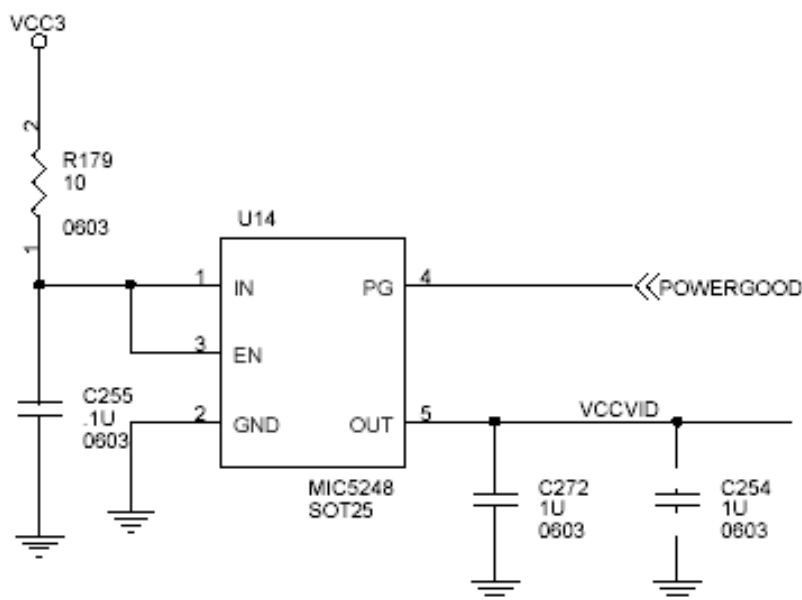
BCLK[1:0]是由时钟合成器发出供给 CPU 的外频，在时钟的上升沿和下降沿都读取一次数据，所以 CPU 的外频即前端总线实际工作频率为 4 倍 BCLK。CPU 的核心工作频率就是由此外频乘以倍频而得到。

RESET#是 CPU 的复位信号，由北桥发出。

PWRGD 是南桥根据 PWROK 和 VRMPWRGD 两个信号发出的。

INIT#是南桥发出的使 CPU 初始化的一个信号。

VCCVID 是 P4 2.0MHz 或以上频率的 CPU 才使用的电压信号，供内部的 VID 信号工作。VCCVID 必须由外部独立的 1.2V 电压供给，其电路图如下：



U14 将输入的 VCC3 转换为 1.2V 的 VCCVID 供给 CPU，同时给出 POWERGOOD 信号给电源管理器 VRM。任何一路电压有问题，CPU 都将不会工作，对主板的电源起到一个非常关键的监控作用。

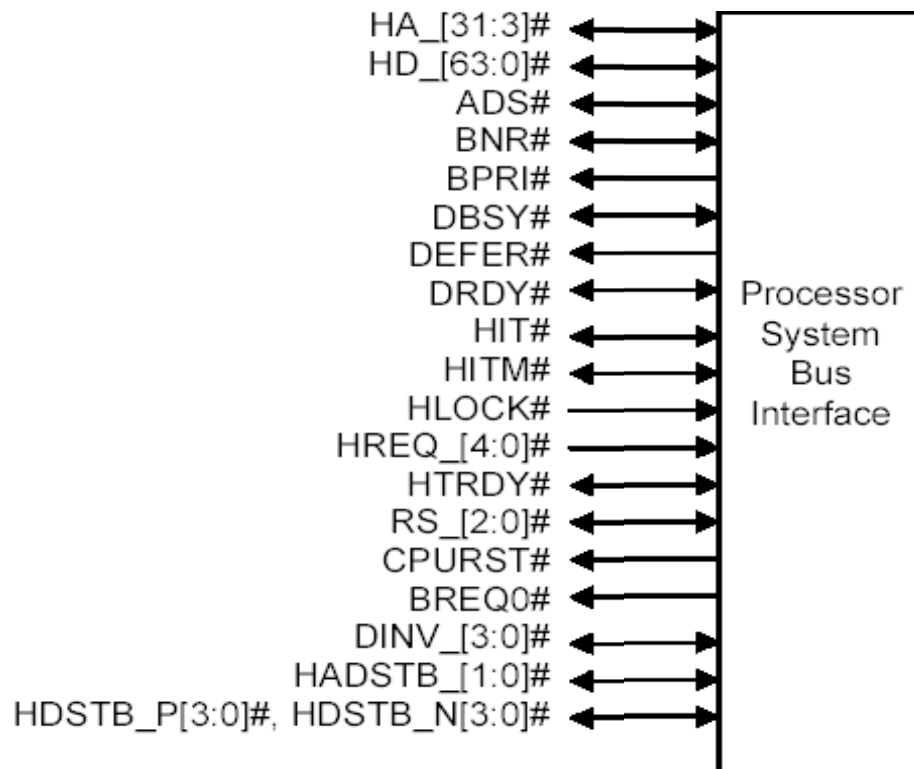
4.2 北桥主要信号

北桥被我们称为四端口控制器，所以其控制信号主要是各个界面 Interface 的控制信号。根据所控制的界面不同，分别述之：

(1) 前段總線界面

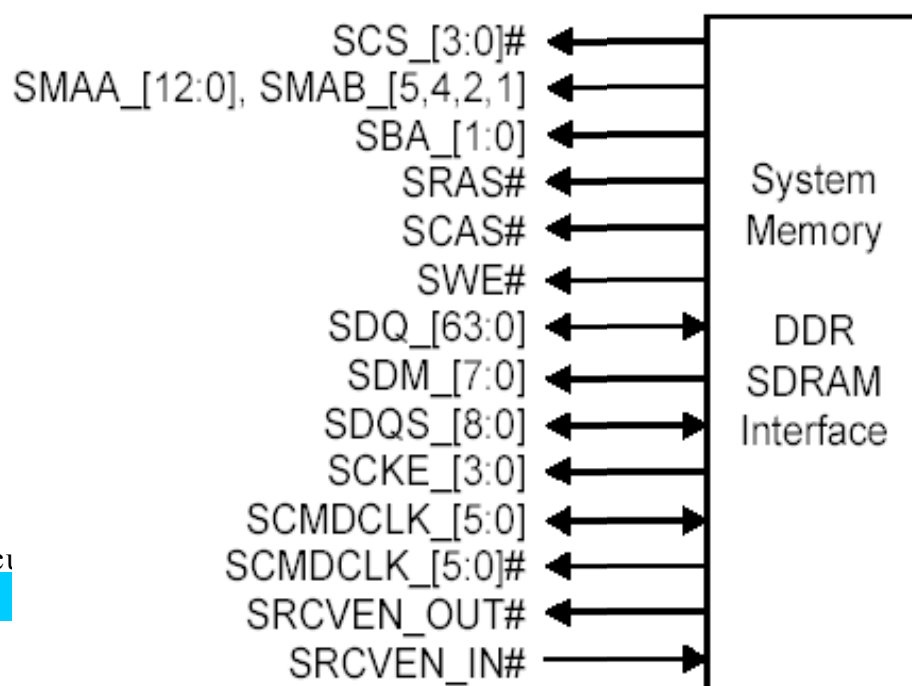
ADS#：Address Strobe，地址选通。

BNR#：Block Next Request，锁定下个请求



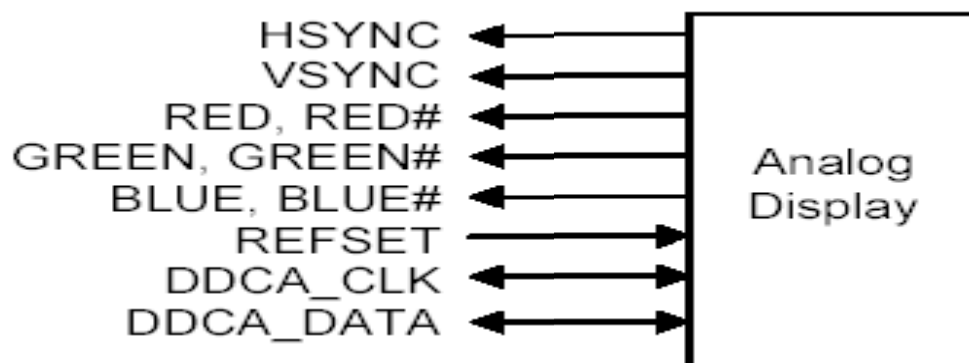
(2) DDR 内存界面

下图是 DDR 内存控制界面的主要信号，地址信号有 SMAA[12:0]，SMAB[5,4,2,1]，数据信号有 SDQ[63:0]



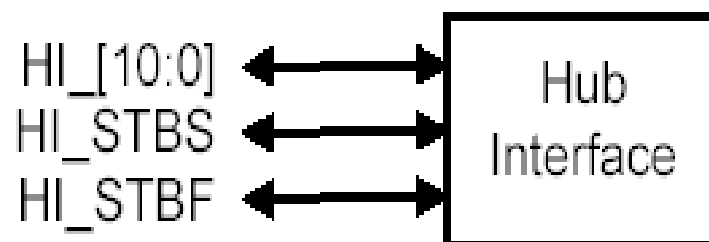
(3) 模擬圖形輸出界面

Analog Display 也就是仿真图形输出界面。其输出信号供给 CRT 显示器，实现图形的输出。主要信号有行频 (HSYNC)、场频 (VSYNC) 红 (RED)、绿 (GREEN)、蓝 (BLUE) 三基色；DDCA_CLK 时钟和 DDCA_DATA 数据。



(4) 南北橋界面

HUB Interface 是 Intel 芯片组南北桥之间的传输界面，供 13 根信号线，其中数据线 HI_[10:0] 为传输线，HI_STBS 和 HI_STBF 为控制线。



HI_STBS : Hub Interface Strobe

HI_STBF : Hub Interface Strobe Complement

这两个信号是一对微分的选通信号线，接收和发送通过 Hub Interface 的打包方式传输的数据。

4.3 南桥主要信号

(1) PCI 界面

PCI 界面，地址时钟合用 32 位信号线，主要控制信号有：

C/BE#：总线控制和字节允许信号。

DEVSEL#：设备选择信号

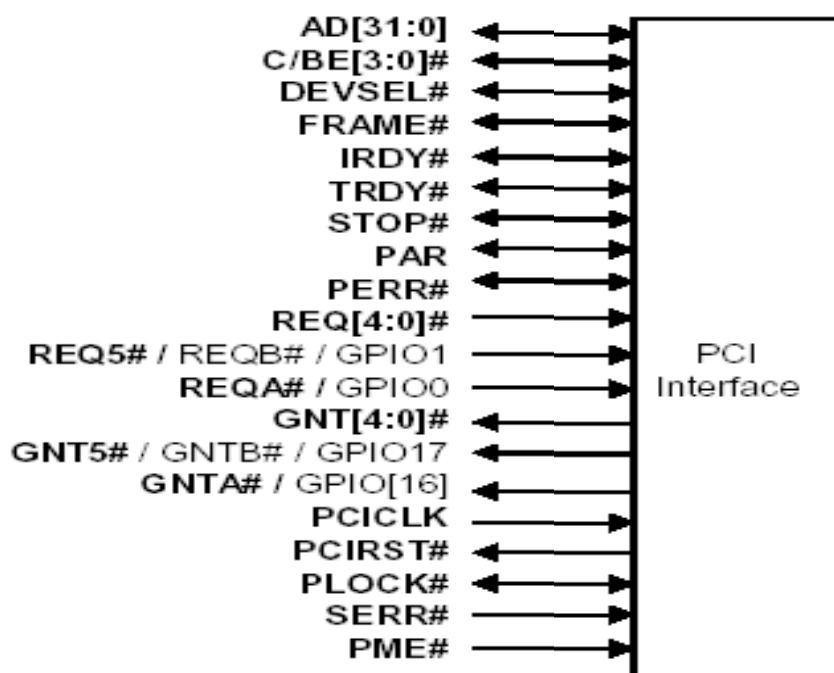
FRAME#：周期开始信号

IRDY#：主设备准备好信号

TRDY#：目标设备准备好信号

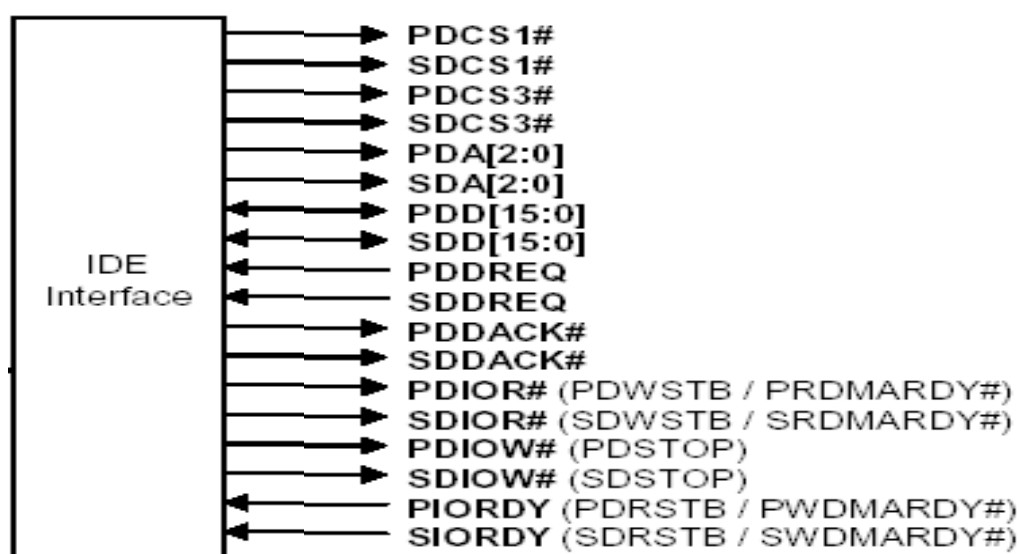
STOP#：停止信号

其余信号有时钟信号，复位信号等。



(2) IDE 界面

IDE 界面，南桥提供双 IDE 界面，一个主界面，一个从界面。每个界面地址线 3 位，数据线 16 位。其余的主要控制信号有请求信号 REQ，读信号，写信号等。



(3) AC97界面

AC_LINK 界面主要有 5 个信号：

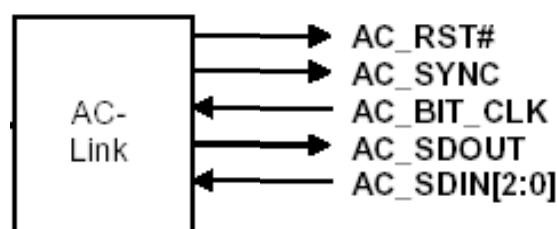
AC-RST#复位信号

AC-SYNC 同步信号

AC-BIT-CLK 时钟信号

AC-SDOUT 数据输出

AC-SDIN 数据输入



(4) USB 界面

南桥一般提供 6 到 8 个 USB 界面，USB 界面因为是串行总线，只有两根数据线传输数据，另外有一根电源线和电源地线提供外设电源。

OC#USB 控制器信号

USBRBIAS#和 USBRBIAS 都是用来接外部偏置电阻。

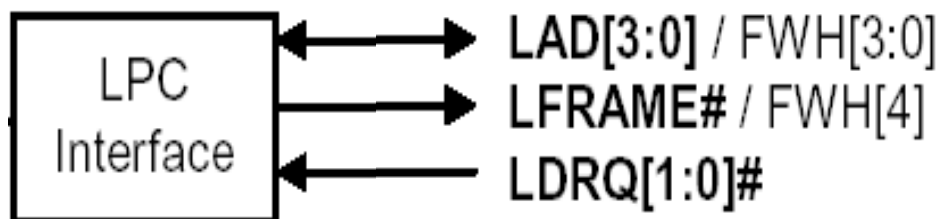


(5) LPC 界面

LPC 被称之为低脚位总线其地址数据线共享 4 位信号线，

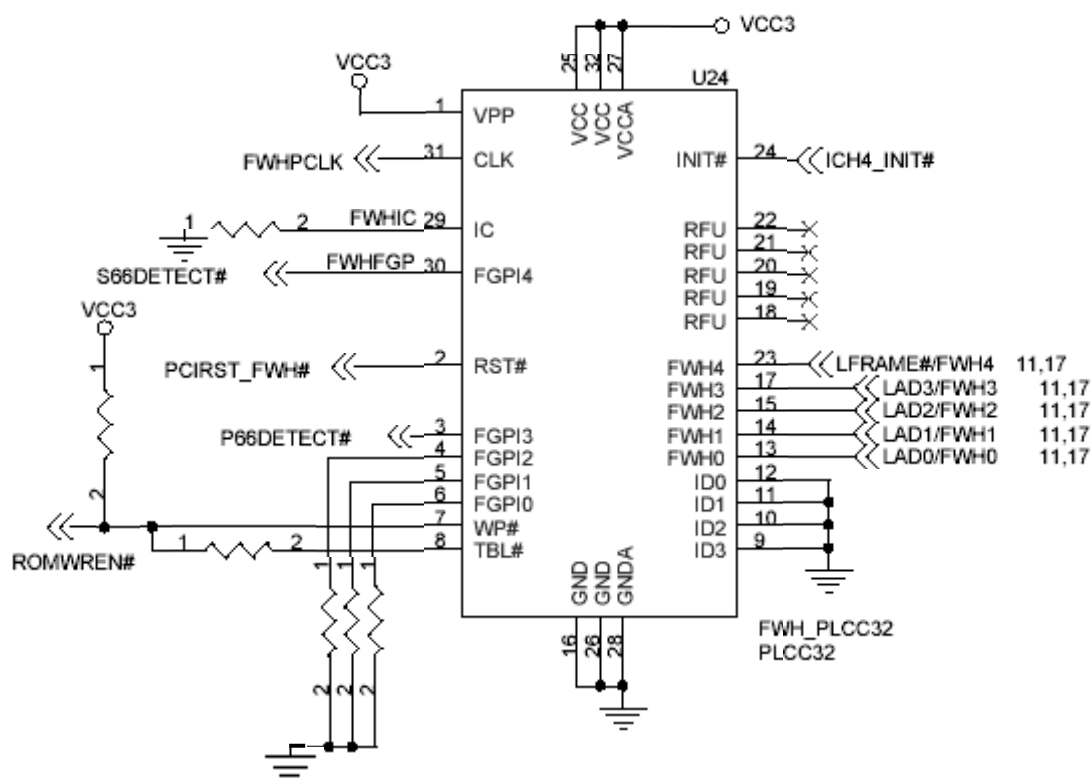
LFRAME#为一个 LPC 周期开始或中止信号。

LDRQ#为一个串行 DMA 或 MASTER 传输控制请求信号。



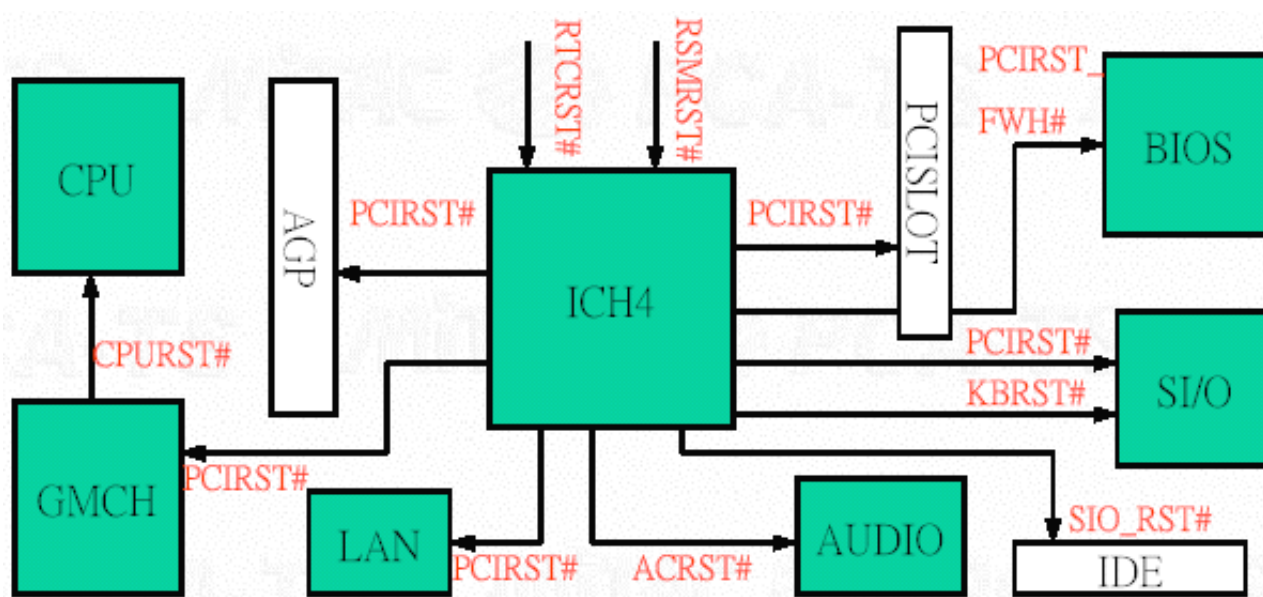
4.4 BIOS 主要信号

如图是 BIOS 在电路中的一般连接线路图。主要信号有初始化信号 INIT#，复位信号 RST#，写允许信号 WP#等。



4.5 复位信号

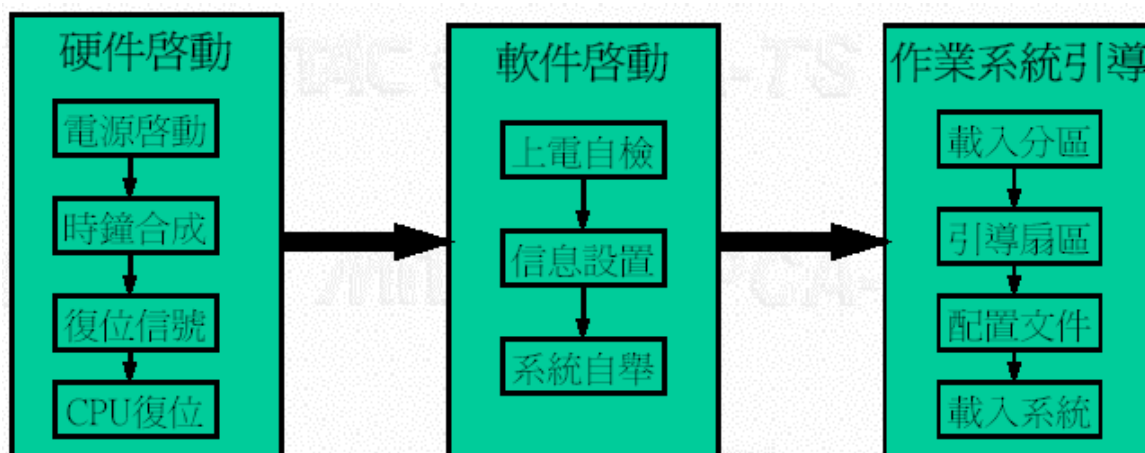
RST#，(Reset, 复位) 是计算机各个子系统工作开始的首要控制信号。在 RST 信号有效时各功能模块被强制回复到最初始的状态，等待新的工作开始。



第五章 开机过程

5.1 开机步骤

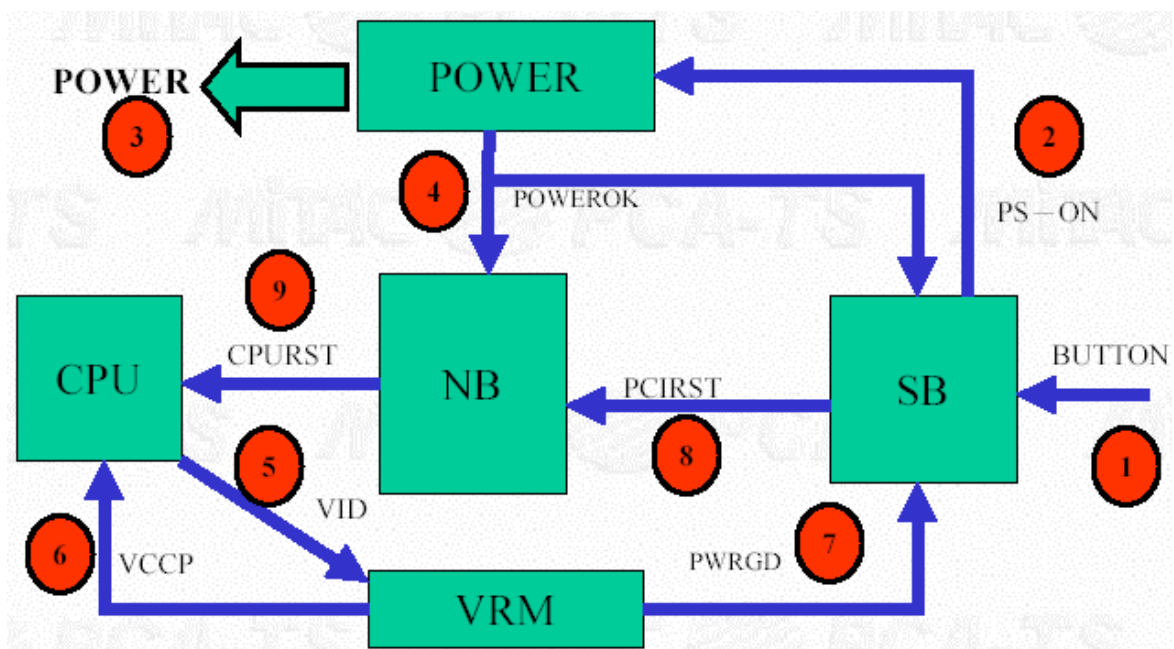
开机过程是指从启动电源到计算机加载操作系统的过程。按启动的过程可以分为三个阶段：硬件启动、软件启动、操作系统引导。



5.2 硬件启动

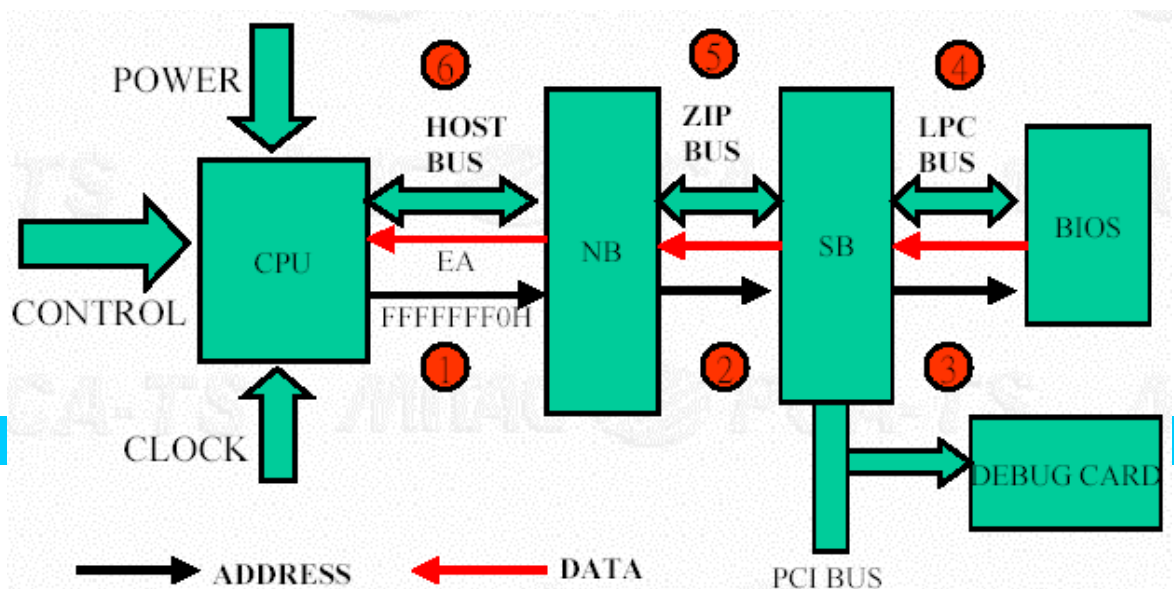
在计算机的开机过程中首先是电源启动。

- 1 5VSB 加载主板
- 2 按下 Power Button，产生 PS-ON 信号
- 3 Power 输出电源
- 4 电源稳定后，Power 发出 PWROK 信号
- 5 同时 CPU 拉低 VRM 的 VID 信号
- 6 VRM 工作产生 CPU 电源 VCCP
- 7 稳定的 VCCP 反馈给 VRM 产生 PWRGD 信号



同时时钟合成器开始工作产生各种时钟频率

- 8 南桥收到 PG 信号和工作频率产生 PCIRST#信号
- 9 北桥收到 PCIRST#信号发出 CPURST#给 CPU



在电源启动后时钟合成器开始工作，同时产生复位信号。CPU 开始工作。CPU 在满足电源、时钟频率和基本的控制信号条件下接收到 CPU 复位信号发出一个地址信号。由 CPU 的硬件设计决定，这个地址信号固定为 FFFFFFF0H，指向 BIOS 的入口地址。

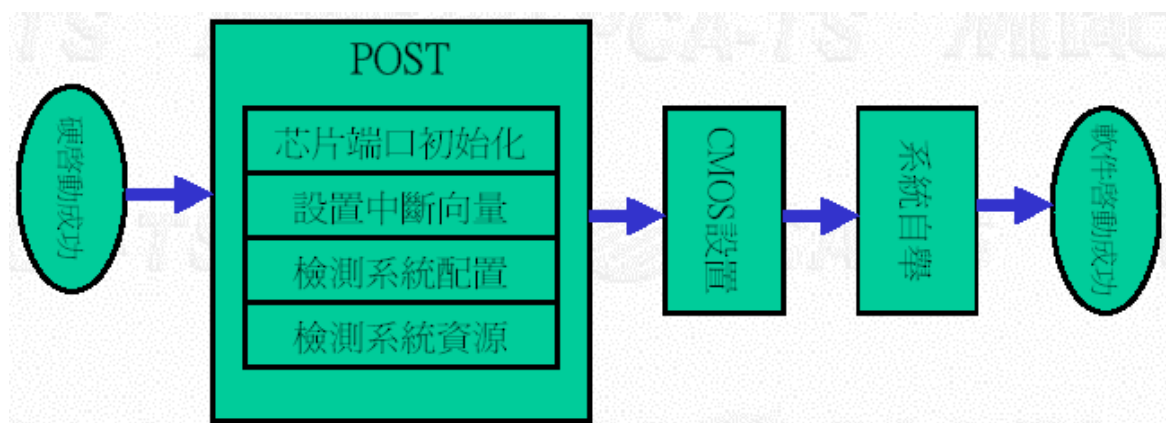
FFFFFFF0H 通过前端总线的地址线传到北桥，北桥将该地址信号压缩后通过 ZIP 总线传到南桥。

南桥接收到该地址将信号解压后分批发送给 BIOS，然后取得该地址存储的命令 EA。

南桥将取得的 BIOS 命令通过数据线经北桥传送给 CPU，CPU 执行接收到的命令开始计算和控制，发出一系列的指令，计算机硬件启动完成。

5.3 软件启动

硬件启动完成，CPU 开始执行一系列的从 BIOS 取得的命令，进入软件启动。软件启动过程分别由 BIOS 的 POST 程序、CMOS 设置程序、系统自举过程控制，流程如下：



软件启动最开始的也是最关键的是 POST 过程。

- 1 初始化各个芯片和各个端口
- 2 设置中断向量

开机后 BIOS 在内存的开始地址建立一个向量中断表，每个中断服务程序的入口地址都存于中断向量表中。BIOS 通过中断向量的设置和中断服务程序

建立起硬件与软件之间的联系。

3 检测系统配置

如中断号的分配，DMA 通道号的分配等。

4 检测系统资源

POST 检测包括 CPU、ROM、MB、CMOSRAM、SIO、PIO、AGP Card、KB、FDD、HDD、CD-ROM 等。在 POST 过程中出现致命故障将停机，不能给出任何提示。非严重故障会给出提示，等待处理。

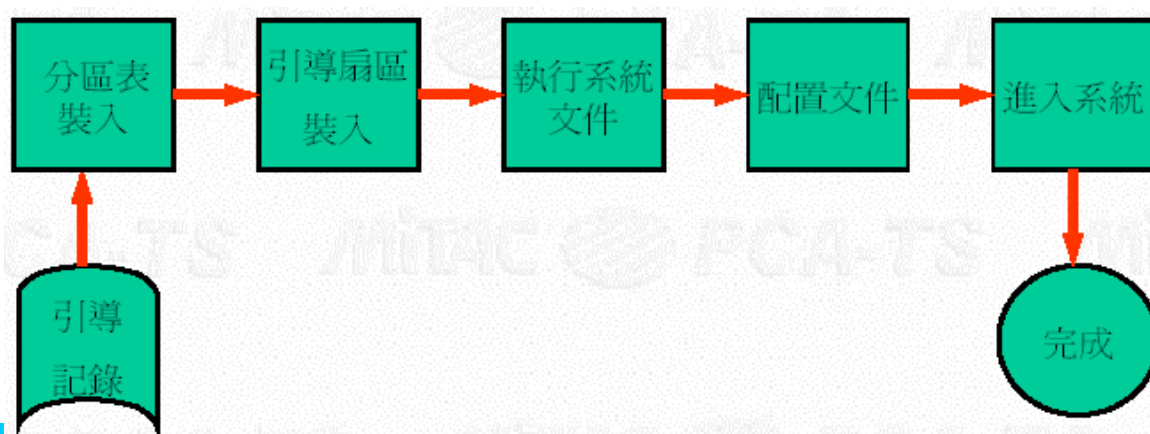
上电自检完毕计算机会给出一个 CMOS 设置界面 CMOS 设置程序是 BIOS ROM 中的一个模块，它设置一些系统的参数，如 CPU、内存、外设的参数、启动顺序、密码等。为了便于修改，这些参数存于另外的 CMOS RAM 中，所以称为 CMOS 设置。如用户不需要修改系统参数，BIOS 可以按默认的参数跳过 CMOS 设置过程直接运行系统自举程序。

CMOS 设置完毕计算机进入系统自举程序 BIOS 按系统 CMOS 设置的启动顺序，搜寻启动驱动器，从启动驱动器磁盘中读入引导记录，然后将系统控制权交给引导记录，软件启动完成。接下来由引导记录完成系统的启动。

整个软件启动过程也是系统初始化的过程，都是由 BIOS 程序来控制的。在此过程中 BIOS 每检测一个部件或执行一个动作遇到致命错误时，都会有对应的一个错误代码（Error Code）出现，利用 Debug Card 我们可以观测到。

5.4 操作系统引导

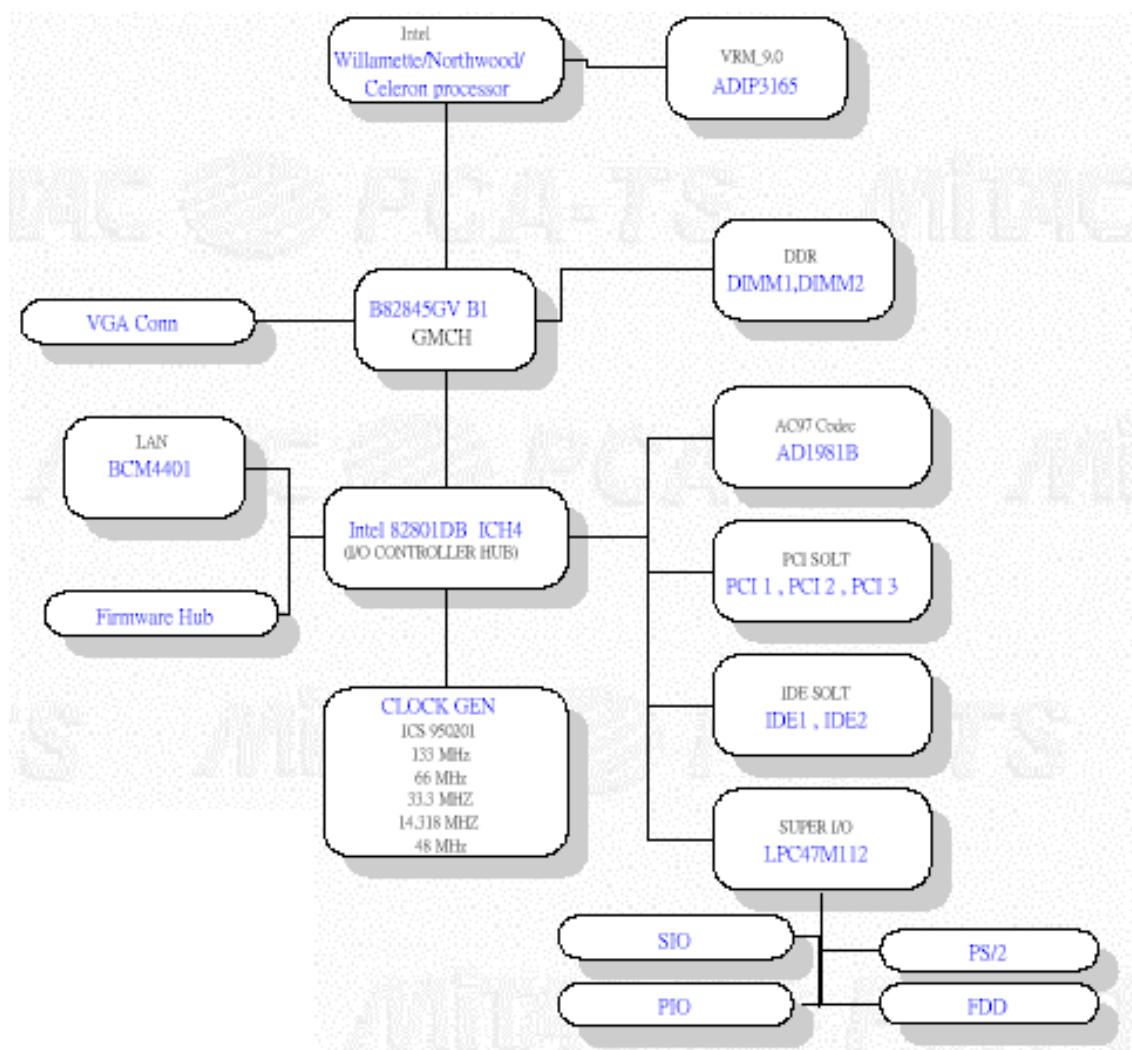
软件启动完成后，系统控制权由操作系统即操作系统控制。由操作系统的引导记录引导直到进入操作系统，完成计算机开机的最后过程—操作系统引导。具体过程如下：



附件一：

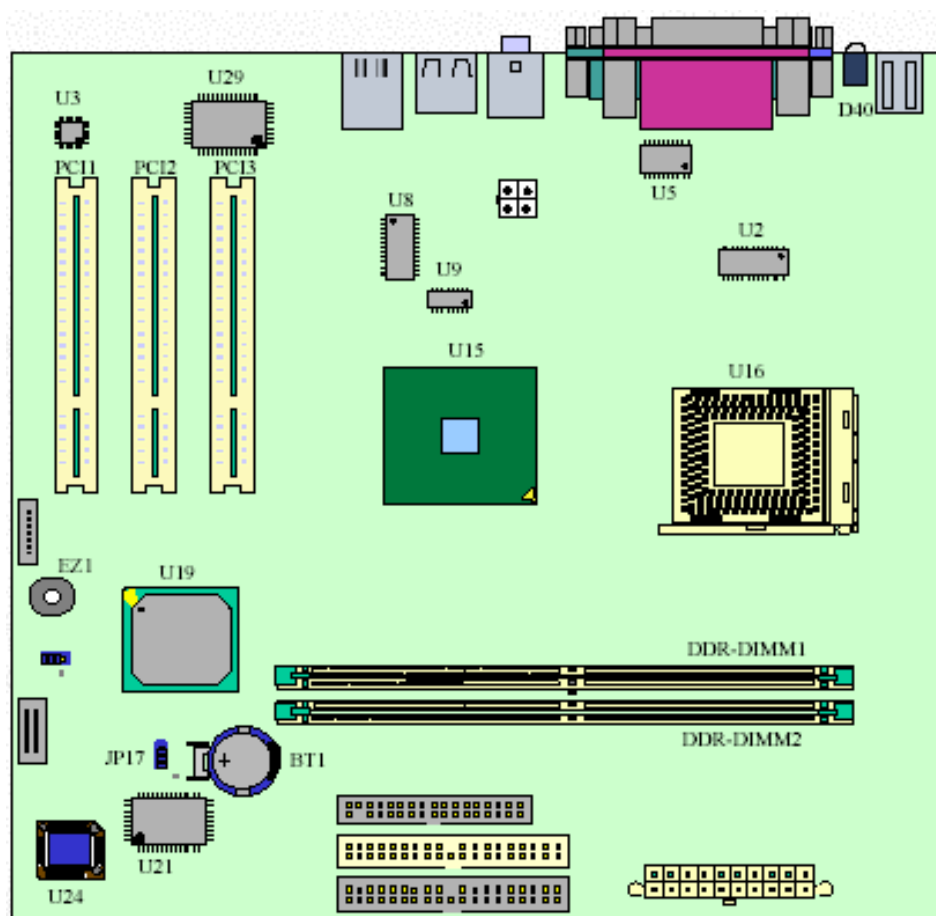
作为本文分析基础的主板 Bluford13 架构

THE END



附件二：

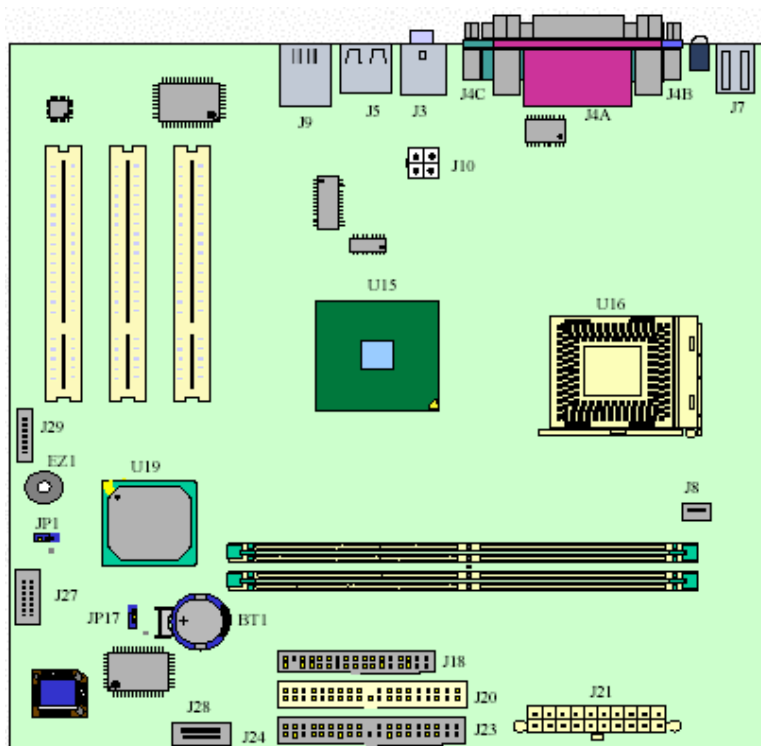
主板主要功能芯片分布示意图



- * **U2: ADP3165(CPU Power VRM)**
- * **U3: AD1981(AC97 Code)**
- * **U5: 75185**
- * **U8: ICS950201(Clock Generator)**
- * **U9: FST3125**
- * **U15: 82845GV(GMCH)**
- * **U16: P4 Socket 478 CPU**
- * **U19: 81801DB(ICH4)**
- * **U21: LPC47M112(super I/O)**
- * **U24: Firmware Hub(BIOS)**
- * **EZ1: Buzzer**
- * **D40: Diagnostic LED**

附件三：

主板主要接口分布示意图（1）



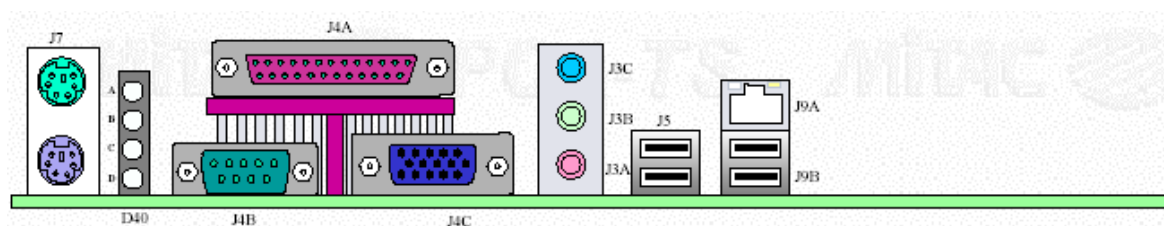
□ J3: LINE_IN,LINE_OUT,MIC_IN

- ☐ J4A: PIO Port Connector
- ☐ J4B: SIO Port Connector
- ☐ J4C: VGA Connector
- ☐ J5: USB Connector
- ☐ J7: PS/2 Keyboard/mouse Connector
- ☐ J8: CD-IN
- ☐ J9: RJ45&USB Connector
- ☐ J10: +12V Power Connector
- ☐ J18: FDD Connector
- ☐ J20: IDE2 Connector
- ☐ J21: ATX Power Connector
- ☐ J23: IDE1 Connector
- ☐ J25: Telephony
- ☐ J27: Front USB Connector

- ☐ J28: Power Button
- ☐ J29: Front USB Board Connector
- ☐ JP1: Clear Password Jumper
- ☐ JP17: CMOS Jumper
- ☐ U16: P4 CPU 478 Socket
- ☐ PCI1-PCI3: PCI Slot
- ☐ DDR-DIMM1,2: DDR SDRAM Socket

附件五：

主板背面接口侧视示意图



- ☐ J3A: Line In
- ☐ J3B: LINE Out
- ☐ J3C: MIC In
- ☐ J4A: PIO Port Connector
- ☐ J4B: SIO Port
- ☐ J4C: VGA Connector
- ☐ J5: USB Connector
- ☐ J7: PS/2 Keyboard Connector(Bottom),PS/2 Mouse Connector(top)

- ❑ J9A: RJ45 Connector
- ❑ J9B: USB Connector
- ❑ D40: Diagnostic LED