



Arquitectura de Procesadores

El subsistema de Memoria

Alejandro Furfaro

Agosto de 2015

Temario

1

El sistema de Memoria

- Jerarquía de Memorias
- Principio de Vecindad o Lacialidad

2

Tecnologías de Memoria

- Clasificación de memorias
- Memorias y velocidad del Procesador

3

Memoria Cache

- Principio de Funcionamiento
- Hardware dedicado = + complejidad

- organización de un cache
- Coherencia de un cache

4

Memorias Dinámicas

- Introducción
- Organización interna

5

Arquitecturas DRAM

- Evolución
- Throughput + Latency

6

Standards

- Estado del arte
- JEDEC SDRAM
- JEDEC DDR SDRAM

7

Configuración

- Configuración del DRAM Device
- Entrada Salida de Datos

8

Protocolo de acceso

- Fundamentos básicos

9

Controladores de Memoria

- Introducción General
- Arquitectura

10

Casos Prácticos

- Beagle Bone Black
- Memorias DDR en la BBB
- Controlador de DDRn SDRAM en la BBB

Evolución



Pioneros:

Maurice Wilkes en 1947 con la primer memoria de tanque de mercurio para la computadora EDSAC. Capacidad 2 bytes.

Visionarios:

“640K debe ser suficiente memoria para cualquiera....”

Bill Gates. 1981

Evolución



Pioneros:

Maurice Wilkes en 1947 con la primer memoria de tanque de mercurio para la computadora EDSAC. Capacidad 2 bytes.

Visionarios:

“640K debe ser suficiente memoria para cualquiera....”

Bill Gates. 1981

Temario

1

El sistema de Memoria

● Jerarquía de Memorias

- Principio de Vecindad o Lacialidad

2

Tecnologías de Memoria

- Clasificación de memorias

- Memorias y velocidad del Procesador

3

Memoria Cache

- Principio de Funcionamiento

- Hardware dedicado = + complejidad

- organización de un cache

- Coherencia de un cache

4

Memorias Dinámicas

- Introducción

- Organización interna

5

Arquitecturas DRAM

- Evolución

- Throughput + Latency

6

Standards

- Estado del arte

- JEDEC SDRAM

- JEDEC DDR SDRAM

7

Configuración

- Configuración del DRAM Device

- Entrada Salida de Datos

8

Protocolo de acceso

- Fundamentos básicos

9

Controladores de Memoria

- Introducción General

- Arquitectura

10

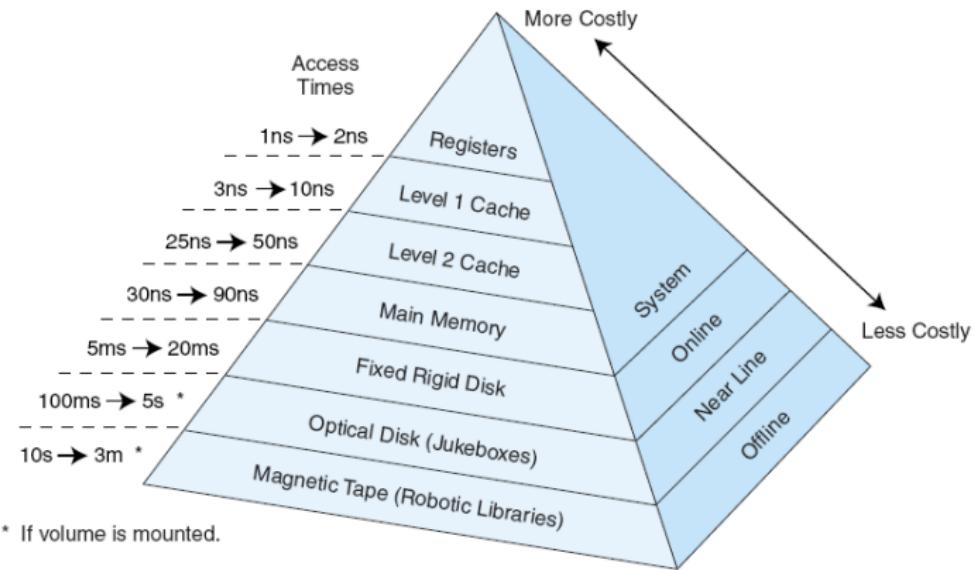
Casos Prácticos

- Beagle Bone Black

- Memorias DDR en la BBB

- Controlador de DDRn SDRAM en la BBB

Baja Latencia o alta capacidad



Temario

1

El sistema de Memoria

- Jerarquía de Memorias

● Principio de Vecindad o Lacalidad

2

Tecnologías de Memoria

- Clasificación de memorias

- Memorias y velocidad del Procesador

3

Memoria Cache

- Principio de Funcionamiento

- Hardware dedicado = + complejidad

- organización de un cache

- Coherencia de un cache

4

Memorias Dinámicas

- Introducción

- Organización interna

5

Arquitecturas DRAM

- Evolución

- Throughput + Latency

6

Standards

- Estado del arte

- JEDEC SDRAM

- JEDEC DDR SDRAM

7

Configuración

- Configuración del DRAM Device

- Entrada Salida de Datos

8

Protocolo de acceso

- Fundamentos básicos

9

Controladores de Memoria

- Introducción General

- Arquitectura

10

Casos Prácticos

- Beagle Bone Black

- Memorias DDR en la BBB

- Controlador de DDRn SDRAM en la BBB

Principio de funcionamiento... ¿black magic?

- El controlador cache trabaja mediante dos principios que surgen de analizar el comportamiento de los algoritmos de software que se emplean habitualmente.
- Principio de vecindad temporal: Si un ítem es referenciado, la probabilidad de ser referenciado en el futuro inmediato es alta.
- Principio de vecindad espacial: Si un ítem es referenciado, es altamente probable que sean referenciados sus ítems vecinos.
- Ejemplo: Algoritmo de convolución

```
1     for ( i = 0 ; i < 256 ; i++ )  
2     {  
3         suma = 0.0f;  
4         for ( j = 0 ; ( j <= i && j < 256 ) ; j++ )  
5             suma += v0[ i-j ] * v1[ j ];  
6             fAux[ i ] = suma;  
7     }
```

- i, j, suma, se utilizan a menudo. Por lo tanto si se mantienen en el cache, el tiempo de acceso a estas variables por parte del procesador es óptimo.

Temario

1

El sistema de Memoria

- Jerarquía de Memorias
- Principio de Vecindad o Lacialidad

2

Tecnologías de Memoria

● Clasificación de memorias

- Memorias y velocidad del Procesador

3

Memoria Cache

- Principio de Funcionamiento
- Hardware dedicado = + complejidad

- organización de un cache

- Coherencia de un cache

4

Memorias Dinámicas

- Introducción
 - Organización interna
- 5 Arquitecturas DRAM
- Evolución
 - Throughput + Latency

6

Standards

- Estado del arte
- JEDEC SDRAM
- JEDEC DDR SDRAM

7

Configuración

- Configuración del DRAM Device

- Entrada Salida de Datos

8

Protocolo de acceso

- Fundamentos básicos

9

Controladores de Memoria

- Introducción General
- Arquitectura

10

Casos Prácticos

- Beagle Bone Black
- Memorias DDR en la BBB
- Controlador de DDRn SDRAM en la BBB

Clasificación

- Memorias Solo lectura.

Se trata de memorias capaces de retener la información almacenada cuando se les desconecta la alimentación. De acuerdo con las diferentes tecnologías han evolucionado desde ser memorias denominadas **ROM** (por Read Only Memory), que en sus primeras implementaciones debían ser grabadas por el fabricante, hasta las actuales flash memories que pueden ser grabadas por algoritmos de escritura on the fly por el usuario, y cuyo ejemplo mas habitual es el pen drive o las tarjetas microsd de las cámaras fotográficas.

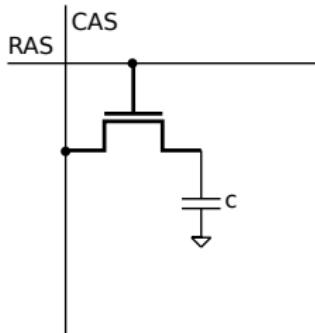
- Memorias Lectura Escritura

Se trata de memorias volátiles en lo que respecta a la permanencia de la información una vez interrumpida la alimentación eléctrica. Sin embargo estas memorias pueden almacenar mayores cantidades de información y modificarla en tiempo real a gran velocidad en comparación con las ROM.

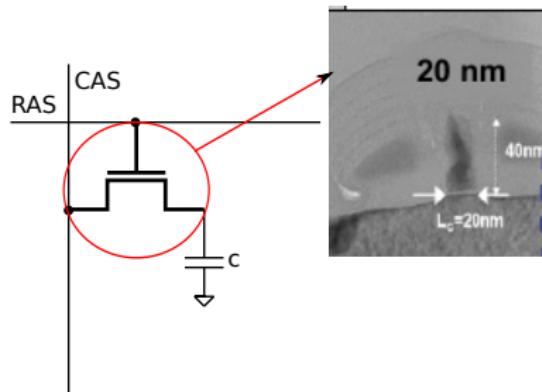
Se clasifican de acuerdo con la tecnología y su diseño interno en dinámicas y estáticas.

Memorias dinámicas

- Almacena la información como una carga en un capacitor y la sostiene con la ayuda de un transistor.
- Una celda (un bit) se implementa con un solo transistor => máxima capacidad de almacenamiento por chip.
- Ese transistor está generalmente en estado de Corte. Consumo mínima energía.

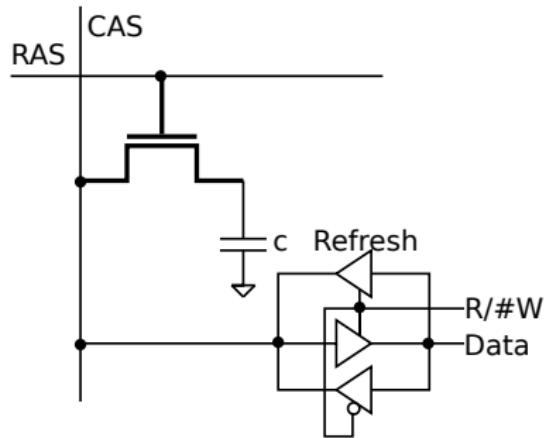


Memorias dinámicas



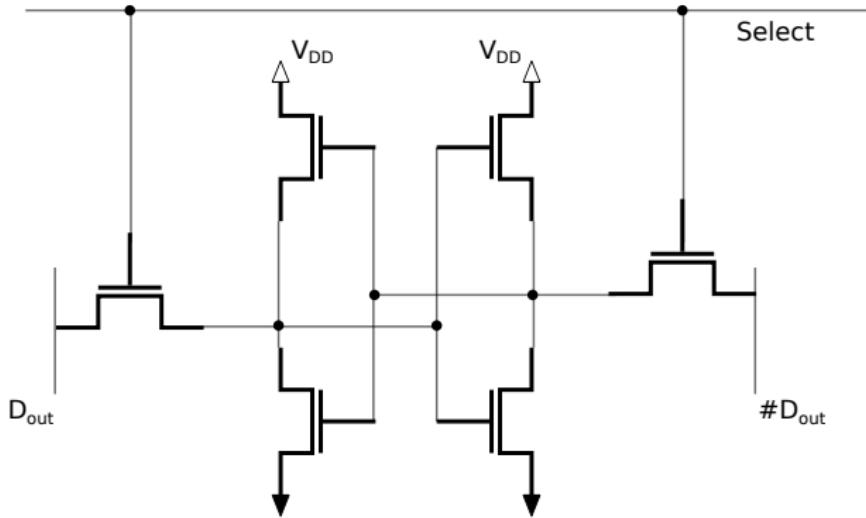
- Almacena la información como una carga en un capacitor y la sostiene con la ayuda de un transistor.
- Una celda (un bit) se implementa con un solo transistor => máxima capacidad de almacenamiento por chip.
- Ese transistor está generalmente en estado de Corte. Consume mínima energía.

Memorias dinámicas



- Al leer el bit, se descarga la capacidad.
- Una celda de DRAM **Necesita regenerar la carga** cada vez que se la lee.
- Esta operación se realiza por realimentación mediante buffers
- Aumenta entonces el tiempo total que demanda el acceso de la celda, ya que no libera la operación hasta no haber repuesto el estado de carga del capacitor.

Memorias estáticas



- Almacena la información en un biestable.
- Una celda (un bit) se compone de seis transistores. Por lo tanto tiene menor capacidad de almacenamiento por chip.
- Tres de los seis transistores están en saturación (consumen energía máxima en forma permanente) y los otros tres al corte (consumen mínima energía). Esto genera mayor consumo de energía por celda.
- La lectura es directa y no destructiva por lo cual el tiempo de acceso es muy bajo en comparación con las memorias dinámicas. De hecho son luego de los registros del procesador el medio de almacenamiento más rápido para un procesador.

Temario

1

El sistema de Memoria

- Jerarquía de Memorias
- Principio de Vecindad o Lacialidad

2

Tecnologías de Memoria

- Clasificación de memorias
- **Memorias y velocidad del Procesador**

3

Memoria Cache

- Principio de Funcionamiento
- Hardware dedicado = + complejidad

- organización de un cache
- Coherencia de un cache

4

Memorias Dinámicas

- Introducción
 - Organización interna
- 5 Arquitecturas DRAM
- Evolución
 - Throughput + Latency

6

Standards

- Estado del arte
- JEDEC SDRAM
- JEDEC DDR SDRAM

7

Configuración

- Configuración del DRAM Device
- Entrada Salida de Datos

8

Protocolo de acceso

- Fundamentos básicos

9

Controladores de Memoria

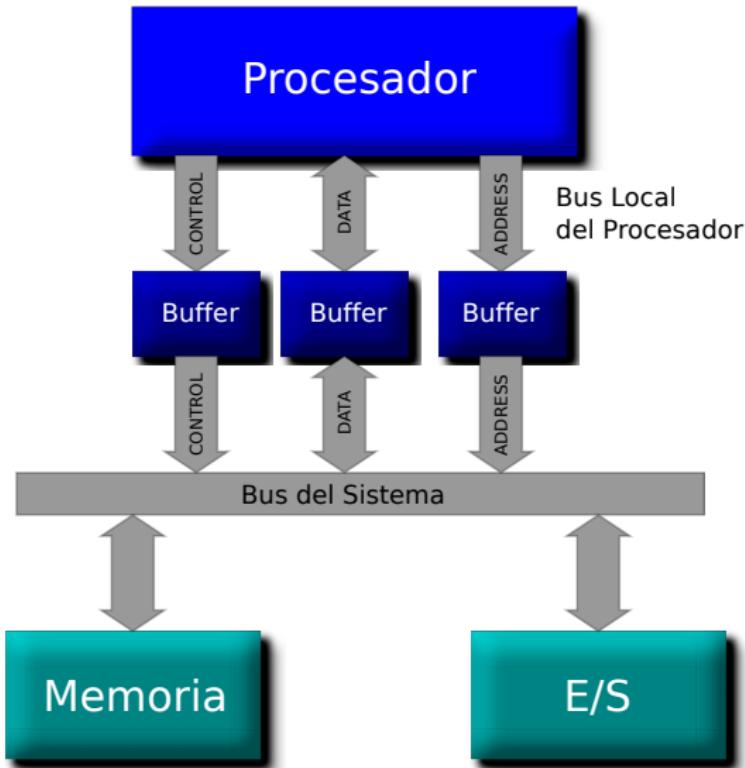
- Introducción General
- Arquitectura

10

Casos Prácticos

- Beagle Bone Black
- Memorias DDR en la BBB
- Controlador de DDRn SDRAM en la BBB

Conexión básica (Según Von Newmann)



- Desde fines de los años 80, los procesadores desarrollaban velocidades muy superiores a los tiempos de acceso a memoria.
- En este escenario, el procesador necesita generar wait states para esperar que la memoria esté lista (“READY”) para el acceso.
- ¿Tiene sentido lograr altos clocks en los procesadores si no puede aprovecharlos por tener que esperar (wait) a la memoria?

El problema...

El problema consiste en decidir que tipo de RAM usar en el sistema.
Hay dos opciones...

- **RAM dinámica (DRAM)**

- bajo consumo relativo

- **RAM estática (SRAM)**

- alto consumo relativo

Conclusión:

Si construimos el banco de memoria utilizando RAM estática, el costo y el consumo de la computadora son altos. Si construimos el banco de memoria utilizando RAM dinámica, no aprovechamos la velocidad del procesador.

El problema...

El problema consiste en decidir que tipo de RAM usar en el sistema.
Hay dos opciones...

● **RAM dinámica (DRAM)**

- Consumo mínimo.
- Capacidad de almacenamiento comparativamente alta.
- Costo por bit bajo.
- Tiempo de acceso alto (lento), debido al circuito de regeneración de carga.

● **RAM estática (SRAM)**

- Alto consumo relativo.
- Capacidad de almacenamiento comparativamente baja.
- Costo por bit alto.
- Tiempo de acceso bajo (es mas rápida).

Conclusión:

Si construimos el banco de memoria utilizando RAM estática, el costo y el consumo de la computadora son altos. Si construimos el banco de memoria utilizando RAM dinámica, no aprovechamos la velocidad del procesador.

El problema...

El problema consiste en decidir que tipo de RAM usar en el sistema.
Hay dos opciones...

- **RAM dinámica (DRAM)**

- Consumo mínimo.
- Capacidad de almacenamiento comparativamente alta.
- Costo por bit bajo.
- Tiempo de acceso alto (lento), debido al circuito de regeneración de carga.

- **RAM estática (SRAM)**

- Alto consumo relativo.
- Capacidad de almacenamiento comparativamente baja.
- Costo por bit alto.
- Tiempo de acceso bajo (es mas rápida).

Conclusión:

Si construimos el banco de memoria utilizando RAM estática, el costo y el consumo de la computadora son altos. Si construimos el banco de memoria utilizando RAM dinámica, no aprovechamos la velocidad del procesador.

El problema...

El problema consiste en decidir que tipo de RAM usar en el sistema.
Hay dos opciones...

- **RAM dinámica (DRAM)**

- Consumo mínimo.
- Capacidad de almacenamiento comparativamente alta.
- Costo por bit bajo.
- Tiempo de acceso alto (lento), debido al circuito de regeneración de carga.

- **RAM estática (SRAM)**

- Alto consumo relativo.
- Capacidad de almacenamiento comparativamente baja.
- Costo por bit alto.
- Tiempo de acceso bajo (es mas rápida).

Conclusión:

Si construimos el banco de memoria utilizando RAM estática, el costo y el consumo de la computadora son altos. Si construimos el banco de memoria utilizando RAM dinámica, no aprovechamos la velocidad del procesador.

El problema...

El problema consiste en decidir que tipo de RAM usar en el sistema.
Hay dos opciones...

- **RAM dinámica (DRAM)**

- Consumo mínimo.
- Capacidad de almacenamiento comparativamente alta.
- Costo por bit bajo.
- Tiempo de acceso alto (lento), debido al circuito de regeneración de carga.

- **RAM estática (SRAM)**

- Alto consumo relativo.
- Capacidad de almacenamiento comparativamente baja.
- Costo por bit alto.
- Tiempo de acceso bajo (es mas rápida).

Conclusión:

Si construimos el banco de memoria utilizando RAM estática, el costo y el consumo de la computadora son altos. Si construimos el banco de memoria utilizando RAM dinámica, no aprovechamos la velocidad del procesador.

El problema...

El problema consiste en decidir que tipo de RAM usar en el sistema.
Hay dos opciones...

- **RAM dinámica (DRAM)**

- Consumo mínimo.
- Capacidad de almacenamiento comparativamente alta.
- Costo por bit bajo.
- Tiempo de acceso alto (lento), debido al circuito de regeneración de carga.

- **RAM estática (SRAM)**

- Alto consumo relativo.
- Capacidad de almacenamiento comparativamente baja.
- Costo por bit alto.
- Tiempo de acceso bajo (es mas rápida).

Conclusión:

Si construimos el banco de memoria utilizando RAM estática, el costo y el consumo de la computadora son altos. Si construimos el banco de memoria utilizando RAM dinámica, no aprovechamos la velocidad del procesador.

El problema...

El problema consiste en decidir que tipo de RAM usar en el sistema.
Hay dos opciones...

- **RAM dinámica (DRAM)**

- Consumo mínimo.
- Capacidad de almacenamiento comparativamente alta.
- Costo por bit bajo.
- Tiempo de acceso alto (lento), debido al circuito de regeneración de carga.

- **RAM estática (SRAM)**

- Alto consumo relativo.
- Capacidad de almacenamiento comparativamente baja.
- Costo por bit alto.
- Tiempo de acceso bajo (es mas rápida).

Conclusión:

Si construimos el banco de memoria utilizando RAM estática, el costo y el consumo de la computadora son altos. Si construimos el banco de memoria utilizando RAM dinámica, no aprovechamos la velocidad del procesador.

Temario

1

El sistema de Memoria

- Jerarquía de Memorias
- Principio de Vecindad o Lacialidad

2

Tecnologías de Memoria

- Clasificación de memorias
- Memorias y velocidad del Procesador

3

Memoria Cache

- **Principio de Funcionamiento**
- Hardware dedicado = + complejidad

- organización de un cache

- Coherencia de un cache

4

Memorias Dinámicas

- Introducción
 - Organización interna
- 5 Arquitecturas DRAM
- Evolución
 - Throughput + Latency

6

Standards

- Estado del arte
- JEDEC SDRAM
- JEDEC DDR SDRAM

7

Configuración

- Configuración del DRAM Device

- Entrada Salida de Datos

8

Protocolo de acceso

- Fundamentos básicos

9

Controladores de Memoria

- Introducción General
- Arquitectura

10

Casos Prácticos

- Beagle Bone Black
- Memorias DDR en la BBB
- Controlador de DDRn SDRAM en la BBB

La solución... Memoria Cache

- Se trata de un banco de SRAM de muy alta velocidad, que contiene una copia de los datos e instrucciones que están en memoria principal.
- El arte consiste en que esta copia esté disponible justo cuando el procesador la necesita permitiéndole acceder a esos ítems sin recurrir a wait states.
- Combinada con una gran cantidad de memoria DRAM, para almacenar el resto de códigos y datos, resuelve el problema mediante una solución de compromiso típica.
- Requiere de hardware adicional que asegure que este pequeño banco de memoria cache contenga los datos e instrucciones mas frecuentemente utilizados por el procesador.

La solución... Memoria Cache

- Se trata de un banco de SRAM de muy alta velocidad, que contiene una copia de los datos e instrucciones que están en memoria principal.
- El arte consiste en que esta copia esté disponible justo cuando el procesador la necesita permitiéndole acceder a esos ítems sin recurrir a wait states.
- Combinada con una gran cantidad de memoria DRAM, para almacenar el resto de códigos y datos, resuelve el problema mediante una solución de compromiso típica.
- Requiere de hardware adicional que asegure que este pequeño banco de memoria cache contenga los datos e instrucciones mas frecuentemente utilizados por el procesador.

La solución... Memoria Cache

- Se trata de un banco de SRAM de muy alta velocidad, que contiene una copia de los datos e instrucciones que están en memoria principal.
- El arte consiste en que esta copia esté disponible justo cuando el procesador la necesita permitiéndole acceder a esos ítems sin recurrir a wait states.
- Combinada con una gran cantidad de memoria DRAM, para almacenar el resto de códigos y datos, resuelve el problema mediante una solución de compromiso típica.
- Requiere de hardware adicional que asegure que este pequeño banco de memoria cache contenga los datos e instrucciones mas frecuentemente utilizados por el procesador.

La solución... Memoria Cache

- Se trata de un banco de SRAM de muy alta velocidad, que contiene una copia de los datos e instrucciones que están en memoria principal.
- El arte consiste en que esta copia esté disponible justo cuando el procesador la necesita permitiéndole acceder a esos ítems sin recurrir a wait states.
- Combinada con una gran cantidad de memoria DRAM, para almacenar el resto de códigos y datos, resuelve el problema mediante una solución de compromiso típica.
- Requiere de hardware adicional que asegure que este pequeño banco de memoria cache contenga los datos e instrucciones mas frecuentemente utilizados por el procesador.

La solución... Memoria Cache

- Se trata de un banco de SRAM de muy alta velocidad, que contiene una copia de los datos e instrucciones que están en memoria principal.
- El arte consiste en que esta copia esté disponible justo cuando el procesador la necesita permitiéndole acceder a esos ítems sin recurrir a wait states.
- Combinada con una gran cantidad de memoria DRAM, para almacenar el resto de códigos y datos, resuelve el problema mediante una solución de compromiso típica.
- Requiere de hardware adicional que asegure que este pequeño banco de memoria cache contenga los datos e instrucciones mas frecuentemente utilizados por el procesador.

Características y métricas

El tamaño del banco de memoria cache debe ser:

- ➊ Suficientemente grande para que el procesador resuelva la mayor cantidad posible de búsquedas de código y datos en esta memoria asegurando una alta performance.
- ➋ Suficientemente pequeña para no afectar el consumo ni el costo del sistema.

Hit cuando se accede a un ítem (dato o código) y éste *se encuentra* en la memoria cache

Miss cuando se accede a un ítem (dato o código) y éste *no se encuentra* en la memoria cache

$$\text{hit rate} \text{ hitrate} = \frac{\text{Cantidad de Accesos con hit}}{\text{Cantidad de Accesos Totales}}$$

Se espera un hit rate lo mas alto posible

Temario

1

El sistema de Memoria

- Jerarquía de Memorias
- Principio de Vecindad o Lacialidad

2

Tecnologías de Memoria

- Clasificación de memorias
- Memorias y velocidad del Procesador

3

Memoria Cache

- Principio de Funcionamiento
- **Hardware dedicado = + complejidad**

- organización de un cache
- Coherencia de un cache

4

Memorias Dinámicas

- Introducción
 - Organización interna
- 5 Arquitecturas DRAM
- Evolución
 - Throughput + Latency

6

Standards

- Estado del arte
- JEDEC SDRAM
- JEDEC DDR SDRAM

7

Configuración

- Configuración del DRAM Device
- Entrada Salida de Datos

8

Protocolo de acceso

- Fundamentos básicos

9

Controladores de Memoria

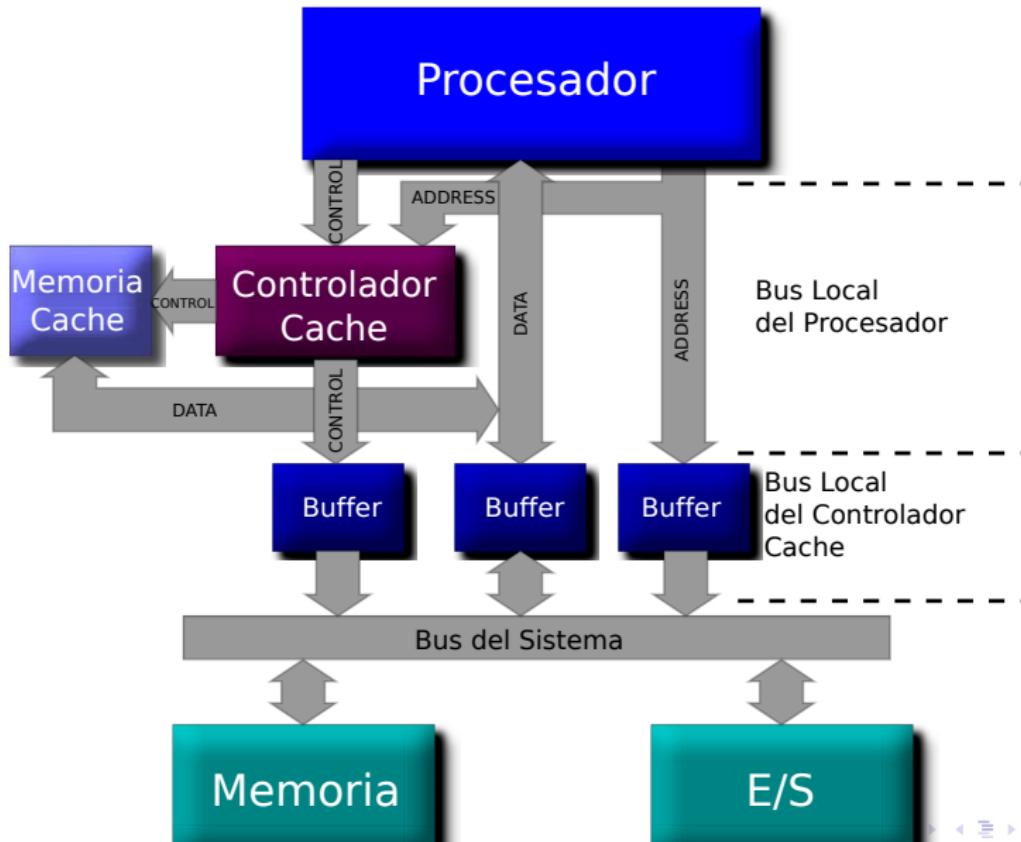
- Introducción General
- Arquitectura

10

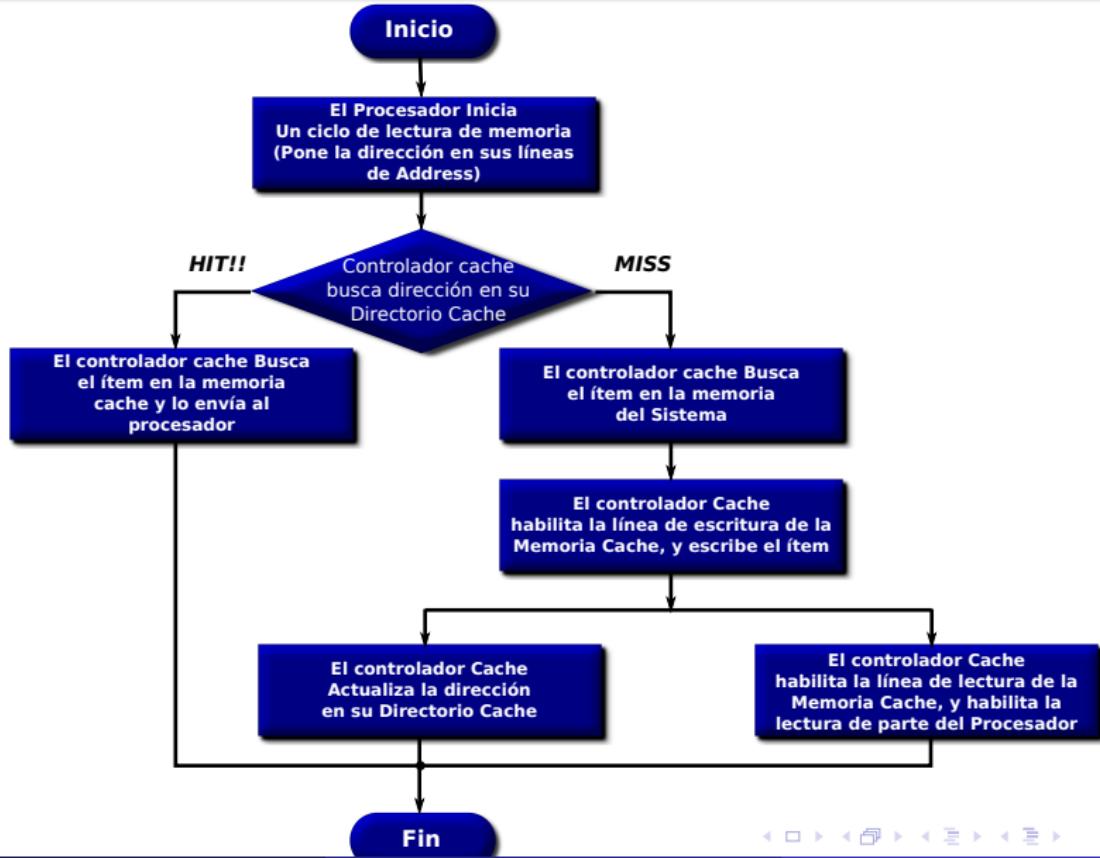
Casos Prácticos

- Beagle Bone Black
- Memorias DDR en la BBB
- Controlador de DDRn SDRAM en la BBB

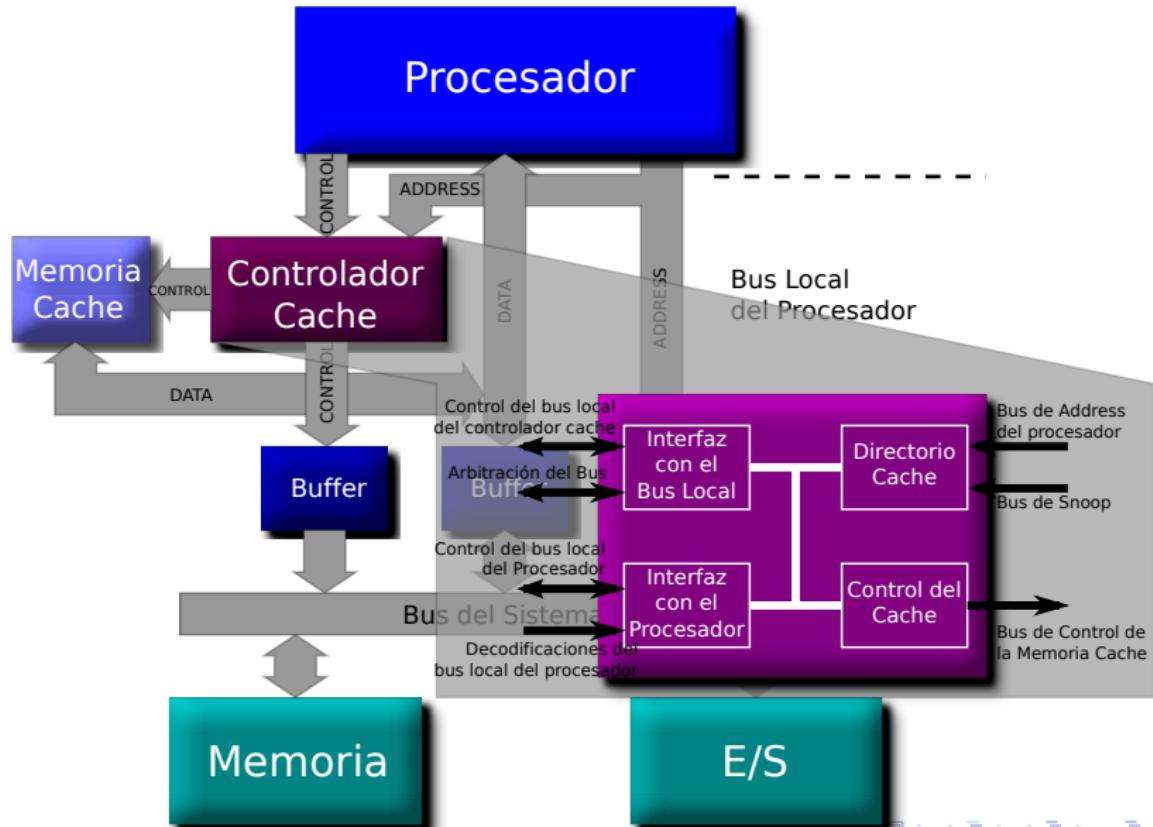
Subsistema Cache de Hardware



Operación de acceso a memoria para lectura



El Controlador Cache



Temario

1

El sistema de Memoria

- Jerarquía de Memorias
- Principio de Vecindad o Lacialidad

2

Tecnologías de Memoria

- Clasificación de memorias
- Memorias y velocidad del Procesador

3

Memoria Cache

- Principio de Funcionamiento
- Hardware dedicado = + complejidad

organización de un cache

- Coherencia de un cache

4

Memorias Dinámicas

- Introducción
 - Organización interna
- ## Arquitecturas DRAM
- Evolución
 - Throughput + Latency

5

Standards

- Estado del arte
- JEDEC SDRAM
- JEDEC DDR SDRAM

7

Configuración

Configuración del DRAM Device

- Entrada Salida de Datos

8

Protocolo de acceso

- Fundamentos básicos

9

Controladores de Memoria

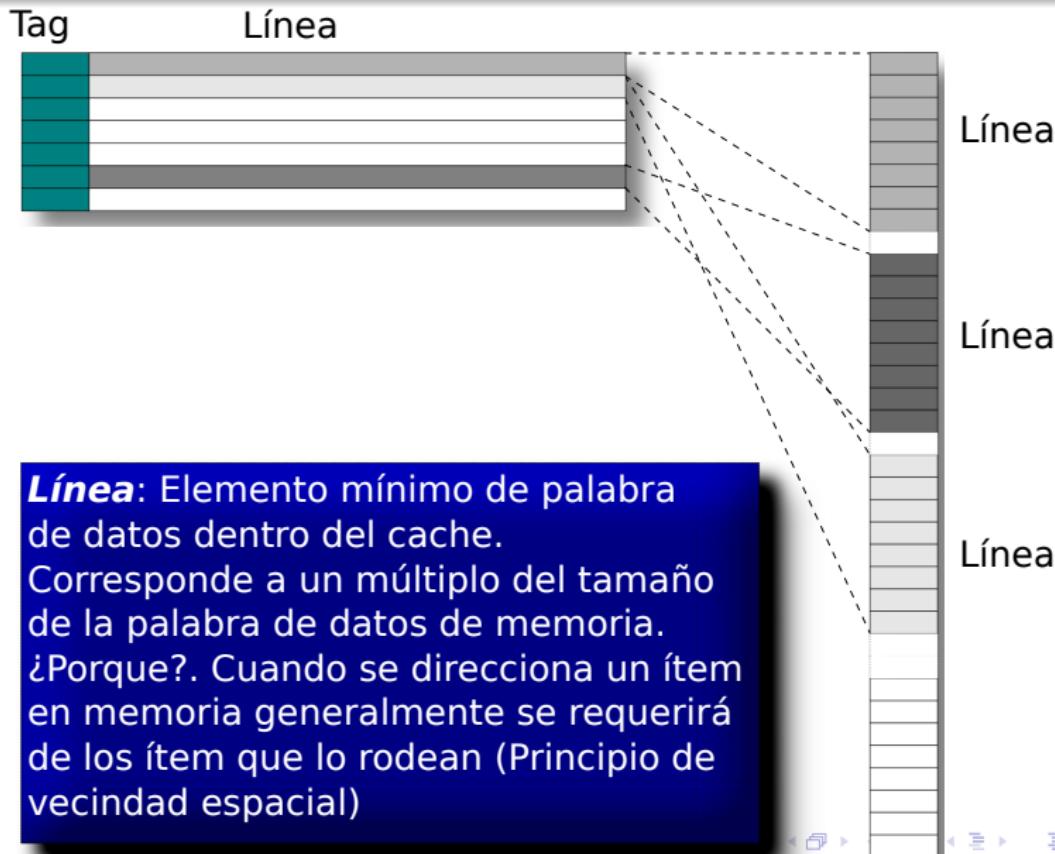
- Introducción General
- Arquitectura

10

Casos Prácticos

- Beagle Bone Black
- Memorias DDR en la BBB
- Controlador de DDRn SDRAM en la BBB

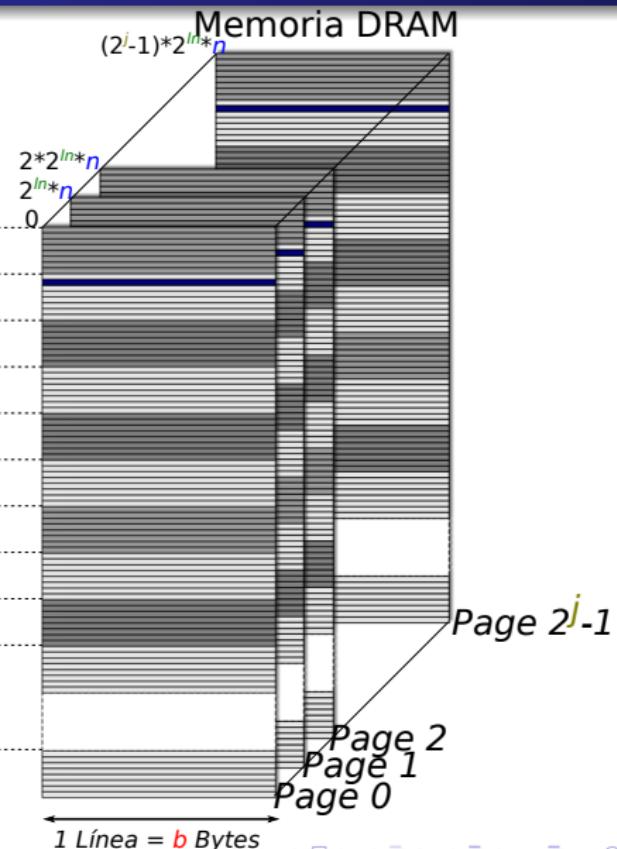
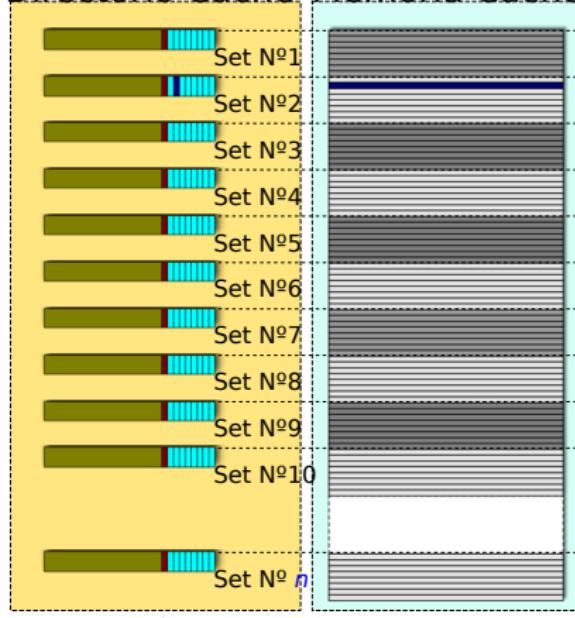
Organización del cache. Líneas



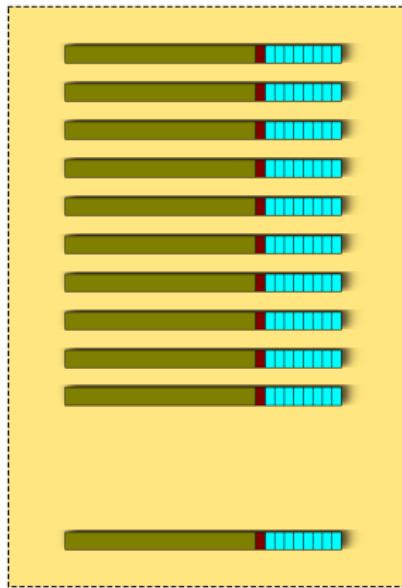
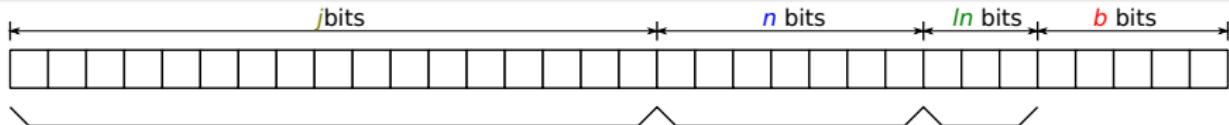
Sistema Cache de Mapeo Directo

- Bit de Validez individual de la Línea
- Bit de Validez General del Tag
- Tag de j bits

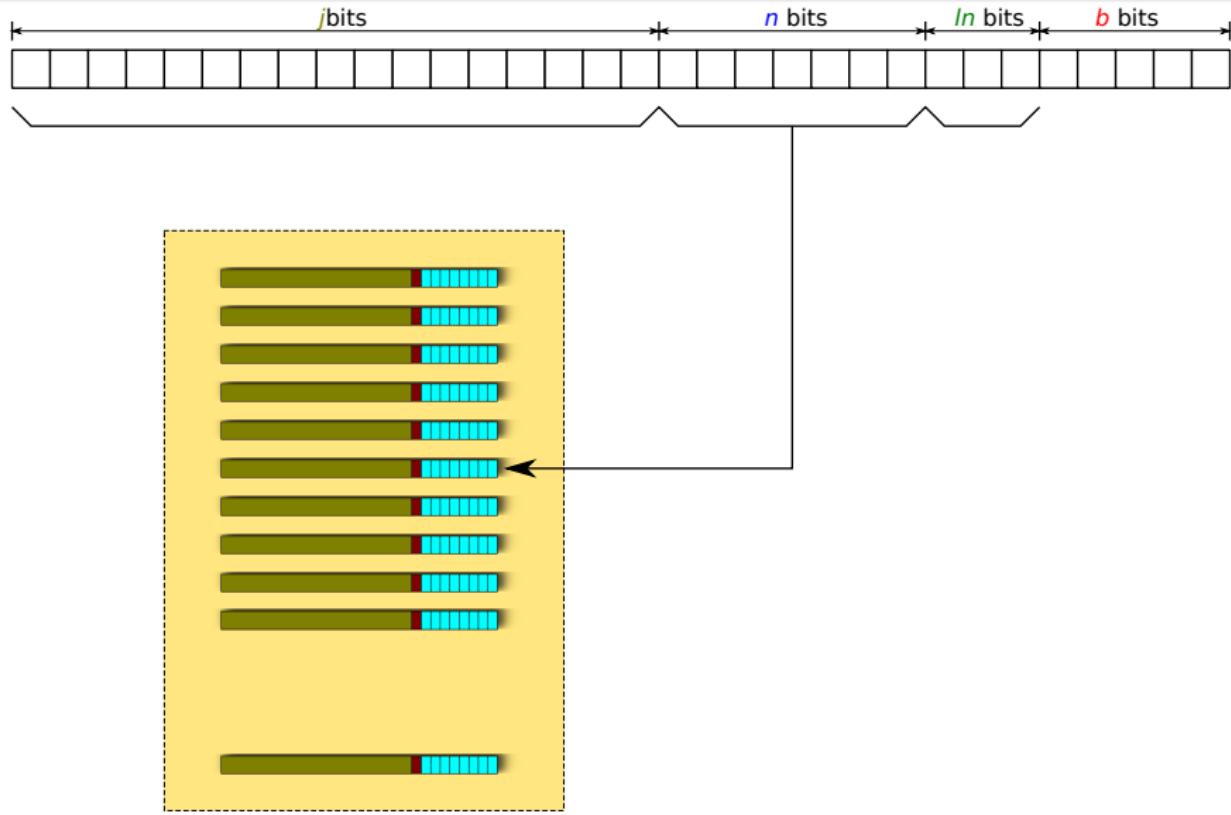
Directorio Cache, Memoria Cache



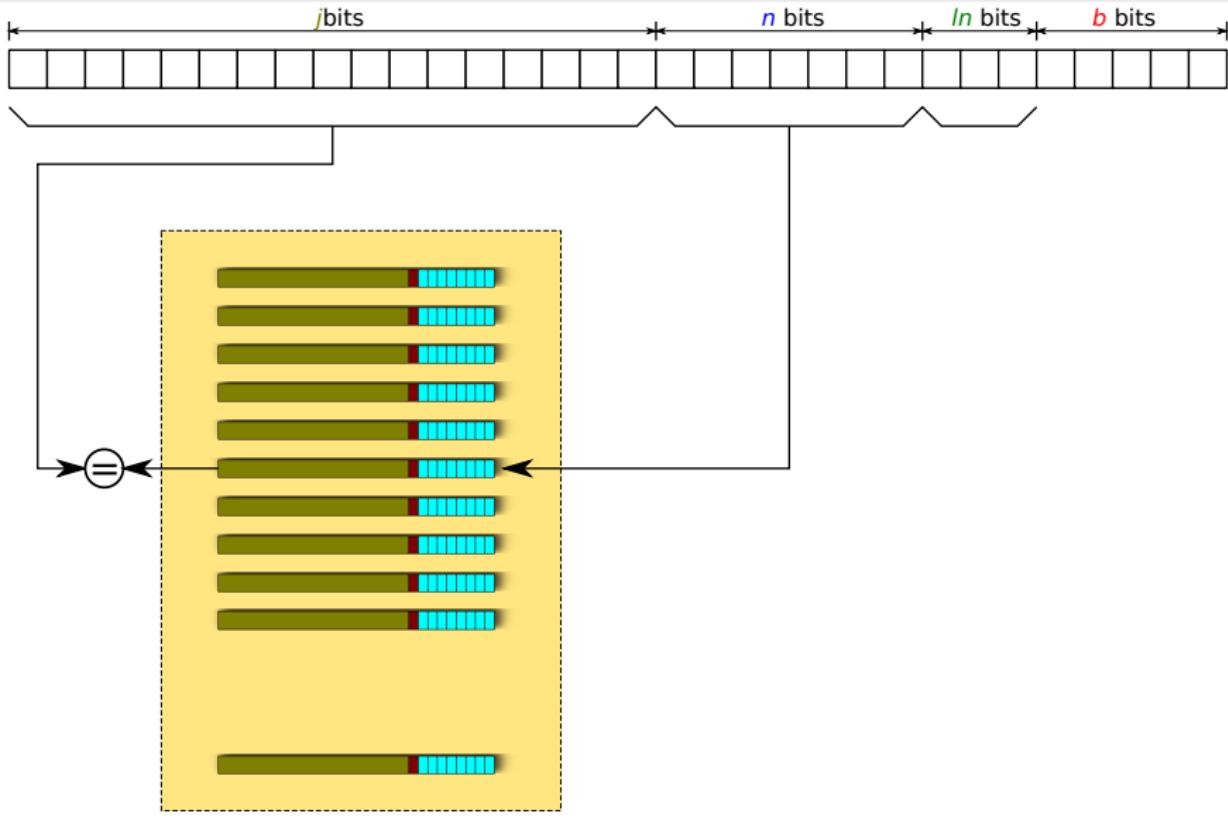
Sistema Cache de Mapeo Directo



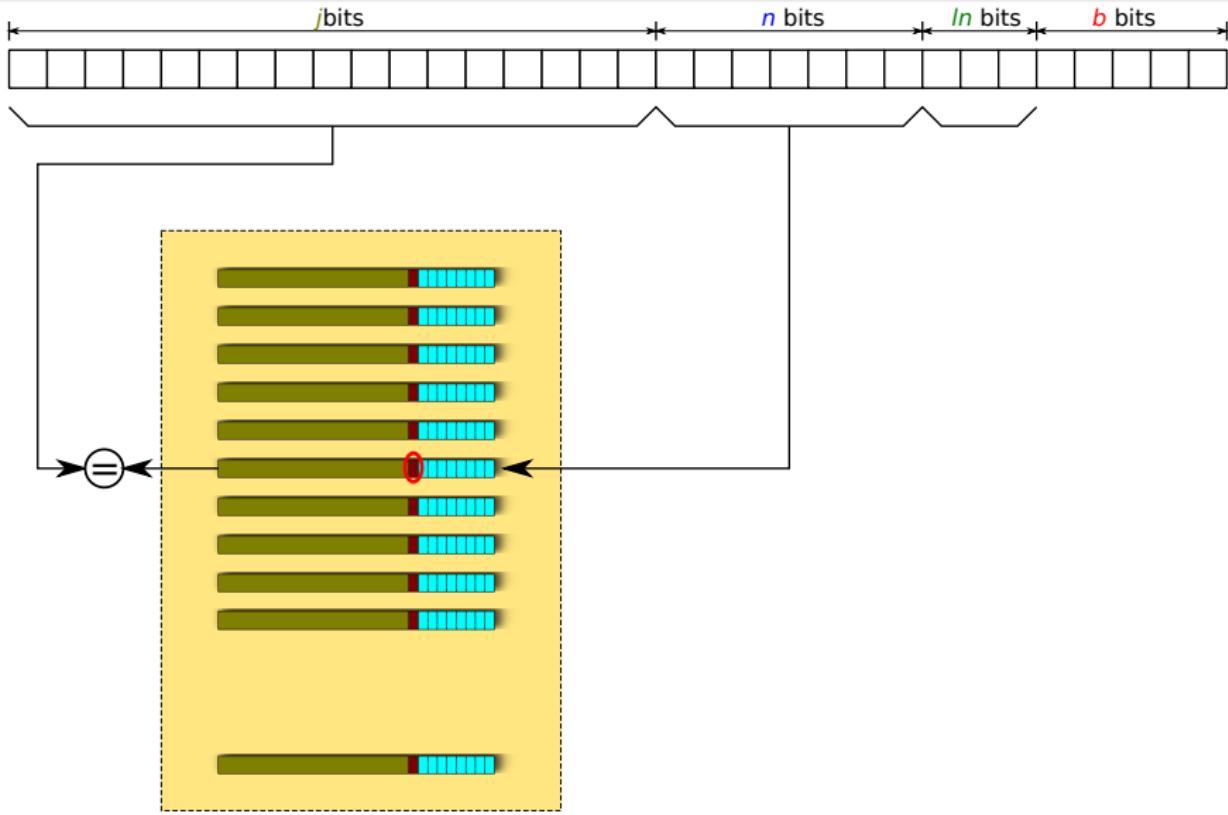
Sistema Cache de Mapeo Directo



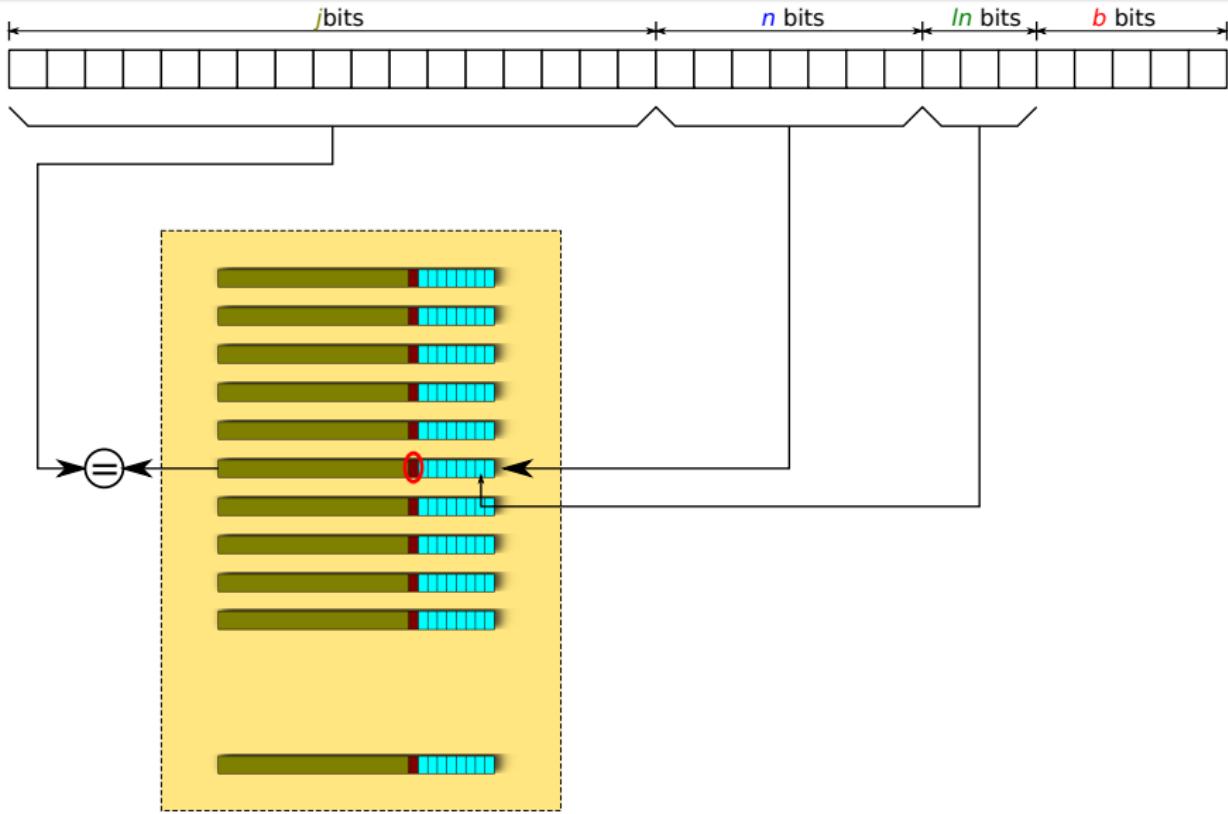
Sistema Cache de Mapeo Directo



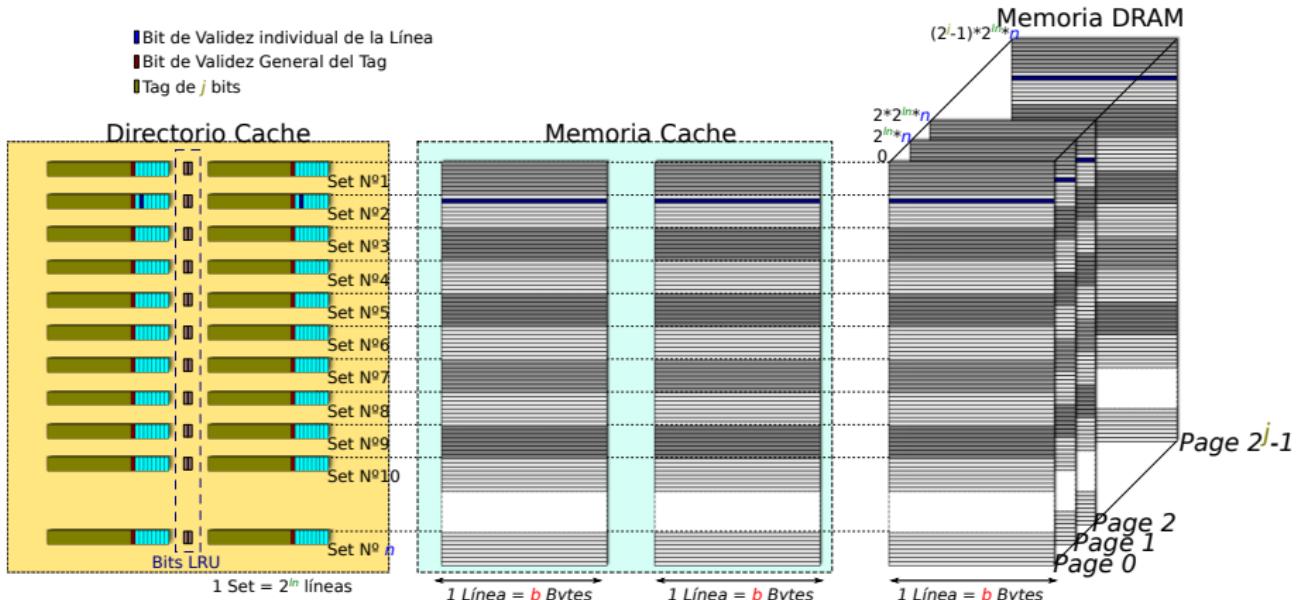
Sistema Cache de Mapeo Directo



Sistema Cache de Mapeo Directo



Sistema Cache Asociativo de 2 Vías



Temario

1

El sistema de Memoria

- Jerarquía de Memorias
- Principio de Vecindad o Lacialidad

2

Tecnologías de Memoria

- Clasificación de memorias
- Memorias y velocidad del Procesador

3

Memoria Cache

- Principio de Funcionamiento
- Hardware dedicado = + complejidad

- organización de un cache

● Coherencia de un cache

4

Memorias Dinámicas

- Introducción
 - Organización interna
- 5 Arquitecturas DRAM
- Evolución
 - Throughput + Latency

6

Standards

- Estado del arte
- JEDEC SDRAM
- JEDEC DDR SDRAM

7

Configuración

- Configuración del DRAM Device

- Entrada Salida de Datos

8

Protocolo de acceso

- Fundamentos básicos

9

Controladores de Memoria

- Introducción General
- Arquitectura

10

Casos Prácticos

- Beagle Bone Black
- Memorias DDR en la BBB
- Controlador de DDRn SDRAM en la BBB

¿Que ocurre durante las escrituras?

- Una variable que está en el caché también está alojada en alguna dirección de la DRAM.
- Ambos valores deben ser iguales
- Cuando el procesador la modifica hay varios modos de actuar

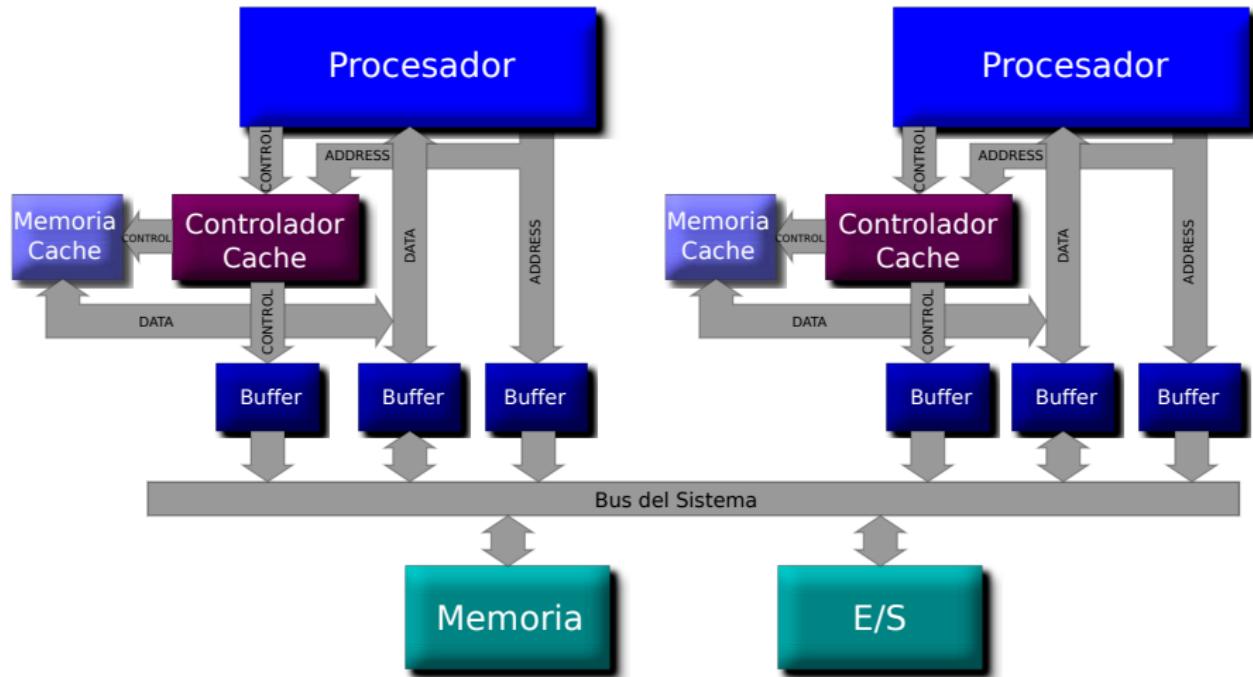
Write through el procesador escribe en la DRAM y el controlador cache refresca el cache con el dato actualizado

Write through buffered el procesador actualiza la SRAM cache, y el controlador cache luego actualiza la copia en memoria DRAM mientras el procesador continúa ejecutando instrucciones y usando datos de la memoria cache

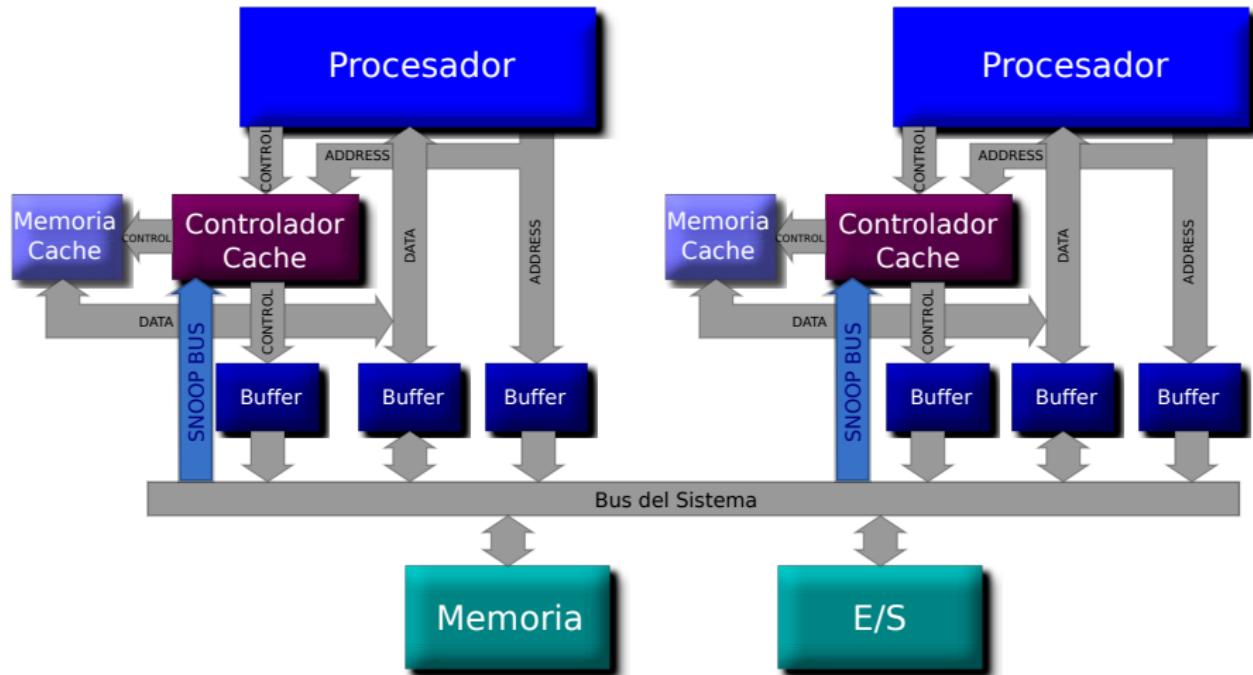
Copy back Se marcan las líneas de la memoria cache cuando el procesador escribe en ellas. Luego en el momento de eliminar esa línea del caché el controlador cache deberá actualizar la copia de DRAM.

- Si el procesador realiza un miss mientras el controlador cache está accediendo a la DRAM para actualizar el valor, deberá esperar hasta que controlador cache termine la actualización para recibir desde este la habilitación de las líneas de control para acceder a la DRAM.

Coherencia en sistemas SMP



Coherencia en sistemas SMP

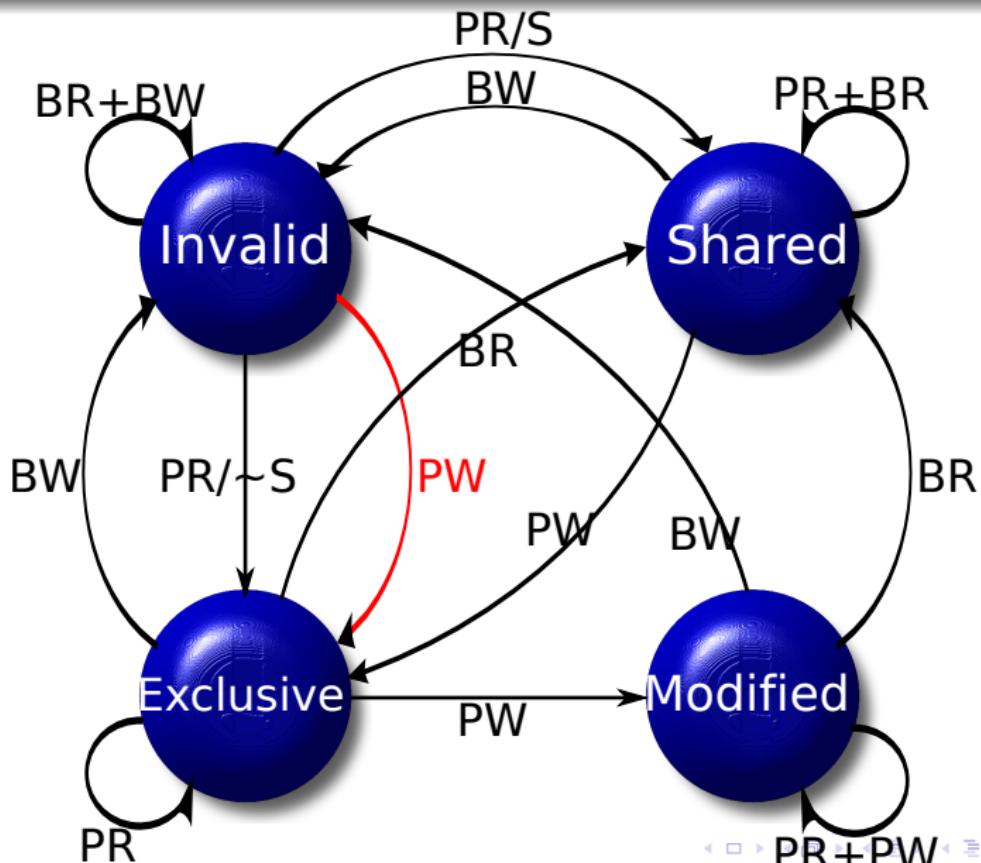


Protocolo MESI

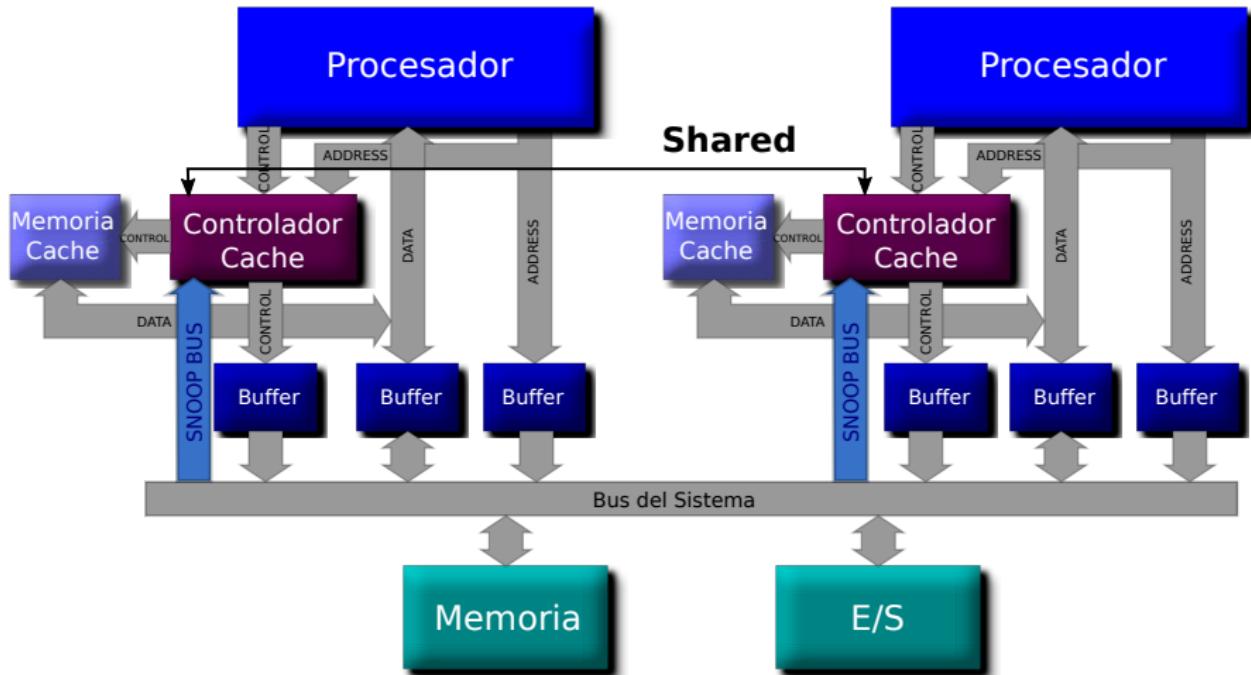
- M - Modified** : Línea presente solamente en éste cache que varió respecto de su valor en memoria del sistema (dirty). Requiere write back hacia la memoria del sistema antes que otro procesador lea desde allí el dato (que ya no es válido).
- E – Exclusive** Línea presente solo en esta cache, que coincide con la copia en memoria principal (clean).
- S – Shared** Línea del cache presente y puede estar almacenada en los caches de otros procesadores.
- I – Invalid** Línea de cache no es válida.

- Aplica a cache L1 de datos y L2/L3
- Para cache L1 de código solo Shared e Invalid

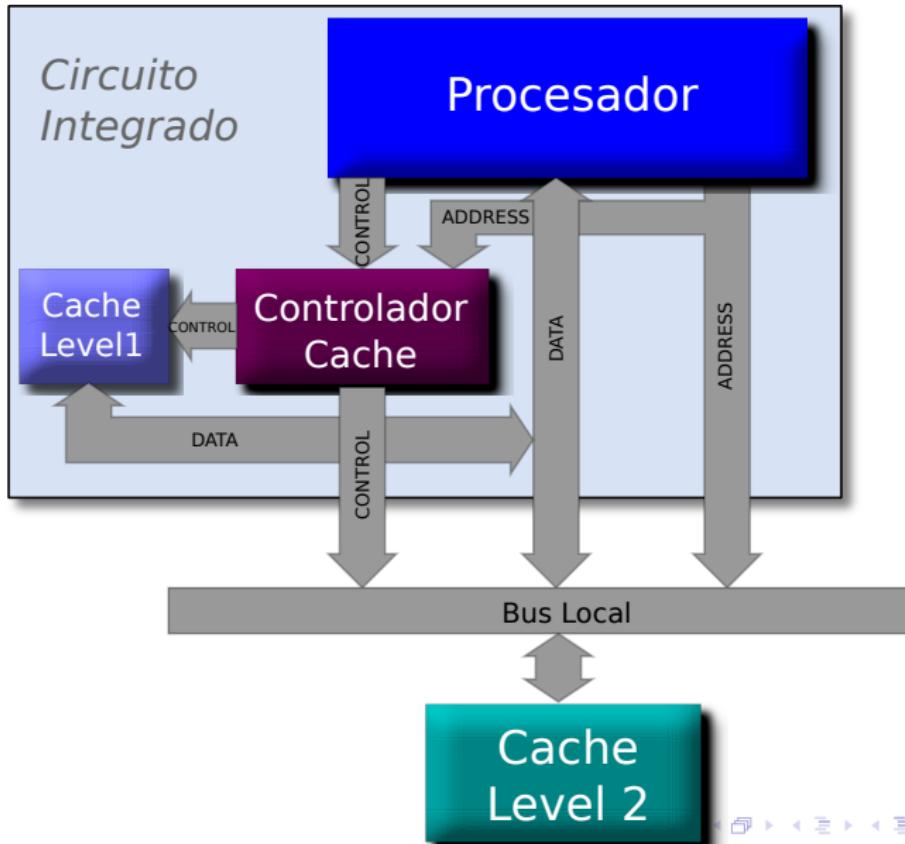
Protocolo MESI



Coherencia en sistemas SMP con MESI



Cache Multinivel



Temario

1

El sistema de Memoria

- Jerarquía de Memorias
- Principio de Vecindad o Lacialidad

2

Tecnologías de Memoria

- Clasificación de memorias
- Memorias y velocidad del Procesador

3

Memoria Cache

- Principio de Funcionamiento
- Hardware dedicado = + complejidad

7

Configuración

- organización de un cache

- Coherencia de un cache

4

Memorias Dinámicas

● Introducción

- Organización interna

5

Arquitecturas DRAM

- Evolución
- Throughput + Latency

6

Standards

- Estado del arte
- JEDEC SDRAM
- JEDEC DDR SDRAM

8

Protocolo de acceso

- Fundamentos básicos

9

Controladores de Memoria

- Introducción General
- Arquitectura

10

Casos Prácticos

- Beagle Bone Black
- Memorias DDR en la BBB
- Controlador de DDRn SDRAM en la BBB

Conceptos Básicos

- ▶ Es un elemento externo al chip de la CPU, a diferencia de las memorias estáticas, como las cache por ejemplo, que van generalmente en el mismo chip de la CPU,
- ▶ Por tal motivo se deben considerar en su diseño los siguientes aspectos:

Pines No solo el pinout sino sus características eléctricas (inductancia, capacitancia, etc.)

Señalización Handshake con el hardware controlador

Integridad de señal En función de la frecuencia de trabajo

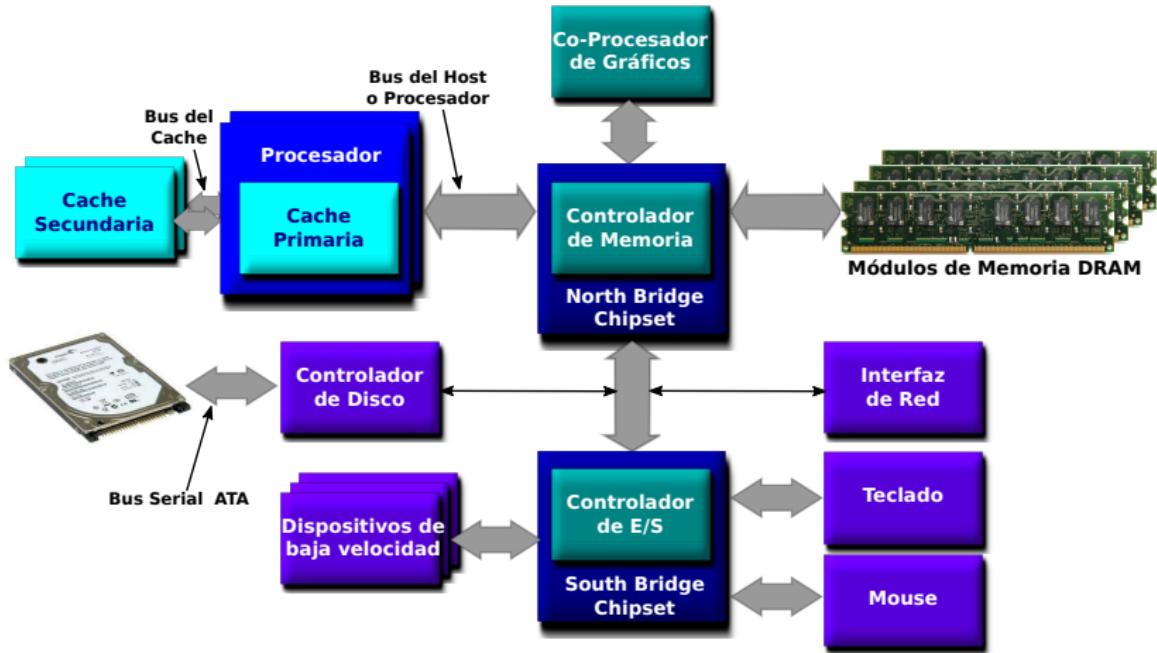
Encapsulado Define la manufacturabilidad.

Clock y sincronización Define criterios de montaje en el PCB y adaptaciones eléctricas al bus

Timing Refresco, tiempo de acceso para lectura y escritura

- ▶ Si no se respetan estos aspectos se puede caer en diseños no óptimos o no funcionales.

En una PC o server...



Temario

1

El sistema de Memoria

- Jerarquía de Memorias
- Principio de Vecindad o Lacialidad

2

Tecnologías de Memoria

- Clasificación de memorias
- Memorias y velocidad del Procesador

3

Memoria Cache

- Principio de Funcionamiento
- Hardware dedicado = + complejidad

7

Configuración

- organización de un cache

- Coherencia de un cache

4

Memorias Dinámicas

- Introducción

● Organización interna

5

Arquitecturas DRAM

- Evolución
- Throughput + Latency

6

Standards

- Estado del arte
- JEDEC SDRAM
- JEDEC DDR SDRAM

8

Protocolo de acceso

- Fundamentos básicos

9

Controladores de Memoria

- Introducción General
- Arquitectura

10

Casos Prácticos

- Beagle Bone Black
- Memorias DDR en la BBB
- Controlador de DDRn SDRAM en la BBB

Organización de una DRAM genérica

- ▶ Es una memoria que implementa cada bit con un par transistor - capacitor.
- ▶ El término dinámica proviene del hecho de que al no implementarse con transistores ideales las corrientes de fuga hacen que se pierda la carga del capacitor.
- ▶ Este hecho hace que deba ser refrescada periódicamente para que no se pierda la información almacenada.

Organización de una DRAM genérica

- ▶ Es una memoria que implementa cada bit con un par transistor - capacitor.
- ▶ El término dinámica proviene del hecho de que al no implementarse con transistores ideales las corrientes de fuga hacen que se pierda la carga del capacitor.
- ▶ Este hecho hace que deba ser refrescada periódicamente para que no se pierda la información almacenada.

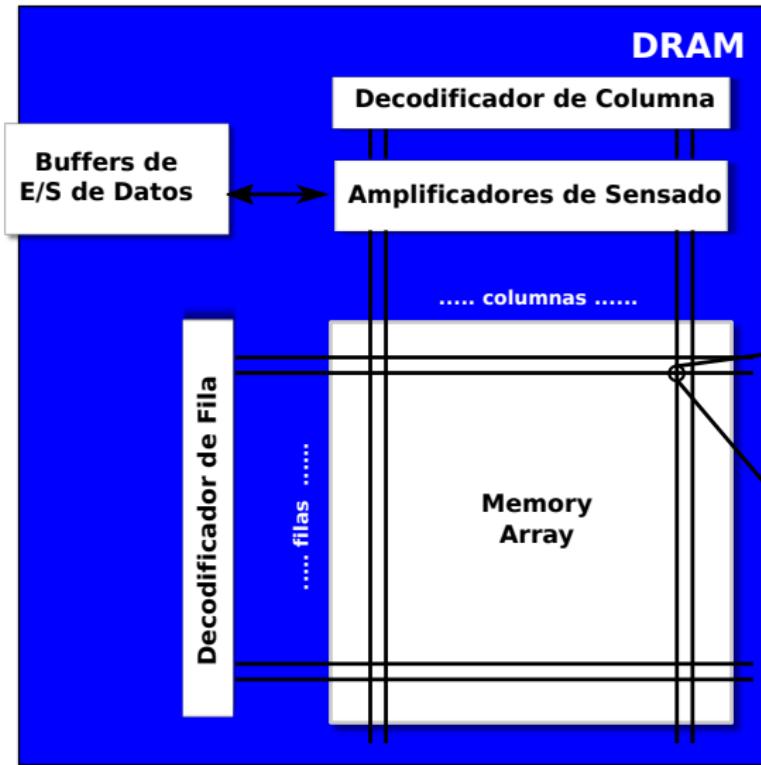
Organización de una DRAM genérica

- ▶ Es una memoria que implementa cada bit con un par transistor - capacitor.
- ▶ El término dinámica proviene del hecho de que al no implementarse con transistores ideales las corrientes de fuga hacen que se pierda la carga del capacitor.
- ▶ Este hecho hace que deba ser refrescada periódicamente para que no se pierda la información almacenada.

Organización de una DRAM genérica

- ▶ Es una memoria que implementa cada bit con un par transistor - capacitor.
- ▶ El término dinámica proviene del hecho de que al no implementarse con transistores ideales las corrientes de fuga hacen que se pierda la carga del capacitor.
- ▶ Este hecho hace que deba ser refrescada periódicamente para que no se pierda la información almacenada.

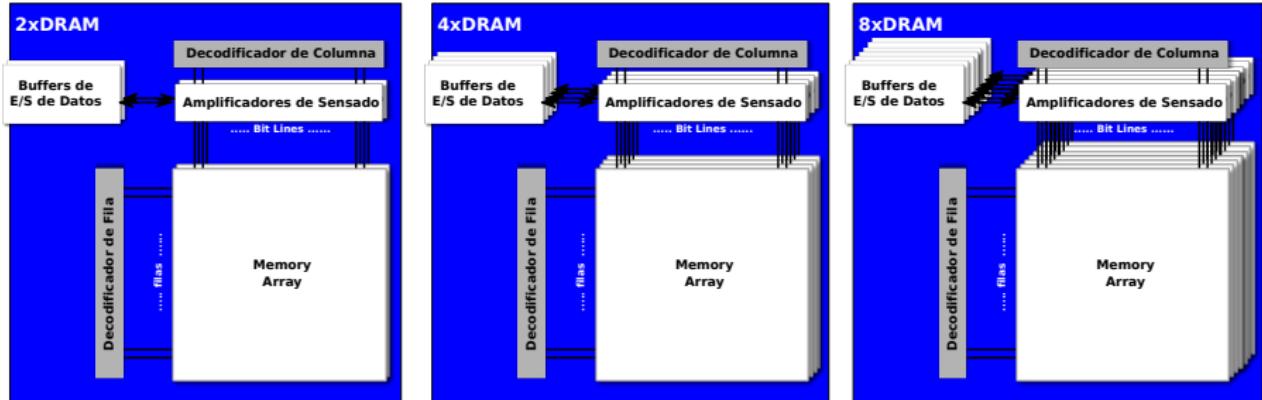
Organización de una DRAM genérica



Organización de una DRAM genérica

- ▶ Cada *die* de DRAM, contiene uno o varios arrays de $n \times m$ celdas.
- ▶ Cada celda es un bit de almacenamiento (transistor + capacitor)
- ▶ Cada array se organiza en filas (rows) y columnas (cols)
- ▶ Para acceder a cada bit debemos especificar fila y columna dentro del array que lo contiene.
- ▶ Los arrays dentro de cada celda pueden trabajar completamente asociados, completamente disociados, o en configuraciones intermedias entre las opciones anteriores.
- ▶ Si trabajan en forma asociada, todos los arrays transmiten o reciben el bit correspondiente al valor de fila y columna, proveyendo acceso a un número de tantos bits como arrays haya en el die. Por ejemplo una x4 DRAM (se dice por cuatro), entrega un nibble por cada valor de fila y columna que se le provee.

Organización de una DRAM genérica



- ▶ Las configuraciones habituales para sistemas de media capacidad son x2, x4, y x8.
- ▶ Para las PCs actuales y servidores de mayor capacidad en los 90 comenzaron a producirse x16 y x32
- ▶ Los arrays de la figura anterior conforman bancos que operarán independientemente de otros bancos.

Bancos de DRAM

- ▶ Operan en forma independiente como set de arrays con algunas restricciones:
- ▶ Debe ser activados, precargados, leídos, etc. al mismo tiempo que otros bancos, estén todos dentro del mismo dispositivo DRAM o en dispositivos diferentes.
- ▶ El uso de bancos independientes permite aumentar la velocidad de acceso a estos dispositivos (la cual es mas lenta que en el caso de memorias estáticas)
- ▶ Entrelazar los accesos a bancos diferentes de memoria no hace mas que acelerar la velocidad de acceso a los datos
- ▶ Esto se consigue con hardware de mediación entre la memoria y el procesador.
- ▶ Si los bancos tienen un tiempo de acceso e 10 nseg., leer en forma entrelazada dos bancos da un acceso de 5 nseg. Si se hace round robin con 4 bancos, el tiempo de acceso percibido por el procesador es de 2,5 nseg.

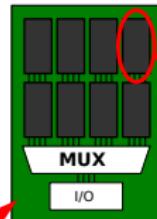
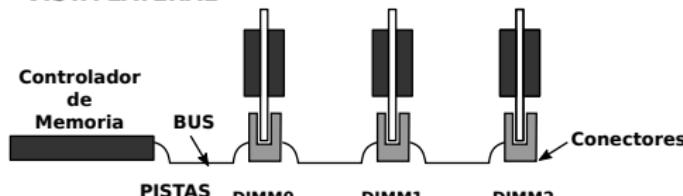
Dual In Module Memory: DIMM

- ▶ En sistemas que requieren alta capacidad de almacenamiento las DRAM Se organizan en DIMM's.
- ▶ Los dispositivos DRAM se montan a ambos lados del PCB
- ▶ Cada DIMM puede pensarse como un banco independiente.
- ▶ A su vez, cada dispositivo DRAM presente en el DIMM se puede organizar en bancos independientes.
- ▶ Para diferenciar esta situación se introdujo el concepto de *rango* ("rank") para diferenciar la operación independiente a nivel de DIMM de la operación independiente a nivel de banco interno.

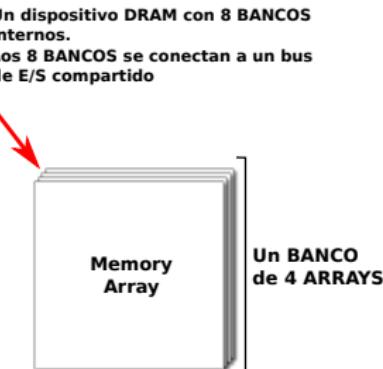
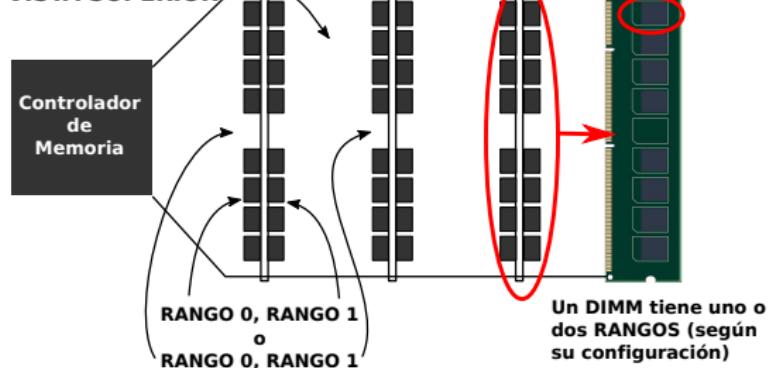


Organización general de un DIMM

VISTA LATERAL



VISTA SUPERIOR



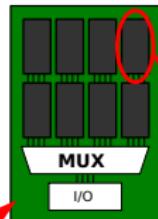
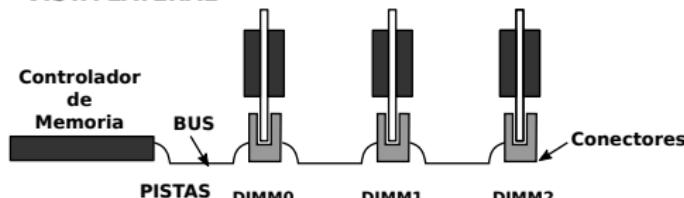
Un BANCO de DRAM consta de 2^n ARRAYS dependiendo de las características de la parte.
En este ejemplo vemos 4 ARRAYS lo cual indica una parte x4

Rango

Es un set de dispositivos DRAM (todos los de un DIMM o una parte de ellos), que operan en forma conjunta.

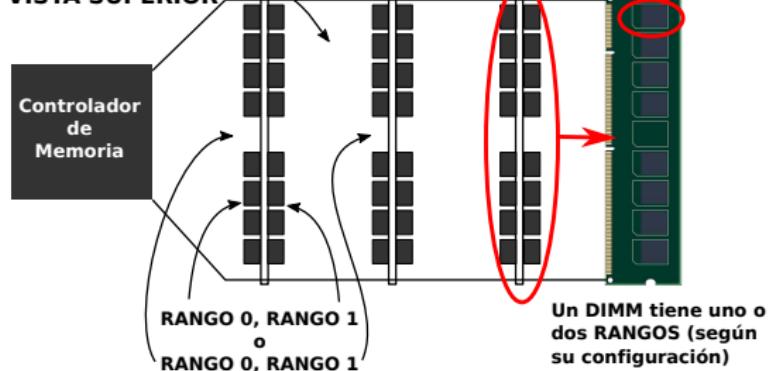
Organización general de un DIMM

VISTA LATERAL



Un dispositivo DRAM con 8 BANCOS internos.
Los 8 BANCOS se conectan a un bus de E/S compartido

VISTA SUPERIOR



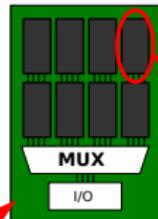
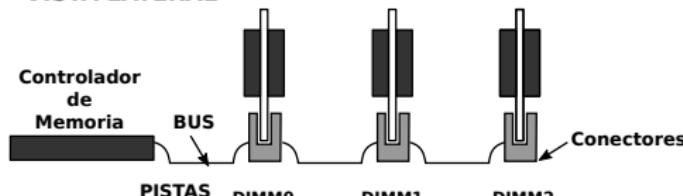
Un BANCO de DRAM consta de 2 n ARRAYS dependiendo de las características de la parte.
En este ejemplo vemos 4 ARRAYS lo cual indica una parte x4

Banco

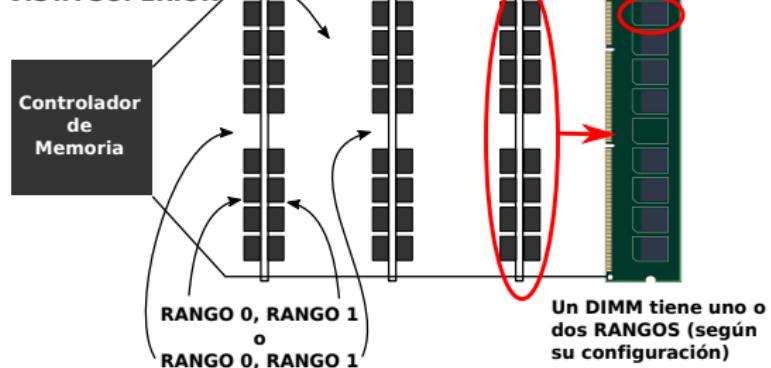
Cada dispositivo DRAM implementa internamente uno o mas bancos independientes que operan de forma independiente entre sí.

Organización general de un DIMM

VISTA LATERAL



VISTA SUPERIOR



Un BANCO de DRAM consta de 2ⁿ ARRAYS dependiendo de las características de la parte.
En este ejemplo vemos 4 ARRAYS lo cual indica una parte x4

Memory Array

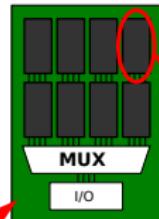
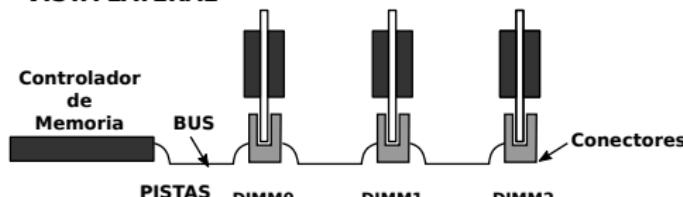
Un BANCO de 4 ARRAYS

Array

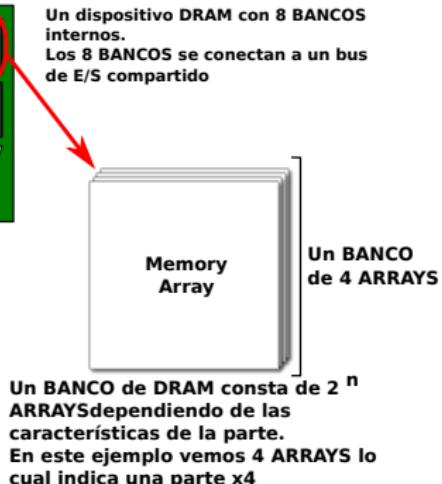
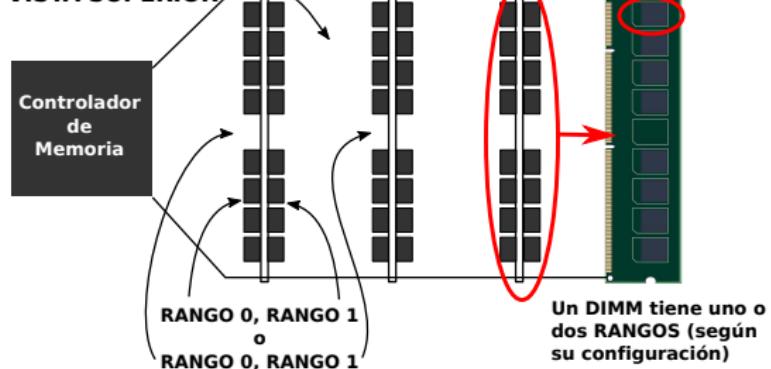
Cada banco de un dispositivo DRAM se compone de un conjunto de arrays esclavos, cuyo número determina el ancho del dispositivo DRAM (x2, x4, etc).

Organización general de un DIMM

VISTA LATERAL



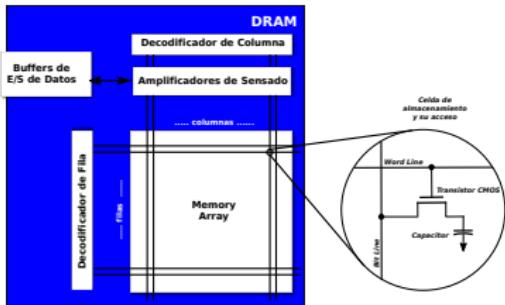
VISTA SUPERIOR



Concurrencia = paralelismo = Bandwidth

Accesos concurrentes a bancos y rangos con un "request pipeline" aumenta el ancho de banda, ya que operan en paralelo múltiples DRAMs a nivel de rango y múltiples arrays a nivel de banco.

Dentro del DRAM Device



- ▶ Recordemos que cada capacitor se ubica en la intersección entre un wordline (decodificación de la fila) y la bitline (decodificación de la columna).
- ▶ Se conecta al bitline mediante un transistor controlado por la wordline.
- ▶ En los circuitos lógicos un transistor es un switch.

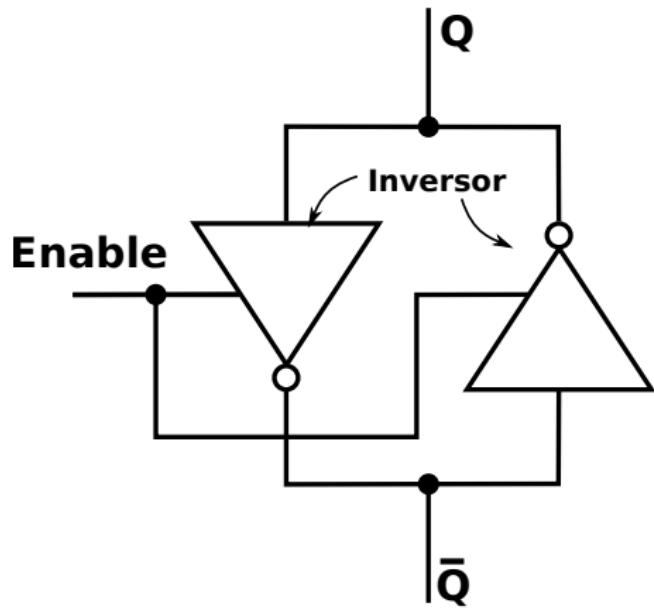
Por eso cuando la tensión eléctrica en el wordline es alta, todos los transistores cuyo gate está conectado a esa wordline se ponen en saturación y se asimila a un switch cerrado conectando al capacitor al bitline.

- ▶ En las escalas actuales de integración la cantidad de electrones que puede almacenar el capacitor es minúscula comparada con las características físicas del bitline. Por lo tanto se requiere un conjunto de amplificadores de sensado. capaces de detectar los valores eléctricos almacenados en los capacitores cuyas bitlines han sido habilitadas por la wordline decodificada a partir del valor de fila (row) enviado por el controlador de DRAM.

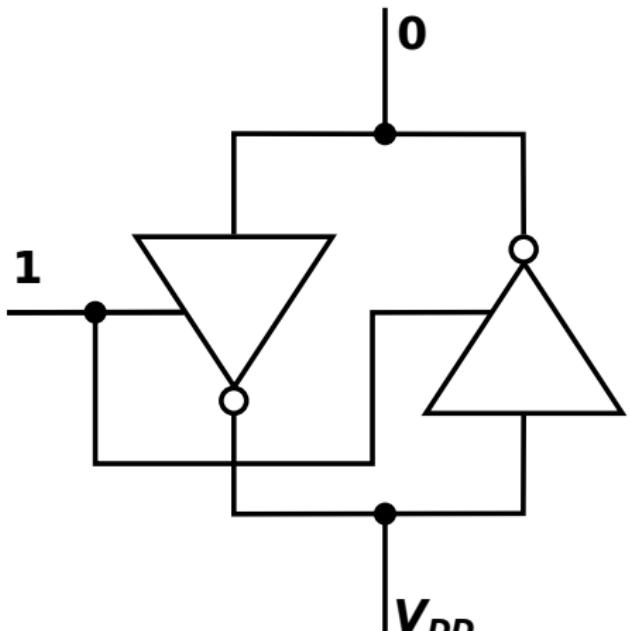
Dentro del DRAM Device

- ▶ El amplificador de sensado, en principio, *precarga* las bitlines con un valor eléctrico intermedio entre '0' y '1'.
- ▶ Al habilitarse una wordline, el capacitor de la bitline habilitada produce una alteración muy pequeña en el valor de tensión precargado, en mas o en menos dependiendo del estado de su carga.
- ▶ Esa diferencia es muy pequeña, pero el amplificador de sensado está diseñado para detectarla.
- ▶ En función del sentido de la variación de tensión detectada el amplificador lleva la bitline a un '0' o a un '1'.
- ▶ Este pull a '0' o a '1' por parte del amplificador de sensado, por otra parte restituye el valor de carga de los capacitores cuya carga se había perdido al modificar el nivel de tensión precargada en cada bitline.

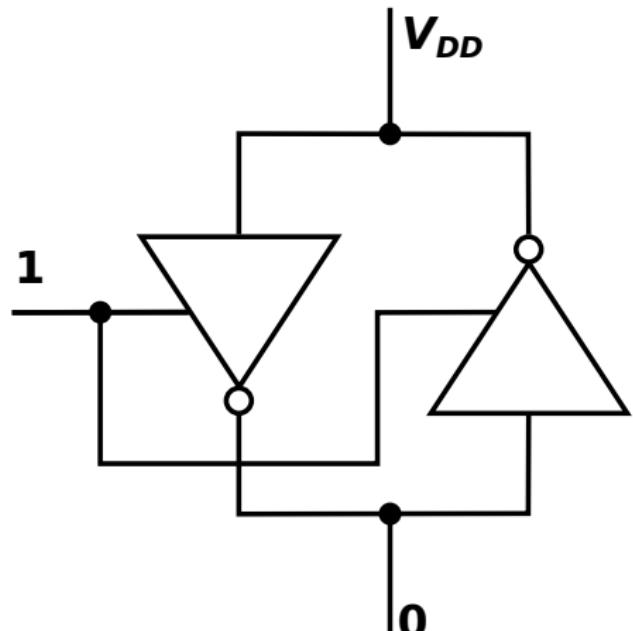
El amplificador de sensado



Estados estables del amplificador de sensado

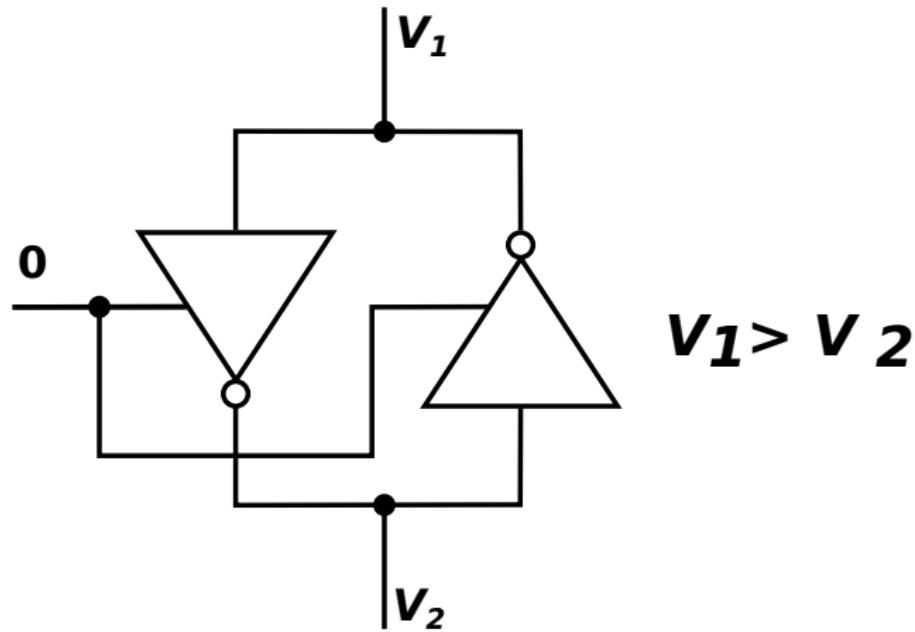


'0' Lógico

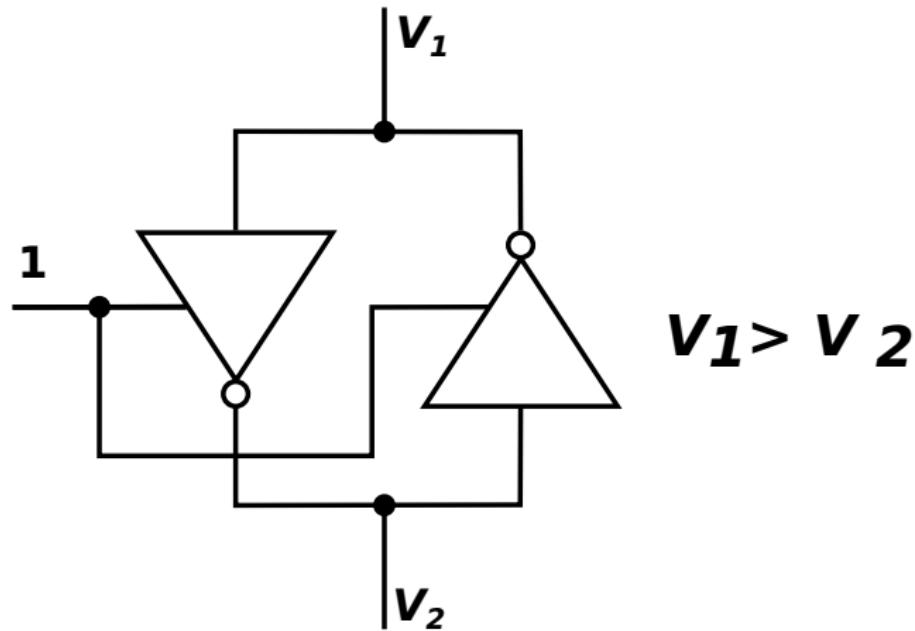


'1' Lógico

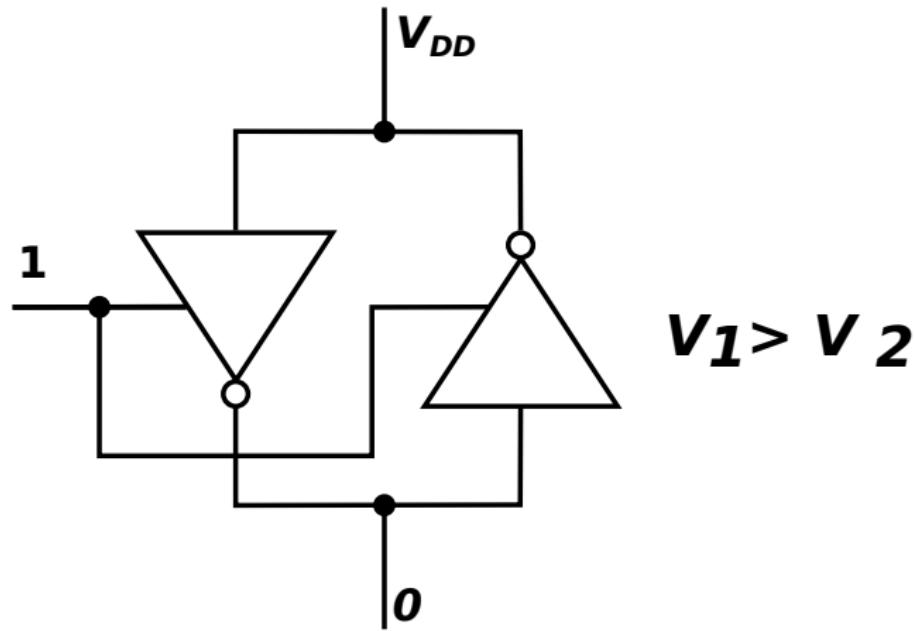
Operación del amplificador de sensado



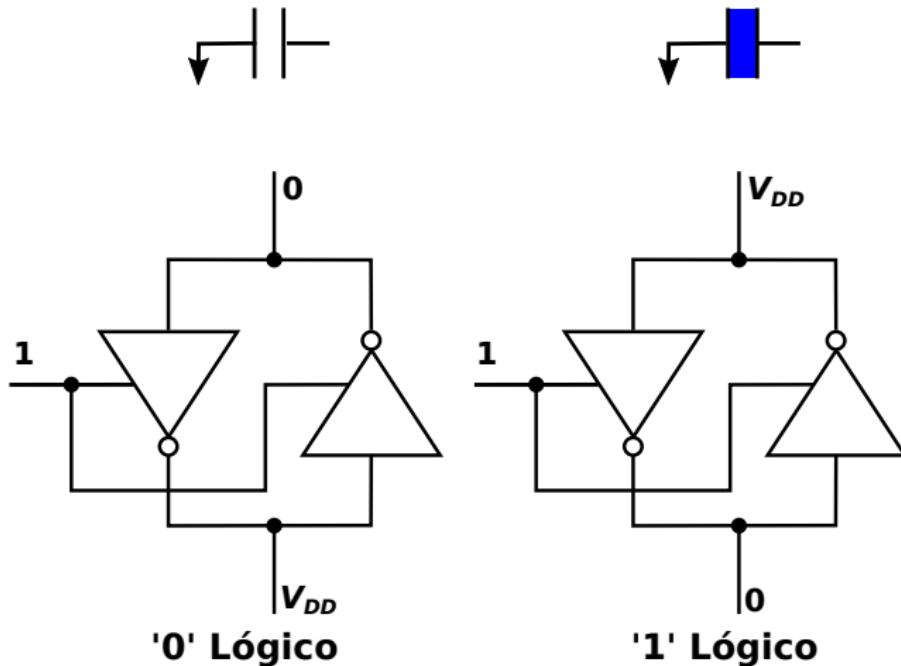
Operación del amplificador de sensado



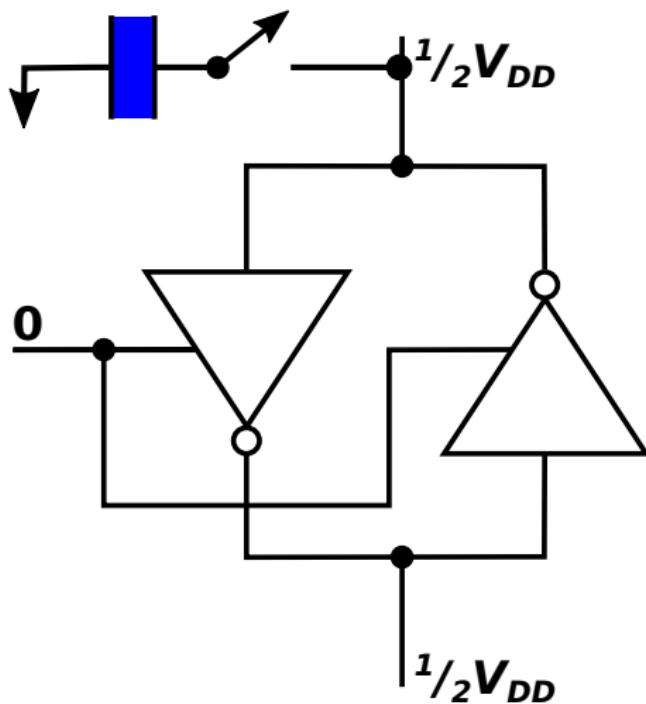
Operación del amplificador de sensado



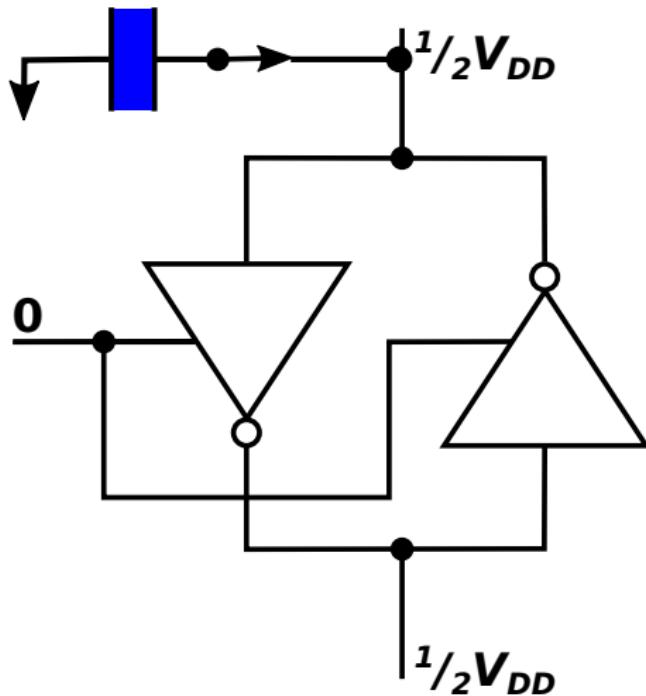
El capacitor mas el amplificador de sensado



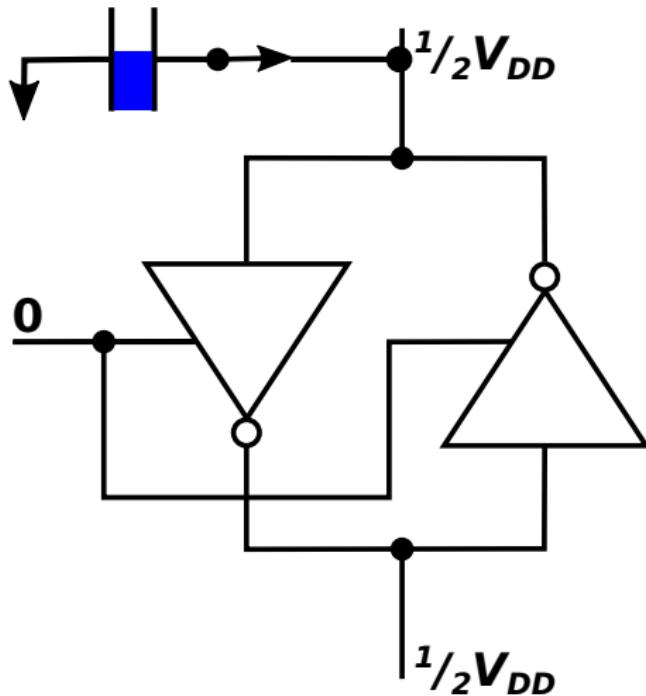
Operación de la celda



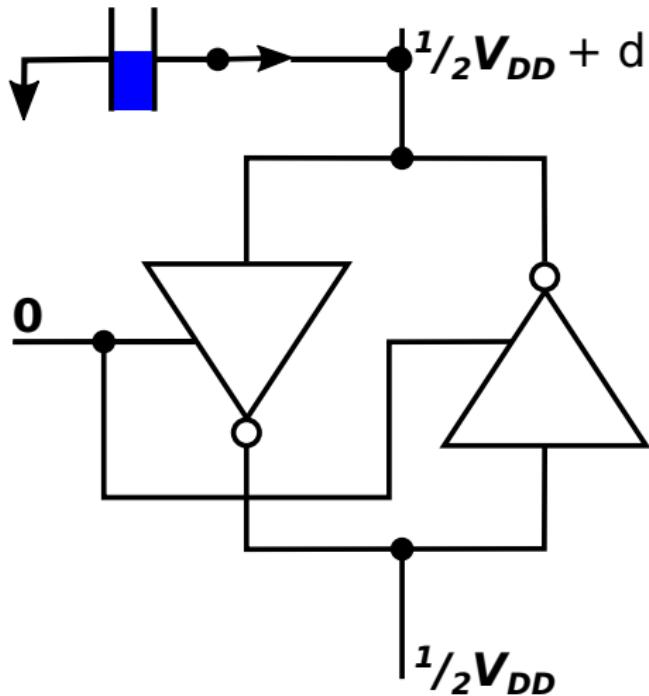
Operación de la celda



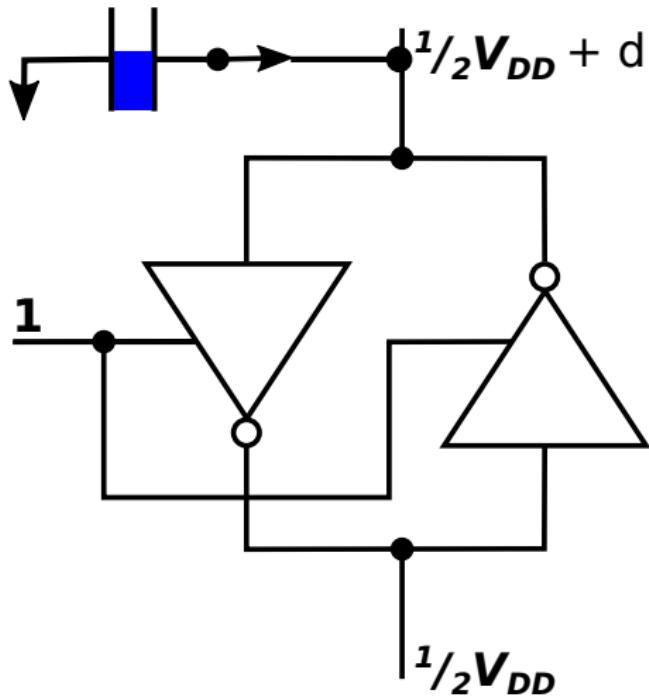
Operación de la celda



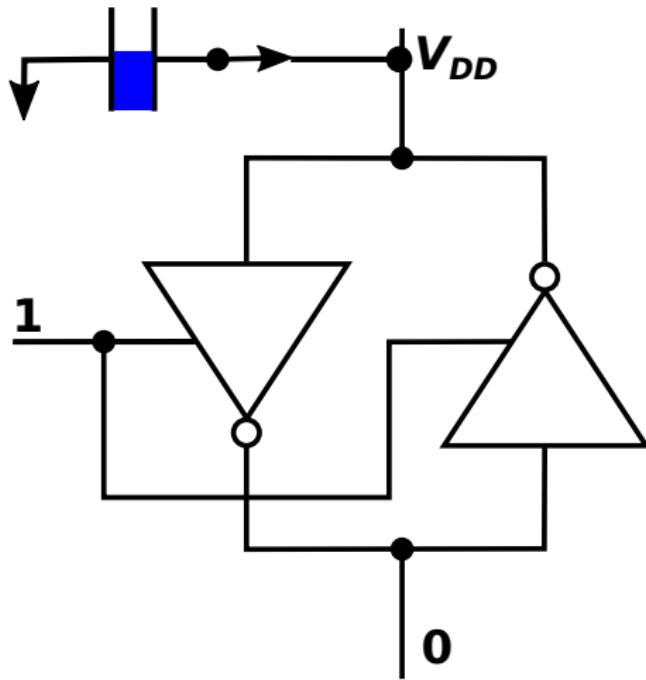
Operación de la celda



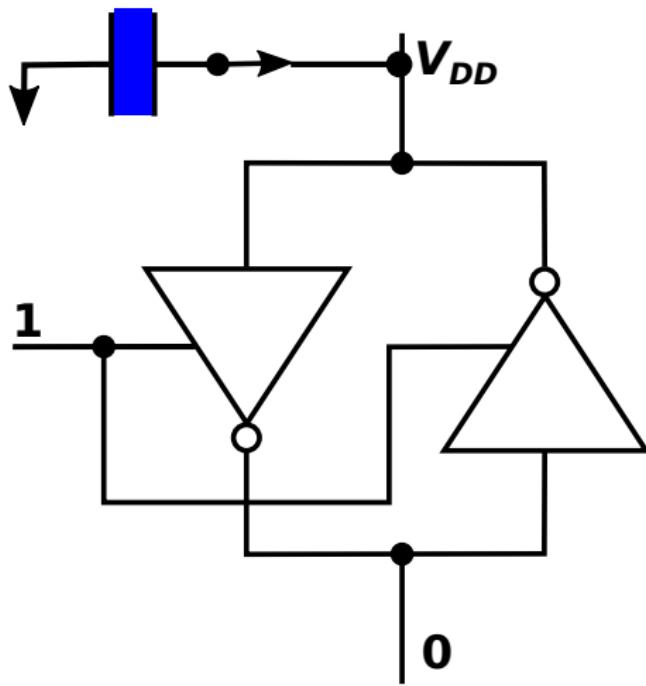
Operación de la celda



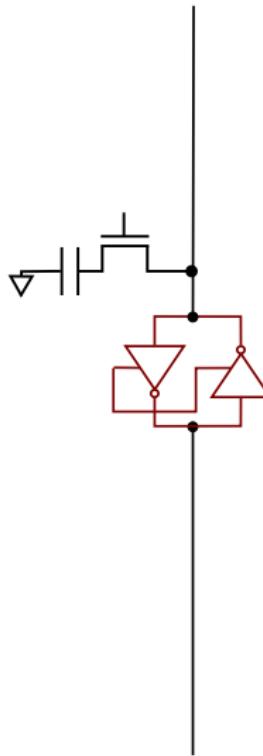
Operación de la celda



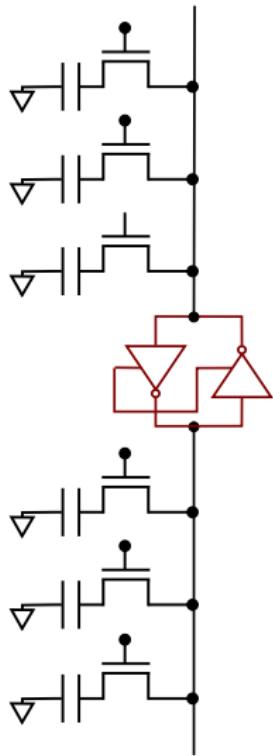
Operación de la celda



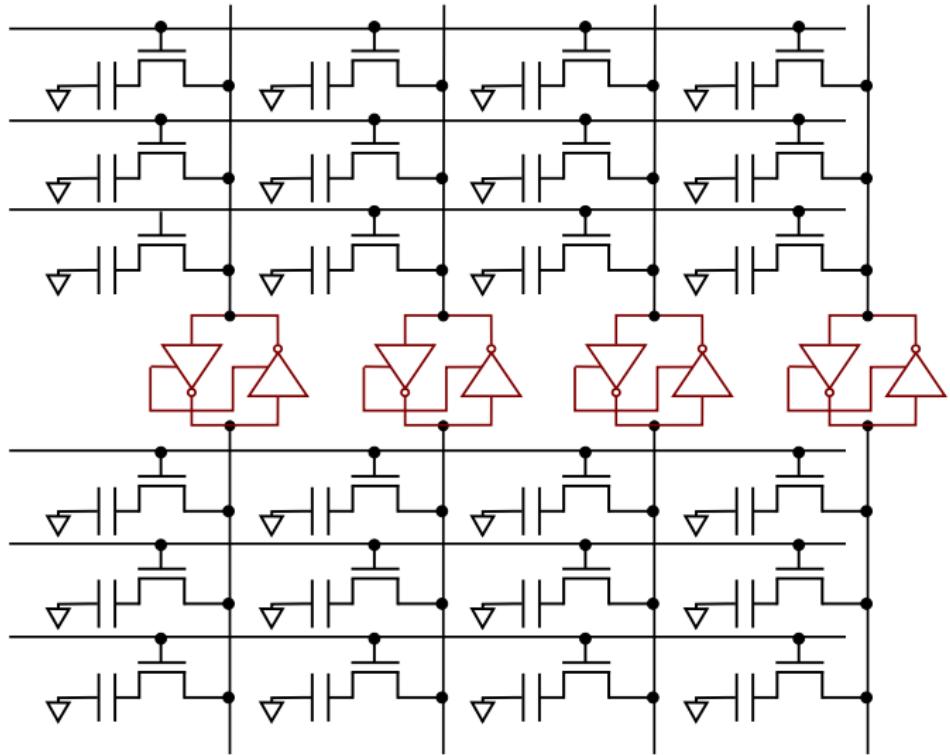
Operación de la celda



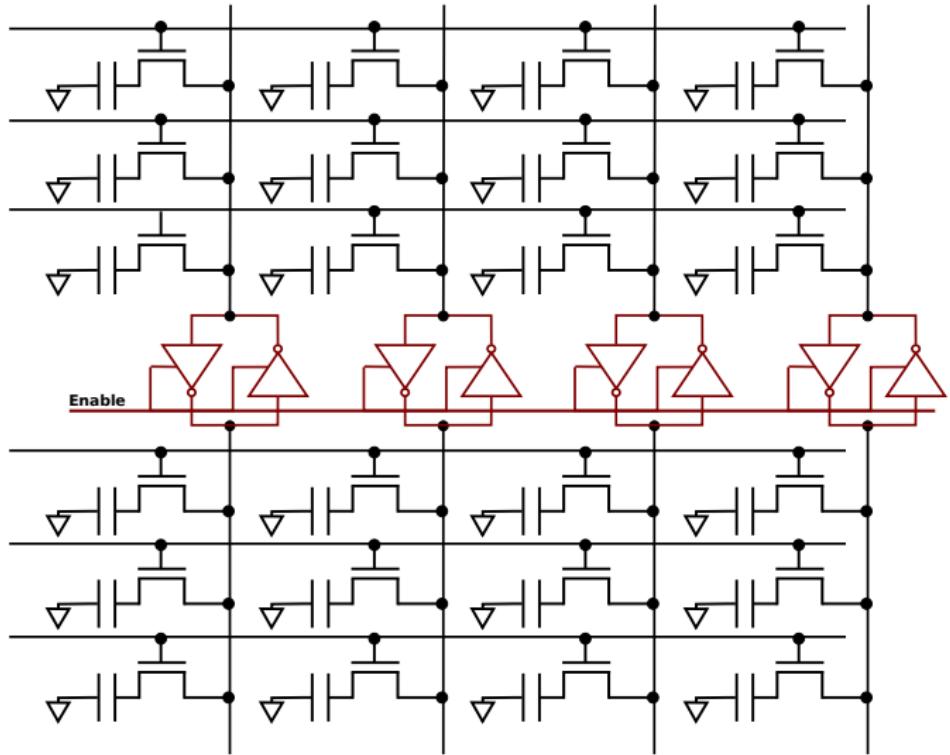
Operación de la celda



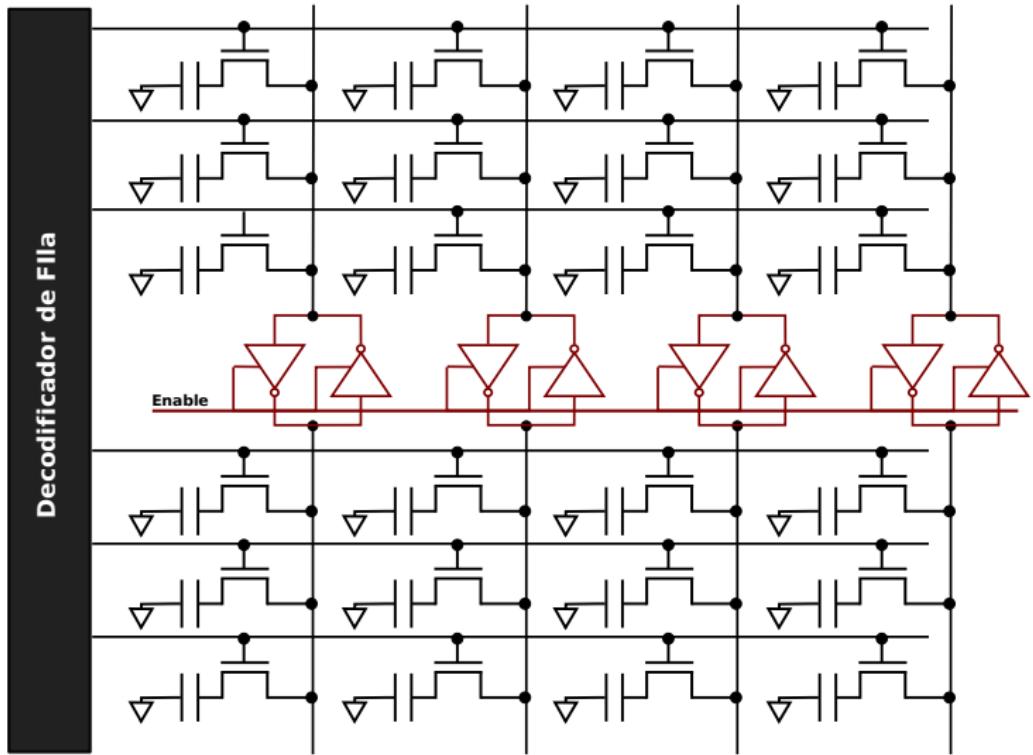
Operación de la celda



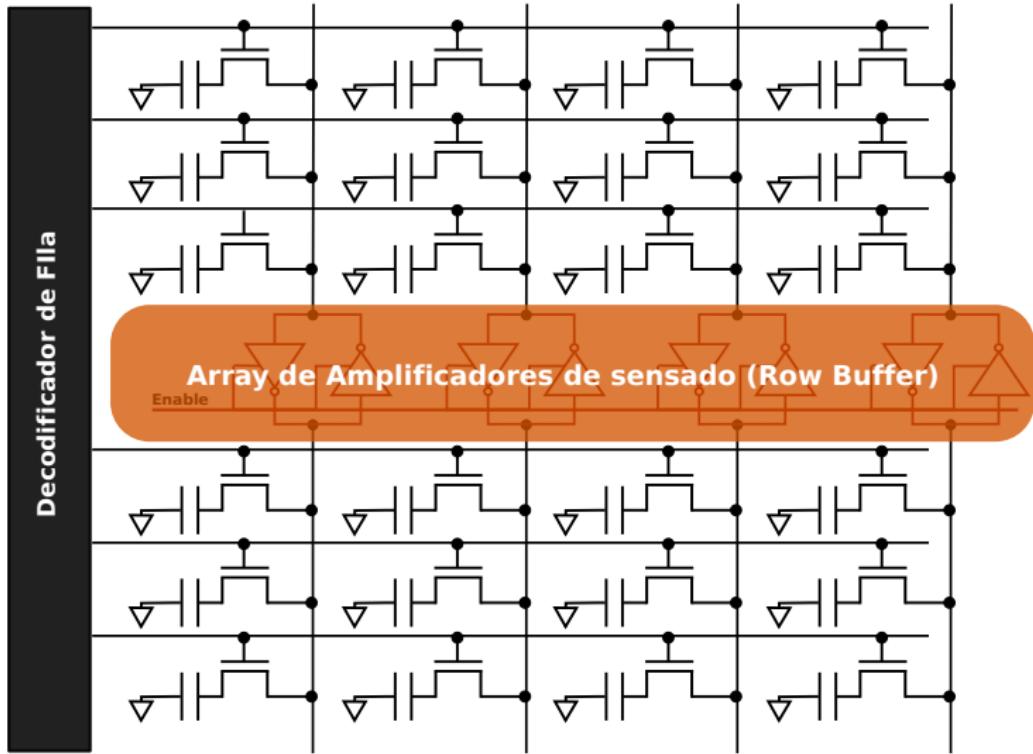
Operación de la celda



Operación de la celda



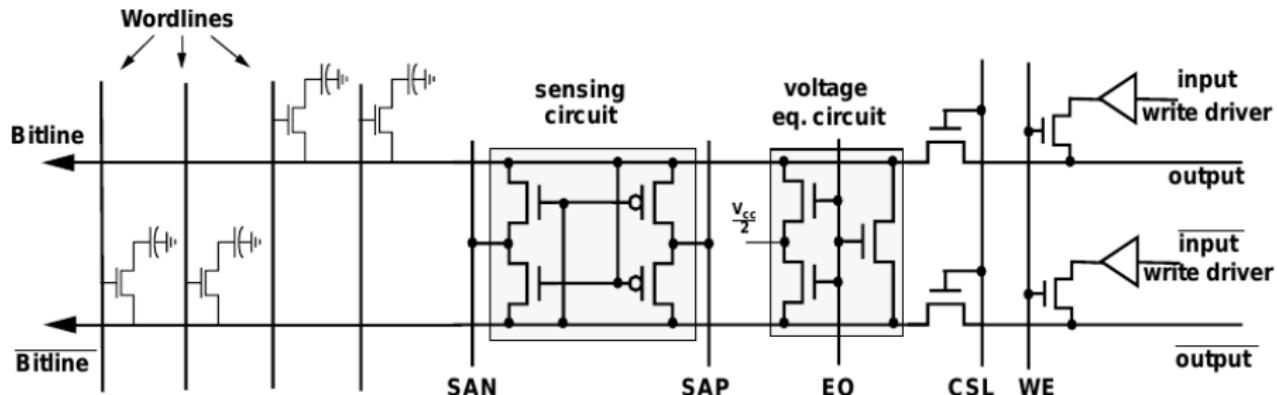
Operación de la celda



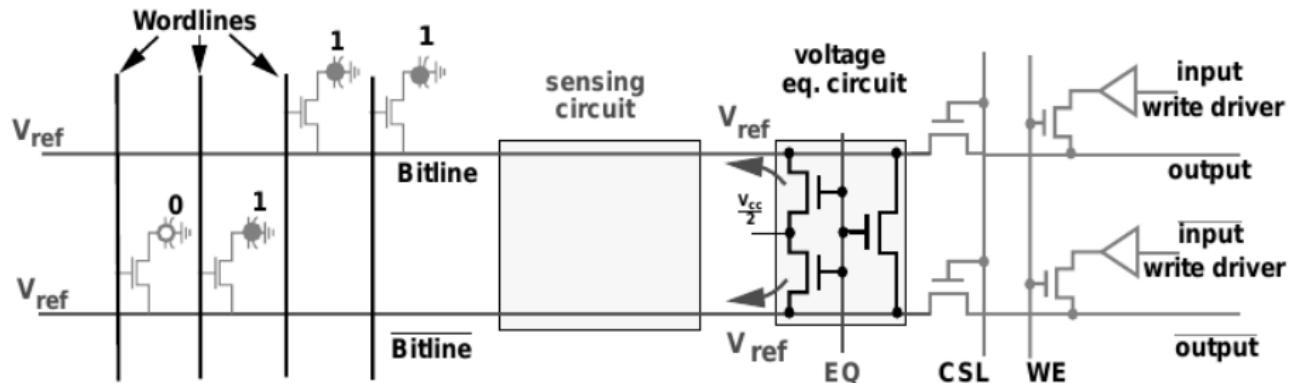
Operación de la celda



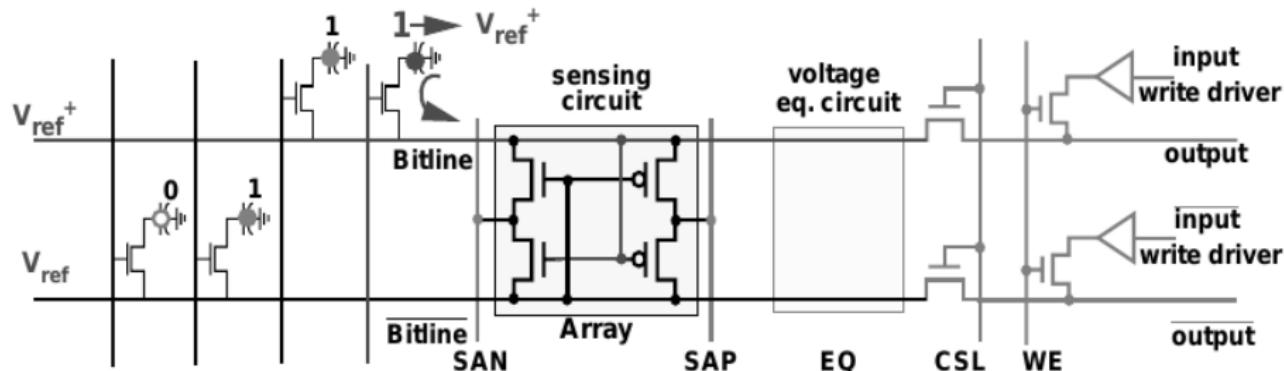
Operación del amplificador de sensado



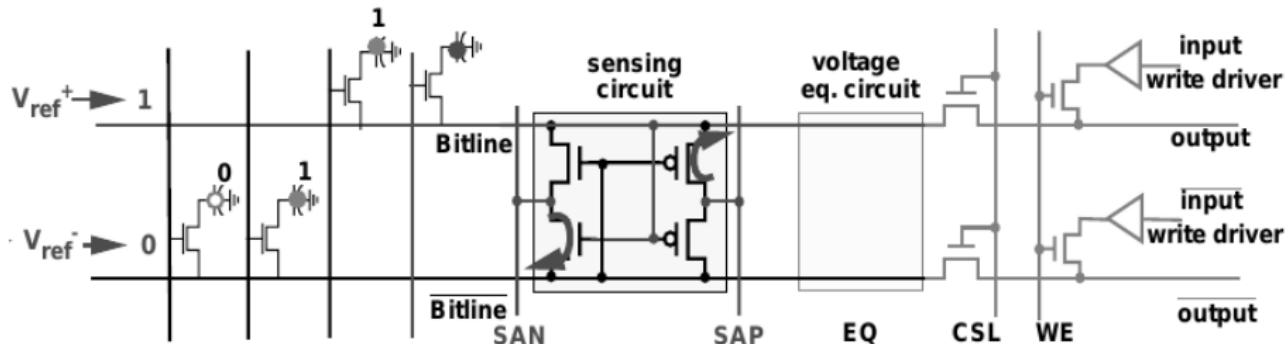
Operación del amplificador de sensado



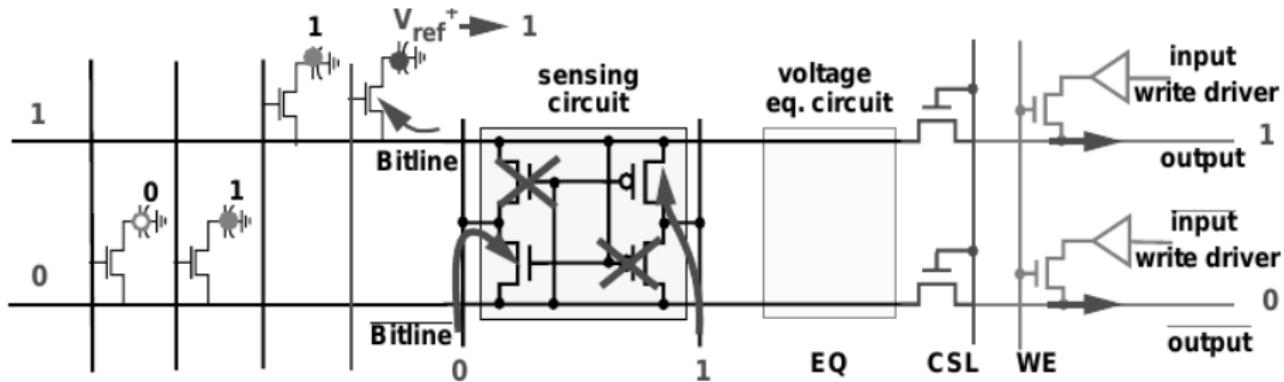
Operación del amplificador de sensado



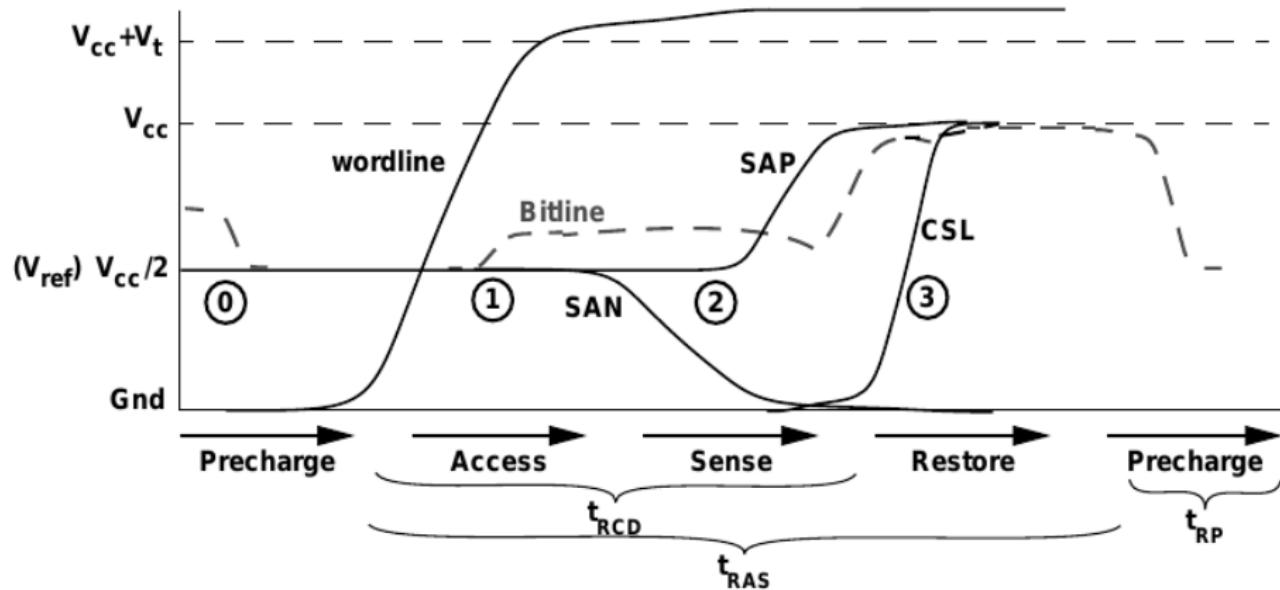
Operación del amplificador de sensado



Operación del amplificador de sensado



Operación del amplificador de sensado



Acceso

- ▶ El controlador de memoria a partir de la dirección física recibida, decodifica el rango de memoria al que se debe dirigir el requerimiento, el banco dentro de ese rango y los valores de fila y columna dentro del banco.
- ▶ Con los valores de fila y columna se componen la ***row address*** y la ***column address***.
- ▶ Una vez determinado el banco se genera un grupo de bits adicionales a la dirección.
- ▶ Con la determinación del rango el controlador genera el valor a colocar en el bus de chip select .
- ▶ Al recibir la información de direcciones el DRAM device precarga (es decir, pullea mediante sus amplificadores de sensado a un valor intermedio entre '0' y '1') las bitlines del banco seleccionado.

Acceso

- ▶ El DRAM Device envía la fila entera (cientos de celdas) al array de amplificadores de sensado, que detectan las diferencias de tensión aplicada por el capacitor conectado a cada bitline a través del transistor, y fuerzan (“pull”) el valor lógico definitivo. Esto lleva en las tecnologías actuales típicamente decenas de nanosegundos.
- ▶ Luego de esto se activa la señal en el pin CAS (Column Address Strobe, para activar la wordline deseada del banco seleccionado, lo cual selecciona a los amplificadores de sensado que deben ser conectados al buffer de salida para finalmente ser derivados al bus de datos.
- ▶ Cuando el controlador de memoria recibe los datos los retransmite al procesador.
- ▶ Una vez precargada la bitline se debe activar la fila correspondiente en el banco seleccionado del rango seleccionado. Para ello se activa el chip select que selecciona los DRAM devices correspondientes de acuerdo con la información puesta en el bus, y se activa la fila seleccionada con la **row address** activando el terminal RAS (Row Address Strobe) del DRAM Device.

Temario

1

El sistema de Memoria

- Jerarquía de Memorias
- Principio de Vecindad o Lacialidad

2

Tecnologías de Memoria

- Clasificación de memorias
- Memorias y velocidad del Procesador

3

Memoria Cache

- Principio de Funcionamiento
- Hardware dedicado = + complejidad

- organización de un cache
- Coherencia de un cache

4

Memorias Dinámicas

- Introducción
- Organización interna

5

Arquitecturas DRAM

- Evolución
- Throughput + Latency

6

Standards

- Estado del arte
- JEDEC SDRAM
- JEDEC DDR SDRAM

7

Configuración

- Configuración del DRAM Device
- Entrada Salida de Datos

8

Protocolo de acceso

- Fundamentos básicos

9

Controladores de Memoria

- Introducción General
- Arquitectura

10

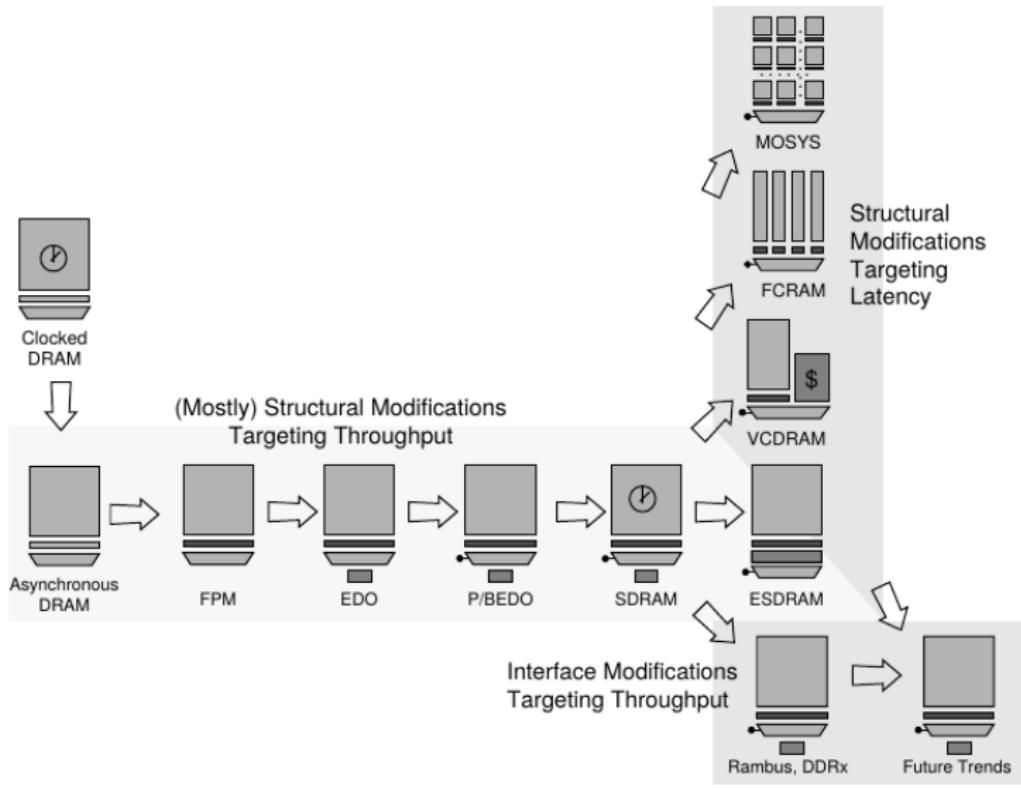
Casos Prácticos

- Beagle Bone Black
- Memorias DDR en la BBB
- Controlador de DDRn SDRAM en la BBB

DRAMs: un cuello de botella para la performance

- ▶ En la segunda mitad de los 80' la velocidad de los microprocesadores comenzó a despegarse de la velocidad de las memorias y hacia inicios de los 90' éstas se transforman en un cuello de botella.
- ▶ Comienza la etapa de interfaz procesador-memoria, además de los caches de SRAM.
- ▶ Las interfaces evolucionan, pero la arquitectura interna de los DRAM Devices permanece inalterada.
- ▶ Se plantearon dos caminos respecto del uso o no del clock.
- ▶ En las DRAM asincrónicas no hay una señal de clock del sistema conectada al DRAM device, sino que es el controlador de memoria quien determina mediante handshake a través del bus las acciones que deben desarrollarse dentro del DRAM device.
- ▶ Las DRAM sincrónicas trabajan de acuerdo a la señal de clock del sistema, utilizando uno de sus flancos o ambos flancos.

Evolución de las tecnologías DRAM



Temario

1

El sistema de Memoria

- Jerarquía de Memorias
- Principio de Vecindad o Lacialidad

2

Tecnologías de Memoria

- Clasificación de memorias
- Memorias y velocidad del Procesador

3

Memoria Cache

- Principio de Funcionamiento
- Hardware dedicado = + complejidad

- organización de un cache

- Coherencia de un cache

4

Memorias Dinámicas

- Introducción
- Organización interna

5

Arquitecturas DRAM

- Evolución
- Throughput + Latency

6

Standards

- Estado del arte
- JEDEC SDRAM
- JEDEC DDR SDRAM

7

Configuración

- Configuración del DRAM Device

- Entrada Salida de Datos

8

Protocolo de acceso

- Fundamentos básicos

9

Controladores de Memoria

- Introducción General
- Arquitectura

10

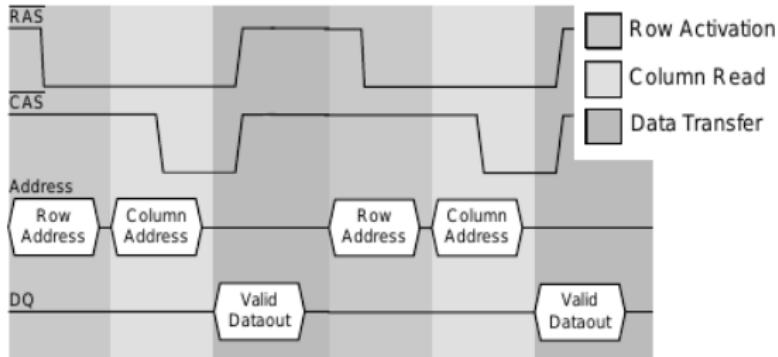
Casos Prácticos

- Beagle Bone Black
- Memorias DDR en la BBB
- Controlador de DDRn SDRAM en la BBB

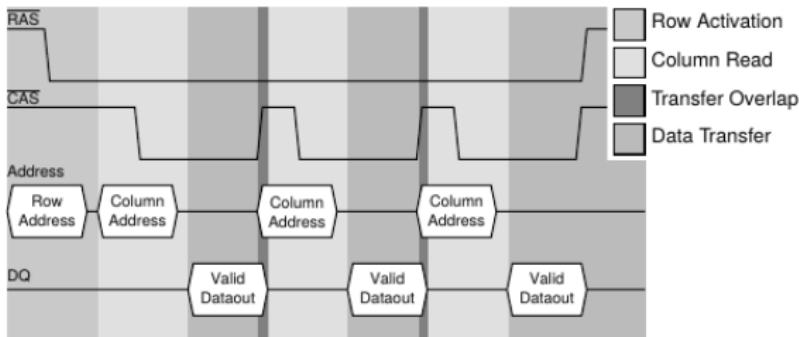
Tecnologías orientadas al Throughput

- ▶ **Clocked DRAM:** DRAM original que se utilizó en los 60's y 70's.
- ▶ **DRAM Asincrónica:** Se introducen en los 70's. Es la que estamos habituados a usar en pequeños sistemas. Responde al mecanismo de acceso descripto, pero manejada directo por el procesador con lógica externa. CAS y RAS se debían aplicar en forma simultánea.
- ▶ **FPM (Fast Page Mode):** Es la primer evolución que bufferea la información de fila, de modo de leer sucesivas columnas. Implementa un cache de facto en los amplificadores de sensado. Esto acelera los accesos sucesivos a la misma fila, cambiando solo CAS mientras que RAS permanece activa. La lectura de columnas sucesivas comienza a considerarse en base al principio de vecindad.

Tecnologías orientadas al Throughput



Timing DRAM Asincrónica

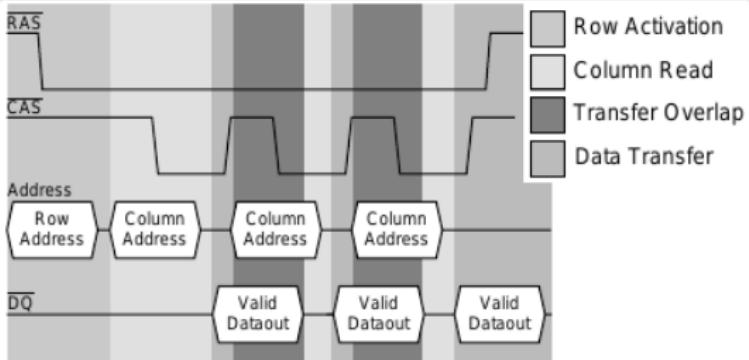


Timing DRAM Fast Page Mode

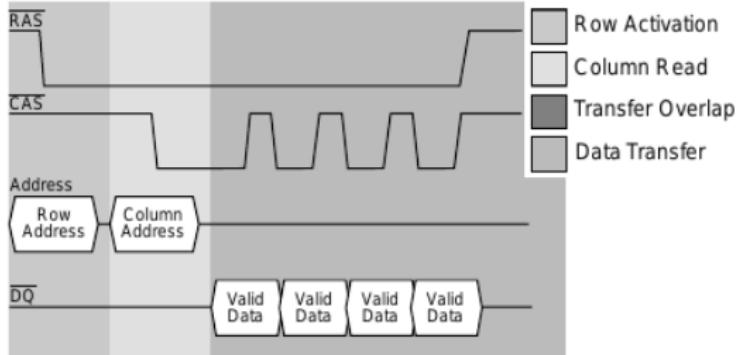
Tecnologías orientadas al Throughput

- ▶ **EDO DRAM (Extended Data Out)**: Agregando unos pocos transistores al driver de salida de un FPM, implementa un latch entre los amplificadores de sensado y los pines de salida de datos. Así mantiene la salida permitiendo retirar CAS mas rápidamente, y que el array de memoria se precargue antes. Además el latch naturalmente extiende el tiempo de validez de la salida (EDO). Mejora en un 15 % la velocidad de acceso respecto de FPM
- ▶ **BEDO DRAM (Bursted EDO)**: Fue rápidamente reemplazada por la siguiente generación pero marca una nueva generación de memorias. Incluye un contador que incrementa el número de columna con la pulsación de la señal CAS. De este modo permite leer ráfagas (burst) columnas consecutivas sin necesidad de colocar la dirección de columna. Nuevamente pone de relevancia la validez del principio de vecindad.

Tecnologías orientadas al Throughput



Timing DRAM Extended Data Out



Timing DRAM Bursted EDO

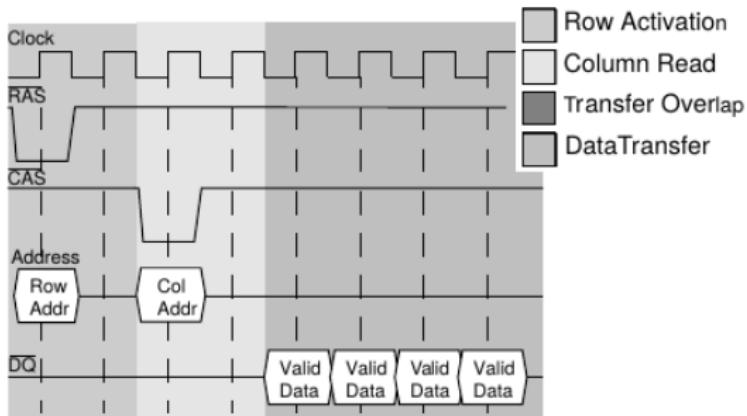
Tecnologías orientadas al Throughput

- ▶ **IBM High Speed Toggle Mode DRAM:** A fines de los 80's IBM diseñó y fabricó una interfaz de memoria de alta velocidad. La presentó en la International Solid Circuit Conference en Febrero de 1990, y al JEDEC en Setiembre del 90. Utilizaba ambos flancos de la señal de strobe. Como la frecuencia de esta señal era sumamente alta para ese momento, se conmutaba (Toggle) entre dos buffers de salida por cada flanco de strobe.

Tecnologías orientadas al Throughput

- ▶ **SDRAM Synchronous DRAM:** Todas las generaciones anteriores eran asincrónicas. Sincronizar hace posible aplicar CAS y RAS al mismo tiempo, ya que se dispone de latches internos que aseguran la información que se aplica a la matriz. Esto deriva en que el tiempo de acceso es mas predecible, por independizar el acceso cada dispositivo DRAM del resto (de-skewing), y minimiza el tiempo de commutación de un DIMM al próximo (cuando se tienen varios DIMMs). Conserva el burst mode introducido por BEDO. Los SDRAM devices tienen un registro para programar el números de accesos burst. Esto evita enviar un CAS por cada lectura reduciendo el ancho de banda de bus dedicado a handshake aumentando el porcentaje relativo dedicado a transferir datos.

Tecnologías orientadas al Throughput

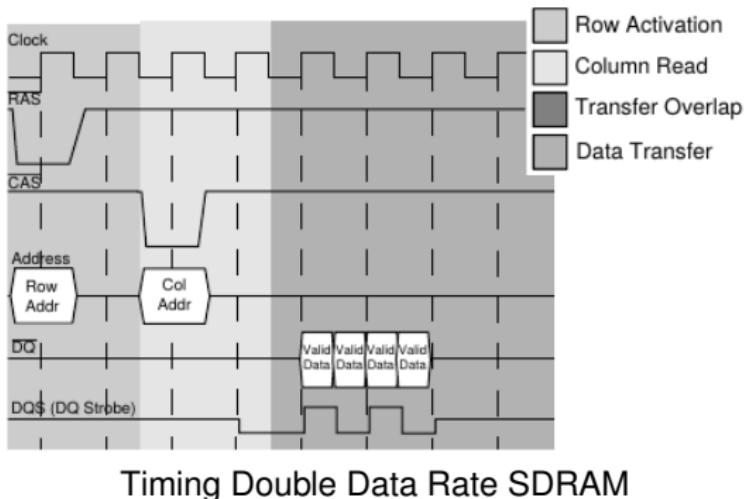


Timing DRAM Sincrónica (SDRAM)

Interfaces orientadas al Throughput

- ▶ **DDR-SDRAM Double Data Rate SDRAM:** Es el equivalente moderno al IBM Toggle Mode, en cuanto a que se utilizan ambos flancos de la señal para transferir datos. En este caso al ser una memoria Sincrónica, se utilizan ambos flancos de la señal de clock. En las restantes características es similar a la SDRAM: utilizan la misma tecnología de señalización, la misma especificación de interfaz, y los mismos pinouts en los DIMM carriers. Sin embargo tienen el doble de velocidad de transferencia que las SDRAM.
Durante las escrituras se prescinde de la señal de clock y se utiliza una señal DQS en cuyos flancos ascendente y descendente se escriben los datos. Esto contradice lo estipulado por JEDEC para SDRAMs y hace que las DDR se asimilen al standard IBM Toggle.

Interfaces orientadas al Throughput



Temario

1

El sistema de Memoria

- Jerarquía de Memorias
- Principio de Vecindad o Lacialidad

2

Tecnologías de Memoria

- Clasificación de memorias
- Memorias y velocidad del Procesador

3

Memoria Cache

- Principio de Funcionamiento
- Hardware dedicado = + complejidad

- organización de un cache

- Coherencia de un cache

4

Memorias Dinámicas

- Introducción
 - Organización interna
- 5 Arquitecturas DRAM
- Evolución
 - Throughput + Latency

6

Standards

- Estado del arte
- 7 Configuración
- JEDEC SDRAM
 - JEDEC DDR SDRAM

- Configuración del DRAM Device

- Entrada Salida de Datos

8

Protocolo de acceso

- Fundamentos básicos

9

Controladores de Memoria

- Introducción General
- Arquitectura

10

Casos Prácticos

- Beagle Bone Black
- Memorias DDR en la BBB
- Controlador de DDRn SDRAM en la BBB

JEDEC

- ▶ Las DRAM actualmente son un comodity
- ▶ Cualquier DRAM o DIMM actual tiene especificaciones equivalentes: ancho de bus, capacidad, velocidad, interfaz, por citar las mas importantes.
- ▶ Esta compatibilidad está gobernada por JEDEC (Joint Electron Device Engineering Council)
- ▶ Hemos mencionado ya los cuatro buses independientes: data, address, control, y chip select.

Temario

1

El sistema de Memoria

- Jerarquía de Memorias
- Principio de Vecindad o Lacialidad

2

Tecnologías de Memoria

- Clasificación de memorias
- Memorias y velocidad del Procesador

3

Memoria Cache

- Principio de Funcionamiento
- Hardware dedicado = + complejidad

7

Configuración

- organización de un cache

- Coherencia de un cache

4

Memorias Dinámicas

- Introducción
 - Organización interna
- 5 Arquitecturas DRAM
- Evolución
 - Throughput + Latency

6

Standards

- Estado del arte

● JEDEC SDRAM

- JEDEC DDR SDRAM

- Configuración del DRAM Device

- Entrada Salida de Datos

8

Protocolo de acceso

- Fundamentos básicos

9

Controladores de Memoria

- Introducción General
- Arquitectura

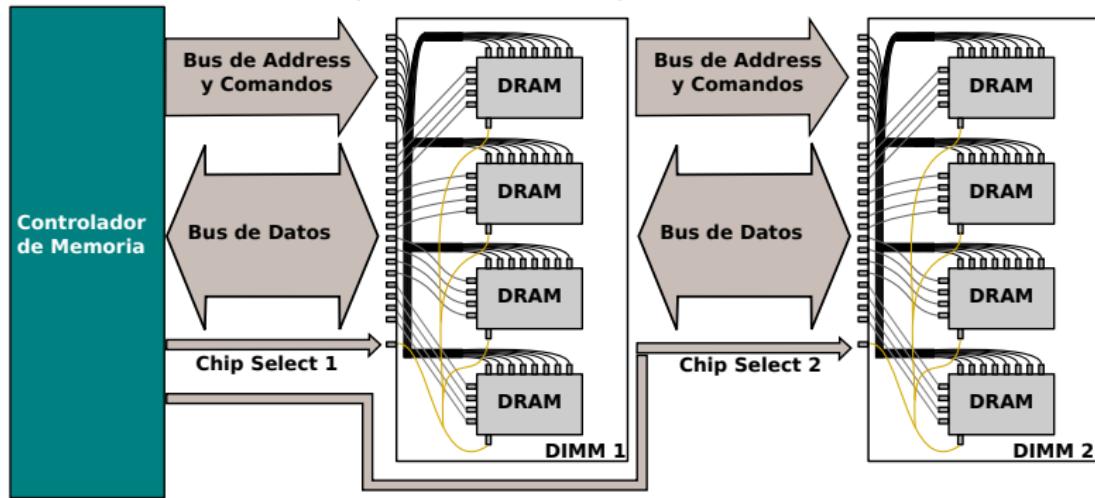
10

Casos Prácticos

- Beagle Bone Black
- Memorias DDR en la BBB
- Controlador de DDRn SDRAM en la BBB

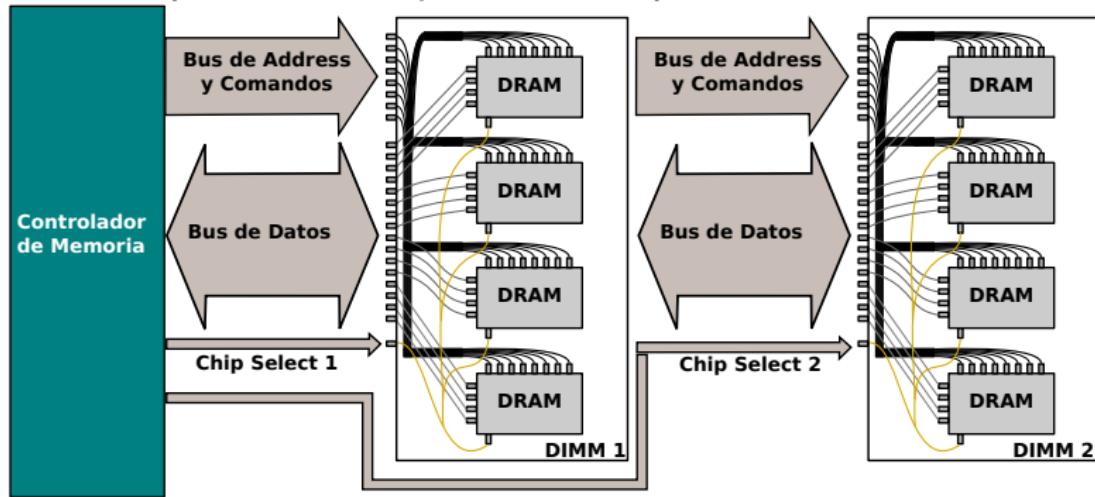
Estándares: JEDEC

- ▶ Entre otros aspectos se definen los buses de una organización de memoria en *data*, *address*, *control*, y *chip select*.
- ▶ El *data bus* es por lo general el mas ancho, por razones de optimización del ancho de banda. Típicamente es de 64 bits aunque en sistemas de alto rendimiento se encuentran *data* buses mas anchos (hasta 256 bits)



Estándares: JEDEC

- ▶ El *address* bus envía la información de row y col a los DIMMs. Su ancho es proporcional a la capacidad de DRAM instalada
- ▶ El *control* bus lleva los strobes de row y col, output enable, clock enable, clock, etc.
- ▶ El *chip select* bus es individual para cada rango. Ej: 2 rangos por DIMM, implican dos *chip select* bus por cada DIMM.



Topología básica

- ▶ El/los procesador/es un sistema no se conecta/n directamente a los dispositivos de memoria DRAM, sino que intermedia/n uno o mas controladores de memoria.
- ▶ Un procesador puede conectarse a uno o mas controladores, o varios procesadores pueden utilizar un único controlador.
- ▶ Las redes de conexionado (bus, crossbar, etc.) entre el procesador y el controlador de memoria son diferentes de las que conectan al controlador con la DRAM (manejan diferentes señales).
- ▶ Así el procesador se independiza de las características físicas de los diferentes DRAM devices.
- ▶ Un controlador de memoria se conecta a uno o mas DIMMs, ⇒ controla varios DRAM devices.

Longitud de ráfaga (busrt) Programable

- ▶ Objetivo de busrt: Mejorar el ancho de banda de las transferencias de memoria.
- ▶ Los SDRAM disponen de un Registro de Modo en el que se programa entre otras cosas la cantidad de lecturas o escrituras burst se llevarán a cabo una vez activada la línea CAS.
- ▶ En lugar de implementar el burst conmutando la señal CAS para transmitir en cada conmutación un paquete de datos, como las BEDO, las SDRAM conmutan una vez la línea CAS, y se transmiten tantos paquetes de datos en cada flanco ascendente de la señal de clock como indique su Registro de Modo.
- ▶ Al no tener que conmutar la línea CAS el controlador de memoria puede enviar requerimientos por el bus de control a otros DRAM Devices aumentando el ancho de banda del bus.
- ▶ Una vez terminado el busrt en este DRAM Device habrá otros Devices ya precargados y disponibles para transmitir datos.

CAS Latency Programmable

- ▶ CAS Latency o Delay: Cantidad de ciclos de clock que transcurren desde que se activa CAS hasta que el dato está disponible.
- ▶ Se lo solía referir también como tiempo de acceso.
- ▶ Las SDRAM permiten programar esta cantidad de ciclo de clock en su Registro de Modo.
- ▶ De este modo se facilita la coexistencia en un mismo sistema de memoria de SDRAM devices de diferentes características en lo que a tiempo de acceso se refiere.

Temario

1

El sistema de Memoria

- Jerarquía de Memorias
- Principio de Vecindad o Lacialidad

2

Tecnologías de Memoria

- Clasificación de memorias
- Memorias y velocidad del Procesador

3

Memoria Cache

- Principio de Funcionamiento
- Hardware dedicado = + complejidad

- organización de un cache
- Coherencia de un cache

4

Memorias Dinámicas

- Introducción
 - Organización interna
- 5 Arquitecturas DRAM
- Evolución
 - Throughput + Latency

6

Standards

- Estado del arte
 - JEDEC SDRAM
- **JEDEC DDR SDRAM**

7

Configuración

- Configuración del DRAM Device
- Entrada Salida de Datos

8

Protocolo de acceso

- Fundamentos básicos

9

Controladores de Memoria

- Introducción General
- Arquitectura

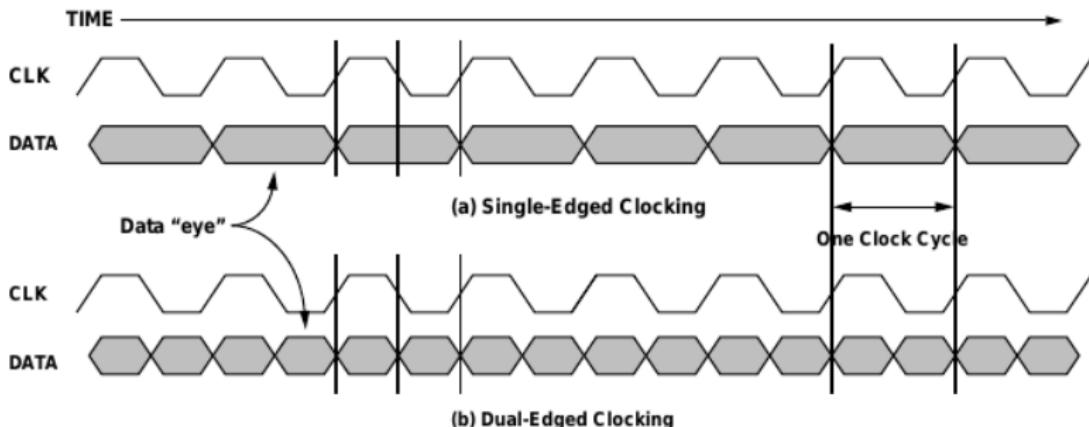
10

Casos Prácticos

- Beagle Bone Black
- Memorias DDR en la BBB
- Controlador de DDRn SDRAM en la BBB

Dual Edge Clocking

- ▶ Las DDR SDRAM conservan las características de las SDRAM agregando nuevas prestaciones.
- ▶ Las transacciones de bits de direcciones y control se llevan a cabo sincronizando con el flanco ascendente de la señal de clock igual que en el caso de las SDRAM.
- ▶ Las transmisiones de datos por su parte usan un clock dual edge.



- ▶ A igual cantidad de busrt access, las DDR SDRAM requieren la mitad de ciclos de clock para acceder a los datos.

Dual Edge Clocking

- ▶ Al duplicarse la velocidad de acceso, el tamaño de la ventana válida (también llamada “ojo de datos”) es la mitad que en una SDRAM.
- ▶ Se requiere asegurar precisión tanto en el vuelco de los datos al bus como en el muestreo a la entrada de la DRAM cuando ésta es escrita.
- ▶ Ambas operaciones tienen diferente relación con el flanco de la señal de clock.
- ▶ En la lectura del DRAM device, el flanco dispara el vuelco de los datos hacia el bus. Se refiere como alineada al flanco de los datos.
- ▶ En la escritura del DRAM device, se necesita alinearse al centro de los datos para asegurarse que la habilitación de los circuitos de entrada del DRAM device encuentren señales válidas en el bus de datos

Señal adicional: DQS

- ▶ A medida que aumenta la velocidad, los datos en las entradas pueden desfasarse en el tiempo respecto de otras señales que corren libremente como el **Clock**.
- ▶ Pueden existir en las entradas de un DRAM Device desfasajes de las señales de datos de acuerdo a variaciones de temperatura, en la tensión, o en la carga del dispositivo.
- ▶ Estos efectos se acentúan en los dispositivos DDR. Por lo tanto se necesita usar señales de strobe, generadas por el controlador de memoria, en lugar de señales libres como **Clock**.

Por ello, los controladores de DRAM que soportan DDR tienen una señal DQS, que para en operaciones READ se genera con su flanco alineado al de la señal de datos y para WRITE se genera centrada en la señal de datos



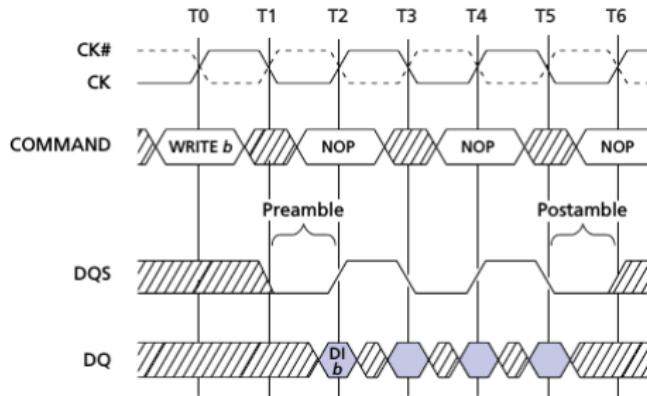
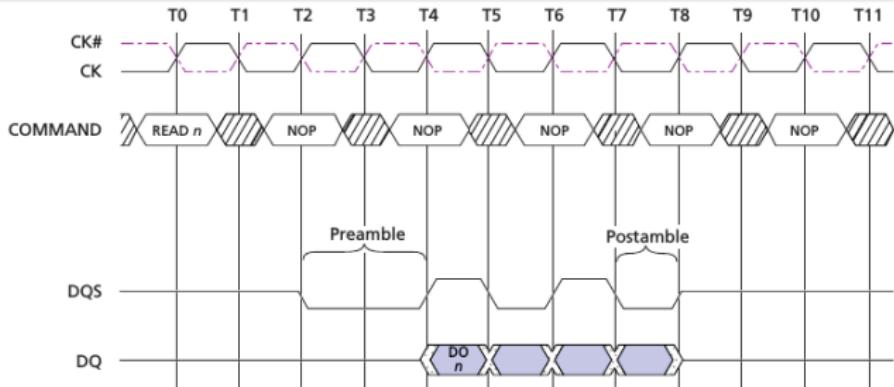
Señal adicional: DQS

- ▶ A medida que aumenta la velocidad, los datos en las entradas pueden desfasarse en el tiempo respecto de otras señales que corren libremente como el **Clock**.
- ▶ Pueden existir en las entradas de un DRAM Device desfasajes de las señales de datos de acuerdo a variaciones de temperatura, en la tensión, o en la carga del dispositivo.
- ▶ Estos efectos se acentúan en los dispositivos DDR. Por lo tanto se necesita usar señales de strobe, generadas por el controlador de memoria, en lugar de señales libres como **Clock**.

Por ello, los controladores de DRAM que soportan DDR tienen una señal DQS, que para en operaciones READ se genera con su flanco alineado al de la señal de datos y para WRITE se genera centrada en la señal de datos



Señal adicional: DQS



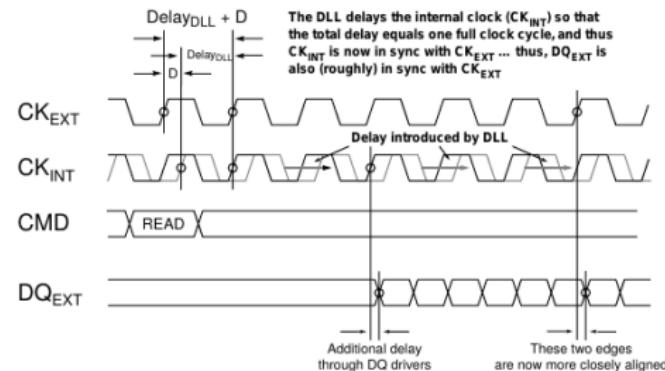
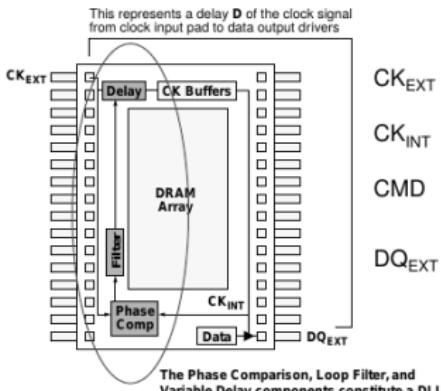
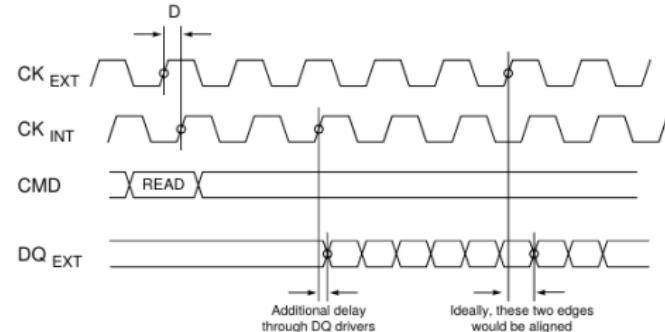
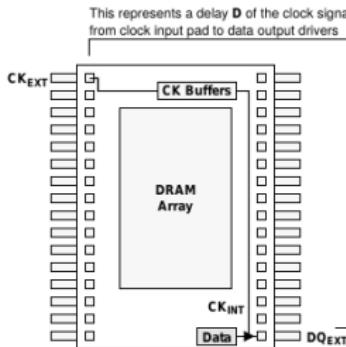
On-chip Delay-Locked Loop (DLL)

- ▶ El DLL se encarga de sincronizar la señal DQS y los datos salientes del DDR SDRAM Device con la señal de clock proveniente del controlador de memoria .
- ▶ El DLL sincroniza las lecturas del DDR SDRAM Device, ya que las de escritura se efectúan al ritmo de la señal DQS que es manejada por el controlador de memoria.
- ▶ El controlador de memoria maneja dos clocks internos: Uno que se sincroniza con el clock del sistema, y otro desfasado 90° para sincronizar las escrituras a los DRAM Devices.
- ▶ Como DQS está en fase con los datos, no puede ser utilizada por el controlador de memoria para muestrear directamente los datos. Por eso utiliza DQS para sincronizar los datos salientes del DDR SDRAM Device con los clocks del controlador de memoria.

On-chip Delay-Locked Loop (DLL)

- ▶ El clock desfasado 90° sincroniza los datos entrantes debido a que el DLL garantiza un mínimo entrelazado entre el clock global y los datos salientes.
- ▶ Debido a los delays que físicamente generan el receptor de clock, las etapas amplificadoras, los alambres, pads etc, desde la perspectiva del bus, la señal de datos estará desfasada respecto del clock del sistema.
- ▶ Sin embargo la existencia de un circuito DLL **asegura** un delay constante y del valor determinado por el DLL.
- ▶ La diferencia entre ambas situaciones se muestra en el siguiente slide.

On-chip Delay-Locked Loop (DLL)



Temario

1

El sistema de Memoria

- Jerarquía de Memorias
- Principio de Vecindad o Lacialidad

2

Tecnologías de Memoria

- Clasificación de memorias
- Memorias y velocidad del Procesador

3

Memoria Cache

- Principio de Funcionamiento
- Hardware dedicado = + complejidad

- organización de un cache
- Coherencia de un cache

4

Memorias Dinámicas

- Introducción
 - Organización interna
- 5 Arquitecturas DRAM
- Evolución
 - Throughput + Latency

6

Standards

- Estado del arte
- JEDEC SDRAM
- JEDEC DDR SDRAM

7

Configuración

Configuración del DRAM Device

- Entrada Salida de Datos

8

Protocolo de acceso

- Fundamentos básicos

9

Controladores de Memoria

- Introducción General
- Arquitectura

10

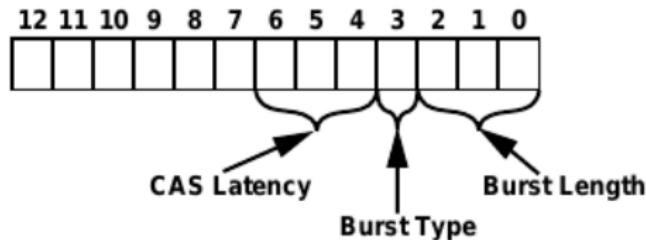
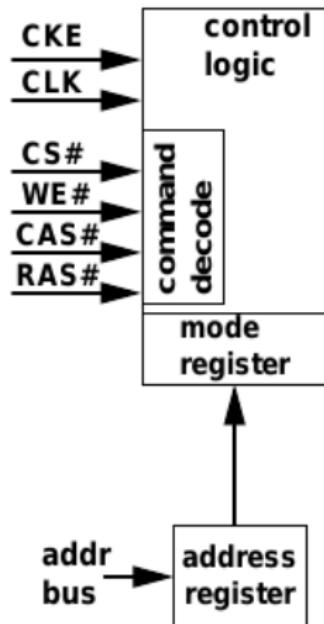
Casos Prácticos

- Beagle Bone Black
- Memorias DDR en la BBB
- Controlador de DDRn SDRAM en la BBB

Lógica de control de un SDRAM Device

- ▶ En esencia los DRAM Devices son circuitos analógicos cuya temporización es naturalmente asincrónica.
- ▶ Los pasos que le toma a la circuitería de una DRAM para almacenar y recuperar datos en forma de carga en un capacitor a través de amplificadores de sensado, le insumen una latencia considerable, la cual se expresa normalmente en nseg., y no en ciclos de clock.
- ▶ Por eso de acuerdo al diseño y al proceso de fabricación cada DRAM tiene un juego de parámetros de timing diferentes.
- ▶ La solución que encontró la industria es proveerles una interfaz sincrónica.
- ▶ Para lidiar con los diferentes juegos de temporización se incluyen uno o varios registro de modo (dependiendo del device).

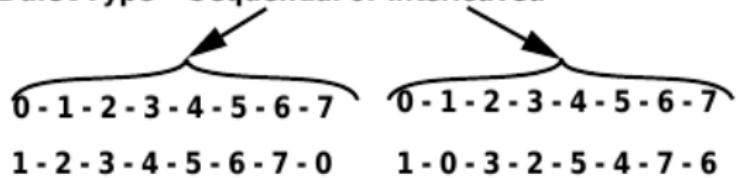
Registro de modo de un SDRAM Device



Burst Length = 1, 2, 4, 8, or Page mode

CAS Latency = 2, 3 (4, 5, etc. in special versions)

Burst Type = Sequential or Interleaved



Registro de modo de un SDRAM Device

- ▶ Posee tres campos
 - ① **CAS latency**: En las hojas de datos se lo llama **CL**. De acuerdo al valor de este campo de bits, el SDRAM Device devolverá el dato dos o tres ciclos de clock luego de activada CAS
 - ② **Burst Type**: Determina el orden en el que el SDRAM Device devuelve los datos.
 - ③ **Burst Length**: Determina el número de columnas de una fila entera que el SDRAM Device devuelve por cada comando CAS: 1, 2, 4, u 8 bits.
- ▶ Los DDR SDRAM Devices y los D-RDRAM Devices, tienen mas Registros de Modos en los que se pueden configurar mas parámetros de control.

Diferentes configuraciones para el mismo tamaño

- ▶ Las SDRAM se clasifican de acuerdo al número de bits contenidos en el Device. Pero independientemente de este dato básico se puede organizar de diferentes maneras, de acuerdo con el tamaño de la palabra de datos que se pretenda leer o escribir en el Device.

Configuración	64Mbit x 4	32Mbit x 8	16Mbit x 16
Nº Bancos	4	4	4
Nº Filas	8192	8192	8192
Nº Columnas	2048	1024	512
Ancho Data Bus	4	8	16

- ▶ A pesar de los cambios de configuración, el tamaño de la fila de la SDRAM del Device, se mantiene constante, mientras que el número de columnas por fila decrece a medida que se agranda la cantidad de bits que entrega el Device en un mismo CAS.

Diferentes configuraciones para el mismo tamaño

- ▶ Para capacidades mayores de memoria no siempre se cumple que el tamaño de fila se mantenga constante. De hecho para una DRAM de 1 Gbit normalmente se tiene una configuración como la siguiente

Configuración	256Mbit x 4	128Mbit x 8	64Mbit x 16
Nº Bancos	8	8	8
Nº Filas	16384	16384	8192
Nº Columnas	2048	1024	1024
Ancho Data Bus	4	8	16

- ▶ Estas diferencias en las configuraciones implican diferente cantidad de bits por línea, lo cual deriva en diferentes cantidades de circuitos que se activan en un comando CAS variando las características de performance y consumo para diferentes configuraciones en una misma generación de Dispositivos.

Temario

1

El sistema de Memoria

- Jerarquía de Memorias
- Principio de Vecindad o Lacialidad

2

Tecnologías de Memoria

- Clasificación de memorias
- Memorias y velocidad del Procesador

3

Memoria Cache

- Principio de Funcionamiento
- Hardware dedicado = + complejidad

- organización de un cache

- Coherencia de un cache

4

Memorias Dinámicas

- Introducción
- Organización interna

5

Arquitecturas DRAM

- Evolución
- Throughput + Latency

6

Standards

- Estado del arte
- JEDEC SDRAM
- JEDEC DDR SDRAM

7

Configuración

- Configuración del DRAM Device

● Entrada Salida de Datos

8

Protocolo de acceso

- Fundamentos básicos

9

Controladores de Memoria

- Introducción General
- Arquitectura

10

Casos Prácticos

- Beagle Bone Black
- Memorias DDR en la BBB
- Controlador de DDRn SDRAM en la BBB

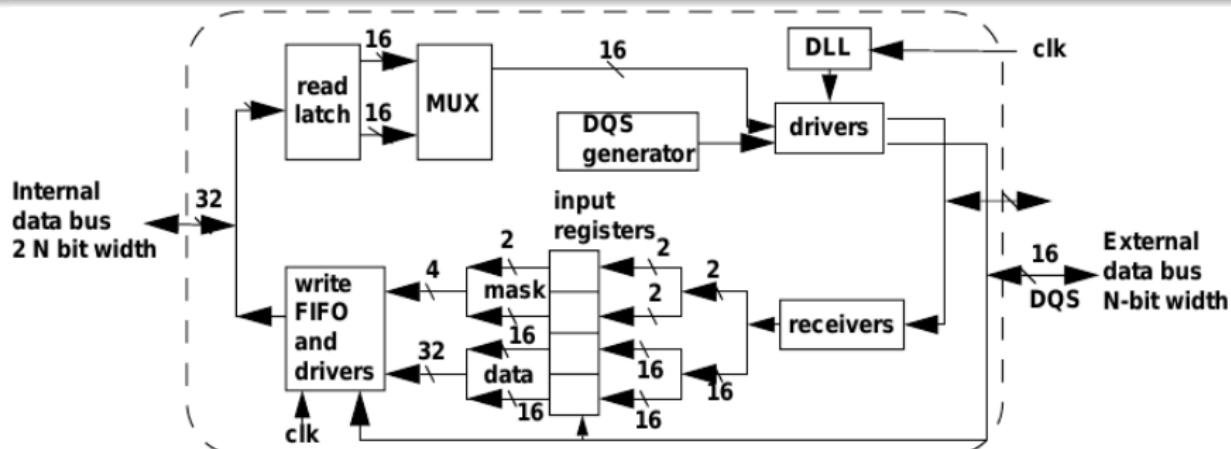
Longitud y orden de ráfagas (burst)

- ▶ Hemos visto que en el Registro de Modo podemos programar al DRAM Device el tamaño del burst como 1, 2, 4, u 8 columnas de datos a transferir en respuesta a un solo comando CAS.
- ▶ En el caso de los SDRAM y DDR SDRAM es necesario re ordenar los datos de manera tal que el dato de la columna requerida esté en primer lugar en la transferencia.
- ▶ Por ejemplo, una SDRAM x8, que recibe un comando read en la dirección de columna 17, debe proveer los 8 datos abarcados desde la columna 16 a la 23, ya que la salida es por grupos de 8.
- ▶ De este modo de acuerdo a como se programa el registro de modo, la salida puede ser 17-18-19-20-21-22-23-16 o 17-16-19-18-21-20-23-22.

Prebúsqueda de n-bits

- ▶ En un SDRAM device, cada vez que se envía un comando Read, la lógica de control determina la duración y el orden de las ráfagas (burst) de datos.
- ▶ Cada columna se mueve en forma separada desde el amplificador de sensado hasta el bus de datos a través del bus de datos externo.
- ▶ La posibilidad de controlar de manera separada cada columna limita la tasa de datos de operación del DRAM device.
- ▶ En los DDRx SDRAM devices, de manera sucesiva se fueron moviendo mas cantidad de bits en paralelo desde los amplificadores de sensado hasta el latch de lectura, y los datos data se envián en un pipeline desde un multiplexor al bus de datos externo.

Prebúsqueda de $2n$ -bits



- ▶ La figura muestra como se transfiere un dato de N bits al bus externo hacia el controlador de DRAM desde un sistema que prebusca $2N$ bits, utilizando un Multiplexor como pipeline.
- ▶ Una de las características de los DDR2 es que usan prebúsquedas de 4 bits
- ▶ La velocidad se incrementa pero el chip no puede ser menor de 4x (4 bits de datos)

Temario

1

El sistema de Memoria

- Jerarquía de Memorias
- Principio de Vecindad o Lacialidad

2

Tecnologías de Memoria

- Clasificación de memorias
- Memorias y velocidad del Procesador

3

Memoria Cache

- Principio de Funcionamiento
- Hardware dedicado = + complejidad

- organización de un cache
- Coherencia de un cache

4

Memorias Dinámicas

- Introducción
 - Organización interna
- 5 Arquitecturas DRAM
- Evolución
 - Throughput + Latency

6

Standards

- Estado del arte
- JEDEC SDRAM
- JEDEC DDR SDRAM

7

Configuración

- Configuración del DRAM Device
- Entrada Salida de Datos

8

Protocolo de acceso

- Fundamentos básicos

9

Controladores de Memoria

- Introducción General
- Arquitectura

10

Casos Prácticos

- Beagle Bone Black
- Memorias DDR en la BBB
- Controlador de DDRn SDRAM en la BBB

Funciones que se resuelven

- ▶ Un protocolo de acceso a memoria define los comandos y restricciones de temporización que un controlador de memoria debe utilizar para manejar sus transferencias de datos con la memoria DRAM.
- ▶ Nos proponemos analizar un protocolo de acceso genérico aplicable a SDRAM y DDRx SDRAM.
- ▶ Examinar en detalle cualquier protocolo de acceso a una SDRAM es sumamente complejo.
- ▶ Esta complejidad proviene de la gran variedad de comandos en los sistemas de memoria modernos.
- ▶ Sin embargo es posible definir un set de comandos básicos que es posible encontrar en la mayoría de los sistemas SDRAM modernos.

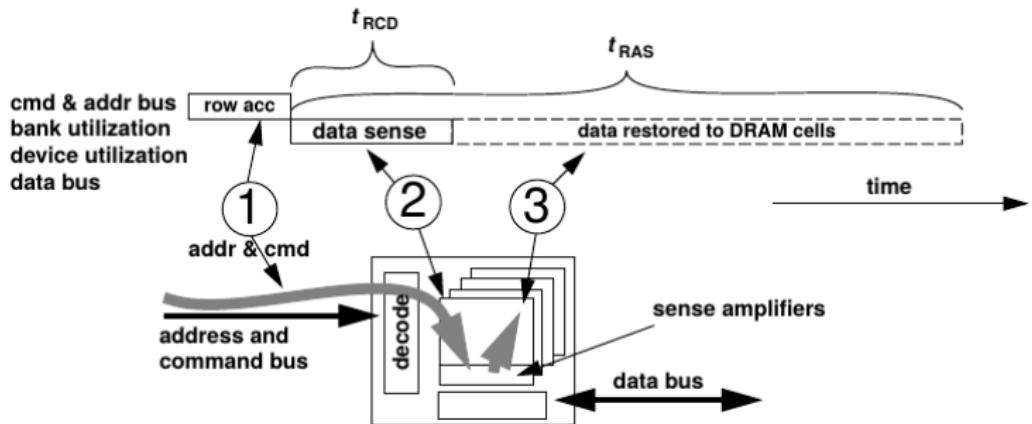
Valores estándar de Timing

Parametro	Descripción
t_{AL}	Added Latency en accesos a columnas. Se usa en DDRx SDRAM devices para comandos CAS enviados.
t_{BURST}	Duración del Burst de Datos. Período de tiempo en que el <i>data burst</i> ocupa el bus de datos. Tipicamente 4 u 8 <i>beats</i> de datos. En DDR SDRAM, 4 <i>beats</i> de datos consumen 2 ciclos completos de clock.
t_{CAS}	Column Access Strobe latency. Intervalo de Tiempo entre el comando de acceso a columna y el inicio del retorno de datos desde el/los DRAM device/s. Normalmente nombrado como t_{CL} .
t_{CCD}	Column-to-Column Delay. Mínimo timing en comandos de columna, determinado por la longitud del <i>burst</i> interno (<i>prefetch</i>). Las lecturas de columnas utilizan múltiples bursts internos para formar un burst mas largo. t_{CCD} es 2 <i>beats</i> (1 ciclo) en SDRAM DDR, 4 (2 ciclos) en DDR2, y 8 (4 ciclos) en DDR3.
t_{CMD}	Tiempo de Transporte de Comando. Tiempo durante el cual el comando ocupa el bus de Comandos y es transportado desde el Controlador de DRAM hasta el/los DRAM device/s.
t_{CWD}	Column Write Delay. Tiempo entre el envío de un comando <i>column-write</i> y el vuelco de datos al bus por parte del controlador de DRAM.
t_{FAW}	Four (row) bank Activation Window. Ranura de tiempo en la cual se pueden activar un máximo de cuatro bancos. Limita el perfil de corriente pico en DDR2 y DDR3 DRAMs con mas de 4 bancos.
t_{OST}	ODT Switching Time. Tiempo para conmutar el control ODT, de rango a rango.

Valores estándar de Timing

Parametro	Descripción
t_{RAS}	Row Access Strobe. Tiempo entre el comando <i>row access</i> y la regeneración de datos en un DRAM array. Un banco de DRAM no se puede precargar hasta el último t_{RAS} luego de la activación del banco previa.
t_{RC}	Row Cycle. Tiempo entre accesos a diferentes filas en un banco. $t_{RC} = t_{RAS} + t_{RP}$.
t_{RCD}	Row to Column command Delay. Tiempo entre un <i>row access</i> y los datos listos en los amplificadores de sensado.
t_{RFC}	Refresh Cycle time. Tiempo entre los comandos <i>Refresh</i> y <i>Activation</i> .
t_{RP}	Row Precharge. Tiempo que le toma a un DRAM array precargarse para otro <i>row access</i> .
t_{RRD}	Row activation to Row activation Delay. Tiempo mínimo entre dos comandos de activación de fila en el mismo DRAM device. Limita el perfil de corriente pico.
t_{RTP}	Read to Precharge. Tiempo entre un comando de lectura y otro de precarga.
t_{RTRS}	Rank-to-rank switching time. Un ciclo completo en DDR SDRAM. No se usa en sistemas SDRAM ni RDRAM Directo.
t_{WR}	Write Recovery time. Mínimo intervalo de tiempo entre el fin de una escritura burst y el inicio de un comando de precarga. Permite a los amplificadores de sensado restaurar la carga en las celdas.
t_{WTR}	Write To Read delay time. Tiempo mínimo entre el final de una escritura busrt y el inicio de un comando <i>column read</i> . Permite a la E/S forzar a los amplificadores de sensado a saturar su salida antes de que se ejecute el comando Read.

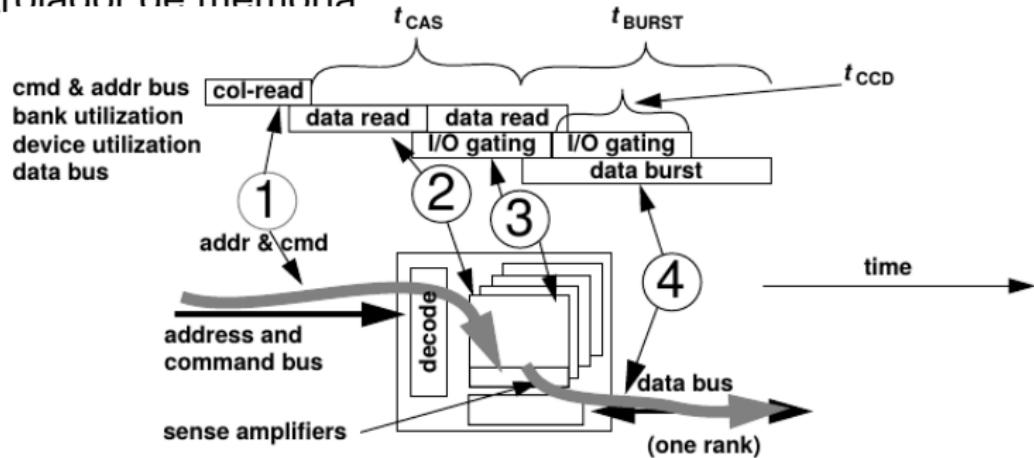
Comando Row Access: Formato y timing.



- ▶ Luego de t_{RCD} (**Row to Column command Delay**) los datos están listos en los amplificadores de sensado.
- ▶ El tiempo total entre el comando Row Access y la realimentación de los datos en el DRAM array es t_{RAS} (**Row Access Strobe latency**). Un banco DRAM no se puede precargar al menos hasta el último t_{RAS} posterior a la activación previa del banco.

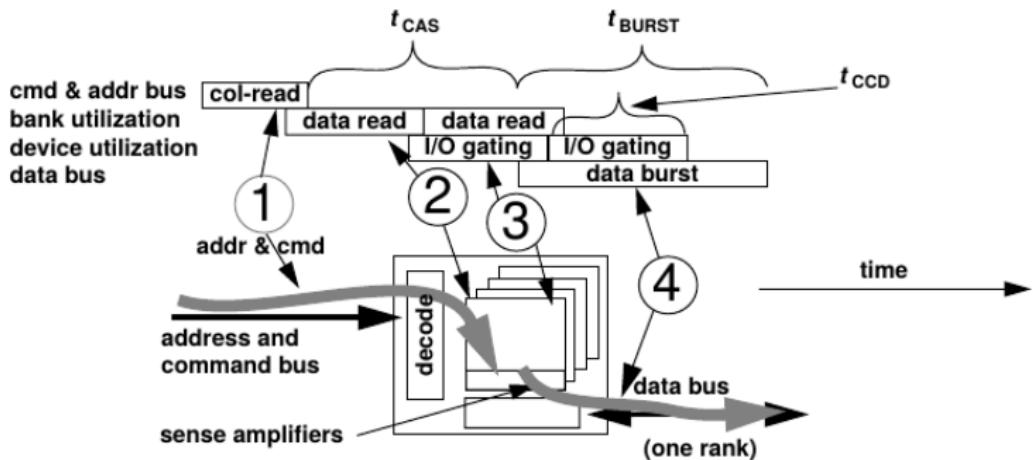
Comando Column Read: Formato y timing

- Mueve los datos desde los amplificadores de sensado hasta el controlador de memoria



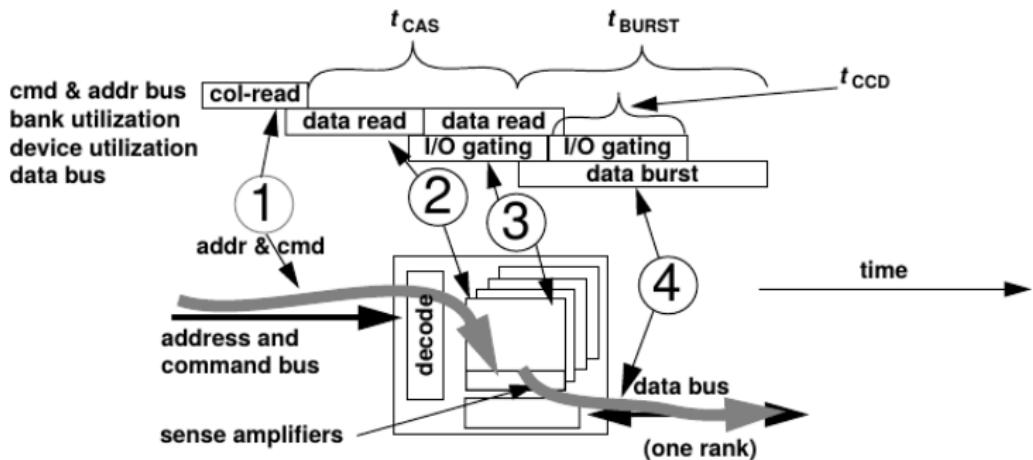
- t_{CAS} **Column Access Strobe latency**, también llamado t_{CL} , es el tiempo que le demanda al DRAM device poner el dato en el bus luego de recibir el comando Column Read.

Comando Column Read: Formato y timing



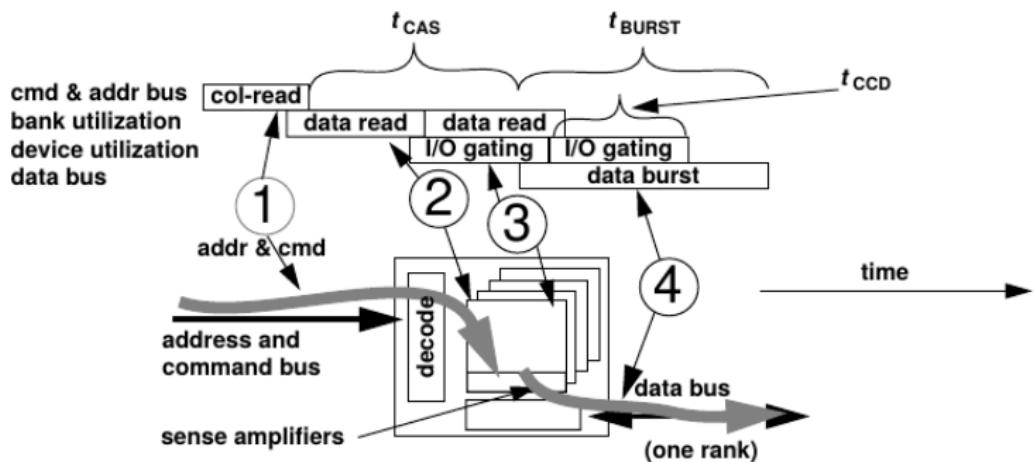
- ▶ Los DDR SDRAM devices mueven los datos internamente en pequeñas ráfagas (burst) a alta velocidad (n-prefetch).
- ▶ En el caso del gráfico se muestra un device que entrega datos en dos bursts rápidos (2n-prefetch), y los vuelca al bus de datos en un solo burst.

Comando Column Read: Formato y timing.



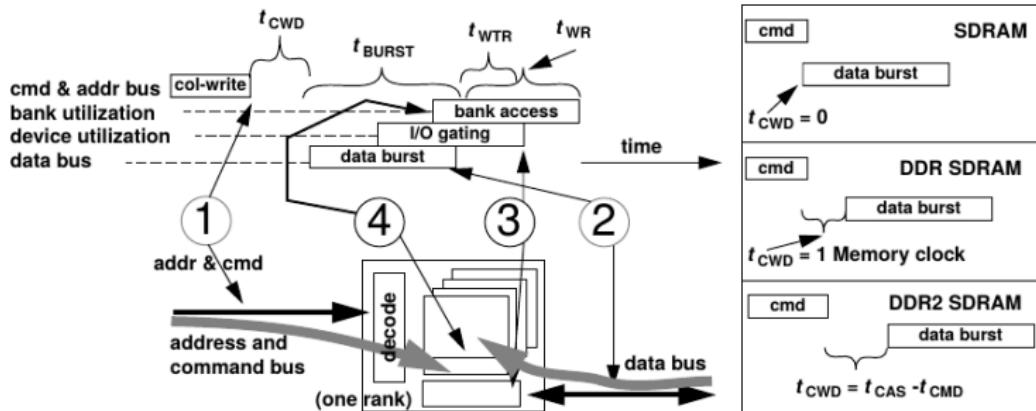
- ▶ t_{CCD} **Column-to-Column Delay** es la duración de un pulso burst interno. Su valor mínimo está determinado por el valor de bits de prebúsqueda. En este ejemplo se usan 2 bits de prebúsqueda, por lo tanto, t_{CCD} será de un ciclo de clock.

Comando Column Read: Formato y timing.



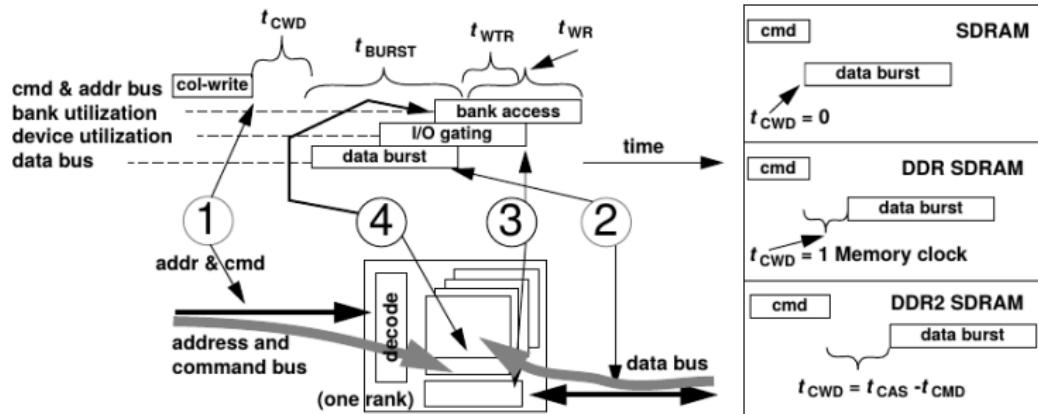
- ▶ La duración de un burst completo de datos en el bus es t_{BURST}
- ▶ **Data burst duration.**
- ▶ Usar bits de prebúsqueda mejora el tiempo total de Column Read si se logra: $t_{CCD} < t_{BURST}$

Comando Column Write: Formato y timing.



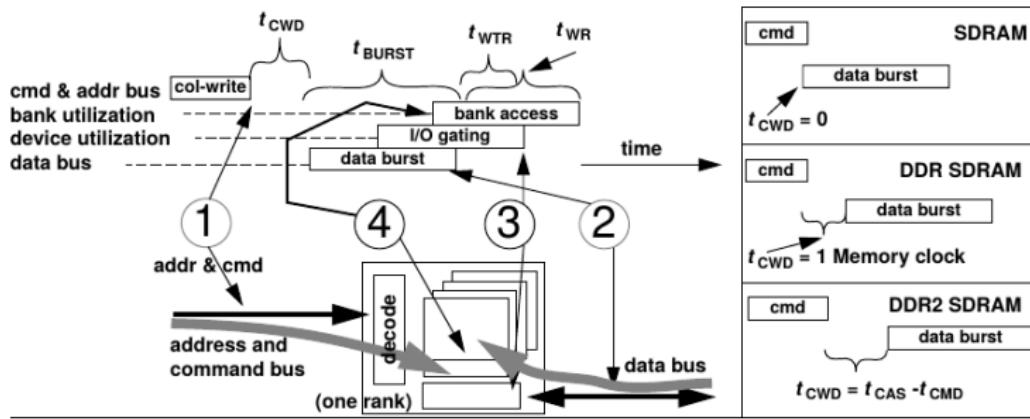
- ▶ Mueve los datos desde el controlador de memoria hasta los amplificadores de sensado.
- ▶ El controlador de memoria pone el comando Column Write en el bus de comandos, y luego de un tiempo t_{CWD} (**Column Write Delay**), pone los datos en el bus de datos. El valor de este tiempo depende de la tecnología de memoria (lado derecho de la figura).

Comando Column Write: Formato y timing.



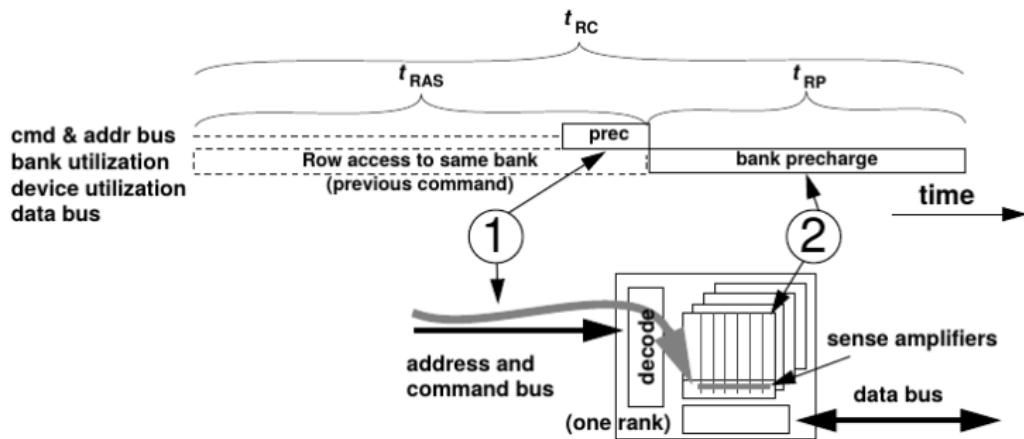
- ▶ La ráfaga (burst) completa de datos en el bus lleva un tiempo t_{BURST} (**Data burst duration**).
- ▶ El DRAM device emplea un tiempo t_{WTR} (**Write To Read delay time**) en liberar los recursos de gating de E/S. Este tiempo debe ser especialmente tenido en cuenta cuando al comando Write lo sigue un comando Read.

Comando Column Write: Formato y timing.



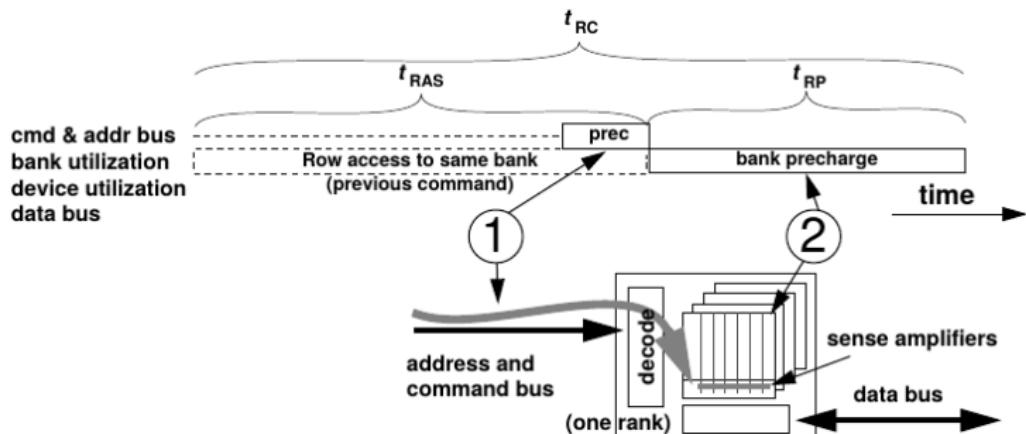
- ▶ Los datos tomados por el gating de E/S se propagan hasta los gate arrays luego de un tiempo t_{WR} (**Write Recovery time**). Este tiempo debe ser especialmente tenido en cuenta si al comando Write lo sigue un comando Precharge.

Comando Precharge: Formato y timing.



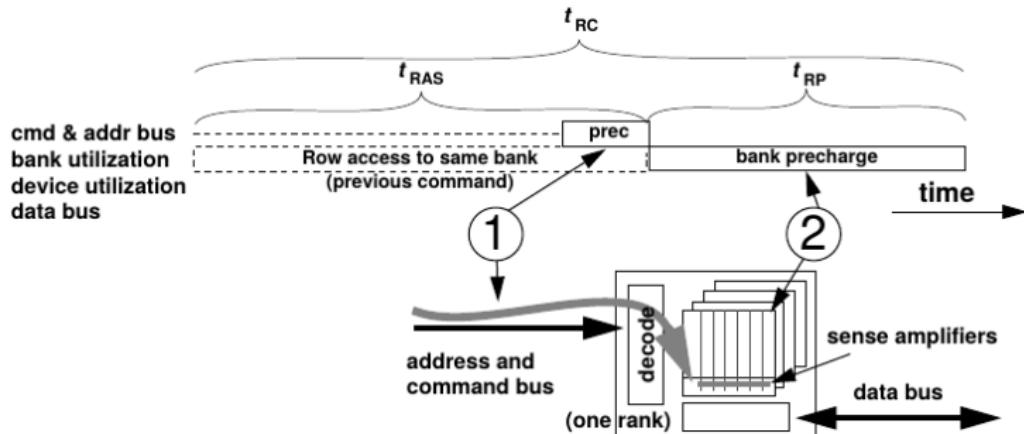
- ▶ El acceso de datos en una DRAM es un proceso de dos pasos:
 - ➊ Un comando *Row Access* para mover los datos desde el array de celdas de memoria al array de amplificadores de sensado.
 - ➋ Se cachean los datos en el amplificador de sensado para los *Column Access* posteriores

Comando Precharge: Formato y timing.



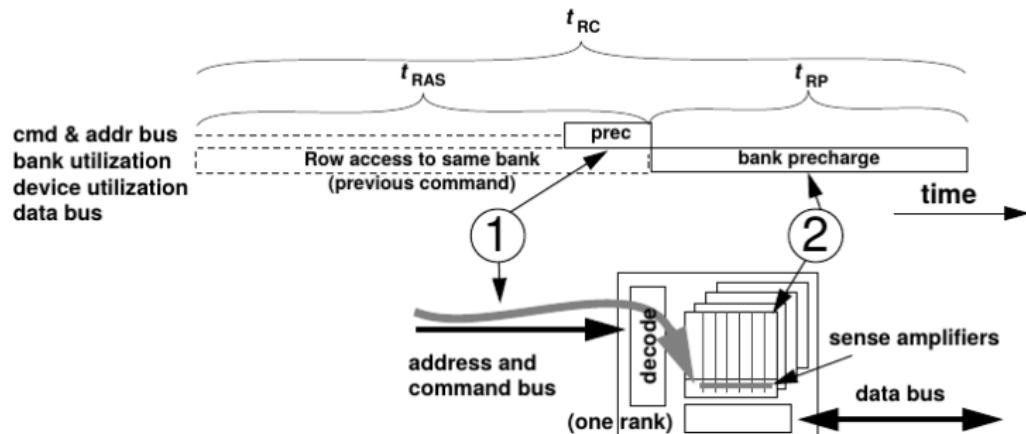
- ▶ *Precharge*, completa la secuencia de *Row Access*, reseteando los amplificadores de sensado y las bitlines de modo de dejarlas listas para un nuevo *Row Access* al mismo array de celdas.
- ▶ El tiempo que toma precargar un DRAM array para otro *Row Access* es t_{RP} (**Row Precharge**).

Comando Precharge: Formato y timing.



- ▶ t_{RP} y t_{RAS} se combinan formando t_{RC} (**Row Cycle Time**), que indica el tiempo mínimo que necesita un DRAM device para poner disponibles en los amplificadores de sensado los datos de los arrays de celdas, restaurar los datos de esas celdas, y precargar los bitlines al nivel de tensión de referencia para un nuevo comando *Row Access*.

Comando Precharge: Formato y timing.

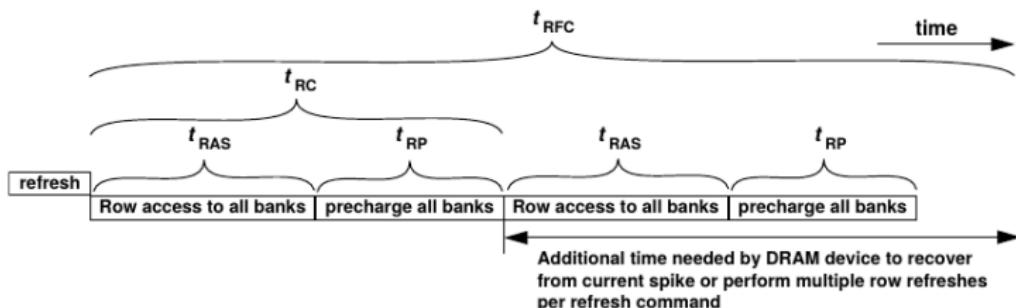


- ▶ t_{RC} es la limitación fundamental de la velocidad a la que se pueden obtener datos de filas diferentes del mismo banco de DRAM. También se lo conoce como *random row-cycle time* de un DRAM device.

Refresco de memoria

- ▶ Tiene por objeto asegurar la integridad de la información, ya que los capacitores inexorablemente encontrarán un camino de impedancia (alta pero no infinita) a través del cual descargarse.
- ▶ Refrescar implica leer para regenerar la carga. Esto consume ancho de banda en el bus que une el controlador y la memoria DRAM.
- ▶ Algunos controladores son diseñados para minimizar la complejidad del mecanismo de refresco, de memoria, otros para optimizar el uso de ancho de banda del bus en esta operación, y otros intentan minimizar el consumo de energía consumida en esta operación
- ▶ Por lo general todos los controladores contienen un Refresh Row Register al que utilizan para refrescar una fila completa de celdas con un solo comando.

Refresco de memoria



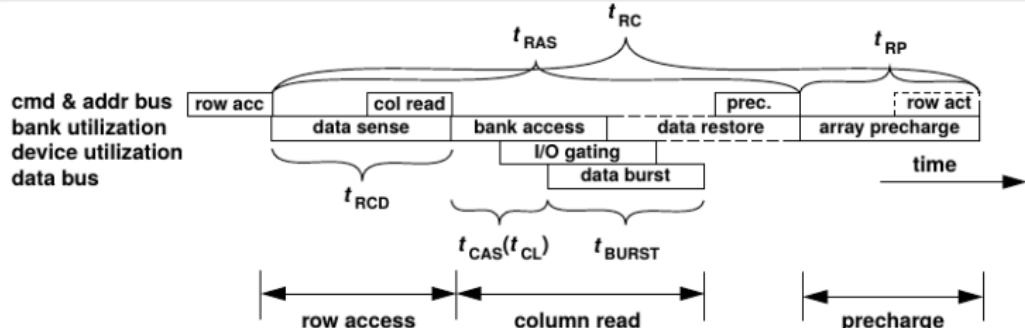
- ▶ El Refresh Row Register contiene siempre la Row Adress de la última fila accedida.
- ▶ Cada vez que el Controlador de Memoria envía un comando Refresh, el DRAM Device incrementa este registro e inicia un row cycle en cada fila de cada banco cuya dirección coincide con la del Refresh Row Register,
- ▶ t_{RFC} **Refresh Cycle time**. Intervalo de tiempo entre los comandos de Refresco y activación.

Formato y timing de un comando Refresh.

Familia DRAM	Tensión	Capacidad	# bancos	# Filas	Tamaño Fila	Cuenta de Refresh	t_{RC}	t_{RFC}
DDR	2.5V	256Mb	4	8192	1kB	8192	60 ns	67 ns
		512Mb	4	8192	2kB	8192	55 ns	70 ns
DDR2	1.8V	256Mb	4	8192	1kB	8192	55 ns	75 ns
		512Mb	4	16384	1kB	8192	5 ns	105 ns
		1024Mb	8	16384	1kB	8192	54 ns	127.5 ns
		2048Mb	8	32768	1kB	8192	-	197.5 ns
		4096Mb	8	65536	1kB	8192	-	327.5 ns

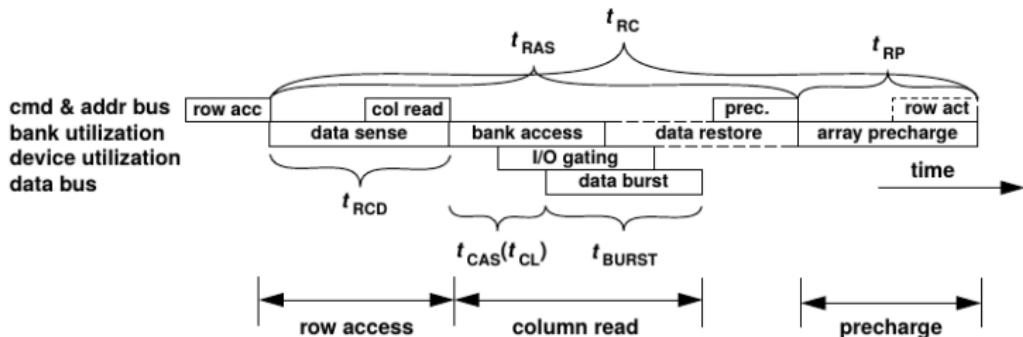
- ▶ La tabla muestra tendencias en los tiempos de refresco.
- ▶ A mayor capacidad del banco mayor cantidad de celdas, mayor tiempo de refresco.
- ▶ Da la impresión que de DDR2 en adelante el challenge es mantener el número de comandos de refresco en períodos de 64 mseg a pesar de duplicarse en número de filas. Esto implica para el controlador de memoria enviar 8192 comandos Refresh en 64 mseg.
- ▶ Los devices de alta capacidad tienen mas de 8192 filas con 2, 4, u 8 en filas en cada device.

Ciclo de Lectura



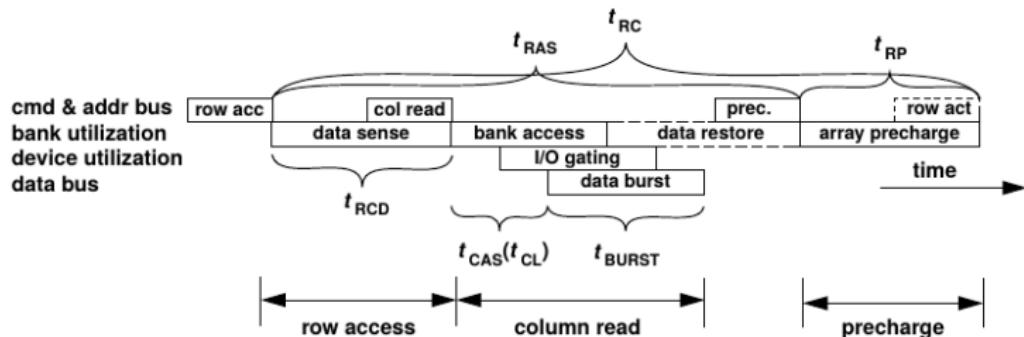
- ▶ El comando Row Access habilita muchos cientos de bits de datos al array de amplificadores de sensado dentro de un banco.
- ▶ Luego Column Access selecciona decenas o algunos pocos cientos de esos bits.
- ▶ Si el acceso a memoria se efectúa en direcciones secuenciales el device no necesita precargar nuevamente la fila, con el consiguiente ahorro de tiempo de acceso y de energía.
- ▶ Nuevamente el principio de vecindad en el acceso a memoria regula la eficiencia del sistema.

Ciclo de Lectura



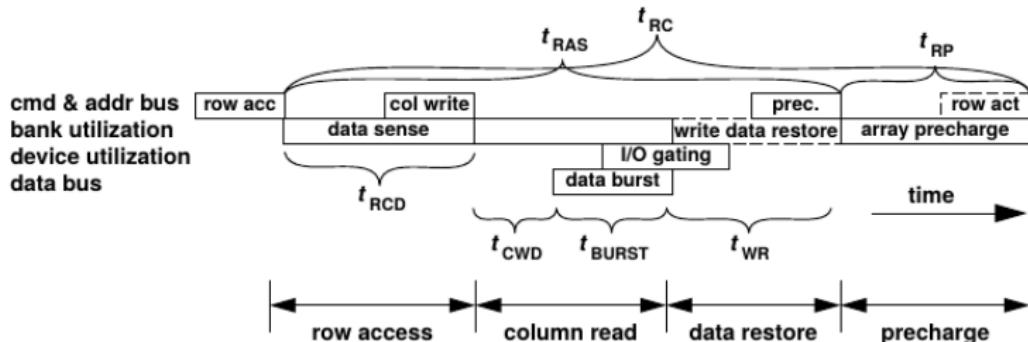
- ▶ Transcurrido t_{RCD} los datos de la fila seleccionada son precargados por los amplificadores de sensado.
- ▶ El controlador de memoria envía el comando Column Read y los datos se transfieren al bus y se recargan en las celdas.
- ▶ Transcurrido t_{RAS} las celdas están listas para un comando Precharge que resetee las bitlines y los amplificadores de sensado.

Ciclo de Lectura



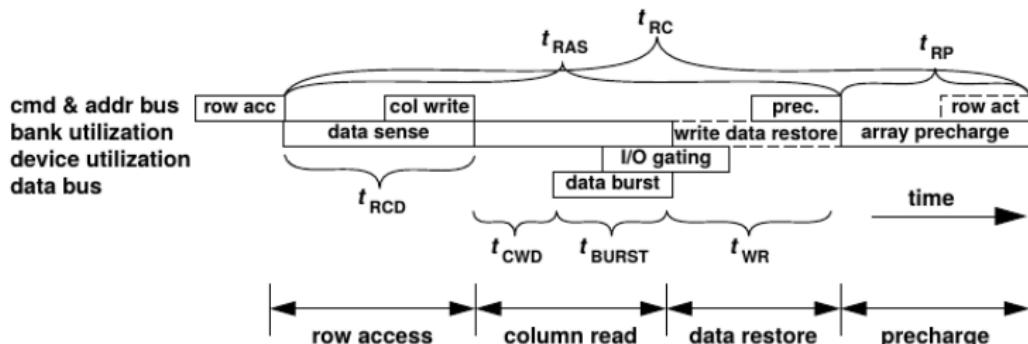
- ▶ Sistemas close-page: son los que precargan los bancos para acceder a una fila diferente luego del t_{RAS} .
- ▶ Sistemas open-page: son los que mantienen la fila activa y los amplificadores de sensado luego del t_{RAS} especulando con accesos secuenciales desde el procesador (principio de vecindad).

Ciclo de Escritura



- ▶ En los dispositivos DRAM modernos el tiempo de ciclo de una fila está determinado por el tiempo de escritura.
- ▶ Es el tiempo que necesita un DRAM Device para proveer acceso a una fila en un determinado banco de celdas de DRAM.
- ▶ En el caso de un ciclo de escritura, los datos deben ser provistos por el controlador de memoria, viajan por el bus de datos, pasan por los multiplexores de disparo de E/S, saturan los amplificadores de sensado, y finalmente llegan a la celda.

Ciclo de Escritura



- ▶ Esta secuencia se debe completar antes de enviar el comando de precarga que completa el ciclo de Escritura.
- ▶ De este modo el t_{RAS} debe ser suficientemente extenso como para abarcar t_{RCD} , t_{CWD} , t_{CCD} y t_{WR} .
- ▶ En la práctica debe setearse en un valor por lo menos igual a la suma de los otros cuatro.

Temario

1

El sistema de Memoria

- Jerarquía de Memorias
- Principio de Vecindad o Lacialidad

2

Tecnologías de Memoria

- Clasificación de memorias
- Memorias y velocidad del Procesador

3

Memoria Cache

- Principio de Funcionamiento
- Hardware dedicado = + complejidad

- organización de un cache
- Coherencia de un cache

4

Memorias Dinámicas

- Introducción
 - Organización interna
- 5 Arquitecturas DRAM
- Evolución
 - Throughput + Latency

6

Standards

- Estado del arte
- JEDEC SDRAM
- JEDEC DDR SDRAM

7

Configuración

- Configuración del DRAM Device
- Entrada Salida de Datos

8

Protocolo de acceso

- Fundamentos básicos

9

Controladores de Memoria

- Introducción General
- Arquitectura

10

Casos Prácticos

- Beagle Bone Black
- Memorias DDR en la BBB
- Controlador de DDRn SDRAM en la BBB

Porque usamos un controlador de memoria

- ▶ Maneja la transferencia de datos hacia y desde la memoria asegurando la compatibilidad con el protocolo.
- ▶ Independiza al procesador de las características eléctricas de los DRAM Devices que conforman el sistema de memoria.
- ▶ Asegura el cumplimiento de los requerimientos de timing de los DRAM Devices independientemente del procesador base del sistema.
- ▶ Permite arbitrar el acceso a un único subsistema de memoria por parte de múltiples cores de procesamiento, aun si estos son heterogéneos.

Temario

1

El sistema de Memoria

- Jerarquía de Memorias
- Principio de Vecindad o Lacialidad

2

Tecnologías de Memoria

- Clasificación de memorias
- Memorias y velocidad del Procesador

3

Memoria Cache

- Principio de Funcionamiento
- Hardware dedicado = + complejidad

- organización de un cache
- Coherencia de un cache

4

Memorias Dinámicas

- Introducción
 - Organización interna
- 5 Arquitecturas DRAM
- Evolución
 - Throughput + Latency

6

Standards

- Estado del arte
- JEDEC SDRAM
- JEDEC DDR SDRAM

7

Configuración

- Configuración del DRAM Device
- Entrada Salida de Datos

8

Protocolo de acceso

- Fundamentos básicos

9

Controladores de Memoria

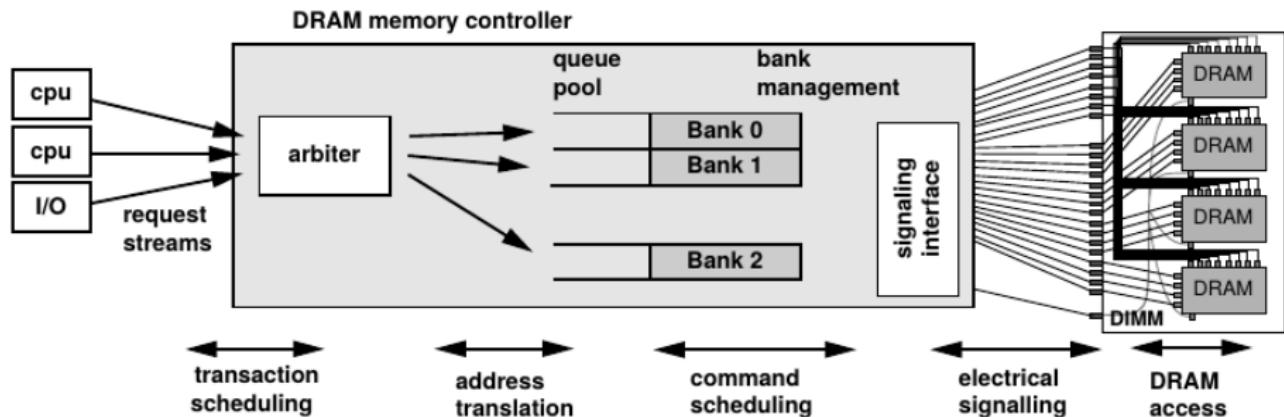
- Introducción General
- **Arquitectura**

10

Casos Prácticos

- Beagle Bone Black
- Memorias DDR en la BBB
- Controlador de DDRn SDRAM en la BBB

Arquitectura de un Controlador Genérico



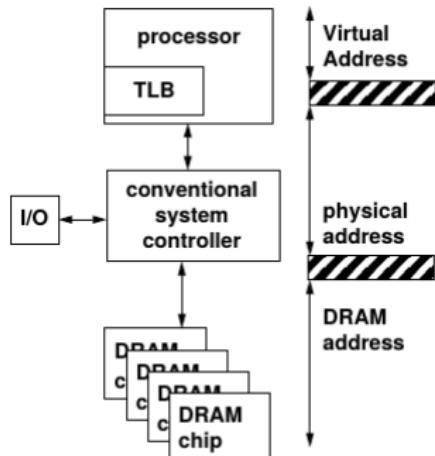
Arbitración de requerimientos

- ▶ Los costos en acceso a memoria siguen aumentando relativamente los costos computacionales de muchos algoritmos.
- ▶ La仲裁ación de requerimientos es un aspecto crítico para la performance del sistema de memoria.
- ▶ Resuelve en base a las prioridades de los requerimientos de memoria de parte de los cores y de dispositivos de E/S com un DMA controller por ejemplo, cual es el que debe transmitirse a los DRAM devices.
- ▶ No siempre pasa el de mayor prioridad. Puede darse que un requerimiento de baja prioridad arribe al controlador en el momento en que la fila que contiene sus datos está activa. En tal caso algunos controladores resuelven primero este requerimiento a pesar de su prioridad menor en virtud de la performance general.

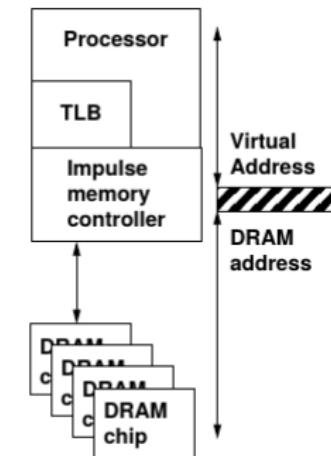
Traducción de Direcciones

- ▶ Una vez que unan transacción ganó la arbitración pasa al controlador en donde se traduce la dirección física que proviene el bus del procesador, a la dirección del Bus del controlador de memoria: Row & Column.
- ▶ Además en función de la operación requerida desde el core o el device de E/S sobre esa dirección la etapa de traducción arma la secuencia de comandos necesaria para envira a la DRAM de acuerdo al protocolo descripto.
- ▶ Una vez enviados a los DRAM devices, si éstos son relativamente modernos dispondrán de buffers de comandos como etapa previa a los amplificadores de sensado.
- ▶ La política de buffering es crítica en el diseño de cada DRAM Device en virtud de su efecto sobre la performance, o sobre el consumo. El análisis del trade on y trade off de estos aspectos son moneda corriente entre los diseñadores de estos dispositivos.

Traducción de direcciones



Conventional System Architecture



Impulse Memory System Architecture

Temario

1

El sistema de Memoria

- Jerarquía de Memorias
- Principio de Vecindad o Lacialidad

2

Tecnologías de Memoria

- Clasificación de memorias
- Memorias y velocidad del Procesador

3

Memoria Cache

- Principio de Funcionamiento
- Hardware dedicado = + complejidad

- organización de un cache
- Coherencia de un cache

4

Memorias Dinámicas

- Introducción
 - Organización interna
- 5 Arquitecturas DRAM
- Evolución
 - Throughput + Latency

6

Standards

- Estado del arte
- JEDEC SDRAM
- JEDEC DDR SDRAM

7

Configuración

- Configuración del DRAM Device
- Entrada Salida de Datos

8

Protocolo de acceso

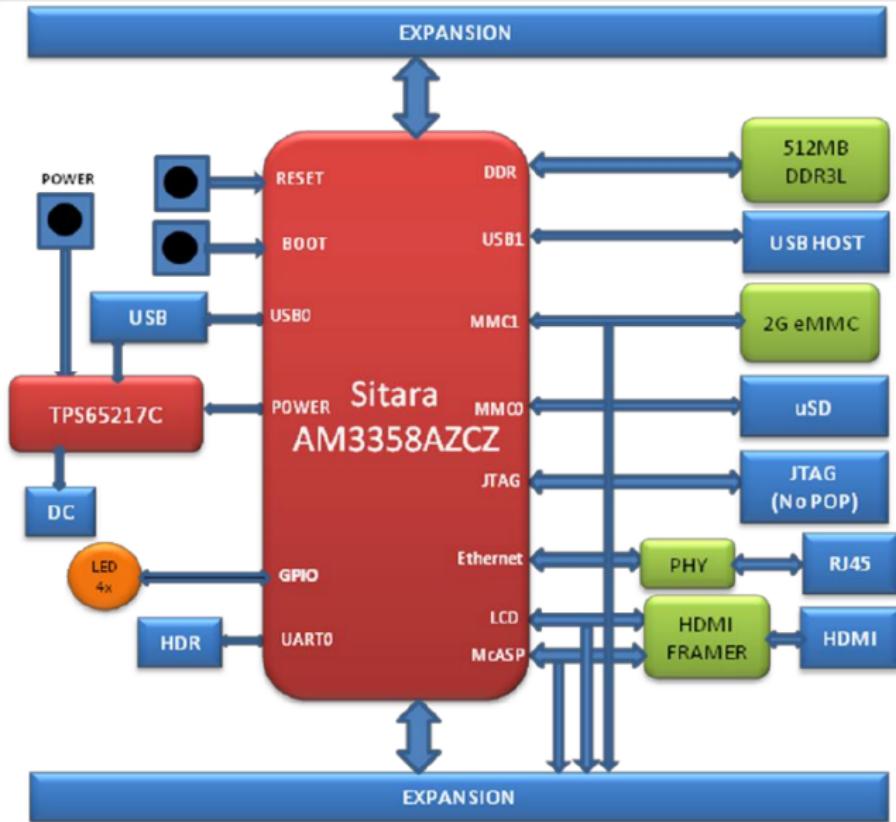
- Fundamentos básicos
- 9 Controladores de Memoria
- Introducción General
 - Arquitectura

10

Casos Prácticos

- Beagle Bone Black
- Memorias DDR en la BBB
- Controlador de DDRn SDRAM en la BBB

Diagrama General de la BBB



Subsistema de Memoria

- ▶ **512MB DDR3L** Utiliza un solo device DRAM de 256Mb_x16 DDR3L 4Gb (512MB). El chip de memoria es el MT41K256M16HA-125 de Micron. Opera a 400MHz manteniendo una velocidad efectiva de 800MHZ sobre el bus DDR3L, alcanzando así un ancho de banda de memoria de 1.6GB/S.
- ▶ **4KB EEPROM** Mantiene la información del board: board name, serial number, revisión, etc. .
- ▶ **2GB Embedded MMC** Se conecta por default al port MMC1 del procesador, permitiendo accesos de 8 bits de ancho. Se puede cambiar al port MMC0, al slot de la SD.

Temario

1

El sistema de Memoria

- Jerarquía de Memorias
- Principio de Vecindad o Lacialidad

2

Tecnologías de Memoria

- Clasificación de memorias
- Memorias y velocidad del Procesador

3

Memoria Cache

- Principio de Funcionamiento
- Hardware dedicado = + complejidad

- organización de un cache
- Coherencia de un cache

4

Memorias Dinámicas

- Introducción
 - Organización interna
- 5 Arquitecturas DRAM
- Evolución
 - Throughput + Latency

6

Standards

- Estado del arte
- JEDEC SDRAM
- JEDEC DDR SDRAM

7

Configuración

- Configuración del DRAM Device
- Entrada Salida de Datos

8

Protocolo de acceso

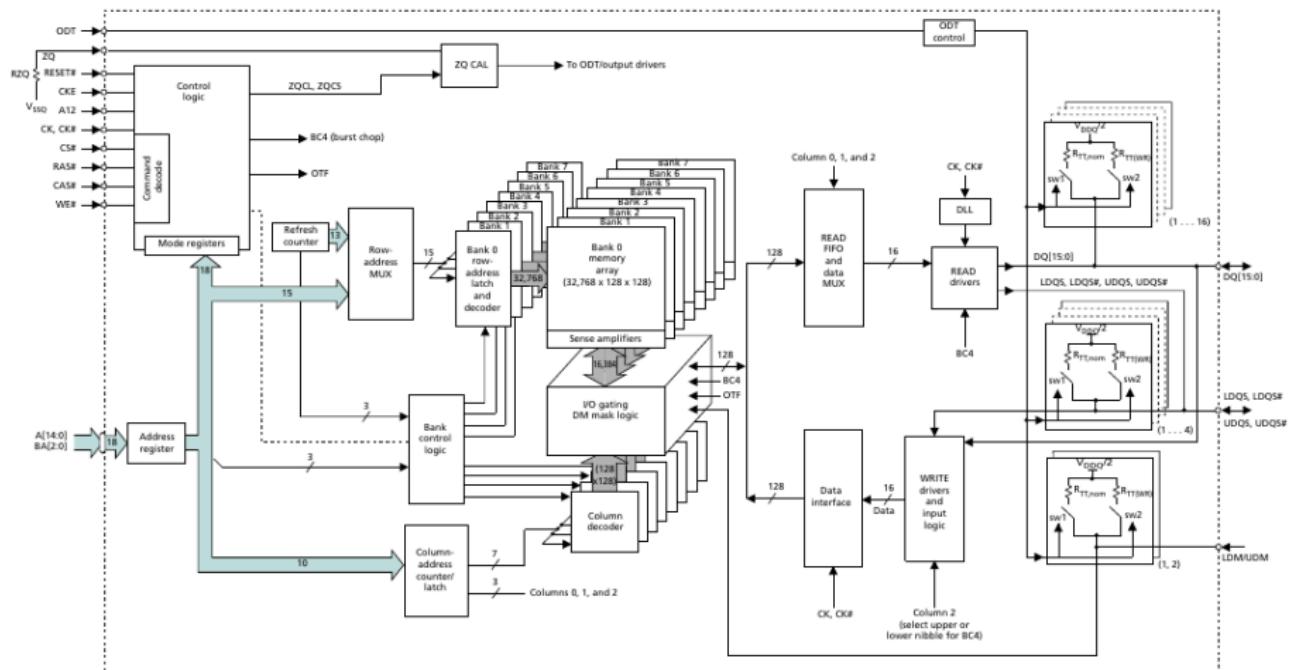
- Fundamentos básicos
- 9 Controladores de Memoria
- Introducción General
 - Arquitectura

10

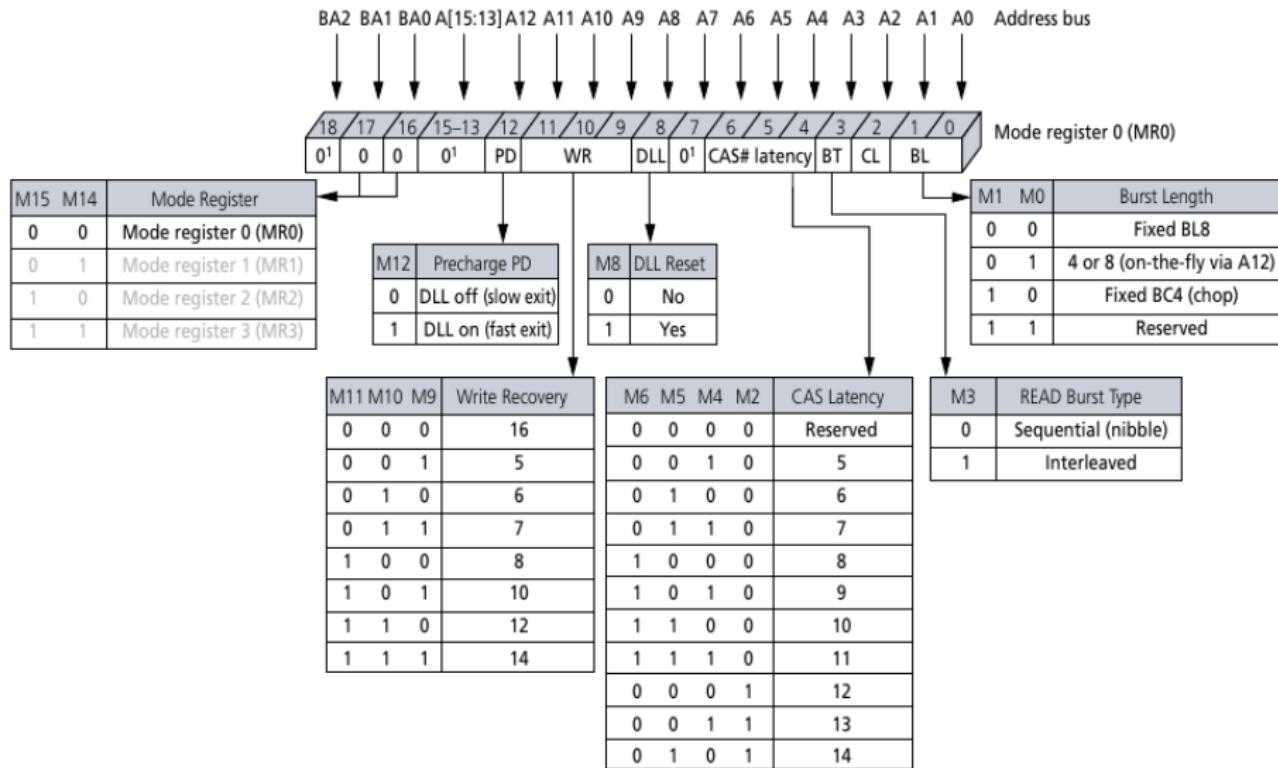
Casos Prácticos

- Beagle Bone Black
- **Memorias DDR en la BBB**
- Controlador de DDRn SDRAM en la BBB

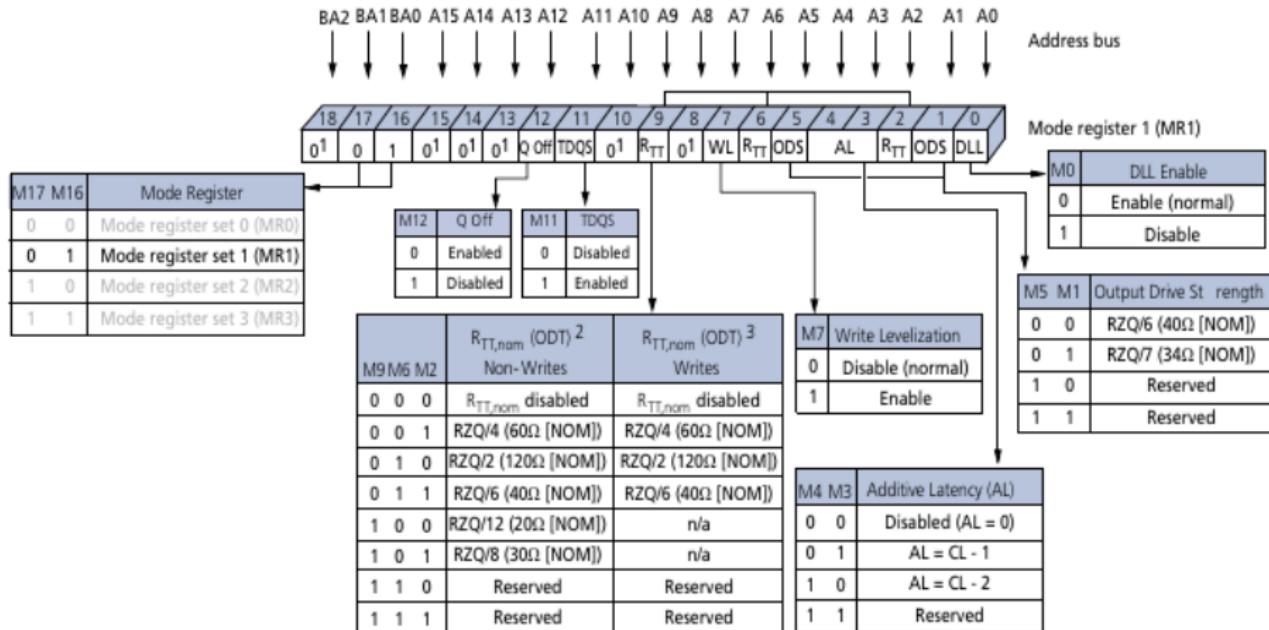
Organización de la DRAM MT41K256M16 de Micron



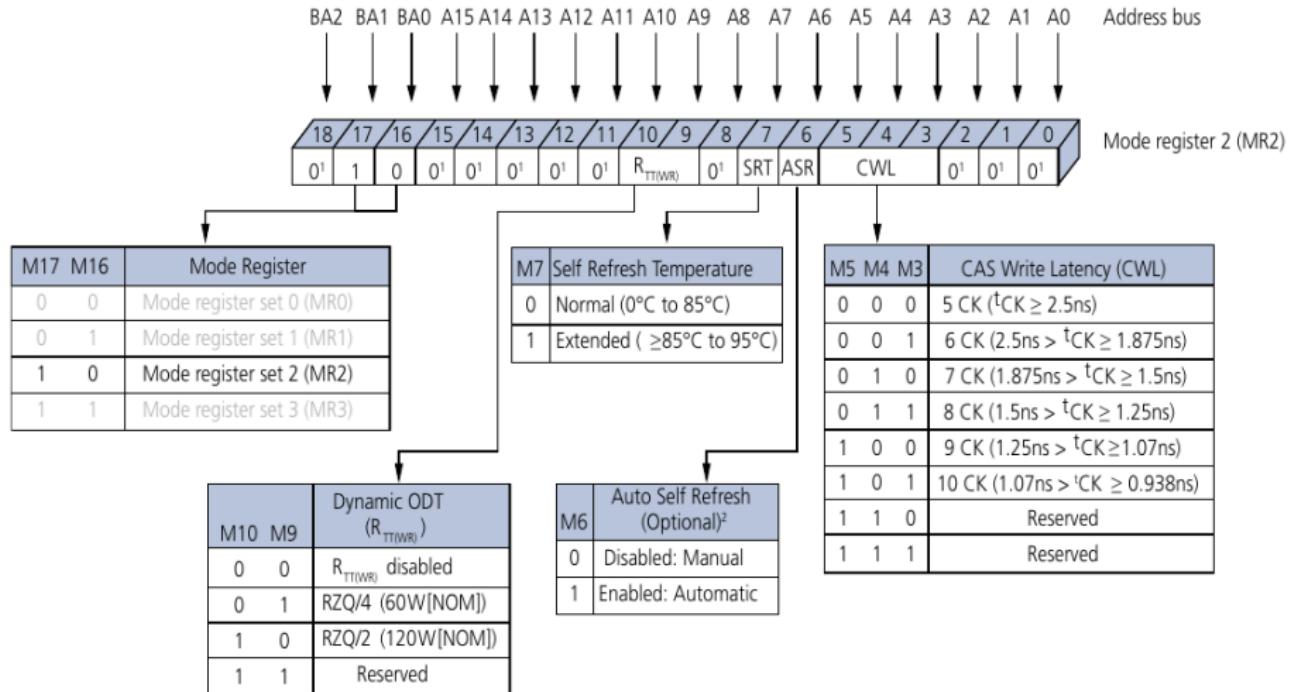
Registro de Modo 0 del MT41K256M16



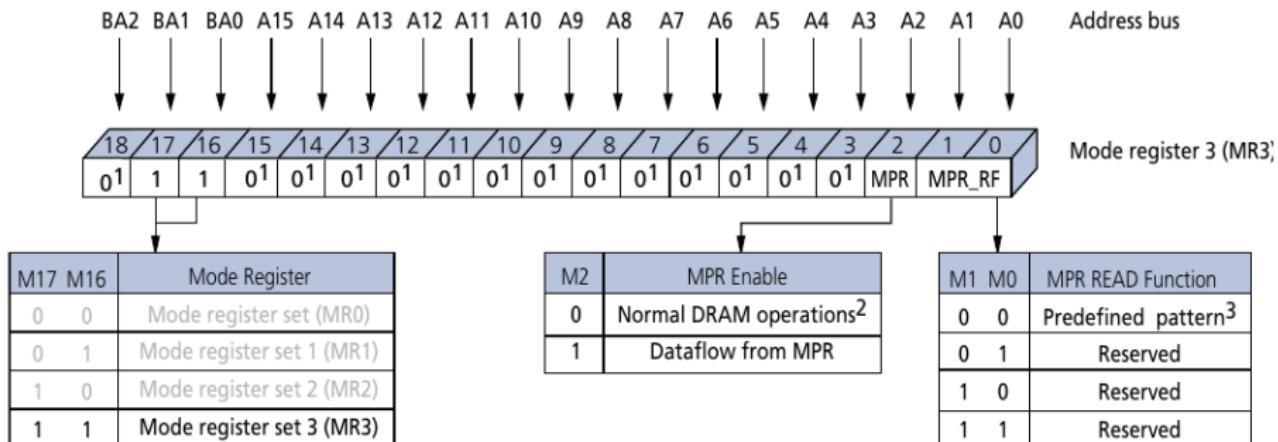
Registro de Modo 1 del MT41K256M16



Registro de Modo 2 del MT41K256M16



Registro de Modo 3 del MT41K256M16



Temario

1

El sistema de Memoria

- Jerarquía de Memorias
- Principio de Vecindad o Lacialidad

2

Tecnologías de Memoria

- Clasificación de memorias
- Memorias y velocidad del Procesador

3

Memoria Cache

- Principio de Funcionamiento
- Hardware dedicado = + complejidad

- organización de un cache
- Coherencia de un cache

4

Memorias Dinámicas

- Introducción
 - Organización interna
- 5 Arquitecturas DRAM
- Evolución
 - Throughput + Latency

6

Standards

- Estado del arte
- JEDEC SDRAM
- JEDEC DDR SDRAM

7

Configuración

- Configuración del DRAM Device
- Entrada Salida de Datos

8

Protocolo de acceso

- Fundamentos básicos
- 9 Controladores de Memoria
- Introducción General
 - Arquitectura

10

Casos Prácticos

- Beagle Bone Black
- Memorias DDR en la BBB
- Controlador de DDRn SDRAM en la BBB

Registros Memory Mapped

- ▶ En general los Cores ARM tienen E/S memory mapped.
- ▶ El controlador de memoria (EMIF) tiene un set de registros de 32 bits mapeados a partir de la dirección 0x4C000000)
- ▶ En rigor el espacio asignado al controlador es 0x4C000000 a 0x4CFFFFFF.

Cálculo de los valores a programar

	A	B	C	D	E	F	G	H
1	AM335x DDR3 Timing Configuration Tool							
2		AM335x register name	AM335x register bit length	Memory datasheet symbol	Memory Datasheet value	unit	AM335x Setting (Decimal)	Comments
3		REG_T_RP	4	1CK	3.3	ns		
4		REG_T_RCD	4	1RC	13.5	ns	4	typically taken from the speed bin tables
5		REG_T_WR	4	1WR	15	ns	4	4 typically taken from the speed bin tables
6		REG_T_RAS	5	1RAS	36	ns	10	1RAS should be \geq 1RC
7		REG_T_RC	6	1RC	49.5	ns	14	
8		REG_T_RRD	3	1RRD	4	1CK	3	use the value given in CK units
9		REG_T_WTR	3	1WTR	4	1CK	3	use the value given in CK units
10		REG_T_XP	3	1XP	3	1CK	2	use the value given in CK units
11		REG_T_ODT	3	1ODT _{lon}	3	1CK	3	3 typically in terms of CWL. First determine CWL
12		REG_T_XSNR	9	1XS	170	ns	51	51 usually IRFC+10
13		REG_T_XSRD	10	1XSDLL	51.2	1CK	511	511 usually in terms of tDDLK
14		REG_T_RTIP	3	1RTIP	4	1CK	3	3 use the value given in CK units
15		REG_T_CKE	3	1CKE	3	1CK	2	2 use the value given in CK units
16		REG_T_PDLL_UL	4				5	5 set to fixed value of 5
17		REG_T_ZOCS	6	1ZOCS	64	1CK	63	
18		REG_T_RFCS	9	1RFC	160	ns	48	
19				1REFI				
20		REG_T_RAS_MAX	4	1RASmax				15 for DDR3, must be set to 15
21								
22								
23								
24								

Herramienta de configuración

Generalmente los fabricantes proporcionan una herramienta para calcular los valores a setear en los campos de bits de los registros del controlador de memoria. En este caso, en la columna coloreada en amarillo se ingresan los valores de temporización que figuran en la hoja de datos de la memoria que se decida colocar, y se calcula automáticamente el valor a programar para esa memoria.

Tiempos

I _{DD} Parameter		DDR3L -800		DDR3L -1066		DDR3L -1333		DDR3L -1600		DDR3L -1866	DDR3L -2133	Unit
		-25E	-25	-187E	-187	-15E	-15	-125E	-125	-107	-093	
		5-5-5	6-6-6	7-7-7	8-8-8	9-9-9	10-10-10	10-10-10	11-11-11	13-13-13	14-14-14	
t _{CK} (MIN) I _{DD}		2.5		1.875		1.5		1.25		1.07	0.938	ns
CL I _{DD}		5	6	7	8	9	10	10	11	13	14	CK
t _{RCD} (MIN) I _{DD}		5	6	7	8	9	10	10	11	13	14	CK
t _{RC} (MIN) I _{DD}		20	21	27	28	33	34	38	39	45	50	CK
t _{RAS} (MIN) I _{DD}		15	15	20	20	24	24	28	28	32	36	CK
t _{RP} (MIN)		5	6	7	8	9	10	10	11	13	14	CK
t _{FAW}	x4, x8	16	16	20	20	20	20	24	24	26	27	CK
	x16	20	20	27	27	30	30	32	32	33	38	CK
t _{RRD} I _{DD}	x4, x8	4	4	4	4	4	4	5	5	5	6	CK
	x16	4	4	6	6	5	5	6	6	6	7	CK
t _{RFC}	1Gb	44	44	59	59	74	74	88	88	103	118	CK
	2Gb	64	64	86	86	107	107	128	128	150	172	CK
	4Gb	104	104	139	139	174	174	208	208	243	279	CK
	8Gb	140	140	187	187	234	234	280	280	328	375	CK

Tiempos

Electrical Characteristics and AC Operating Conditions

Parameter	Symbol	DDR3L-800		DDR3L-1066		DDR3L-1333		DDR3L-1600		Unit	Notes
		Min	Max	Min	Max	Min	Max	Min	Max		
DQS, DQS# Low-Z time (RL - 1)	¹ LZDQS	-800	400	-600	300	-500	250	-450	225	ps	22, 23
DQS, DQS# High-Z time (RL + BL/2)	¹ HZDQS	-	400	-	300	-	250	-	225	ps	22, 23
DQS, DQS# differential READ preamble	¹ RPRE	0.9	Note 24	0.9	Note 24	0.9	Note 24	0.9	Note 24	CK	23, 24
DQS, DQS# differential READ postamble	¹ RPST	0.3	Note 27	0.3	Note 27	0.3	Note 27	0.3	Note 27	CK	23, 27
Command and Address Timing											
DLL locking time	¹ DLLK	512	-	512	-	512	-	512	-	CK	28
CTRL, CMD, ADDR setup to CK, CK#	¹ IS (AC160)	215	-	140	-	80	-	60	-	ps	29, 30, 44
		375	-	300	-	240	-	220	-	ps	20, 30
CTRL, CMD, ADDR setup to CK, CK#	¹ IS (AC135)	365	-	290	-	205	-	185	-	ps	29, 30, 44
		500	-	425	-	340	-	320	-	ps	20, 30
CTRL, CMD, ADDR setup to CK, CK#	¹ IH (DC90)	285	-	210	-	150	-	130	-	ps	29, 30, 44
		375	-	300	-	240	-	220	-	ps	20, 30
Minimum CTRL, CMD, ADDR pulse width	¹ IPW	900	-	780	-	620	-	560	-	ps	41
ACTIVATE to internal READ or WRITE delay	¹ RCD	See Speed Bin Tables for ¹ RCD								ns	31
PRECHARGE command period	¹ RP	See Speed Bin Tables for ¹ RP								ns	31
ACTIVATE-to-PRECHARGE command period	¹ RAS	See Speed Bin Tables for ¹ RAS								ns	31, 32
ACTIVATE-to-activate command period	¹ RC	See Speed Bin Tables for ¹ RC								ns	31, 43
ACTIVATE-to-activate minimum command period	¹ RRD	x4/x8 (1KB page size)		MIN = greater of 4CK or 10ns		MIN = greater of 4CK or 7.5ns		MIN = greater of 4CK or 6ns		CK	31
		x16 (2KB page size)		MIN = greater of 4CK or 10ns		MIN = greater of 4CK or 7.5ns		MIN = greater of 4CK or 6ns		CK	31
Four ACTIVATE windows	¹ FAW	40	-	37.5	-	30	-	30	-	ns	31
		50	-	50	-	45	-	40	-	ns	31
Write recovery time	¹ WR	MIN = 15ns; MAX = N/A								ns	31, 32, 33, 34
Delay from start of internal WRITE transaction to internal READ command	¹ WTR	MIN = greater of 4CK or 7.5ns; MAX = N/A								CK	31, 34
READ-to-PRECHARGE time	¹ RTP	MIN = greater of 4CK or 7.5ns; MAX = N/A								CK	31, 32



Tiempos

Electrical Characteristics and AC Operating Conditions

Parameter	Symbol	DDR3L-800		DDR3L-1066		DDR3L-1333		DDR3L-1600		Unit	Notes	
		Min	Max	Min	Max	Min	Max	Min	Max			
WRITE with auto precharge command to power-down entry	BL8 (OTF, MRS) BC4OTF	^t WRAP-DEN		MIN = WL + 4 + WR + 1						CK		
	BC4MRS	^t WRAP-DEN		MIN = WL + 2 + WR + 1								
Power-Down Exit Timing												
DLL on, any valid command, or DLL off to commands not requiring locked DLL	^t XP	MIN = greater of 3CK or 7.5ns; MAX = N/A		MIN = greater of 3CK or 6ns; MAX = N/A						CK		
Precharge power-down with DLL off to commands requiring a locked DLL	^t XPDLL	MIN = greater of 10CK or 24ns; MAX = N/A								CK	28	
ODT Timing												
R _{TT} synchronous turn-on delay	^t ODTLon			CWL + AL - 2CK						CK	38	
R _{TT} synchronous turn-off delay	^t ODTLoff			CWL + AL - 2CK						CK	40	
R _{TT} turn-on from ODTL on reference	^t AON	-400	400	-300	300	-250	250	-225	225	ps	23, 38	
R _{TT} turn-off from ODTL off reference	^t AOF	0.3	0.7	0.3	0.7	0.3	0.7	0.3	0.7	CK	39, 40	
Asynchronous R _{TT} turn-on delay (power-down with DLL off)	^t AONPD	MIN = 2; MAX = 8.5								ns	38	
Asynchronous R _{TT} turn-off delay (power-down with DLL off)	^t AOPD	MIN = 2; MAX = 8.5								ns	40	
ODT HIGH time with WRITE command and BL8	^t ODTH8	MIN = 6; MAX = N/A								CK		
ODT HIGH time without WRITE command or with WRITE command and BC4	^t ODTH4	MIN = 4; MAX = N/A								CK		
Dynamic ODT Timing												
R _{TT,nom} -to-R _{TT(WR)} change skew	^t ODTLcnw	WL - 2CK								CK		
R _{TT(WR)} -to-R _{TT,nom} change skew - BC4	^t ODTLcnw4	4CK + ODTLoff								CK		
R _{TT(WR)} -to-R _{TT,nom} change skew - BL8	^t ODTLcnw8	6CK + ODTLoff								CK		
R _{TT} dynamic change skew	^t ADC	0.3	0.7	0.3	0.7	0.3	0.7	0.3	0.7	CK	39	
Write Leveling Timing												
First DQS, DQS# rising edge	^t WLMRD	40	—	40	—	40	—	40	—	CK		
DQS, DQS# delay	^t WLDQSEN	25	—	25	—	25	—	25	—	CK		
Write leveling setup from rising CK, CK# crossing to rising DQS, DQS# crossing	^t WLS	325	—	245	—	195	—	165	—	ps		



Tiempos

Electrical Characteristics and AC Operating Conditions

Parameter	Symbol	DDR3L-800		DDR3L-1066		DDR3L-1333		DDR3L-1600		Unit	Notes	
		Min	Max	Min	Max	Min	Max	Min	Max			
CAS#-to-CAS# command delay	^t CCD			MIN = 4CK; MAX = N/A						CK		
Auto precharge write recovery + precharge time	^t DAL			MIN = WR + ^t RP/CK (AVG); MAX = N/A						CK		
MODE REGISTER SET command cycle time	^t MRD			MIN = 4CK; MAX = N/A						CK		
MODE REGISTER SET command update delay	^t MOD			MIN = greater of 12CK or 15ns; MAX = N/A						CK		
MULTIPURPOSE REGISTER READ burst end to mode register set for multipurpose register exit	^t MPRR			MIN = 1CK; MAX = N/A						CK		
Calibration Timing												
ZQCL command: Long calibration time	POWER-UP and RE-SET operation	^t ZQinit	512	-	512	-	512	-	512	-	CK	
	Normal operation	^t ZQoper	256	-	256	-	256	-	256	-	CK	
ZQCS command: Short calibration time		^t ZQCS	64	-	64	-	64	-	64	-	CK	
Initialization and Reset Timing												
Exit reset from CKE HIGH to a valid command	^t XPR			MIN = greater of 5CK or ^t RFC + 10ns; MAX = N/A						CK		
Begin power supply ramp to power supplies stable	^t VDDPR			MIN = N/A; MAX = 200						ms		
RESET# LOW to power supplies stable	^t RPS			MIN = 0; MAX = 200						ms		
RESET# LOW to I/O and R _{TT} High-Z	^t IOZ			MIN = N/A; MAX = 20						ns	35	
Refresh Timing												
REFRESH-to-ACTIVATE or REFRESH command period	^t RFC - 1Gb			MIN = 110; MAX = 70,200						ns		
	^t RFC - 2Gb			MIN = 160; MAX = 70,200						ns		
	^t RFC - 4Gb			MIN = 260; MAX = 70,200						ns		
	^t RFC - 8Gb			MIN = 350; MAX = 70,200						ns		
Maximum refresh period	^t C ≤ 85°C	^t REFI	-		64 (1X)						ms	36
	^t C > 85°C		32 (2X)								ms	36
Maximum average periodic refresh	^t C ≤ 85°C	^t REFI			7.8 (64ms/8192)						μs	36
	^t C > 85°C				3.9 (32ms/8192)						μs	36
Self Refresh Timing												
Exit self refresh to commands not requiring locked DLL	^t XS			MIN = greater of 5CK or ^t RFC + 10ns; MAX = N/A						CK		



Tiempos

Electrical Characteristics and AC Operating Conditions

Parameter	Symbol	DDR3L-800		DDR3L-1066		DDR3L-1333		DDR3L-1600		Unit	Notes				
		Min	Max	Min	Max	Min	Max	Min	Max						
Exit self refresh to commands requiring a locked DLL	^t XSDLL	MIN = ^t DLL (MIN); MAX = N/A								CK	28				
Minimum CKE low pulse width for self refresh entry to self refresh exit timing	^t CESR	MIN = ^t CKE (MIN) + CK; MAX = N/A								CK					
Valid clocks after self refresh entry or power-down entry	^t CKSRE	MIN = greater of 5CK or 10ns; MAX = N/A								CK					
Valid clocks before self refresh exit, power-down exit, or reset exit	^t CKSRX	MIN = greater of 5CK or 10ns; MAX = N/A								CK					
Power-Down Timing															
CKE MIN pulse width	^t CKE (MIN)	Greater of 3CK or 7.5ns		Greater of 3CK or 5.625ns		Greater of 3CK or 5.625ns		Greater of 3CK or 5ns		CK					
Command pass disable delay	^t CPDED	MIN = 1; MAX = N/A								CK					
Power-down entry to power-down exit timing	^t PD	MIN = ^t CKE (MIN); MAX = 9 * tREFI								CK					
Begin power-down period prior to CKE registered HIGH	^t ANPD	WL - 1CK								CK					
Power-down entry period: ODT either synchronous or asynchronous	PDE	Greater of ^t ANPD or ^t RFC - REFRESH command to CKE LOW time								CK					
Power-down exit period: ODT either synchronous or asynchronous	PDX	^t ANPD + ^t XPDLL								CK					
Power-Down Entry Minimum Timing															
ACTIVATE command to power-down entry	^t ACTPDEN	MIN = 1								CK					
PRECHARGE/PRECHARGE ALL command to power-down entry	^t PRPDEN	MIN = 1								CK					
REFRESH command to power-down entry	^t REFPDEN	MIN = 1								CK	37				
MRS command to power-down entry	^t MRSPDEN	MIN = ^t MOD (MIN)								CK					
READ/READ with auto precharge command to power-down entry	^t RDPDEN	MIN = RL + 4 + 1								CK					
WRITE command to power-down entry	BLB (OTF, MRS) BC4OTF	MIN = WL + 4 + ^t WR/CK (AVG)								CK					
	BC4MRS	MIN = WL + 2 + ^t WR/CK (AVG)								CK					

Tiempos

DDR3-1066 Speed Bin		-187E		-187		Unit	Notes
CL-tRCD-tRP		7-7-7		8-8-8			
Parameter	Symbol	Min	Max	Min	Max		
Internal READ command to first data	tAA	13.125	—	15	—	ns	
ACTIVATE to internal READ or WRITE delay time	tRCD	13.125	—	15	—	ns	
PRECHARGE command period	tRP	13.125	—	15	—	ns	
ACTIVATE-to-ACTIVATE or REFRESH command period	tRC	50.625	—	52.5	—	ns	
ACTIVATE-to-PRECHARGE command period	tRAS	37.5	9 x tREFI	37.5	9 x tREFI	ns	1
CL = 5	CWL = 5	tCK (AVG)	3.0	3.3	3.0	3.3	ns 2
	CWL = 6	tCK (AVG)	Reserved		Reserved		ns 3
CL = 6	CWL = 5	tCK (AVG)	2.5	3.3	2.5	3.3	ns 2
	CWL = 6	tCK (AVG)	Reserved		Reserved		ns 3
CL = 7	CWL = 5	tCK (AVG)	Reserved		Reserved		ns 3
	CWL = 6	tCK (AVG)	1.875	<2.5	Reserved		ns 2, 3
CL = 8	CWL = 5	tCK (AVG)	Reserved		Reserved		ns 3
	CWL = 6	tCK (AVG)	1.875	<2.5	1.875	<2.5	ns 2
Supported CL settings		5, 6, 7, 8		5, 6, 8		CK	
Supported CWL settings		5, 6		5, 6		CK	

Registro SDRAM_TIM_1

Bit	Field	Type	Reset	Description
31-29	RESERVED	R	0h	
28-25	reg_t_rp	R/W	0h	Minimum number of DDR clock cycles from Precharge to Activate or Refresh, minus one.
24-21	reg_t_rcd	R/W	0h	Minimum number of DDR clock cycles from Activate to Read or Write, minus one.
20-17	reg_t_wr	R/W	0h	Minimum number of DDR clock cycles from last Write transfer to Pre-charge, minus one. The SDRAM initialization sequence will be started when the value of this field is changed from the previous value and the EMIF is in DDR2 mode.
16-12	reg_t_ras	R/W	0h	Minimum number of DDR clock cycles from Activate to Pre-charge, minus one. $\text{reg_t_ras} \geq \text{reg_t_rcd}$.
11-6	reg_t_rc	R/W	0h	Minimum number of DDR clock cycles from Activate to Activate, minus one.
5-3	reg_t_rrd	R/W	0h	Minimum number of DDR clock cycles from Activate to Activate for a different bank, minus one. For an 8 bank DDR2 and DDR3, this field must be equal to $((\text{tFAW}/(4*\text{tCK}))-1)$.
2-0	reg_t_wtr	R/W	0h	Minimum number of DDR clock cycles from last Write to Read, minus one.

Registro SDRAM_TIM_2

Bit	Field	Type	Reset	Description
31	RESERVED	R	0h	
30-28	reg_t_xp	R/W	0h	Minimum number of DDR clock cycles from Powerdown exit to any command other than a Read command, minus one. For DDR2 and LPDDR1, this field must satisfy greater of tXP or tCKE.
27-25	reg_t_odt	R/W	0h	Minimum number of DDR clock cycles from ODT enable to write data driven for DDR2 and DDR3. reg_t_odt must be equal to tAOND.
24-16	reg_t_xsnr	R/W	0h	Minimum number of DDR clock cycles from Self-Refresh exit to any command other than a Read command, minus one.
15-6	reg_t_xsrd	R/W	0h	Minimum number of DDR clock cycles from Self-Refresh exit to a Read command, minus one.
5-3	reg_t_rtp	R/W	0h	Minimum number of DDR clock cycles from the last Read command to a Pre-charge command for DDR2 and DDR3, minus one.
2-0	reg_t_cke	R/W	0h	Minimum number of DDR clock cycles between pad_cke_o changes, minus one.

Registro SDRAM_TIM_3

Bit	Field	Type	Reset	Description
31-28	reg_t_pdll_ul	R/W	0h	Minimum number of DDR clock cycles for PHY DLL to unlock. A value of N will be equal to N x 128 clocks.
27-24	RESERVED	R	0h	
23-21	RESERVED	R/W	0h	Reserved.
20-15	reg_zq_zqcs	R/W	0h	Number of DDR clock clock cycles for a ZQCS command, minus one.
14-13	RESERVED	R/W	0h	Reserved.
12-4	reg_t_rfc	R/W	0h	Minimum number of DDR clock cycles from Refresh or Load Mode to Refresh or Activate, minus one.
3-0	reg_t_ras_max	R/W	0h	Maximum number of reg_refresh_rate intervals from Activate to Precharge command. This field must be equal to ((tRASmax / tREFI)-1) rounded down to the next lower integer. This field is only applicable for mDDR. This field must be programmed to 0xF for other SDRAM types.