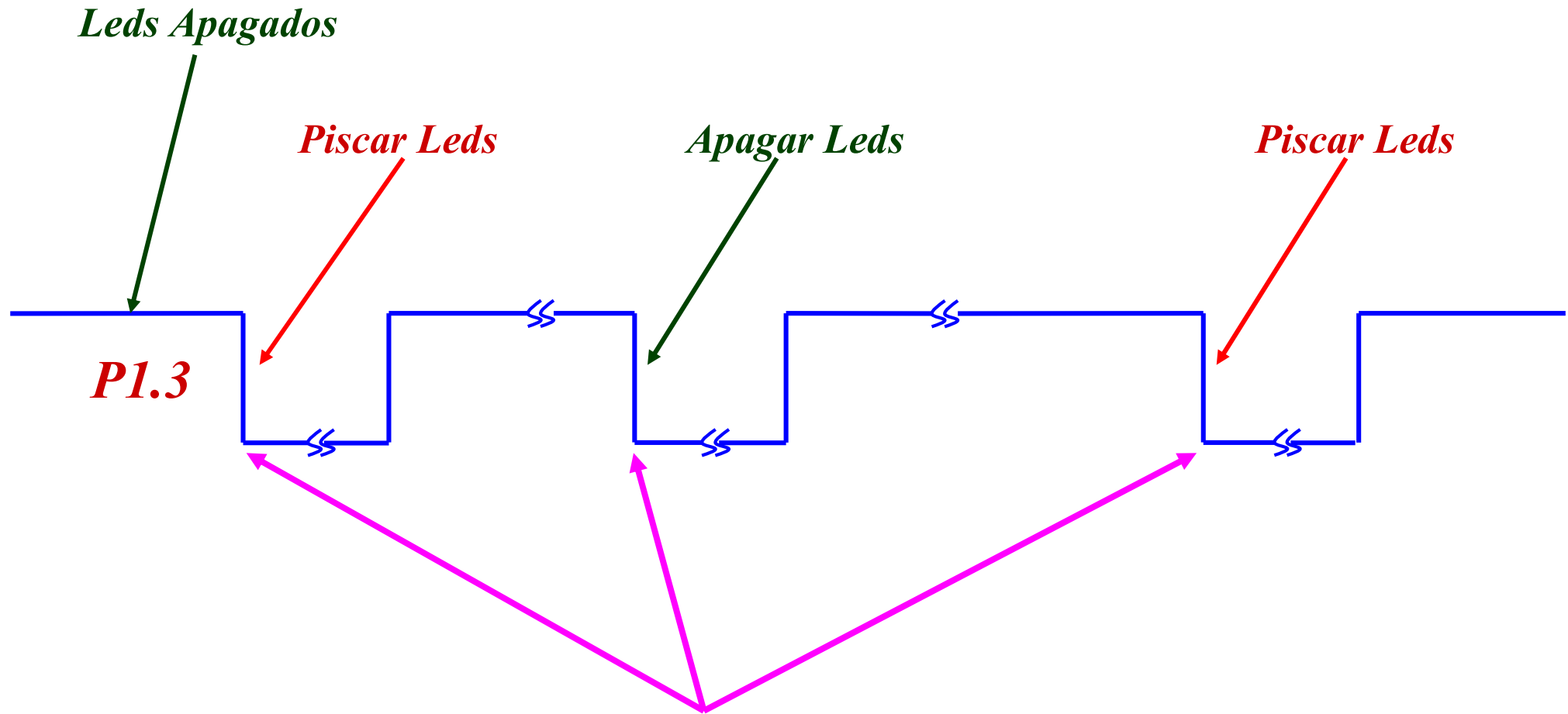


Exercício 7:

- Escrever um programa para alternar o estado dos LEDs **vermelho e verde** da placa MSP-EXP430G2 a cada 250 ciclos de CPU.
- Utilizar a sub-rotina de temporização (*delay*)
- O programa deverá iniciar com os LEDs apagados.
- A cada ocorrência de uma borda de descida no sinal do pino **P1.3** (*Botão S2*), o estado dos LEDs deverá alternar entre apagado e piscante.



A borda negativa deve ser detectada através da interrupção do pino *P1.3*

Quando a interrupção de um periférico é ativada e o bit *GIE* do Registrador de Estado está setado, a Rotina de Serviço de Interrupção é ativada

Sequencia para o atendimento de uma interrupção:

- Qualquer instrução que estiver sendo executada é completada;
- O *PC*, que aponta para a próxima instrução, é colocado na pilha;
- O Registrador de Estado (*SR*) é colocado na pilha;
- Caso haja mais de uma interrupção ativada, a de mais alta prioridade é selecionada;
- O Registrador de Estado é zerado;
- O conteúdo do vetor de Interrupção é carregado no *PC*. A execução do programa continua nesse endereço.

Interrupções do MSP430G2553

INTERRUPT SOURCE	INTERRUPT FLAG	SYSTEM INTERRUPT	WORD ADDRESS	PRIORITY
Power-Up External Reset Watchdog Timer+ Flash key violation PC out-of-range ⁽¹⁾	PORIFG RSTIFG WDTIFG KEYV ⁽²⁾	Reset	0FFFEh	31, highest
NMI Oscillator fault Flash memory access violation	NMIIFG OFIFG ACCVIFG ⁽²⁾⁽³⁾	(non)-maskable (non)-maskable (non)-maskable	0FFFCh	30
Timer1_A3	TA1CCR0 CCIFG ⁽⁴⁾	maskable	0FFFAh	29
Timer1_A3	TA1CCR2 TA1CCR1 CCIFG, TAIFG ⁽²⁾⁽⁴⁾	maskable	0FFF8h	28
Comparator_A+	CAIFG ⁽⁴⁾	maskable	0FFF6h	27
Watchdog Timer+	WDTIFG	maskable	0FFF4h	26
Timer0_A3	TA0CCR0 CCIFG ⁽⁴⁾	maskable	0FFF2h	25
Timer0_A3	TA0CCR2 TA0CCR1 CCIFG, TAIFG ⁽⁵⁾⁽⁴⁾	maskable	0FFF0h	24
USCI_A0/USCI_B0 receive USCI_B0 I2C status	UCA0RXIFG, UCB0RXIFG ⁽²⁾⁽⁵⁾	maskable	0FFEEh	23
USCI_A0/USCI_B0 transmit USCI_B0 I2C receive/transmit	UCA0TXIFG, UCB0TXIFG ⁽²⁾⁽⁶⁾	maskable	0FFECCh	22
ADC10 (MSP430G2x53 only)	ADC10IFG ⁽⁴⁾	maskable	0FFEAh	21
			0FFE8h	20
I/O Port P2 (up to eight flags)	P2IFG.0 to P2IFG.7 ⁽²⁾⁽⁴⁾	maskable	0FFE6h	19
I/O Port P1 (up to eight flags)	P1IFG.0 to P1IFG.7 ⁽²⁾⁽⁴⁾	maskable	0FFE4h	18

Interrupções das portas *P1* e *P2*

Todos os pinos das portas *P1* e *P2* podem gerar interrupções.

A configuração das interrupções é feita através dos registradores *PxIFG*, *PxIE* e *PxIES*.

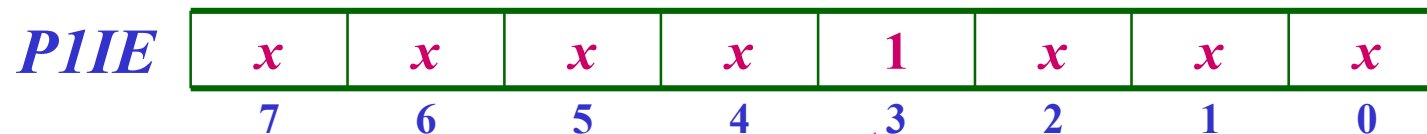
Existe um único *Vetor de Interrupção* para todos os pinos de cada porta. O Registrador *PxIFG* pode ser testado para verificar qual pino ativou a interrupção.

Port	Register	Short Form	Address	Register Type	Initial State
P1	Input	P1IN	020h	Read only	–
	Output	P1OUT	021h	Read/write	Unchanged
	Direction	P1DIR	022h	Read/write	Reset with PUC
	Interrupt Flag	P1IFG	023h	Read/write	Reset with PUC
	Interrupt Edge Select	P1IES	024h	Read/write	Unchanged
	Interrupt Enable	P1IE	025h	Read/write	Reset with PUC
	Port Select	P1SEL	026h	Read/write	Reset with PUC
	Port Select 2	P1SEL2	041h	Read/write	Reset with PUC
	Resistor Enable	P1REN	027h	Read/write	Reset with PUC

Registadores *P1IE* – Habilitação das Interrupções

Cada bit do registrador *P1IE* habilita a interrupção de um pino da Porta 1

- Bit = 1: Interrupção habilitada
- Bit = 0: Interrupção desabilitada

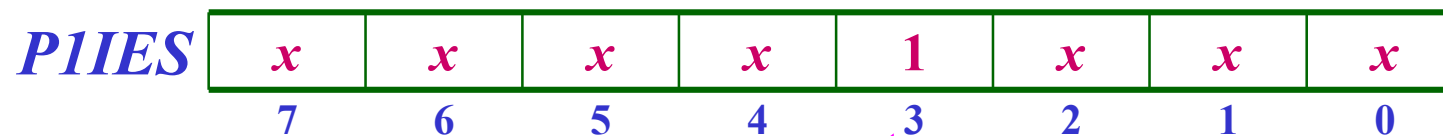


Interrupção do Pino *P1.3* habilitada

Registadores *PIIES* – Seleciona borda de ativação da interrupção

Cada bit do registrador *PIIES* seleciona a borda de ativação da interrupção para cada um dos pinos

- Bit = 0: Interrupção ativada na borda positiva
- Bit = 1: Interrupção ativada na borda negativa

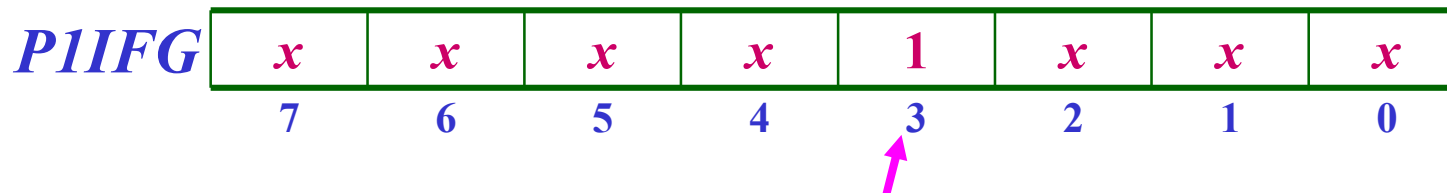


Interrupção do pino *P1.3* ativada na borda de descida

Registradores *P1IFG* – *Flags* que indicam qual pino ativou a interrupção

Cada bit do registrador *P1IFG* é um flag que indica qual dos pinos da Porta 1 que ativou a interrupção.

- Bit = 0: O pino não ativou a interrupção
- Bit = 1: O pino correspondente ativou a interrupção

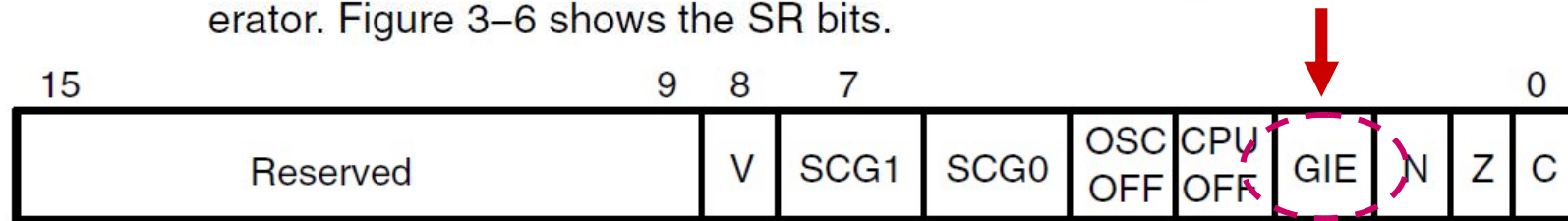


A interrupção do pino *P1.3* foi ativada e está pendente.

Esse bit de flag deve ser resetado pelo programa

Status Register (SR)

The status register (SR/R2), used as a source or destination register, can be used in the register mode only addressed with word instructions. The remaining combinations of addressing modes are used to support the constant generator. Figure 3–6 shows the SR bits.



→ GIE	General interrupt enable. This bit, when set, enables maskable interrupts. When reset, all maskable interrupts are disabled.
N	Negative bit. This bit is set when the result of a byte or word operation is negative and cleared when the result is not negative.
	Word operation: N is set to the value of bit 15 of the result
	Byte operation: N is set to the value of bit 7 of the result
Z	Zero bit. This bit is set when the result of a byte or word operation is 0 and cleared when the result is not 0.
C	Carry bit. This bit is set when the result of a byte or word operation produced a carry and cleared when no carry occurred.

Habilitação das interrupções:

bis.w
SR
eint

#GIE,
Enable General Interrupts

Vetor de Interrupção (Porta 1):

I/O Port P2 (up to eight flags)	P2IFG.0 to P2IFG.7 ⁽²⁾⁽⁴⁾	maskable	0FFE6h	19
I/O Port P1 (up to eight flags)	P1IFG.0 to P1IFG.7 ⁽²⁾⁽⁴⁾	maskable	0FFE4h	18

ASEG 0xFFE4
DC16 interrupcao_P1

Rotina de Interrupção:

interrupcao_P1:

. . .
. . .
. . .

bic.b #BIT3, &P1IFG ; Limpar flag de interrupção
reti

