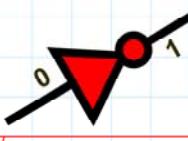
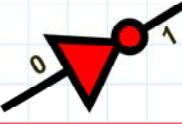


## Tema 3: Introducció a les famílies lògiques integrades



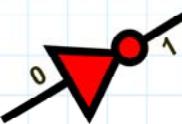
## Objectius

- Comprendre la definició dels estats lògics de les portes lògiques.
- Entendre els paràmetres característics d'una porta lògica, tant a nivell elèctric com a nivell temporal.
- Conéixer i entendre el comportament dels terminals d'entrada i d'eixida d'un circuit lògic.
- Comprendre la problemàtica de la interconnexió de circuits lògics integrats, i estudiar casos pràctics d'interconnexió.
- Conéixer algunes famílies lògiques actuals



## Continguts

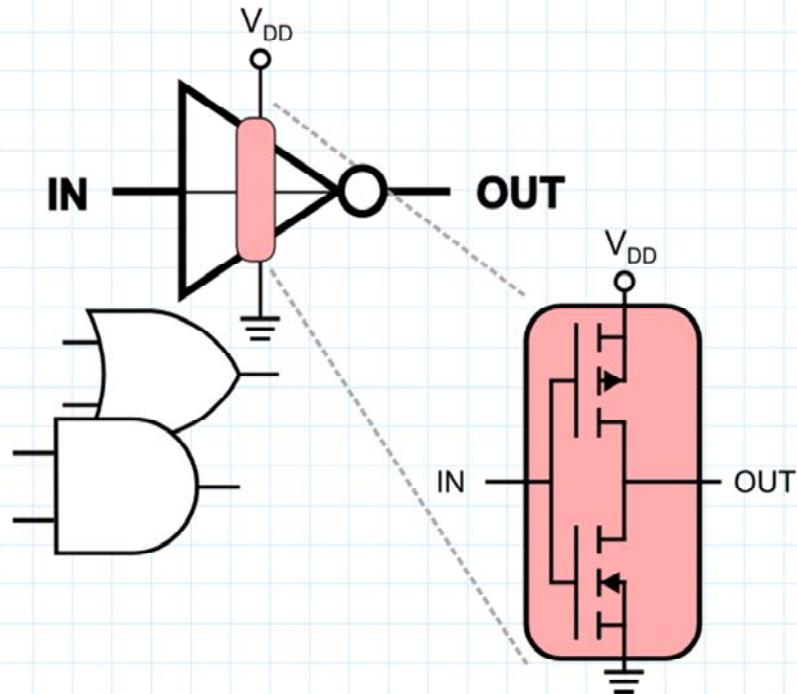
1. Introducció
2. Tipus d'eixides i entrades
3. Paràmetres característics
4. Interconnexió de components digitals
5. Família TTL. Subfamílies



## Bibliografía

- M.H. Rashid. "Circuitos Microelectrónicos. Análisis y diseño". International Thomson. 2002. Capítulo 12.
- A. R. Hambley. "Electrónica". 2<sup>a</sup> ed. Prentice Hall 2001. Capítulo 6.
- Randy H. Katz and Gaetano Borriello, "Contemporary Logic Design", Prentice Hall; 2nd Ed., 2004.
- J. F. Wakerly, "Digital Design. Principles and practices", Prentice Hall, 2006. Capítulo 3.
- Roger Tokheim. "Electrónica digital, principios y aplicaciones", Ed. McGraw-hill. 7<sup>a</sup> Edición, 2008.
- Malvino, Albert Paul. "Principios y aplicaciones digitales", Ed. Marcombo: 1988.

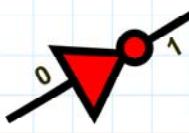
# Introducció Circuits lògics



Una puerta lógica (en general un circuito lógico, combinacional o secuencial), está constituida básicamente por transistores, aunque puede incluir también otros dispositivos adicionales: diodos, resistencias, ...

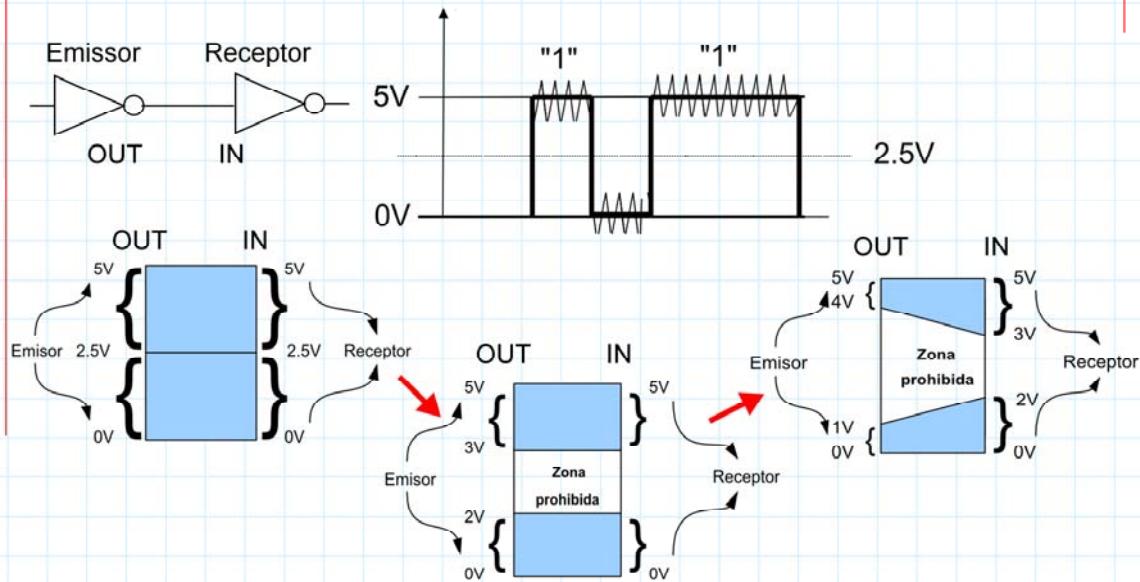
Los transistores pueden ser BJT o MOSFET. En la figura se muestra un inversor CMOS , constituido por 2 transistores, un PMOS y un NMOS.

La puerta lógica necesita alimentarse para hacer funcionar a los dispositivos internos. Para ello lleva 2 terminales:  $V_{DD}$  y masa.



## Introducció Abstracció del “0” i “1”

Els nivells lògics “0” i “1” no són valors de tensió fixos, sinó que s'associen a uns rangs de tensió

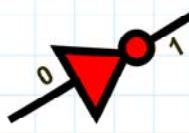


Los niveles lógicos ('0' y '1'), se definen como bandas de tensión.

Como para cada nivel lógico se establece un rango de tensiones, el emisor podría utilizar cualquier valor de este rango para poner un "1" o un "0". Pero, por ejemplo, si el emisor pusiese un "1" utilizando para ello un valor muy próximo al límite, al receptor le resultaría muy complicado determinar si se trata de un "0" o un "1".

Por eso, es necesario establecer para el emisor una zona prohibida alrededor del límite que permite discriminar entre el "0" y el "1". Esa zona prohibida o indeterminada se corresponde a un nivel lógico erróneo, ni '0' ni '1'. En condiciones normales, el circuito lógico no debe funcionar en la banda prohibida. Si se mide la tensión en una entrada o salida de una puerta y corresponde a la banda prohibida, será porque la puerta está defectuosa o hay una conexión errónea.

Obsérvese que los límites de las bandas de tensión son diferentes para la entrada y para la salida. Normalmente la banda de la entrada es mayor que la banda de la salida. Esto confiere a los circuitos una mayor robustez frente a interferencias electromagnéticas, tal como se verá más adelante. Técnicamente, se dice que aumenta la inmunidad al ruido.



# Introducció. Què és una família lògica?

## FAMÍLIA LÒGICA:

- Conjunt d'elements funcionals (portes lògiques, biestables, descodificadors, comptadors, ...) amb el mateix circuit base i la mateixa tecnologia de fabricació.
- Compatibilitat elèctrica, interconnexió directa.

## FAMÍLIES LÒGIQUES PRINCIPALS:

– Bipolars:

- Lògica transistor-transistor (TTL, LSTTL, STTL, ASTTL, ALSTTL, FAST)
- Lògica d'emissor acoblat (ECL)

– MOS:

- **PMOS, NMOS**
- **Pseudo-NMOS**
- **CMOS**
- **Pass-transistor CMOS**
- Dynamic CMOS (Domino)
- BiCMOS (Bipolar- CMOS)
- GaAs (Arsenur de Gali)

En negrita, se han señalado las familias más usadas en microprocesadores y memorias. Obsérvese que están basadas en transistores MOSFET. La más empleada actualmente es la CMOS, que se estudiará en el tema siguiente.

Es posible encontrar cada uno de estos elementos funcionales en chip discretos. Los primeros PC tenían sus placas bases plagadas de este tipo de chips. Actualmente, la práctica totalidad de la funcionalidad de la placa base está integrada en un chip VLSI.

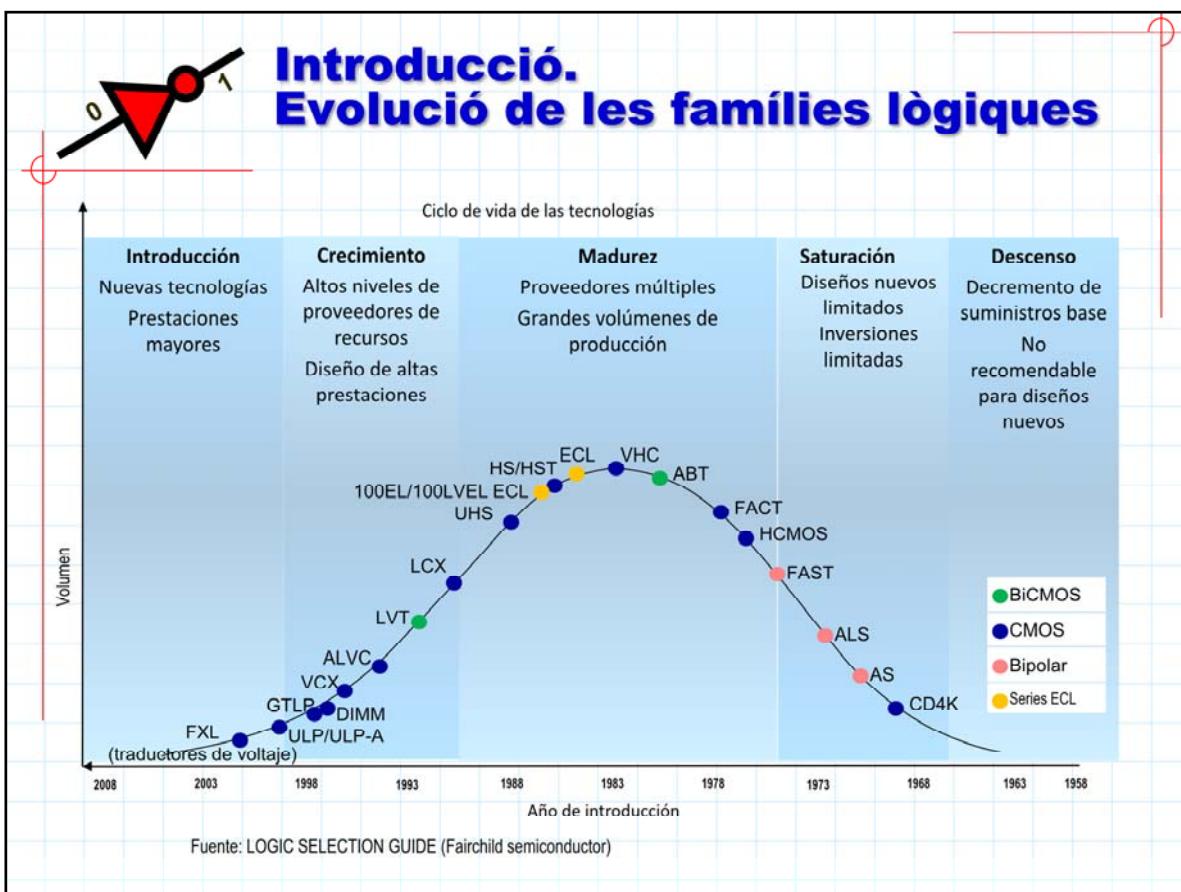
Durante la explosión de estas tecnologías a mediados de los 70, las familias lógicas bipolares fueron utilizadas gracias a su velocidad y su facilidad de alimentación, en el caso de la TTL. Sin embargo, estas familias han perdido repercusión con el paso del tiempo, debido a que presentan un mayor consumo. Su utilidad se centra en circuitos de baja escala de integración (TTL y subfamilias) y en circuitos lógicos de alta velocidad (ECL).

Las familias MOS se utilizaron por su alta densidad de integración en las primeras memorias y microprocesadores. La familia CMOS, que se introdujo posteriormente, era utilizada en entornos donde era necesario un bajo consumo o se trataba de entornos eléctricamente muy ruidosos.

BiCMOS es una familia híbrida, que combina el bajo consumo de la familia CMOS, con la alta velocidad de las familias bipolares. El núcleo lógico es CMOS y la etapa de salida está constituida por transistores bipolares, capaces de suministrar más corriente.

Las familias de GaAs, basadas en materiales semiconductores más caros, eran utilizadas en aplicaciones con requerimientos de frecuencias de funcionamiento extremadamente altos. tales como los sistemas de telecomunicaciones.

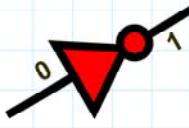
# Introducció. Evolució de les famílies lògiques



Actualmente, la familia más extendida es, con diferencia, la familia CMOS, puesto que se han conseguido mejorar mucho los aspectos deficitarios de la misma como la frecuencia máxima de funcionamiento. En la actualidad se emplea masivamente en dispositivos móviles, que tienen requerimientos energéticos y de procesamiento estrictos, se utilizan también en las CPU y memorias dentro de los PC, sistemas multimedia, etc.

Las familias híbridas Bi-CMOS son más específicas de circuitos electrónicos analógicos como los amplificadores operacionales y circuitos que combinan señales digitales y analógicas (*mixed-signal*).

Las familias lógicas evolucionan hacia niveles de tensión de alimentación cada vez más bajos, se reduce de este modo la potencia disipada, aunque los sistemas y los chips actuales son híbridos en tecnología y tensión de alimentación con varios niveles de alimentación en función de las posibilidades de disipación de potencia, por ejemplo las CPU actuales tienen patillas de alimentación con varias tensiones e incluso en algunos casos se autorregulan.



## Introducció. Escala d'Integració.

### ESCALES D'INTEGRACIÓ EN C.I. DIGITALS:

**SSI** (*Small Scale Integration*), fins a 10 portes/xip: *portes lògiques, biestables, ...*

**MSI** (*Medium Scale Integration*), 10 a 1000 portes: *descodificadors, multiplexors, sumadors, comptadors, registres, ...*

**LSI** (*Large Scale Integration*), 1000 a 10000 portes:  
*microprocessadors (8 bits), memòries, ...*

**VLSI** (*Very Large Scale of Integration*). 1000 a 100,000 portes: *memòries, microprocessadors (16+ bits), CPLD, ...*

**ULSI** (*Ultra Large Scale of Integration*). Més de 100,000 portes:  
*microprocessadors (32+), FPGA, microcontroladors, SoC, ...*

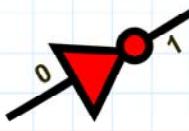
**GSI**: (*Giga Scale of Integration*). Més de 1M portes.

Factor de conversió aprox. en tecnologia CMOS: 6 transistors/porta

Permite clasificar los chips, dependiendo del número de transistores o puertas lógicas que se integran.

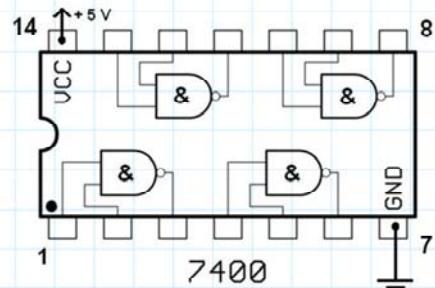
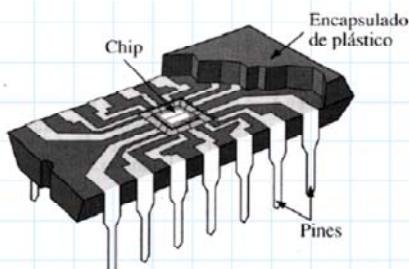
Actualmente los chips de microprocesadores y memorias son VLSI.

Normalmente ULSI y GSI se incluyen en la terminología VLSI.



## Introducció Encapsulats

Per a ubicar els circuits integrats en un sistema electrònic fabricat sobre un circuit imprés (ej. Una placa base d'un computador modern) és necessari inserir el circuit integrat en una carcassa protectora denominada encapsulat.



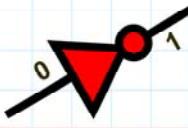
El encapsulado tiene varias funciones:

- Proteger el chip ante agentes externos: temperatura, humedad, golpes, ...
- Disipar el calor generado en el chip hacia el exterior.
- Establecer las interconexiones entre el chip y las patillas externas (pines).

Tienen 2 patillas para la alimentación como mínimo (Vcc y GND).

Algunos presentan una marca para facilitar la numeración de las patillas.

Existen multitud de encapsulados, algunos desarrollados para dispositivos discretos como (SOT23, TO220, etc) y otros como los que se describen a continuación para encapsular circuitos digitales:



## Introducció Encapsulats

La tecnologia d'encapsulament ha seguit un desenvolupament paral·lel a la d'integració

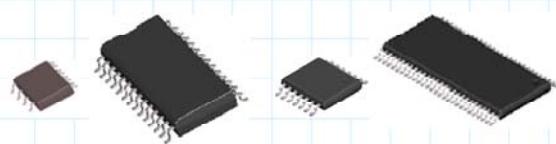
*Dual-In-Line  
Package (DIP ó DIL)  
(fins a 80 pins)*



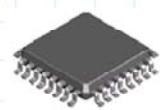
*Plastic Leaded Chip  
Carrier (PLCC)  
(fins a 84 pins)*



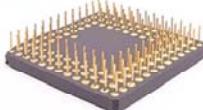
*Small Outline Integrated Circuit (SOIC) / Shrink  
Small Outline Package (SSOP),  
Thin Shrink Small Outline Package (TSSOP)*



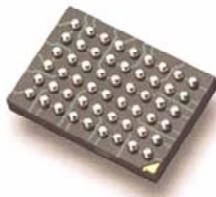
*Quad Flat Pack (QFP)  
Thin Quad Flat Package  
(TQFP)  
(fins a 300 pins)*



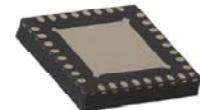
*Pin Grid Array  
(PGA)  
(fins a 400 pins)*



*Ball Grid Array (BGA)  
(major nombre de  
pins)*



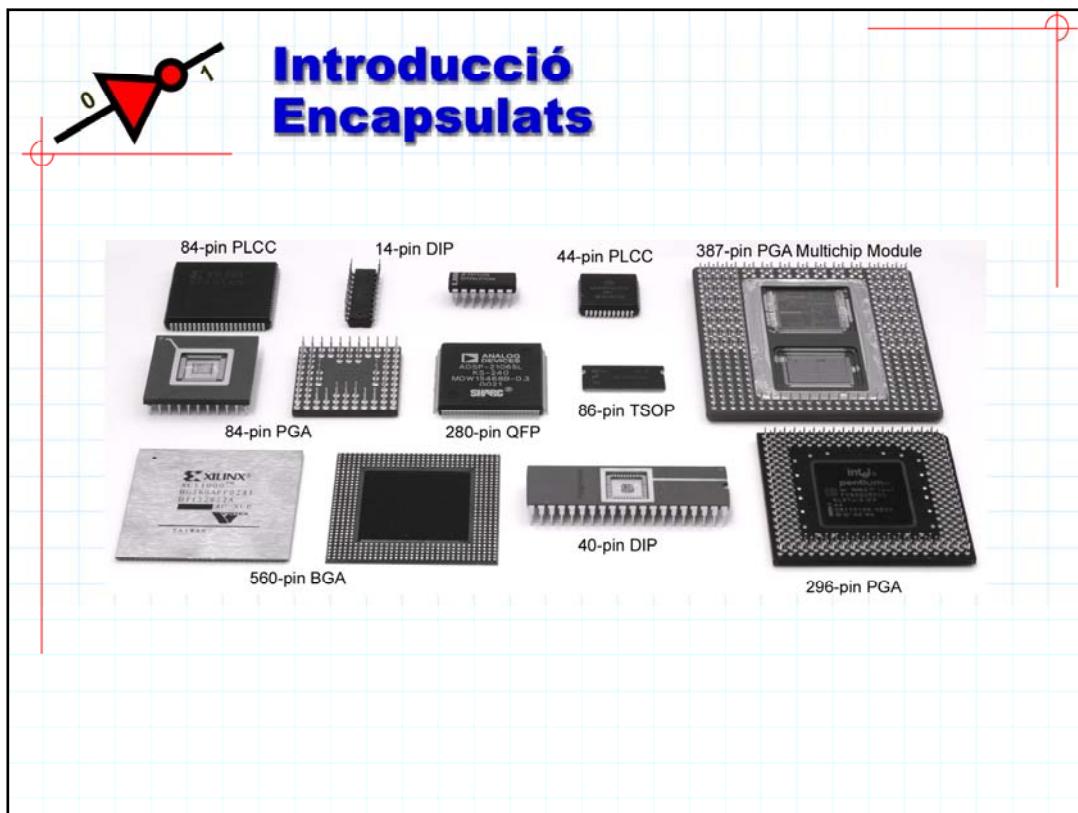
*Quad Flat No-Lead  
Plastic Package (QFN)*



Algunos ejemplos de encapsulado:

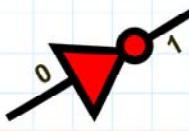
DIL es el más simple, para circuitos lógicos SSI y MSI, como los que se usan en prácticas.

En circuitos VLSI se emplean encapsulados más complejos, con mayor número de patillas, distribuidas no sólo en la periferia, sino también en toda la superficie inferior.



Los encapsulados más usados en microprocesadores y memorias son:

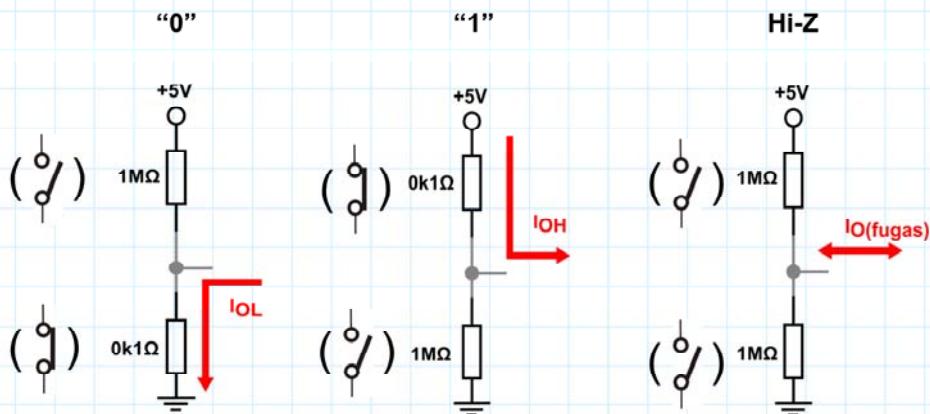
- BGA (*Ball Grid Array*)
- PGA (*Pin Grid Array*)



## Tipus d'eixides Estat d'un terminal

Una eixida pot estar en tres estats: "0", "1" i Hi-Z

- Hi-Z: eixida en alta impedància o flotant; tensió establerta "sense força"
- "0", "1": eixides en baixa impedància; tensió establerta "amb força"

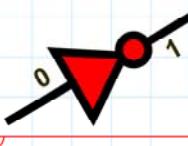


Model IBIS. I/O Buffer Information Specification. Emprat pels fabricants per oferir un model del seu circuits ocultant el disseny intern (SPICE). Taules I/V i taules V/t.

Las puertas lógicas con salidas normales (TTL *totem-pole* o estándar CMOS) ponen sus valores con "fuerza" o dicho de otra forma, con baja impedancia. Esto impide la conexión de dos salidas simultáneamente al mismo punto, pues se ocasiona un conflicto lógico.

IBIS es un estándar que describe las características de las salidas para diferentes tecnologías. Incluye tablas V/I (tensión/corriente), V/t (tensión, tiempo), etc.

Para posibilitar la conexión directa de varias salidas (por ejemplo, en los buses de microprocesadores), se diseñan salidas especiales: colector abierto y triestado.



## Tipus d'eixides

Tipus d'eixida en funció dels possibles valors d'eixida:

**«0» i «1». Eixida estàndard , Totem-Pole**

**«0» i Z. Col·lector Obert i Drenador Obert**

S'empra en línies d'interrupció de processadors, busos de comunicació en sèrie com I<sup>2</sup>C, línies d'I/O digital, en microcontroladors, etc.

**«0», «1» i Z. Eixides Triestat**

S'empra en els busos de dades d'un computador, en busos de direccions dins de sistemes amb diversos processadors, etc.

Vamos a estudiar los tipos de salidas más habituales en los chips de circuitos digitales.

La salida digital normal se llama también estándar o totem-pole. Puede tener dos valores lógicos: el '0' y el '1'.

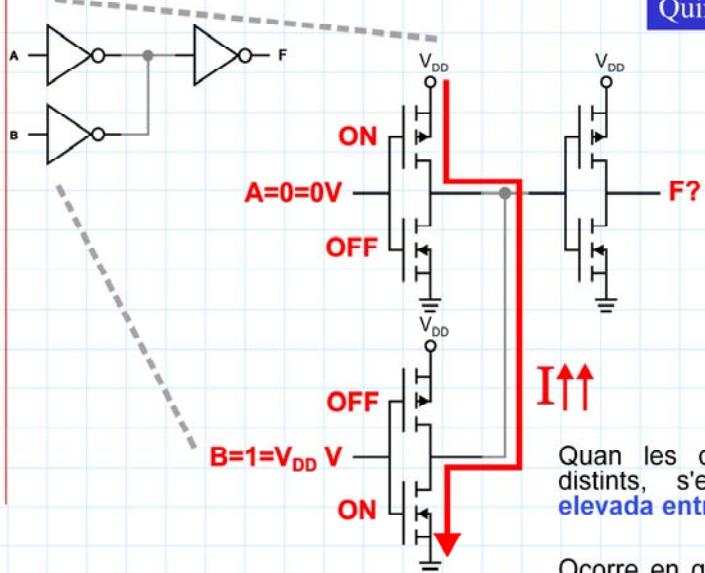
A parte de la salida normal, hay dos salidas especiales:

- Colector abierto (en TTL) o drenador abierto (en CMOS). Tiene dos posibles valores: '0' y alta impedancia 'Z'

-Triestado. Puede tener 3 valores: '0', '1' y alta impedancia 'Z'

Como se verá más adelante, el estado de alta impedancia 'Z' equivale a la desconexión de la salida . Esto es útil cuando varias salidas comparten una misma línea de bus. De esta forma se evitan conflictos lógicos en la línea. Estas salidas introducen estados nuevos (Z, "alta impedancia") y necesitan circuitos y señales de control adicionales.

## Tipus d'eixides Totem-pole/Estàndar (“0” i “1”)



Quin valor té  $F(0,1)$ ?

Una eixida estàndar d'una porta lògica posa el seu valor de tensió “amb força” sobre la línia d'interconnexió.

**NO** es permet la connexió directa d'eixides de dos portes diferents.

$I \uparrow\downarrow$

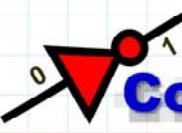
Quan les dos eixides tenen nivells lògics distints, s'establixen **camins de corrent elevada entre  $V_{DD}$  i GND**. **F** indeterminada.

Ocurre en qualsevol tecnología on las salidas s'establezcan con baja impedancia.

Las **salidas normales** NO se pueden conectar entre sí.

En caso de tener valores lógicos diferentes, se provoca un conflicto lógico que genera tensiones indeterminadas y corrientes excesivas. Si se mantiene esta conexión durante cierto tiempo, puede llegar a afectar a los transistores de salida, provocando fallos permanentes en los mismos.

Vamos a ver a continuación dos **salidas especiales** que SÍ permiten la conexión de varias salidas entre sí.

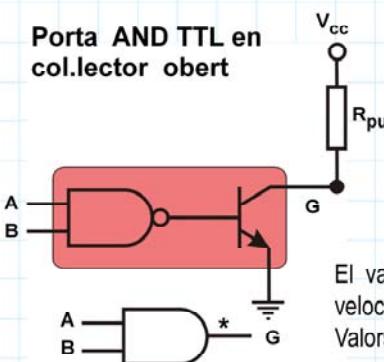


## Tipus d'eixides Col.lector/Drenador obert (“0” i Z)

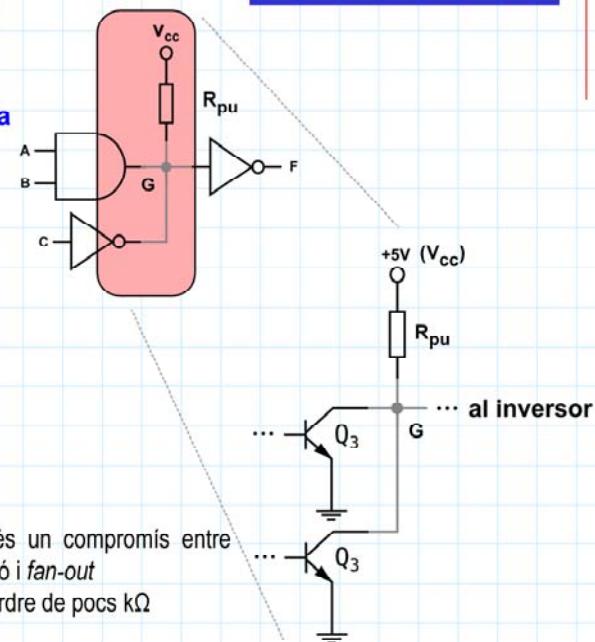
1. Permet el cablejat lògic directe
2. Es requereix una resistència externa (anomenada de “pull-up”-  $R_{pu}$ ) per obtenir el nivell alt
3. Les eixides formen una AND cablejada

¿Quin valor té F(1,0,1)?

Porta AND TTL en collector obert



El valor de  $R_{pu}$  és un compromís entre velocitat, dissipació i fan-out  
Valors típics de l'ordre de pocs kΩ

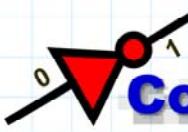


La salida en colector/drenador abierto permite la conexión de varias salidas, pero hay que añadir una **resistencia de pull-up (Rpu)** para establecer el '1'.

La figura de la parte inferior derecha muestra la conexión de dos salidas TTL en colector abierto. Observe en la figura de su izquierda que, en la salida, el colector estaba al aire, de ahí el nombre de la salida. Necesariamente, se ha tenido que añadir una Rpu.

Casos:

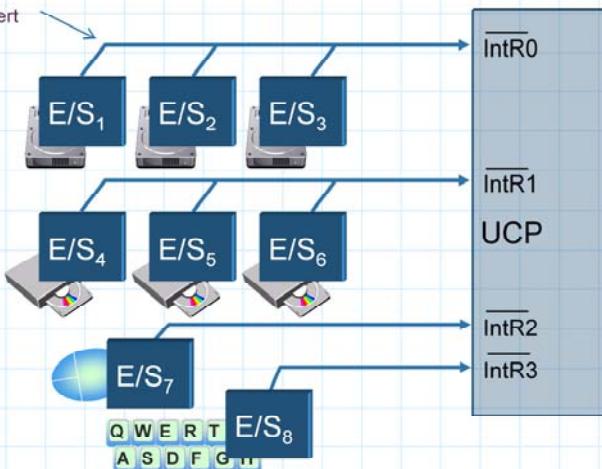
- Las 2 salidas (Q3) son '1' → los dos transistores Q3 cortados → salida global = '1' gracias a la Rpu. Rpu debe ser suficientemente pequeña para que  $V_{OH} \geq V_{OHmin}$  o  $V_{IHmin}$
- Uno o más salidas son '0' → al menos un transistor Q3 saturado → salida global = '0'. Rpu debe ser suficientemente grande para que  $I_{OL} \leq I_{OLmax}$



## Tipus d'eixides Col.lector/Drenador obert (“0” i Z)

### Us en les línies d'interrupció dels computadors

Eixides en  
Col.lector /Drenador obert



Un ejemplo del uso de salidas colector/drenador abierto en los procesadores: las líneas de petición de interrupción por parte de los periféricos.

Dentro de una misma fila, uno o más periféricos pueden hacer una petición de interrupción, a través de sus interfaces o adaptadores de E/S (Entrada/Salida)

Las señales de interrupción se activan a nivel bajo.

Dentro de una misma fila (horizontal):

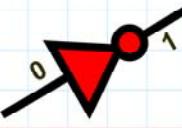
- Si no hay petición de interrupción, todas las señales de interrupción son “1”, y la señal /Intr = “1”
- Si uno o más periféricos efectúan petición de interrupción, la señal /Intr = “0”, pues es la AND-cableada de las señales de interrupción.

Aunque haya señales “0” y a “1”, no hay conflicto lógico, y la señal global es “0”.

La CPU sabe que como mínimo hay un periférico de la fila que ha solicitado atención. Atenderá a los periféricos solicitantes de acuerdo con una determinada prioridad prefijada.

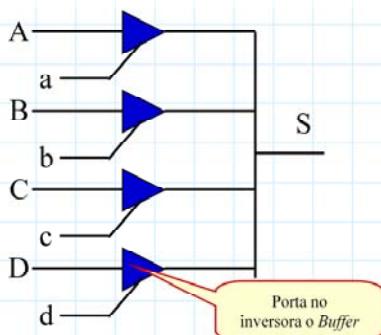
Pero éste ya es otro tema que se estudiará en la asignatura ETC de segundo curso.

También se establecen prioridades en vertical, entre diferentes filas de periféricos.



## Tipus d'eixides Tiestat (“0”, “1” i Z)

1. Permet la connexió directa de les eixides
2. En l'eixida poden haver tres estats lògics:
  - '0', '1' de baixa impedància
  - Alta impedància (H.Z ó Z\*)
3. Aplicació a Busos de dades



d	c	b	a		S		Funcionament
0	0	0	1		A		Buffers B,C i D disconnectats
0	0	1	0		B		Buffers A,C i D disconnectats
0	1	0	0		C		Buffers A,B i D disconnectats
1	0	0	0		D		Buffers A,B i C disconnectats

Otro tipo de salida que permite la conexión directa de varias salidas, sin generar conflicto lógico, es la salida triestado.

3 estados: (0,1,Z)

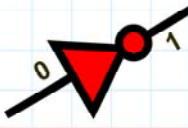
Z (alta impedancia) equivale a desconectar la salida.

La clave reside en poner todas las salidas menos una en alta impedancia.

Ventajas sobre colector / drenador abierto:

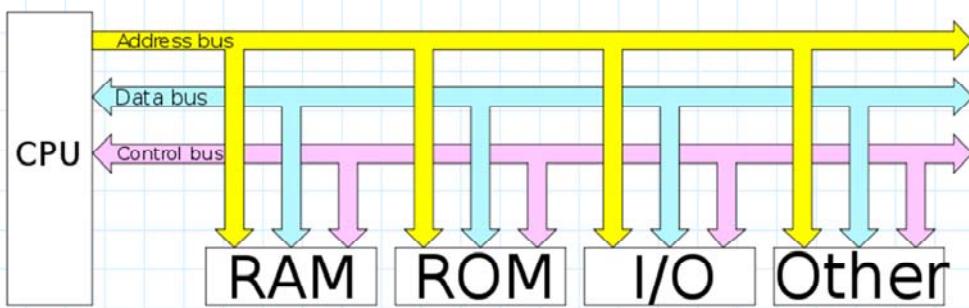
- No necesita Rpu externa
- Más rápida

Desventajas: necesita señal de control adicional (*Enable*)



## Tipus d'eixides Tiestat (“0”, “1” i Z)

Us en busos de dades de computadors



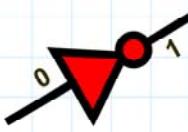
Un ejemplo típico del uso de la salida triestado en los computadores: bus de datos compartido por la CPU y varios chips de memoria y adaptadores de E/S.

Solo puede escribir un único componente en el bus de datos, en un instante dado. La escritura de 2 o más componentes podría generar un conflicto lógico, pues las líneas del bus son compartidas por todos los componentes.

Para ello se habilitan los buffers tri-estado de salida de un único componente, y se deshabilitan los demás.

La selección del componente se realiza automáticamente a partir de las señales de control y del bus de direcciones.

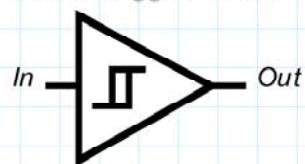
En lectura se pueden activar varios componentes a la vez, no hay conflicto lógico.



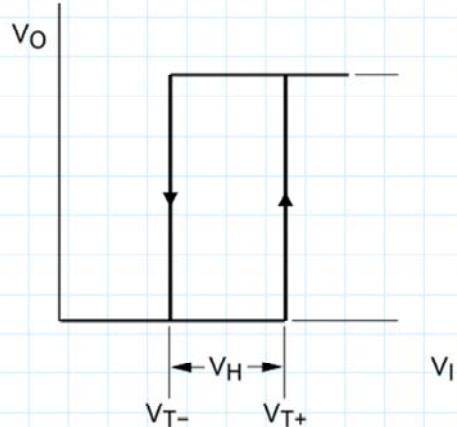
## Tipus d'entrades Trigger Schmitt

Són entrades que tenen dos nivells llindars.

Buffer Trigger Schmitt



Corba de transferència amb histèresi



Exemple:

$V_H$  Tensió d'Histèresi: 1.4V

$V_{T+}$  Tensió flanc de pujada: 2V

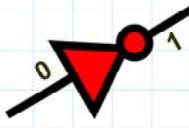
( $V_{T+}$  Positive-going threshold voltage)

$V_{T-}$  Tensió flanc de baixada: 0.6V

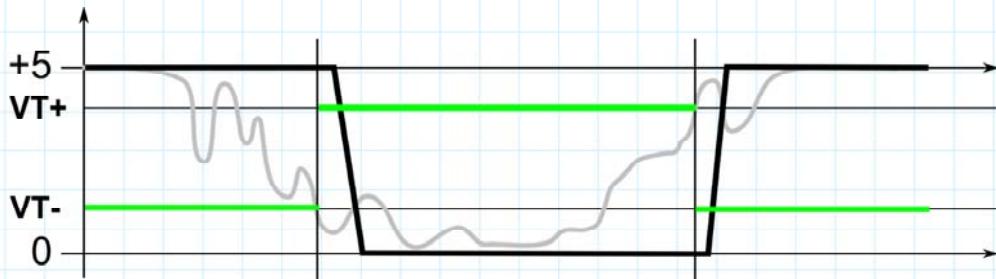
Las puertas Trigger Schmitt tienen entradas especiales.

Son entradas más robustas ante perturbaciones por ruido o señales lentas.

Estas puertas se utilizan para convertir señales con ruido o no digitales (exponentiales) en señales digitales "limpias", que ya son entendidas por los circuitos lógicos con entradas normales.



## Tipus d'entrades Trigger Schmitt



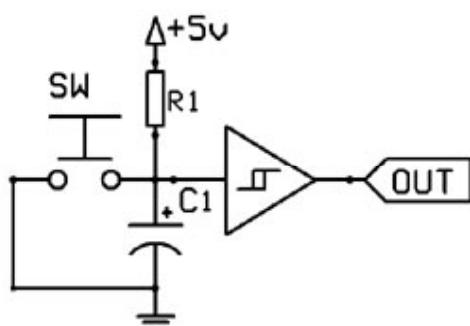
Supresió de soroll

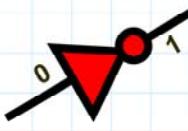
Aplicació a senyals crítiques (ex. línia d'interrupció d'un processador), senyals molt lents, o senyals amb "rebots elèctrics" (ex. pulsador de crida d'un ascensor)

Ejemplo de supresión de ruido mediante un buffer Trigger Schmitt

Hay otros tipos de puerta (AND, OR, ...) con entradas Trigger Schmitt

En la figura siguiente se muestra una aplicación típica: *power-on reset para el arranque de un Micro*. El Buffer Trigger Schmitt *convierte* las exponenciales de descarga (cuando se pulsa SW) y carga (cuando se suelta SW) del condensador, en una onda cuadrada bien definida. Provoca un pulso negativo, cuya duración depende de la constante de tiempo R1C1. Este pulso va directamente a la señal de Reset del micro, y provoca su arranque.





## Paràmetres Característics Tensió d'Alimentació

**Tensió d'alimentació (Power supply):** Polaritza els circuits lògics interns.

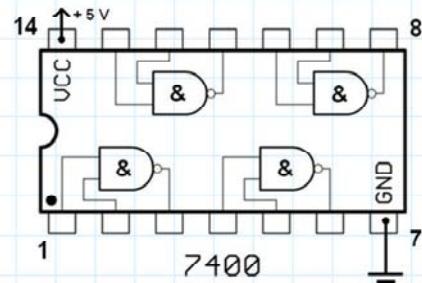
Nomenclatura:

- $V_{CC}$ , GND
- $(V_{DD}, V_{SS})$ .
- $(V+ i V-)$ .

TTL  $\rightarrow +5V$

CMOS:

- (15..5V) Serie CD4000
- 5  $\rightarrow 3.3V \rightarrow 2.5V \rightarrow 1.8V \rightarrow 1.5V \rightarrow 0.8V\dots$



Pasamos a estudiar los parámetros más importantes de los chips de circuitos digitales.

Un parámetro muy importante es la tensión de alimentación. Necesaria para hacer funcionar a los transistores (y otros dispositivos) que constituyen los circuitos lógicos.

Valores típicos en chips SSI, MSI:

- TTL: +5V
- CMOS: rango variable, típicamente entre 2 y 6V. Aunque hay chips CMOS que presentan un rango mayor, entre 3 y 15V.

En los chips VLSI, la tensión ha ido bajando para reducir el consumo y conseguir así una mayor densidad de integración. Actualmente, los chips de los microprocesadores y memorias se alimentan con tensiones entre 1V y 2.5V.

# Paràmetres Característics

## Nivells de tensió i marge de soroll

Exemple  
Família TTL

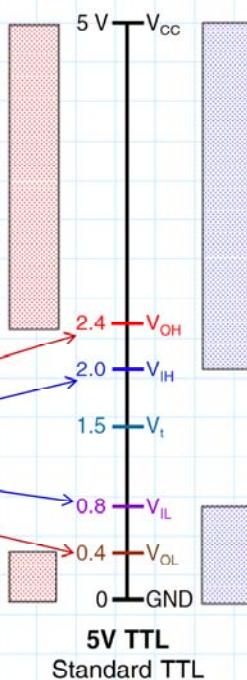
### Bandes de tensió

$$V_{OHMIN} = 2.4V$$

$$V_{IHMIN} = 2V$$

$$V_{ILMAX} = 0.8V$$

$$V_{OLMAX} = 0.4V$$



### Marge de soroll:

Diferència entre la banda de tensió en l'entrada i en l'eixida

#### A nivell alt (High)

$$NM_H = V_{OHMIN} - V_{IHMIN} = 0.4V$$

#### A nivell baix (Low)

$$NM_L = V_{ILMAX} - V_{OLMAX} = 0.4V$$

Per defecte, es pren el menor dels dos,  
si són distints,  $NM = \min(NM_H, NM_L)$

Otro parámetro importante son los valores límite de las bandas de tensión de los niveles lógicos. Los valores de tensión no son únicos (se definen en bandas), debido a diversos factores que hacen que la tensión varíe: la temperatura, las variaciones en el proceso de fabricación, la carga en la salida, etc.

En la figura, se muestran los niveles de la familia TTL estándar.

Se observa que en TTL la banda del '1' es mucho más grande que la del '0'. También se ve que la banda de entrada es mayor que la de salida.

Esto último tiene que ver con el concepto de margen de ruido (inmunidad al ruido)

**Ruido (Noise)** – variaciones no deseadas de tensión y corriente en los nodos lógicos

**Márgen de ruido (Noise margin)** expresa la capacidad del circuito para tolerar una fuente de ruido

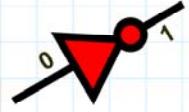
- Fuentes de ruido: ruido en la fuente de alimentación, cross talk, interferencias EM, offset

**Inmunidad al ruido (Noise immunity)** expresa la capacidad del sistema para procesar y transmitir correctamente información en presencia de ruido

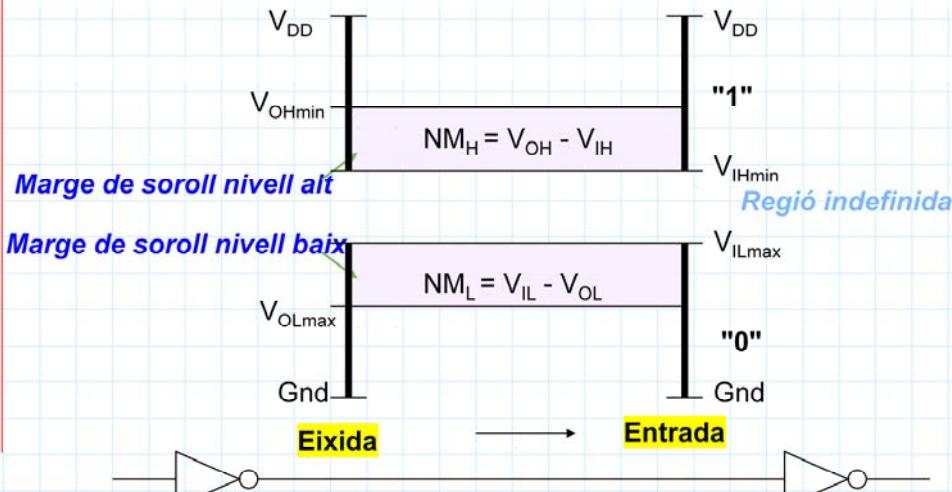
Ejemplo de ruido: **Crosstalk**

Entre dos cables (pistas, metalizaciones) vecinos

- Acoplamiento capacitivo
  - Un cambio de voltaje en un cable puede generar un cambio de la señal en el cable vecino.



## Paràmetres Característics Nivells de Tensió i marge de soroll

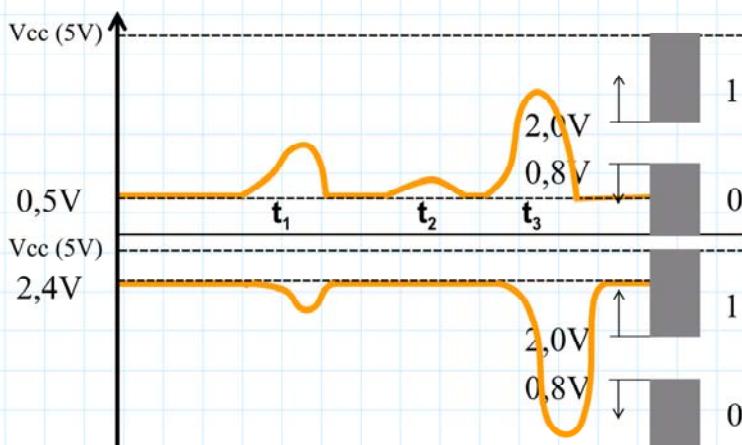
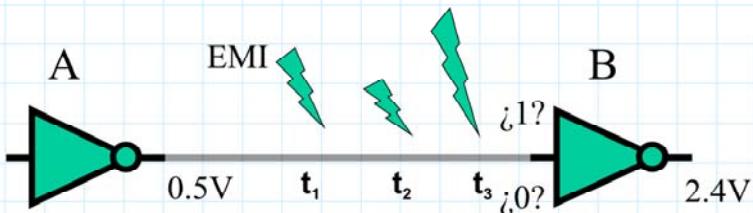


Para tener una buena inmunidad al ruido, interesa que:

-El margen de ruido sea grande

-La diferencia entre VOH y VOL (signal swing) sea grande, es decir, que los niveles lógicos estén suficientemente separados

## Paràmetres característics Immunitat al soroll



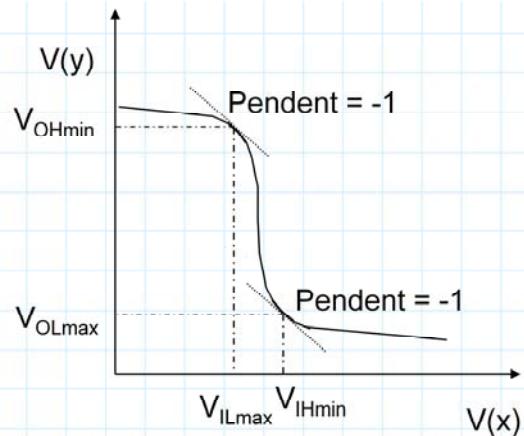
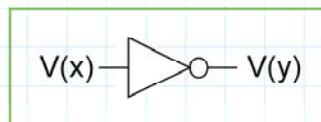
EMI: *electromagnetic interference*

La señal de salida de A está perturbada por una interferencia electromagnética, apareciendo variaciones de tensión en el nivel lógico  $V_{OL}$  (0.5V)

Algunas variaciones (en  $t_1$ ,  $t_2$ ) son absorbidas por la propia inmunidad al ruido de la puerta B y no provocan un nivel lógico de salida incorrecto. Incluso invadiendo la zona de indeterminación, la señal se regenera.

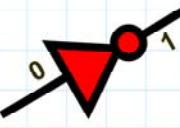
En  $t_3$  la variación provocada por el ruido invade el otro nivel lógico y provoca una salida incorrecta.

# Paràmetres Característics Corba de transferència



Los puntos de la curva de transferencia con pendiente = -1, marcan los límites  $VILmax$  y  $VIHmin$ . Proyectando éstos en el eje vertical, obtenemos  $VOHmin$  y  $VOLmax$ .

Obsérvese que cuanto más ideal es la curva de transferencia (tensiones de salida extremas y transición abrupta y centrada), mayor es el margen de ruido.

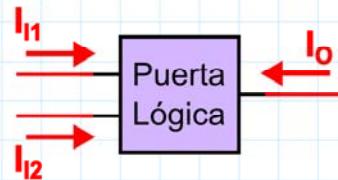


## Paràmetres Característics Corrents

### Definicions:

$I_i$ : Corrent en la branca connectada a una entrada.

$I_o$ : Corrent en la branca connectada a una eixida.



Per conveni es dibuixen dirigides cap a la porta, tant en les entrades com en les eixides

$I_{ILMAX}$ : Corrent màxim 'proporcionat' per l'entrada. Per a un '0' lògic.

$I_{IHMAX}$ : Corrent màxim 'absorbit' per l'entrada. Per a un '1' lògic.

$I_{OLMAX}$ : Corrent per davall del qual en l'eixida es garanteix un '0' lògic.

$$\uparrow |I_{OL}| \rightarrow \uparrow V_{OL} \quad |I_{OL}| \leq |I_{OL(MAX)}| \rightarrow V_{OL} \leq V_{OL(MAX)}$$

$I_{OHMAX}$ : Corrent per davall del qual en l'eixida es garanteix un '1' lògic.

$$\uparrow |I_{OH}| \rightarrow \downarrow V_{OH} \quad |I_{OH}| \leq |I_{OH(MAX)}| \rightarrow V_{OH} \geq V_{OH(MIN)}$$

Convenio: las corrientes físicamente entrantes se toman como positivas, y las salientes como negativas.

$I_{ILMAX}$ : Corriente máxima «proporcionada» por la rama de entrada cuando la tensión en la misma es considerada un «0» lógico.  $I_{IL}$  es físicamente saliente.

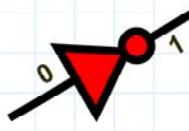
$I_{IHMAX}$ : Corriente máxima «absorbida» por la rama de entrada cuando la tensión en la misma es un «1» lógico.  $I_{IH}$  es físicamente entrante.

$I_{OLMAX}$ : Corriente por debajo de la cual en la salida se garantiza un «0» lógico.  $I_{OL}$  es físicamente entrante.

$$\uparrow |I_{OL}| \rightarrow \uparrow V_{OL} \quad |I_{OL}| \leq |I_{OL(MAX)}| \rightarrow V_{OL} \leq V_{OL(max)}$$

$I_{OHMAX}$ : Corriente por debajo de la cual en la salida se garantiza un «1» lógico.  $I_{OH}$  es físicamente saliente.

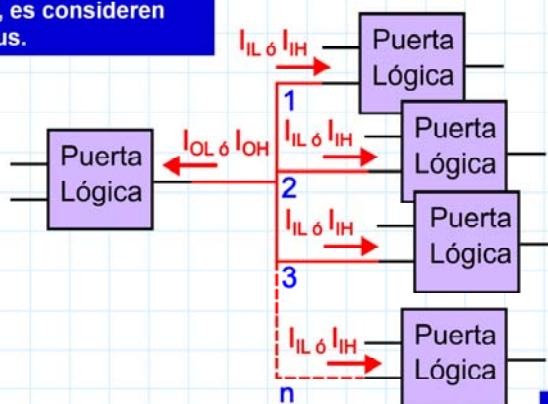
$$\uparrow |I_{OH}| \rightarrow \downarrow V_{OH} \quad |I_{OH}| \leq |I_{OH(MAX)}| \rightarrow V_{OH} \geq V_{OH(min)}$$



## Paràmetres Característics Fan-out

**FAN-OUT:** Nombre màxim de càrregues (entrades de portes) que poden ser connectades a l'eixida d'una porta sense que es desvirtuen els marges lògics.

Conveni: Els corrents entrants cap a la porta es consideren positius, i, si ixen, es consideren negatius.

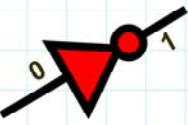


$$\text{Fan-out}(L) = \frac{|I_{OLmax}|}{|I_{ILmax}|}$$

$$\text{Fan-out}(H) = \frac{|I_{OHmax}|}{|I_{IHmax}|}$$

$$\text{Fan-out} = \min(\text{Fan-out}(L), \text{Fan-out}(H))$$

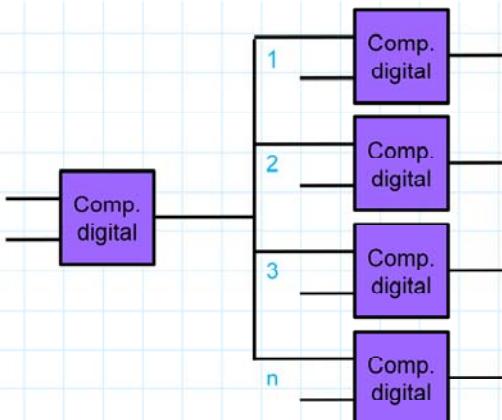
Per defecte, es pren el menor dels dos, si són distints. Si no és un enter, es trunca



## Paràmetres característics Fan-out

Exemple.- Família LSTTL

$$I_{IL\max} = -0.4\text{mA}, I_{IH\max} = 20\mu\text{A}, I_{OL\max} = 8\text{mA}, I_{OH\max} = -400\mu\text{A}$$

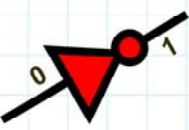


Ejemplo de cálculo del fan-out:

Valores de corrientes de TTL estándar

- $I_{IL}$  → negativa, pues sale de la puerta
- $I_{IH}$  → positiva, pues entra en la puerta
- $I_{OL}$  → positiva, pues entra en la puerta
- $I_{OH}$  → negativa, pues sale de la puerta

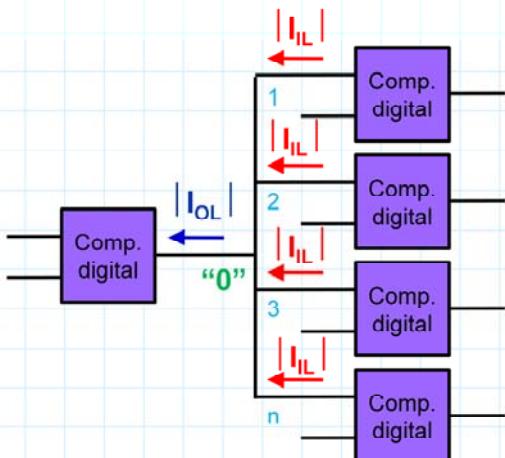
Observe que en TTL las corrientes a nivel bajo son mucho mayores que a nivel alto. Por ello cuando se controlan dispositivos como LED, se suele efectuar el encendido con el '0' lógico.



## Paràmetres característics Fan-out

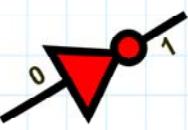
Exemple.- Família LSTTL

$$I_{ILmax} = -0.4mA, I_{IHmax} = 20\mu A, I_{OLmax} = 8mA, I_{OHmax} = -400\mu A$$



$$\text{Fan-out}(L) = \frac{|I_{OLmax}|}{|I_{ILmax}|} = \frac{8mA}{0.4mA} = 20$$

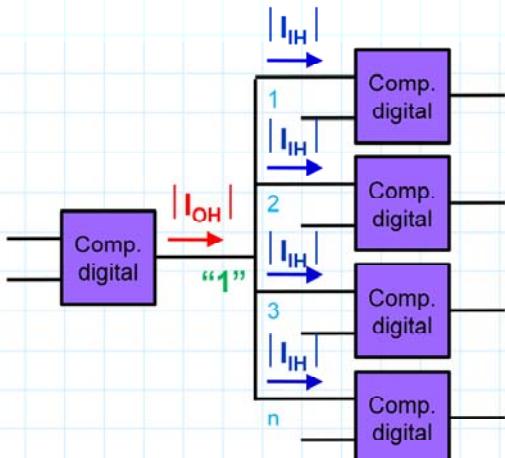
Cálculo del fan-out a nivel bajo



## Paràmetres característics Fan-out

Exemple.- Família LSTTL

$$I_{ILmax} = -0.4mA, I_{IHmax} = 20\mu A, I_{OLmax} = 8mA, I_{OHmax} = -400\mu A$$



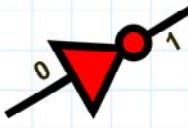
$$\text{Fan-out}(L) = \frac{|I_{OLmax}|}{|I_{ILmax}|} = \frac{8mA}{0.4mA} = 20$$

$$\text{Fan-out}(H) = \frac{|I_{OHmax}|}{|I_{IHmax}|} = \frac{400\mu A}{20\mu A} = 20$$

El fan-out és un número enter: ¡no es pot connectar a una fracció d'entrada! **No s'arredoneix, es trunca**

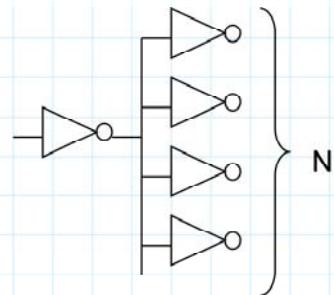
$$\text{Fan-out} = \min(20, 20) = 20$$

Cálculo del fan-out a nivel alto

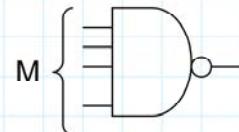


## Paràmetres Característics Fan-out vs Fan-in

- **Fan-out** – nombre màxim d'entrades de porta bàsica connectades a l'eixida
  - Portes amb fan-out gran són més lentes



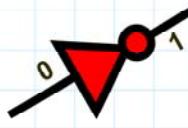
- **Fan-in** – nombre d'entrades de la porta
  - Portes amb fan-in gran són més grans i més lentes



Un **fan-out** o **fan-in** grande implica más capacidad parásita (ligada a las entradas) y, por lo tanto, menor velocidad de funcionamiento. Téngase en cuenta que esas capacidades hay que cargarlas /descargarlas en las transiciones 0/1 y 1/0. Cuanto mayores sean, más tiempo se tarda en efectuar la conmutación. Por tanto, la velocidad del circuito es menor.

Por ello, en la práctica, los circuitos se suelen hacer usando puertas con un fan-in limitado (típicamente entre 2 y 4 entradas).

En resumen: el retardo de una puerta lógica (y por tanto la velocidad) depende del fan-out, pero también del fan-in.



# Paràmetres Característics Retards

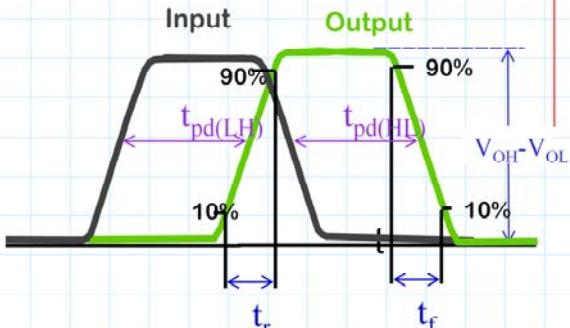
## Retard de propagació (propagation delay)

Temps transcorregut des del pas d'un flanc en l'entrada pel 50% del seu recorregut fins al corresponent pas pel 50% del recorregut del flanc en l'eixida:

Es defineixen dos, en funció de si la transició de l'eixida és de "0" a "1" ( $t_{pdLH}$ ) o de "1" a "0" ( $t_{pdHL}$ )

## Retard de propagació mitjà

$$t_{pd} = \frac{t_{pdLH} + t_{pdHL}}{2}$$



## Temps de transició

Les transicions no són ideals. És el temps transcorregut entre el 10% i 90% del recorregut d'un senyal

Es defineixen dos:

- Temps de pujada (rise time,  $t_r$ )
- Temps de baixada (fall time,  $t_f$ )

## Els paràmetres temporals depenen generalment de la càrrega en l'eixida ( $C_L$ )

Figura: representa una puerta no inversora (Buffer, OR, AND, ...)

$t_{pdHL}$  no tiene por qué ser igual a  $t_{pdLH}$ . En tal caso se da el promedio de los dos.

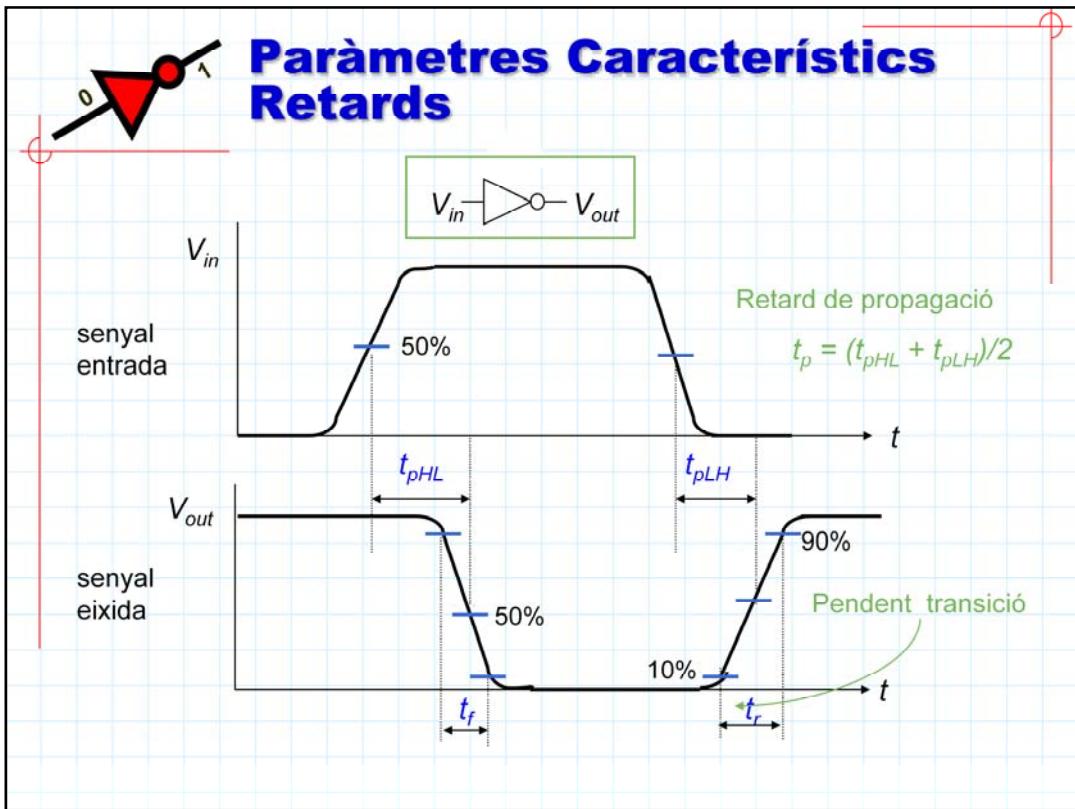
Valores típicos de retardo de puertas:

- SSI-MSI: ns (nanosegundos,  $10^{-9}$ s)
- VLSI: ps (picosegundos,  $10^{-12}$  s)

El papel de  $C_L$  es muy importante en el retardo. A mayor  $C_L$ , peor retardo.  $C_L$  depende del fan-out, del fan-in, y de la longitud del cableado de conexión, con lo que interesa que el cableado sea lo más corto posible para minimizar  $C_L$ .

## Recorrido de la señal (voltage swing)

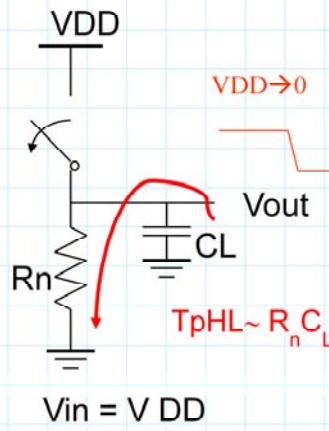
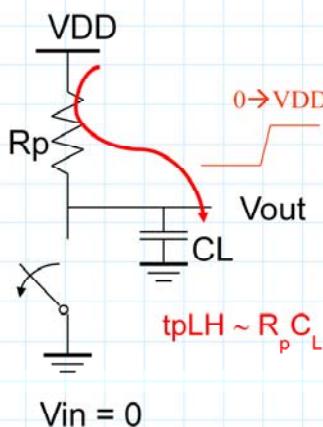
Diferencia entre los valores de tensión máximo y mínimo en la salida:  $V_{OH} - V_{OL}$



Puerta INVERSORA (NOT, NAND, NOR, ...) con los retardos.

El retardo es función del *fan-in* y del *fan-out*, porque aumenta la capacidad parásita  $C_L$

## Paràmetres Característics Model de retard de propagació



tpLH: CL es carrega a través de  $R_H$  (impedància d'eixida a nivell alt)  
 tpHL: CL es descarrega a través de  $R_L$  (impedància d'eixida a nivell baix)

Interessa que el producte RC siga el menor possible:

- . Baixa impedància d'eixida
- . Capacitats paràsites baixes

Modelo RC simple que ayuda a entender:

- El retardo
- Los frentes exponenciales que se observan en las simulaciones (Pspice)
- El papel de  $C_L$  en el retardo

TpLH:

C es carrega a través de  $R_H$  (impedància d'eixida a nivell alt)

$$v_{out}(t) = (1 - e^{-t/\tau})V_{DD}, \text{ on } \tau = R_H C$$

TpHL:

C es descarrega a través de  $R_L$  (impedància d'eixida a nivell baix)

$$v_{out}(t) = V_{DD} e^{-t/\tau}, \text{ on } \tau = R_L C$$

Algunas medidas del retardo en la carga/descarga de C:

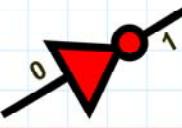
Tiempo para alcanzar el 50% de la variación máxima

$$t = \ln(2) \tau = 0.69 \tau$$

Tiempo para alcanzar el 90% de la variación máxima

$$t = \ln(9) \tau = 2.2 \tau$$

En cualquier caso, el retardo depende de la constante de tiempo  $\tau = RC$



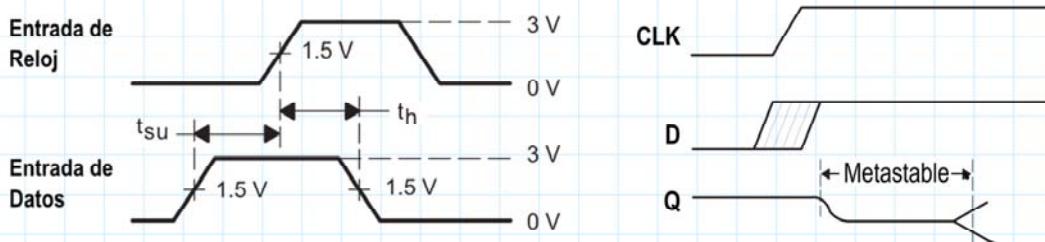
## Paràmetres característics Circuits seqüencials

**f<sub>màx.</sub>**: Freqüència màxima de funcionament admesa per un circuit. Superar-la provoca problemes de temporització i dissipació de potència.

**T<sub>w</sub>**: Ample de pols mínim. Si en l'entrada s'injecta un pols, este ha de reflectir-se en l'eixida amb valors lògics vàlids.

**t<sub>su</sub>**: Temps de *Setup*, temps que ha de romandre estable un senyal abans de l'aparició del flanc d'un senyal de referència (ej: rellotge).

**t<sub>h</sub>**: Temps de *Hold*, temps que ha de romandre estable un senyal després de l'aparició del flanc d'un senyal de referència (ej: rellotge).

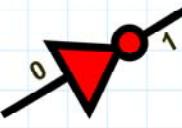


Se muestran algunos parámetros temporales de los circuitos secuenciales síncronos (tienen una señal de reloj).

Se aplica a biestables, contadores, registros, etc. Todos ellos están constituidos por biestables, disparados por flanco o por nivel.

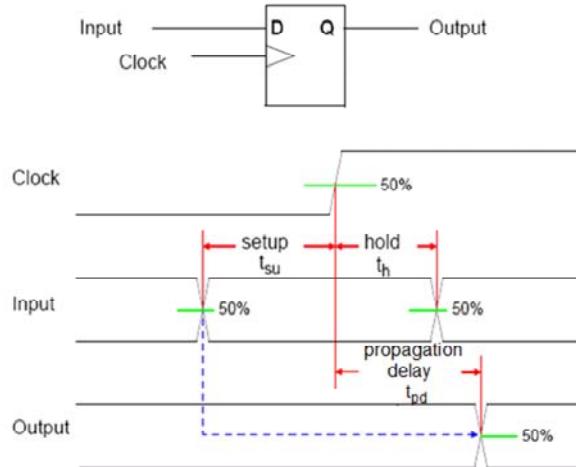
El incumplimiento de los valores límite de la frecuencia o los tiempos, puede originar que el estado de los biestables sea incorrecto.

En un biestable hay dos estados estables: '0', '1'. Se pasa de uno a otro a través de un estado intermedio transitorio llamado metaestable.



## Paràmetres Característics Circuits seqüencials

- Temporització dels biestables

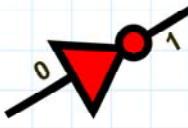


Cronograma donde se observan los parámetros temporales principales de un biestable:

$t_{su}$  = tiempo mínimo de establecimiento de las entradas antes del flanco.

$t_h$  = tiempo mínimo de mantenimiento de las entradas después del flanco.

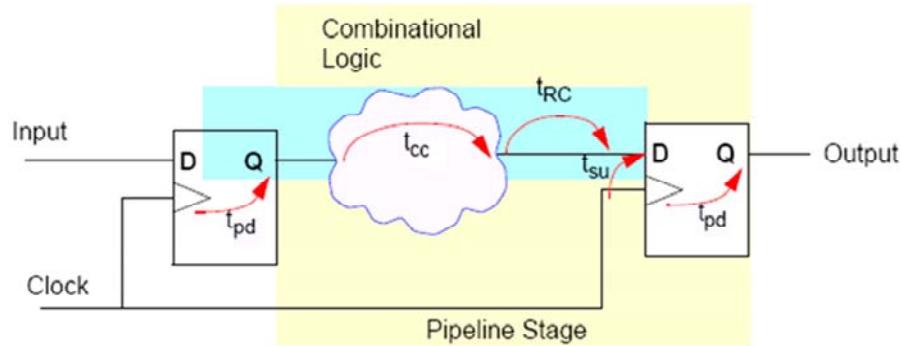
$t_{pd}$  = tiempo de propagación desde el flanco hasta que aparece el nuevo estado del biestable en la salida.



## Paràmetres Característics Circuits seqüencials

- Càlcul de la freqüència màxima de rellotge en un circuit seqüencial

$$T_{\min} = t_{pd} + t_{cc} + t_{RC} + t_{su}$$
$$f_{\max} = 1 / T_{\min}$$



Otro parámetro que se ha definido anteriormente es la frecuencia máxima de funcionamiento

Esta transparencia muestra cómo se calcula en el caso de una etapa *pipeline*. Las etapas pipeline son muy habituales en los procesadores actuales para aumentar el rendimiento.

T = periodo de reloj

Tcc = retardo máximo de la parte combinacional entre los 2 biestables consecutivos

Tpd = tiempo de propagación del FF

Tsu = tiempo de set up del FF

$t_{RC}$  = retardo del cableado (R y C son las capacidades y resistencias parásitas ligadas al cableado).

En definitiva, se tiene que cumplir que la duración mínima del período de reloj debe incluir los siguientes tiempos:

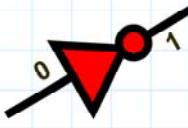
$$T_{\min} = t_{pd} (\text{FF}) + t_{cc} (\text{combinacional}) + t_{RC} + t_{su}$$

Esto impone una frecuencia máxima del reloj,  $f_{\max} = 1/T_{\min}$

En caso de que  $t_{RC}$  sea despreciable, la condición es  $T \geq t_{pd} (\text{FF}) + t_{cc} (\text{combinacional}) + t_{su}$

La condición anterior debe satisfacerse para todos los caminos (path) de este tipo que hayan en el circuito. Para ello se mira el camino más largo, que es el peor caso.

$t_{RC}$  tiene mayor relevancia en circuitos integrados de alta escala de integración, donde los retardos de las puertas son muy bajos y pueden ser del mismo orden que el retardo del cableado.



## Paràmetres Característics Circuits seqüencials

- Exemple :

- Considera un Sistema Seqüencial Síncron dissenyat amb un registre paral·lel síncron i una part combinacional. Si per a cada biestable:  $t_{su} = 5\text{ns}$ ,  $t_H = 2\text{ns}$ ,  $t_{pLH} = 10\text{ns}$ ,  $t_{pHL} = 8\text{ns}$ , i el retard màxim de la part combinacional és  $t_{CC} = 20\text{ns}$ ,  
¿Quina és la freqüència màxima de funcionament?



Solució :

$$T_{\min} = t_p + t_{CC} + t_{su}$$

$$t_p = \max(t_{pHL}, t_{pLH}) = 10\text{ns}$$

$$T_{\min} = t_p + t_{CC} + t_{su} = 35\text{ns}$$

$$F_{\max} = \frac{1}{T_{\min}} = \frac{1}{35 \times 10^{-9}} = 0.029\text{GHz} = 29\text{MHz}$$

Hi ha que incloure el retard del combinacional  $t_{CC}$  en  $T_{\min}$

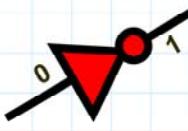
La transparencia muestra otro ejemplo de cálculo de la frecuencia máxima.

Se trata de un SSS (correspondiente a un autómata de estados finitos). En este caso la duración mínima del periodo de reloj debe incluir:  $t_p$  (FF) +  $t_p$  (combinacional) +  $t_{su}$

Tpd del biestable : se ha tomado el máximo de  $t_{pHL}$  y  $t_{pLH}$ , el peor caso

La condición de  $t_H$  debe ser:

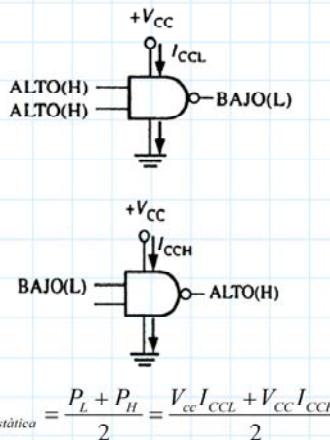
$t_p + t_{CC} \geq t_H$ , que se cumple



# Paràmetres Característics Potència

## Potència estàtica: $I_{CC} \times V_{CC}$

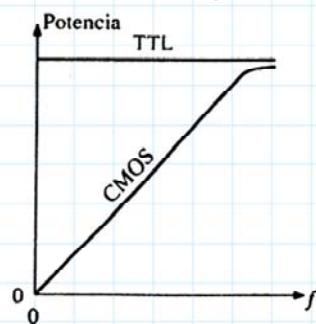
Potència dissipada quan l'eixida està estabilitzada a "0" o "1".



## Potència dinàmica:

Potència dissipada en les transicions de l'eixida. Creix amb la freqüència. Més important en CMOS que en TTL.

$$P_{dinàmica} \approx V_{DD}^2 \times f \times C_L$$

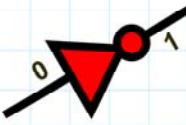


TTL y NMOS, tienen consumo estático

La familia CMOS consigue eliminar la potencia estática y, por ello, es la más usada en VLSI.

La potencia dinámica crece con  $C_L$ , al igual que el retardo. La potencia dinámica crece también con la frecuencia  $f$  y con el cuadrado de la tensión de alimentación.

La potencia dinámica es la más importante en CMOS.



## Paràmetres característics Producte retard-potència

Potència i retard són paràmetres contraposats

- Famílies amb retards menuts tenen elevat consum
- Famílies amb consum menor són més lentes

**PDP (power-delay product): Factor de mèrit que dona una valoració global de la família**

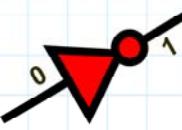
- $PDP = P \times t_{pd}$ 
  - Unitats:  $pJ = P(mW) \times t(ns)$
- Permet **comparar famílies lògiques** (a menor PDP, millors prestacions globals)
- PDP CMOS és el millor, degut al baix consum

Factor de mérito global o *Power-delay product (PDP)*:

*Una puerta ideal es aquella que es rápida y consume poca potencia.*

*Se trata de un compromiso entre dos factores contrapuestos, la velocidad y el consumo. Normalmente, una velocidad mayor implica corrientes más altas y por tanto un mayor consumo. Por ello el factor PDP es un indicador de la prestación global de la puerta. Cuanto más pequeño sea PDP, mejor.*

*El PDP de CMOS es bastante mejor que el de TTL, pues el factor consumo es mucho mejor y el factor velocidad no presenta grandes diferencias.*

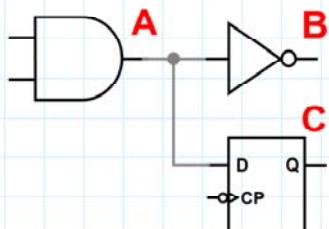


## Interconnexió de circuits lògics

### Plantejament del problema

Són compatibles els circuits des d'un punt de vista elèctric (tensions i corrents)?, és a dir, els valors lògics establits per una o més eixides, els entenen les entrades?

És possible realitzar una connexió del tipus de la figura?



Depén de:

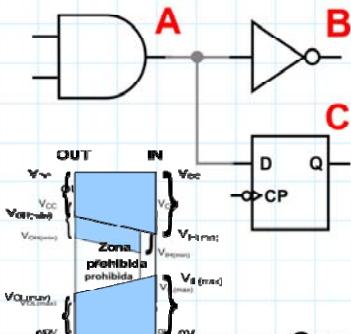
- 1.- Tipus d'eixida
- 2.- Compatibilitat de tensions
- 3.- Compatibilitat de corrents

En la interconexión de circuitos lógicos, hay que verificar la compatibilidad de las tensiones y las corrientes correspondientes a los niveles lógicos.

Tenga en cuenta que incluso con la misma tensión de alimentación, puede que los niveles lógicos no sean compatibles, en el caso de interconectar circuitos de familias distintas (TTL y CMOS, por ejemplo).

Si la tensión de alimentación es diferente, la cosa se complica todavía más.

## Interconnexió de circuits lògics Compatibilitat de Tensions



És possible connectar l'eixida de A a les entrades de B i C?, és a dir, el valor de tensió del "0" i el "1" posat per A, l'entenen B i C?

**De les especificacions (Exemple):**

$$\begin{aligned} \text{"0" d'eixida de A} &\rightarrow V_{OLmax}=0.4V \\ \text{"0" d'entrada de B} &\rightarrow V_{ILmax}=0.8V \\ \text{"0" d'entrada de C} &\rightarrow V_{ILmax}=1.5V \end{aligned}$$

Comprovació de compatibilitat

$$\begin{aligned} V_{OLmax(A)} &\leq V_{ILmax(B)}? \text{ i } V_{OLmax(A)} \leq V_{ILmax(C)}? \rightarrow \text{Si} \\ V_{OHmin(A)} &\geq V_{IHmin(B)}? \text{ i } V_{OHmin(A)} \geq V_{IHmin(C)}? \end{aligned}$$

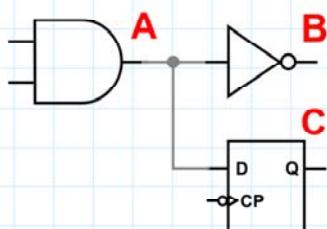
1. Si ambdós condicions es compleixen significa que són compatibles en tensió.
2. La igualtat és correcta encara que el NM = 0V.

La transparencia muestra las condiciones requeridas para cumplir la compatibilidad de las tensiones en el ejemplo de la figura.

Para los valores dados, se observa que el '0' de salida de A es compatible con las entradas de B y C. Es decir, B y C "entienden" perfectamente la salida de A.

Faltaría comprobar la compatibilidad del '1' (en este caso no se muestran los valores).

## Interconnexió de circuits lògics Compatibilitat de Corrents



És possible connectar l'eixida de «A» a les entrades de «B» i «C»?, és a dir, L'eixida de A és capaç de proporcionar els corrents exigits per les entrades de B i C?

Depenent del signe (sentit) del corrent, este s'absorbeix en compte de proporcionar-se (per al '0').

### Comprovació de compatibilitat

$$\text{¿} |I_{OL\max(A)}| \geq |I_{IL\max(B)}| + |I_{IL\max(C)}|? \leftarrow \text{Kirchoff}$$

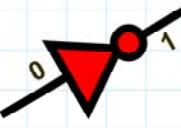
$$\text{¿} |I_{OH\max(A)}| \geq |I_{IH\max(B)}| + |I_{IH\max(C)}|?$$

1. Si ambdós condicions es compleixen significa que són compatibles en corrent.

La transparencia muestra las condiciones requeridas para cumplir la compatibilidad de las corrientes en el ejemplo de la figura.

La corriente máxima de salida de A debe ser mayor que la suma de las corrientes máximas de entrada de B y C. Y esto se debe cumplir en los dos estados lógicos ('0' y '1').

Obsérvese que se emplean los valores absolutos de las corrientes, para eliminar el signo en caso de que sea negativo. El balance de las corrientes se hace con las magnitudes.



## Interconnexió de circuits lògics Compatibilitat entre famílies

Possibles problemes d'acoblament entre famílies degut a:

- Diferents tensions d'alimentació
- Diferents nivells lògics
- Corrents de entrada i eixida incompatibles

Requisits (una eixida connectada a n entrades):

$$|I_{OHMAX}| \geq n|I_{IHMAX}|$$

$$|I_{OLMAX}| \geq n|I_{ILMAX}|$$

$$V_{OLMAX} \leq V_{ILMAX}$$

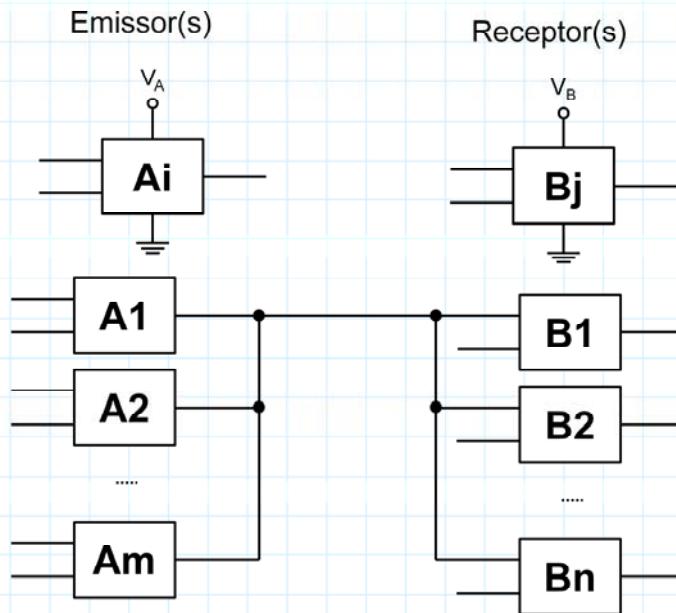
$$V_{OHMIN} \geq V_{IHMIN}$$

Las condiciones de compatibilidad de corrientes y tensiones son las 4 que se indican. Se deben cumplir para cualquier par de familias.

En estas expresiones, n es el número de entradas de una familia B conectadas a una misma salida de una familia A.

# Interconnexió de circuits lògics

## Solució de problemes



Se tiene varios circuitos del tipo  $A_i$  conectados a una alimentación  $V_A$ , cuyas salidas se conectan a entradas de circuitos del tipo  $B_j$ , alimentados a  $V_B$

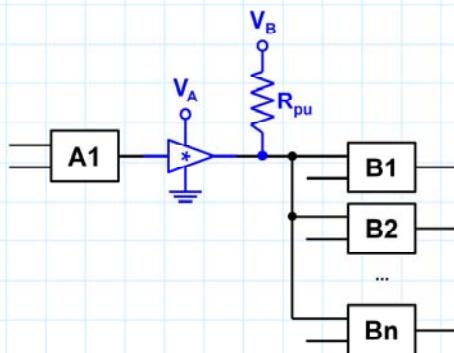
# Interconnexió de circuits lògics

## Solució de problemes

### 1. Incompatibilitat de tensions

$$(V_{OH}(A) < V_{IH}(B))$$

- Buffer col.lector/drenador obert + Rpull-up, per adaptar el “1”.
- Si A1 és de col.lector/drenador obert, no és necessari el buffer



Dissey del circuit de *pull-up*

- Tensió d'alimentació
- Resistència de *pull-up*

Cas pràctic:

- Connexió TTL-CMOS (+5V)
- Connexió TTL-CMOS (>5V)

La incompatibilitat de tensions sol ocorrer en el “1” lògic

En el cas TTL → CMOS (+5V), funciona inclús una Rpu, sense buffer

O també un buffer HCT/ACT, que té entrades compatibles TTL i eixides CMOS

# Interconnexió de circuits lògics

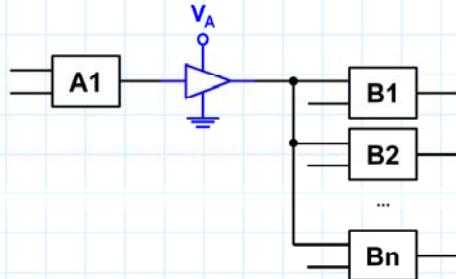
## Solució de problemes

### 2. Incompatibilitat de corrents

$$(|I_{OH}(A)| < n \cdot |I_{IH}(B)| \text{ ó } |I_{OL}(A)| < n \cdot |I_{IL}(B)|)$$

a) Si  $V_A$  i  $V_B$  són iguals

– Inserir un **buffer** per incrementar el corrent d'eixida



Cas pràctic:

• Connexió CMOS (+5V)-TTL

En el cas CMOS (+5V) → TTL, el problema pot estar en la compatibilitat de  $I_{OL}$  i  $I_{IL}$  (els corrents a nivell baix)

# Interconnexió de circuits lògics

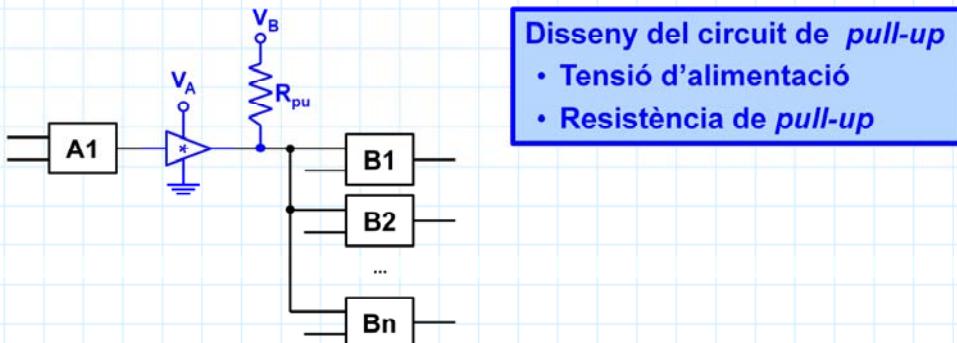
## Solució de problemes

### 3. Incompatibilitat de corrents

$$(|I_{OH}(A)| < n \cdot |I_{IH}(B)| \text{ ó } |I_{OL}(A)| < n \cdot |I_{IL}(B)|)$$

b) Si  $V_A$  i  $V_B$  son diferents (cas general)

- Inserir un **buffer** per incrementar el corrent, amb eixida en col·lecció/drenador obert per aïllar l'eixida de l'entrada, i una resistència de ***pull-up*** per pujar la tensió en el nivell alt



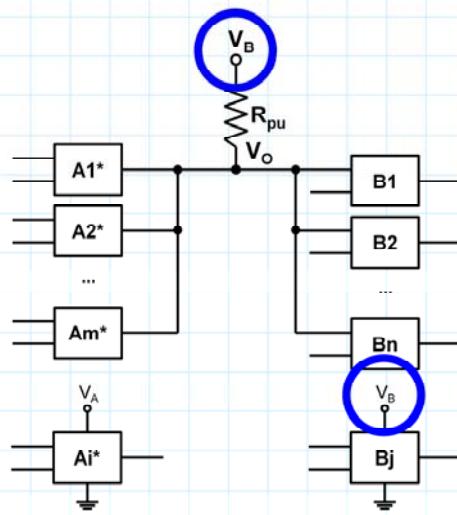
En aquest cas hi ha que adaptar les tensions i els corrents

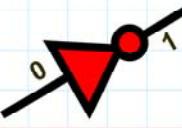
Les tensions amb  $R_{pu}$

Els corrents amb el buffer

## Interconnexió de components Disseny del circuit de *pull-up*

La tensió d'alimentació ha  
de ser SEMPRE la dels  
receptors





## Disseny de la resistència de pull-up (Exemple) (I)

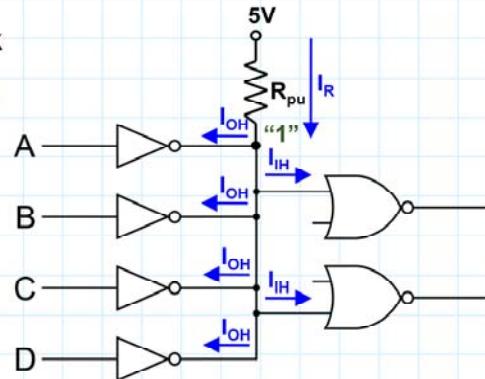
a) Nivell alt → totes les eixides = “1”

- $I_R = 4 \cdot I_{OHmax} + 2 \cdot I_{IHmax}$
- $V_{OH} = 5 - I_R \cdot R_{pu} \geq V_{IHmin}$

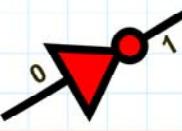
$$R_{pu} \leq \frac{5 - V_{IHmin}}{4 \cdot I_{OHmax} + 2 \cdot I_{IHmax}}$$

$$R_{pu} \leq \frac{V_{cc} - V_{IHmin}}{m \cdot I_{OHmax} + n \cdot I_{IHmax}}$$

\*Pot usar-se  $V_{OHmin}$  en volta de  $V_{IHmin}$ , amb l'avantatge de què NM > 0



NOT	NOR
$V_{cc} = 5V$	$V_{cc} = 5V$
$V_{OL,max} = 0.4V$	$V_{IHmin} = 2.4V$
$I_{OHmax} = 0.25mA$	$I_{IHmax} = 40\mu A$
$I_{OLmax} = 16mA$	$I_{ILmax} = -1.6 mA$



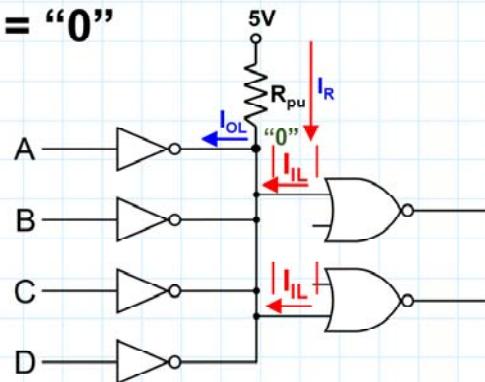
## Disseny de la resistència de pull-up (Exemple) (II)

b) Nivell baix → al menys una eixida = “0”

- Pitjor cas: una eixida = “0”
- $I_R = (5 - V_{OLmax}) / R_{pu}$
- $I_{OL} \leq I_{OLmax}$
- $I_R + 2 \cdot |I_{ILmax}| \leq I_{OLmax}$

$$R_{pu} \geq \frac{5 - V_{OLmax}}{I_{OLmax} - 2 \cdot |I_{ILmax}|}$$

$$R_{pu} \geq \frac{V_{cc} - V_{OLmax}}{I_{OLmax} - n \cdot |I_{ILmax}|}$$



NOT	NOR
$V_{cc} = 5V$	$V_{cc} = 5V$
$V_{OLmax} = 0.4V$	$V_{IHmin} = 2.4V$
$I_{OHmax} = 0.25mA$	$I_{IHmax} = 40\mu A$
$I_{OLmax} = 16mA$	$I_{ILmax} = -1.6 mA$

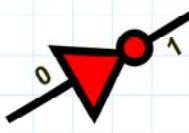
El pitjor cas és quan una única eixida = “0”, perquè tot el corrent  $I_{OL}$  va a parar a un únic transistor

Si hi han dos exides = “0”, cada transistor rebrà  $I_{OL}/2$  aproximadament

Si hi han tres exides = “0”, cada transistor rebrà  $I_{OL}/3$  aproximadament

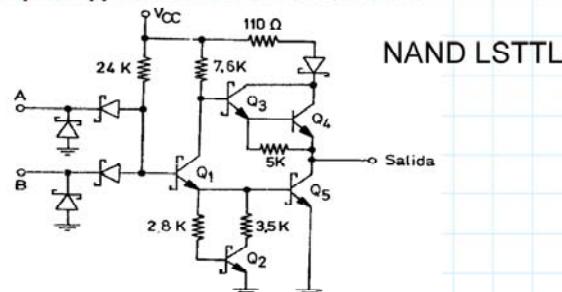
....

$I_{OL}/3 < I_{OL}/2 < I_{OL} < I_{OLmax}$



## Família TTL. Subfamilies.

- TTL (Transistor-Transistor Logic)
- Subfamilies TTL amb transistors Schottky:
  - STTL: Schottky TTL
  - LSTTL: Low Power Schottky TTL
  - ASTTL: Advanced Schottky TTL
  - ALSTTL: Advanced Low Power Schottky TTL
  - FAST: Fairchild Advanced STTL
- Els transistors Schottky augmenten la velocitat



La transparencia hace mención a la familia TTL y a sus principales subfamilias. Los chips TTL se usan en aplicaciones SSI y MSI, donde el consumo no es determinante.

Se muestra una puerta LSTTL, donde se ven los dispositivos internos: BJT, transistores Schottky, diodos Schottky, resistencias y, por supuesto, la alimentación.

Algunas cosas a reseñar:

- Se trata de la familia bipolar más utilizada
- Alimentación: +5V fija, no como CMOS, que tiene un rango de variación.
- Subfamilias Schottky: emplean transistores y diodos Schottky para aumentar la velocidad de conmutación (referencia el tema 1- diodos Schottky).

Los transistores Schottky se diseñan a partir de un BJT + diodo Schottky entre la base y el colector. La presencia del diodo Schottky acelera la conmutación.

Hay varias subfamilias:

STTL: utiliza transistores Schottky para aumentar la velocidad y valores de resistencias más pequeños para aumentar la corriente y la velocidad. Mayor consumo.

LSTTL: utiliza transistores Schottky para aumentar la velocidad y valores de las resistencias más elevados para disminuir el consumo (corrientes menores). Menor velocidad que la STTL.

ASTTL: versión avanzada de la STTL. Mejora el proceso de fabricación, reduciendo el tamaño de los transistores y las capacidades parásitas internas. Más velocidad con el mismo consumo.

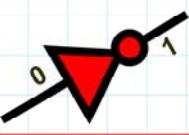
ALSTTL: versión avanzada de LSTTL. Mejora el proceso de fabricación, reduciendo el tamaño de los transistores y las capacidades parásitas internas. Más velocidad con el mismo consumo.

FAST: versión intermedia entre ALSTTL y ASTTL, en velocidad y consumo. Introducida por Fairchild. Las 4 anteriores fueron introducidas por Texas Instruments.

¿Cuál es la más rápida de todas? La ASTTL

¿Cuál es la que presenta un mejor factor de mérito (retardo x consumo)? La ALSTTL.

¿Cuál es la que presenta menor consumo? La LSTTL. Esta se utiliza bastante porque presenta también un buen factor de mérito.



## RESUM

- . Concepte de família lògica. Exemples.
- . Paràmetres elèctrics i temporals dels circuits digitals integrats
  - . Tensions
  - . Corrents
  - . Consum
  - . Retards, freqüència màxima
- . Interconnexió i compatibilitat entre famílies
- . Exemples d'algunes famílies típiques
  - .TTL
  - .NMOS
  - .CMOS