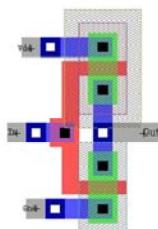
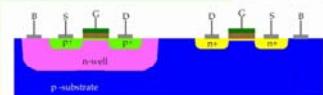


# Tema 4

## Fundamentos de la tecnología CMOS



1

## Objetivos

- Comprender el diseño de circuitos lógicos CMOS
  - \* Lógica CMOS complementaria
  - \* Lógica basada en pueras de transmisión
- Estudiar un conjunto amplio de circuitos lógicos CMOS
  - \* Combinacionales, secuenciales
- Caracterizar eléctricamente los circuitos integrados CMOS
  - \* Parámetros de tensión, corriente, retardos y consumo
  - \* Salidas especiales: drenador abierto, triestado
- Conocer las principales subfamilias CMOS
  - \* Con buffer de salida, alta velocidad, bajo voltaje, etc.
- Conocer los fundamentos del diseño y fabricación de los chips VLSI

# Contenidos

## 4.1 Introducción

5.1.1 Características. Evolución histórica. Ley de Moore

## 4.2 Circuitos combinacionales

5.2.1 Inversor

5.2.2 Otras puertas básicas

5.2.3 Diseño de funciones generales en Lógica CMOS Complementaria

5.2.4 Diseño con puertas de transmisión. Multiplexores

## 4.3 Biestables: disparo por nivel y por flanco

## 4.4 Salidas especiales

5.4.1 Drenador abierto

5.4.2 Triestado

## 4.5 Parámetros eléctricos característicos

## 4.6 Subfamilias CMOS

## 4.7 Fundamentos del diseño VLSI

4.7.1 Proceso de fabricación. Máscaras.

4.7.2 *Layout* de celdas.

4.7.3 Flujo de diseño basado en celdas estándar

4.7.4 Tendencias actuales y futuras

## Bibliografía

- Teoría

- \* “Electrónica”. Hambley. Ed. Prentice-Hall. 2002. Capítulo 6.
- \* “Diseño Digital”. Wakerly. Ed. Prentice-Hall. 2006. Capítulo 3.
- \* “Circuitos CMOS”. R.M. Marston. Ed. Paraninfo. 1995.
- \* “Circuitos Integrados Digitales”. Jan Rabaey et al. Ed. Prentice-Hall. 2004.
- \* “International Technology Roadmap for Semiconductors – ITRS”
- \* [www.intel.com/technology](http://www.intel.com/technology)

4

## 4.1. Introducción

- CMOS: es la familia con mayor proyección de futuro.
- Ámbito de aplicación :
  - \* La mayoría de los c.i LSI y VLSI: memorias y procesadores
  - \* Aplicación en SSI y MSI junto a TTL
- Características más relevantes
  - \* Bajo consumo
  - \* Proceso de fabricación altamente automatizado
  - \* Excelente inmunidad al ruido
  - \* Tensión de alimentación variable
  - \* Subfamilias de alta velocidad

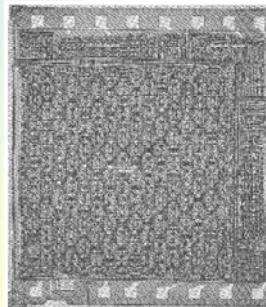
5

Es la familia más utilizada en la fabricación de circuitos integrados digitales, debido a sus buenas características globales: robustez, bajo consumo y velocidad, lo que la convierte en la familia más completa.

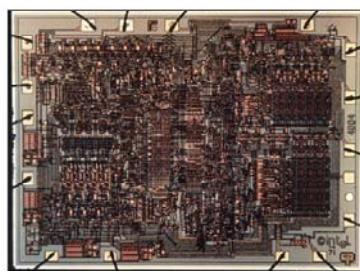
Además, el proceso de diseño y fabricación está muy automatizado, empleando herramientas CAD y librerías de celdas y módulos prediseñados.

## 4.1. Introducción. Evolución histórica

- En los 70 los procesos de fabricación de procesadores y memorias utilizaban habitualmente transistores NMOS
  - \* Baratos, pero presentaban consumo estático



Intel 1101 256-bit SRAM



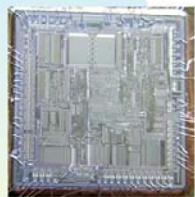
Intel 4004 4-bit  $\mu$ Proc

6

Se trataba de los primeros chips LSI de procesadores y memorias  
El consumo estático NMOS se refiere al consumo en el nivel bajo de salida  
(recuerde el funcionamiento del inversor NMOS con resistencia de drenador  $R_D$  del tema 2)

## 4.1. Introducción. Evolución histórica

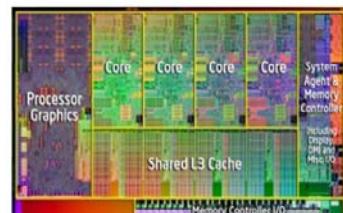
- Desde 1980's hasta el presente: tecnología CMOS → bajo consumo estático



Intel 286



Intel Pentium



Intel-i7

7

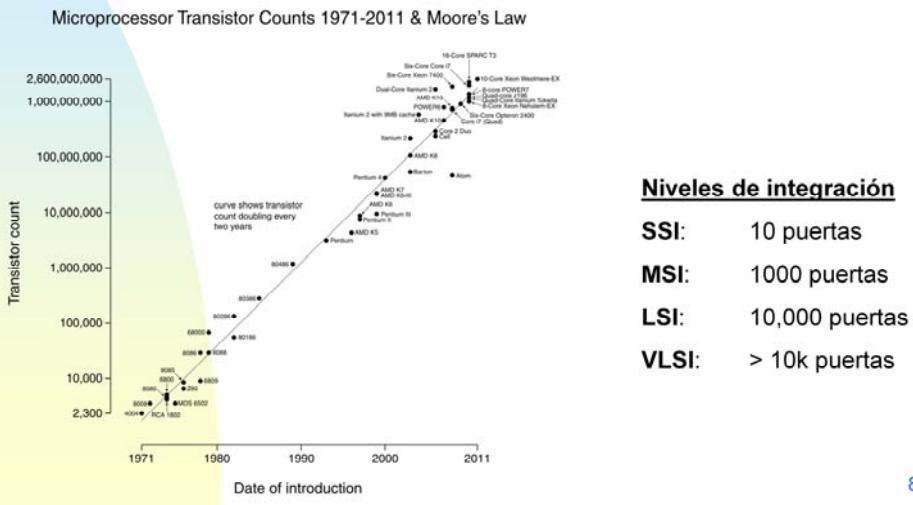
Se optó por CMOS precisamente porque eliminaba el consumo estático.

Se empezaron a fabricar chips VLSI con tecnología CMOS

Hasta nuestros días, donde sigue consolidada como la tecnología de referencia

## 4.1. Introducción. Ley de Moore

- 1965: Gordon Moore representó la evolución del nº de transistores en cada chip
  - \* Se ajusta a una línea recta en escala semilogarítmica
  - \* El número de transistores se duplica cada 18-24 meses



Crecimiento **exponencial** del número de transistores con los años

Observe que la escala vertical es logarítmica:

$$\log_{10} N_T = kA \rightarrow N_T = (10)^{kA}$$

$N_T$  = número de transistores en el chip

A = años

k = constante

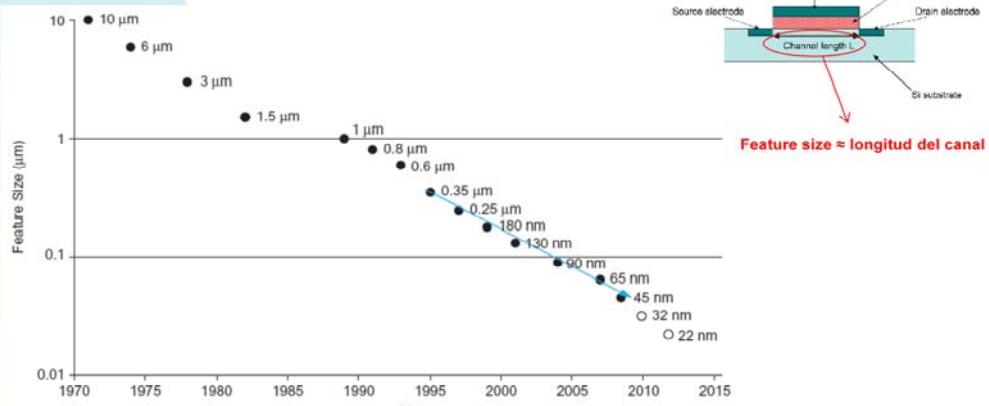
Esta ley empírica se ha mantenido con pequeñas variaciones, desde que se fabricaron los primeros chips de microprocesadores y memorias

Actualmente hay microprocesadores con miles de millones de transistores

**El equivalente de 1 puerta en CMOS es de 6 transistores aprox.**

## 4.1. Introducción. Ley de Moore

- *Feature Size* disminuye el 30% cada 2-3 años



9

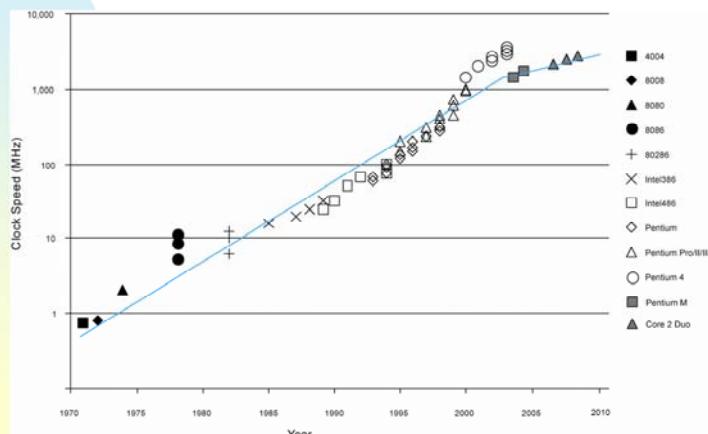
*Feature Size* es un indicador del tamaño mínimo en el proceso de fabricación de los Transistores Mosfet, que constituyen el dispositivo básico de la tecnología CMOS. Normalmente se toma la mínima longitud del canal de los transistores.

Cada 2-3 años, el *feature size* se multiplica por un factor 0.7, aproximadamente. Es lo mismo que disminuir un 30%.

Cuando se dice: “este microprocesador (o memoria) está hecho con tecnología CMOS de 90 nm” se refiere a que la longitud del canal de los transistores Mosfet es de 90nm. Actualmente lo usual es 45nm, 32nm, 22nm e incluso 14nm.

## 4.1. Introducción. Ley de Moore

- Muchos otros factores han crecido exponencialmente
  - \* Ej: frecuencia de reloj, prestaciones del procesador



10

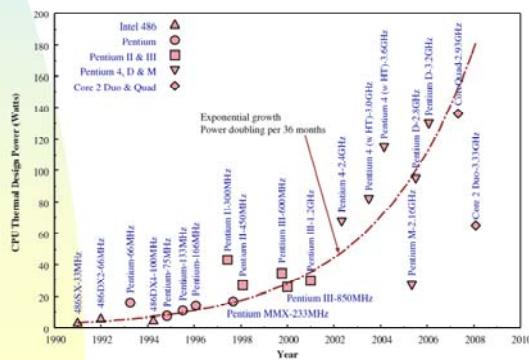
El crecimiento también ha sido exponencial, pero no tan rápido (duplicación cada 2 - 3 años), desde unos pocos MHz (en los primeros microprocesadores) hasta más de 3GHz en algunos actuales.

De hecho actualmente se tiende a ralentizar el crecimiento de la frecuencia (tal como muestra la figura) por motivos de consumo dinámico. El consumo dinámico de CMOS es directamente proporcional a la frecuencia, tal como veremos más adelante

El estancamiento de la frecuencia se ha suplido con paralelismo (dual-core, quad-core, ...), nuevos materiales y con la reducción de dimensiones.

## 4.1 Introducción. Consumo

- La potencia consumida por los chips también ha crecido exponencialmente
- Debido a:
  - \* Gran densidad de integración
  - \* Elevada frecuencia
- El consumo es un factor determinante
  - \* Limita la densidad de integración
  - \* Especialmente en sistemas con baterías

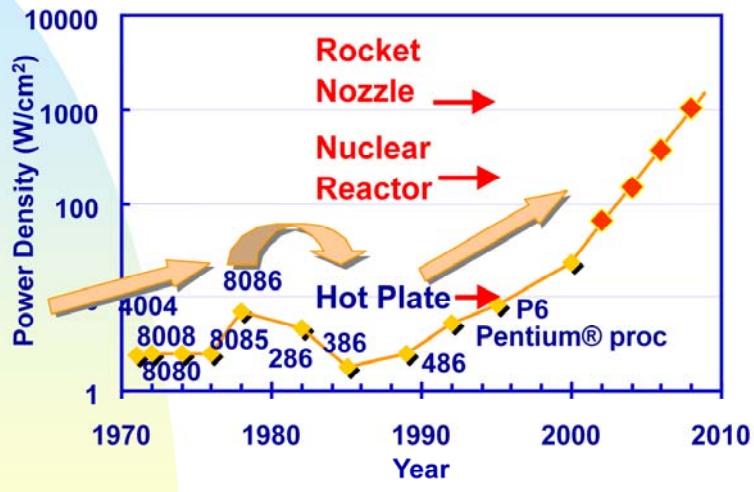


11

La potencia consumida por los chips también ha sufrido un crecimiento exponencial, desde los primeros chips de micros que no llegaban a 1 Watt, hasta los actuales con más de 100 Watts. En los últimos años el crecimiento se ha ralentizado, como en el caso de la frecuencia.

Aunque la tecnología es CMOS, hay que pensar que los chips actuales contienen cientos de millones de transistores, y la frecuencia también ha ido creciendo. Aunque en principio el consumo más relevante es el **dinámico**, el **estático** tiene cada vez más importancia al crecer la densidad de integración. Esto es especialmente importante en sistemas con baterías (móviles, portátiles, ...). Hay diferentes rangos de potencia, dependiendo de si se trata de micros para móviles o tabletas, ordenadores de sobremesa o servidores de altas prestaciones.

## 4.1. Introducción. Densidad de potencia



Courtesy, Intel

12

Donde más se observa el problema de la potencia es en su valor relativo respecto a la unidad de área de chip, es decir, la DENSIDAD de potencia ( $\text{W}/\text{cm}^2$ ).

A partir del 2000 se observa un crecimiento más acusado, de tipo exponencial, con valores muy elevados. Algunos estudios teóricos sitúan el límite CMOS en  $100 \text{ W}/\text{cm}^2$ . La potencia disipada en forma de calor debe eliminarse mediante ventiladores, disipadores o incluso mediante sistemas de refrigeración basados en He líquido o N líquido (en grandes Supercomputadores).

Al mismo tiempo se sigue la tendencia de bajar la tensión de alimentación para disminuir la potencia disipada.

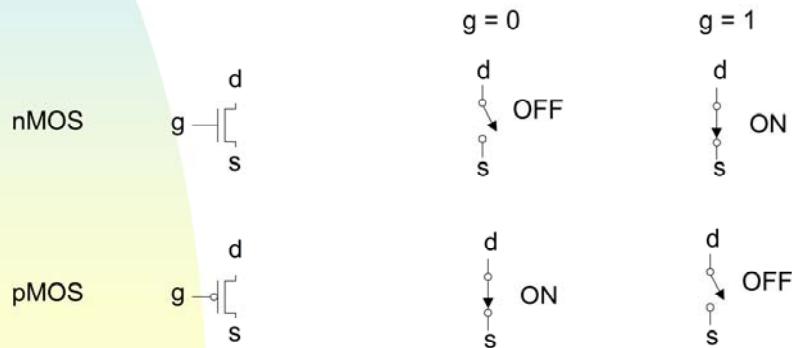
Otra solución que se introduce es bajar la frecuencia a costa de introducir mecanismos de paralelismo interno, tal como se ha comentado anteriormente.

**La disipación de potencia es uno de los problemas más importantes en el diseño y fabricación de los chips VLSI actuales, a medida que aumenta la densidad de integración. Reduce la fiabilidad de los transistores y de los circuitos.**

## 4.2. Circuitos combinacionales

Los transistores MOS como **interruptores ideales**:

- Los transistores MOS se pueden ver como interruptores controlados por tensión (**modelo**)
- La tensión en la puerta controla la conexión entre los terminales de drenador y fuente



13

Consideraremos un modelo simple para el transistor Mosfet en conmutación, consistente en un interruptor ideal. Ello nos permitirá analizar más fácilmente los circuitos lógicos CMOS. Veamos los diferentes casos:

Ventada =  $V_g$  (gate)

NMOS:

Entrada = "1"  $\rightarrow V_{gs} > VT \rightarrow R_{on}$  de los transistores Mosfet se aproxima a 0  $\rightarrow$  interruptor cerrado

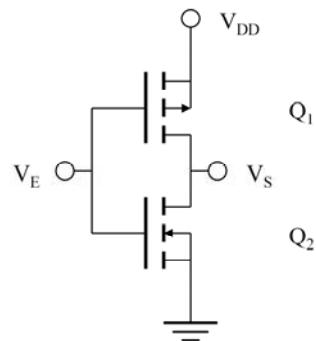
Entrada = "0"  $\rightarrow V_{gs} < VT \rightarrow R_{off}$  de los transistores Mosfet se aproxima a  $\infty$   $\rightarrow$  interruptor abierto

PMOS:

Entrada = "1"  $\rightarrow V_{gs} > -VT \rightarrow R_{off}$  de los transistores Mosfet se aproxima a  $\infty$   $\rightarrow$  interruptor abierto

Entrada = "0"  $\rightarrow V_{gs} < -VT \rightarrow R_{on}$  de los transistores Mosfet se aproxima a 0  $\rightarrow$  interruptor cerrado

## 4.2.1 El inversor CMOS (repaso)



Entrada digital:  $V_E = 0V = \text{"0"}$      $V_E = V_{DD} = \text{"1"}$

14

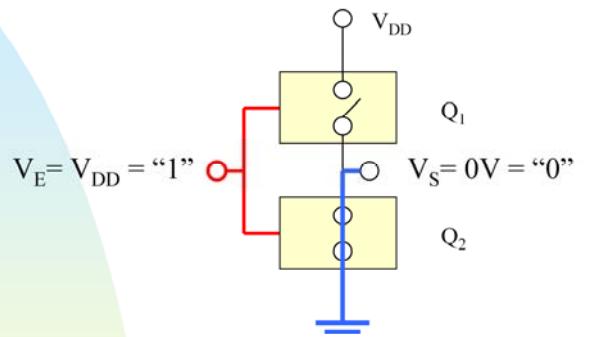
El **inversor** es la puerta básica de la familia CMOS, a partir de la cual se diseñan las demás.

Estructura (recuerde final del tema 2):

- Pareja de transistores, PMOS y NMOS.
- PMOS conectado (su fuente) a  $V_{DD}$
- NMOS conectado (su fuente) a masa
- Las puertas de los transistores conectadas entre sí y a la entrada
- Los drenadores de los transistores conectados entre sí y a la salida
- El sustrato del PMOS conectado a  $V_{DD}$
- El sustrato del NMOS conectado a masa

El nombre CMOS (*Complementary MOS*) viene de la presencia de **parejas complementarias** (PMOS-NMOS) de transistores. Como se verá más adelante, esta estructura aparece en el resto de puertas y circuitos lógicos.

## 4.2.1 El inversor CMOS (repaso)



$$V_{GS1} = V_{DD} - V_{DD} = 0V > -V_T \Leftrightarrow \text{PMOS corte}$$

$$V_{GS2} = V_{DD} - 0V = V_{DD} > V_T \Leftrightarrow \text{NMOS conduce}$$

El consumo estático es = 0

15

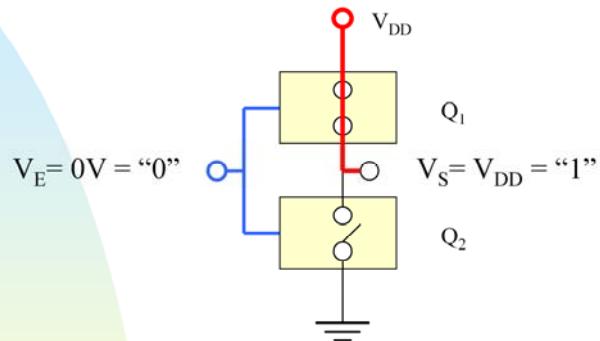
Recordemos (del tema 2) el funcionamiento como inversor. Para ello vamos a dar a  $V_E$  valores lógicos “1” y “0”, y deduciremos la salida. Los valores de tensión para “1” y “0” serán extremos:  $V_{DD}$  y 0V, respectivamente.

Usaremos el modelo de interruptor abierto/cerrado para los transistores.

Para  $V_E = "1"$ ,  $V_s \approx 0V$

El consumo estático es 0 (si exceptuamos las corrientes de fuga), pues no existe “camino” entre  $V_{DD}$  y masa, al estar uno de los dos transistores cortado.

## 4.2.1 El inversor CMOS (repaso)



$$V_{GS1} = 0V - V_{DD} = -V_{DD} < -V_T \Leftrightarrow \text{PMOS conduce}$$

$$V_{GS2} = 0V - 0V = 0V < V_T \Leftrightarrow \text{NMOS corte}$$

El consumo estático es = 0

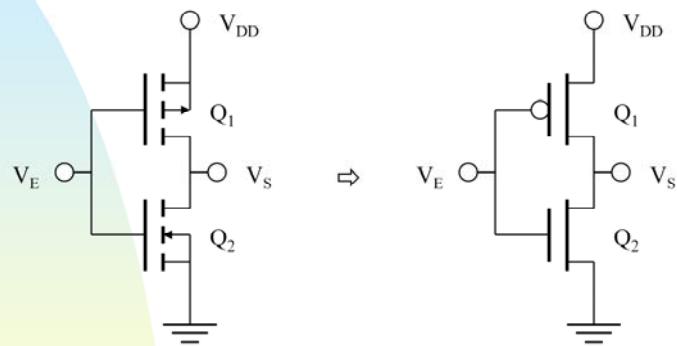
16

Para  $V_E = "0"$  el que está cortado es el NMOS. De nuevo el consumo estático es 0.

Se observa que las tensiones de salida son muy extremas.

## 4.2.1 El inversor CMOS

Esquema más simple de los transistores:

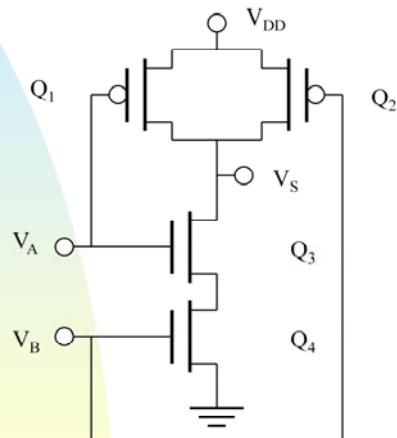


17

Se usa a veces un esquema más simplificado, para evitar tener que dibujar los substratos de los transistores.

## 4.2.2 Otras puertas. NAND CMOS

Estructura: transistores PMOS en paralelo y NMOS en serie



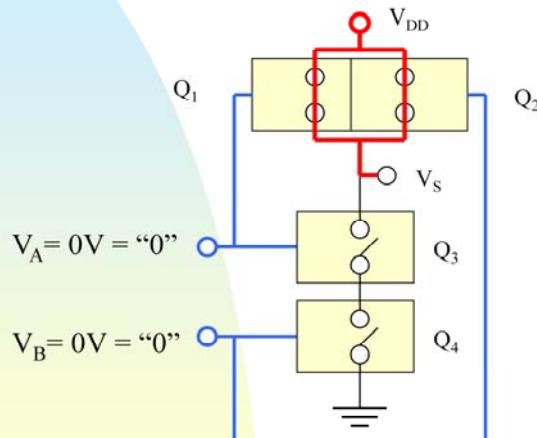
18

Obsérvese que cada entrada está conectada a una pareja de transistores PMOS-NMOS.

El funcionamiento se puede verificar fácilmente usando el modelo de interruptor abierto/cerrado de los transistores, tal como se muestra en las siguientes transparencias.

## 4.2.2 Otras puertas. NAND CMOS

Estructura: transistores PMOS en paralelo y NMOS en serie



V <sub>A</sub>	V <sub>B</sub>	V <sub>S</sub>
0V	0V	V <sub>DD</sub>
0V	V <sub>DD</sub>	V <sub>DD</sub>
V <sub>DD</sub>	0V	V <sub>DD</sub>
V <sub>DD</sub>	V <sub>DD</sub>	0V

El consumo estático es = 0

19

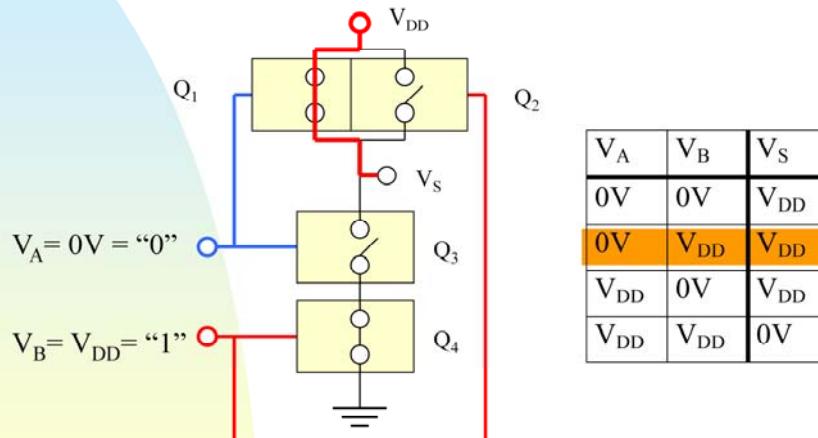
Los dos transistores NMOS están cortados (interruptores abiertos) mientras que los dos PMOS conducen (interruptores cerrados).

La salida es un nivel alto ( $V_S \approx V_{DD}$ ).

El consumo estático es nulo (sin considerar las corrientes de fuga, despreciables)

## 4.2.2 Otras puertas. NAND CMOS

Estructura: transistores PMOS en paralelo y NMOS en serie



El consumo estático es = 0

20

La tensión de nivel bajo aplicada a  $V_A$  hace conducir a Q1 (PMOS) y deja cortado a Q3 (NMOS).

La tensión de nivel alto aplicada a  $V_B$  hace conducir a Q4 (NMOS) y deja cortado a Q2 (PMOS).

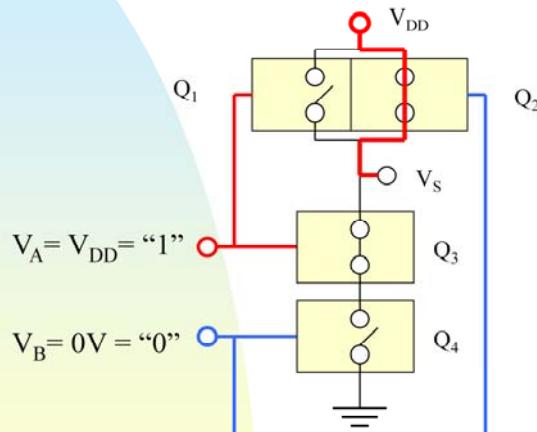
Como los transistores PMOS están conectados en paralelo y los NMOS en serie, la salida es un nivel alto ( $V_s \approx V_{DD}$ ).

Observe que en los transistores NMOS uno conduce mientras el otro está cortado, por lo que no hay conexión entre la línea de salida y la tensión de masa.

El consumo estático es nulo

## 4.2.2 Otras puertas. NAND CMOS

Estructura: transistor PMOS en paralelo y NMOS en serie



V <sub>A</sub>	V <sub>B</sub>	V <sub>S</sub>
0V	0V	V <sub>DD</sub>
0V	V <sub>DD</sub>	V <sub>DD</sub>
V <sub>DD</sub>	0V	V <sub>DD</sub>
V <sub>DD</sub>	V <sub>DD</sub>	0V

El consumo estático es = 0

21

La tensión de nivel alto aplicada a  $V_A$  hace conducir a Q3 (NMOS) y deja cortado a Q1 (PMOS).

La tensión de nivel bajo aplicada a  $V_B$  hace conducir a Q2 (PMOS) y deja cortado a Q4 (NMOS).

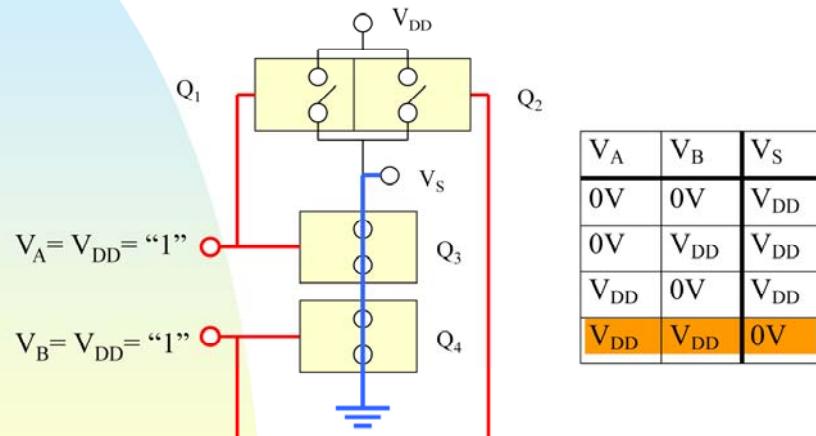
Como los transistores PMOS están conectados en paralelo y los NMOS en serie, la salida es un nivel alto ( $V_S \approx V_{DD}$ ).

De nuevo se tiene que un transistor NMOS conduce mientras el otro está cortado, por lo que no hay conexión entre la línea de salida y la tensión de masa.

El consumo estático es nulo

## 4.2.2 Otras puertas. NAND CMOS

Estructura: transistor PMOS en paralelo y NMOS en serie



El consumo estático es = 0

22

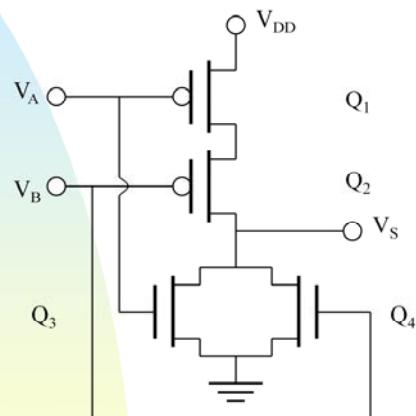
Los dos transistores PMOS están cortados (interruptores abiertos) mientras que los dos NMOS conducen (interruptores cerrados).

La salida es un nivel bajo ( $V_s \approx 0V$ ), pues en este caso sí existe conexión entre la línea de salida y la tensión de masa (referencia).

El consumo estático es nulo

## 4.2.2 Otras puertas. NOR CMOS

Estructura: transistores NMOS en paralelo y PMOS en serie

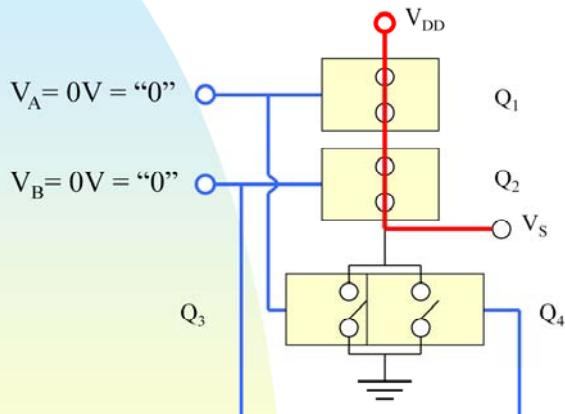


23

La estructura es dual respecto a la NAND: basta cambiar las agrupaciones SERIE por PARALELO y viceversa. La dualidad estructural se traduce en una dualidad funcional.

## 4.2.2 Otras puertas. NOR CMOS

Estructura: transistores NMOS en paralelo y PMOS en serie



V <sub>A</sub>	V <sub>B</sub>	V <sub>S</sub>
0V	0V	V <sub>DD</sub>
0V	V <sub>DD</sub>	0V
V <sub>DD</sub>	0V	0V
V <sub>DD</sub>	V <sub>DD</sub>	0V

El consumo estático es = 0

24

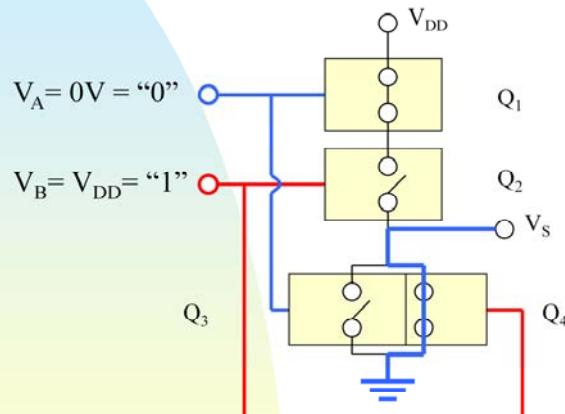
El funcionamiento se verifica fácilmente, de manera análoga a la puerta NAND anterior.

Se deja como tarea para el alumno

En todos los casos el consumo estático es nulo, como no puede ser de otra manera, tratándose de un circuito lógico CMOS

## 4.2.2 Otras puertas. NOR CMOS

Estructura: transistores NMOS en paralelo y PMOS en serie



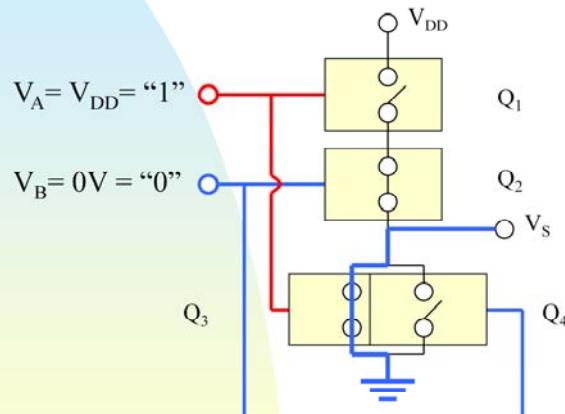
V <sub>A</sub>	V <sub>B</sub>	V <sub>S</sub>
0V	0V	V <sub>DD</sub>
0V	V <sub>DD</sub>	0V
V <sub>DD</sub>	0V	0V
V <sub>DD</sub>	V <sub>DD</sub>	0V

El consumo estático es = 0

25

## 4.2.2 Otras puertas. NOR CMOS

Estructura: transistores NMOS en paralelo y PMOS en serie



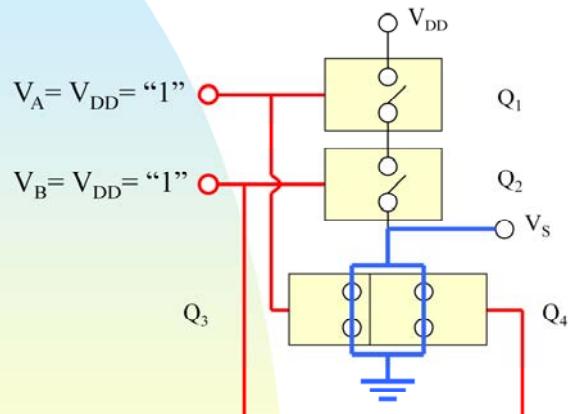
$V_A$	$V_B$	$V_S$
0V	0V	$V_{DD}$
0V	$V_{DD}$	0V
$V_{DD}$	0V	0V
$V_{DD}$	$V_{DD}$	0V

El consumo estático es = 0

26

## 4.2.2 Otras puertas. NOR CMOS

Estructura: transistores NMOS en paralelo y PMOS en serie



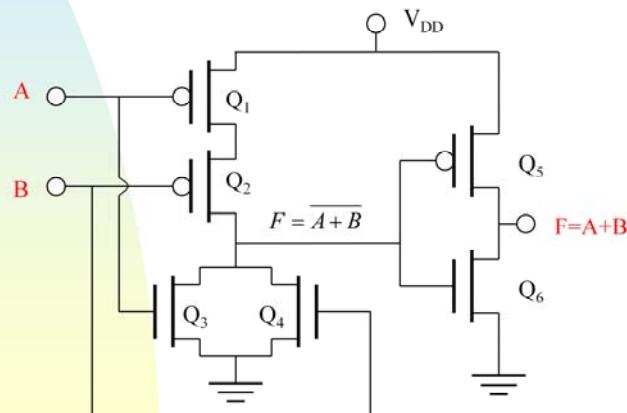
$V_A$	$V_B$	$V_S$
0V	0V	$V_{DD}$
0V	$V_{DD}$	0V
$V_{DD}$	0V	0V
$V_{DD}$	$V_{DD}$	0V

El consumo estático es = 0

27

## 4.2.2 Otras puertas básicas

- Buffer = NOT + NOT
- AND = NAND + NOT
- OR = NOR + NOT



28

A partir de las puertas NOT, NOR y NAND se diseñan las puertas Buffer, OR y AND, sin más que añadir un inversor en serie.

El buffer no modifica los niveles de tensión (implementa la función identidad), pero sí que se utiliza para incrementar la corriente de salida. Esto puede ser útil si un circuito no puede suministrar suficiente corriente para abastecer a otros conectados en su salida. En tal caso se intercala un buffer a la salida del circuito. De esta forma se incrementa el fan-out. Para incrementar la corriente, los transistores del inversor de salida suelen tener una relación (W/L) mayor. Otra forma de aumentar la corriente es disminuir la VT de los transistores.

Los buffers también se utilizan para aumentar la velocidad de commutación.

## 4.2.3 Diseño de funciones generales en Lógica CMOS Complementaria (1)

Caso general:

- Los bloques NMOS y PMOS son duales  
 Estructuras serie → · (AND)  
 Estructuras paralelo → + (OR) } → Función intermedia G

- Bloque NMOS

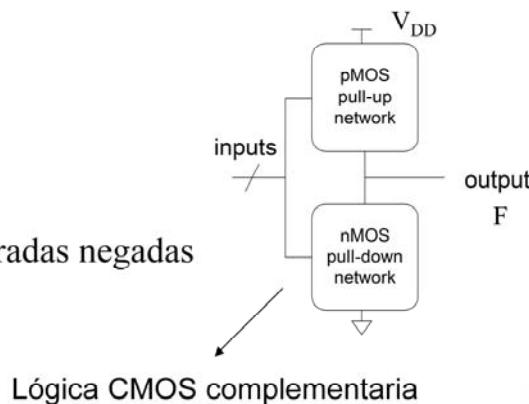
conexión a masa

$$F = \overline{G}$$

- Bloque PMOS

conexión a  $V_{DD}$

$F = G$ , pero con entradas negadas



29

Se puede aplicar un **Método General para el diseño de cualquier función lógica CMOS**.

Las funciones en **Lógica CMOS Complementaria** constan de 2 bloques: un **bloque PMOS** entre  $V_{DD}$  y la salida F, y un **bloque NMOS** entre la salida F y GND.

**La estructura de los dos bloques es dual**, es decir, si los transistores están en serie en el bloque NMOS, los correspondientes transistores PMOS estarán en paralelo, y viceversa.

Para averiguar la expresión lógica de la función, puede seguirse un método sencillo y sistemático.

La función puede obtenerse analizando el bloque NMOS o el bloque PMOS, indistintamente. El resultado es equivalente.

### Obtención de la función analizando el bloque NMOS

Obtener una función intermedia G a partir de las asociaciones serie/paralelo de los transistores NMOS:

Serie → AND de las variables correspondientes

Paralelo → OR de las variables correspondientes

Una vez obtenida G,  $F = \overline{G}$ , pues si  $G = "1"$  hay una conexión entre F y GND.

### Obtención de la función analizando el bloque PMOS

Obtener una función intermedia G a partir de las asociaciones serie/paralelo de los transistores PMOS:

Serie → AND de las variables correspondientes, NEGADAS (los transistores PMOS conducen con "0" en la entrada)

Paralelo → OR de las variables correspondientes, NEGADAS

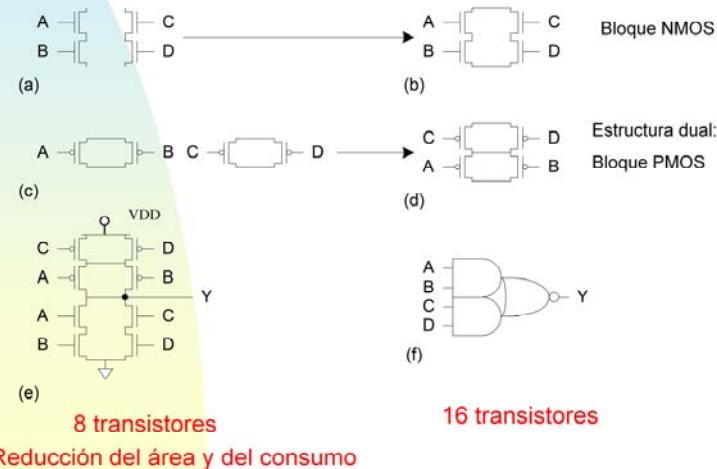
Una vez obtenida G,  $F = G$ , pues si  $G = "1"$  hay una conexión entre F y  $V_{DD}$ .

Las funciones F obtenidas por cualquiera de los 2 métodos deben ser equivalentes. Normalmente, aplicando el teorema de De Morgan a una de ellas, se obtiene la otra.

**El proceso anterior se puede invertir para diseñar un determinado circuito a partir de la expresión de F**

## 4.2.3 Diseño de funciones generales en Lógica CMOS Complementaria (2)

- Pueden implementar cualquier función inversora
- Ex:  $Y = \overline{(A \cdot B)} + (C \cdot D)$  (AND-OR-INVERT-22)



30

Aquí tenemos un ejemplo de diseño de una función combinacional en Lógica CMOS Complementaria. En este caso la función se denomina Y.

Según lo dicho en la transp. anterior,

$Y = \overline{G} \rightarrow G$  será la función correspondiente al bloque NMOS

- $(A \cdot B) \rightarrow$  asociación de transistores en serie  
 $(C \cdot D) \rightarrow$  asociación de transistores en serie
- La OR implica una asociación en paralelo de los subbloques anteriores
- y (d)  $\rightarrow$  estructura dual (cambiar asociaciones serie por paralelo y viceversa) para el bloque PMOS
- Finalmente se conecta el bloque NMOS a masa y el bloque PMOS a VDD. La función Y está en el nodo de separación entre los dos bloques. En total hay 8 transistores, lo que demuestra el ahorro de área de silicio (y por tanto también de consumo), si lo comparamos con un diseño tradicional a base de puertas independientes (ver f): cada puerta AND tiene 6 transistores, y la NOR tiene 4 transistores. En total, 16, justo el doble.

### 4.2.3 Diseño de funciones generales en Lógica CMOS Complementaria (3)

#### Ejemplo: OAI-31

$$Y = \overline{(A + B + C)D}$$

31

Veamos otro ejemplo de diseño: una función OR-AND-INVERTED con 3 entradas en la OR y una en la AND (en forma compacta, OAI-31)

$$Y = \overline{G}$$

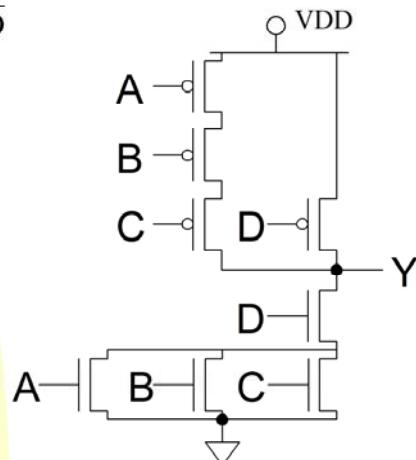
$G = (A+B+C).D$  será la función que implemente el bloque NMOS y, por tanto, si  $G = "1"$ ,  $Y$  será  $"0"$ .

Construiremos el bloque NMOS implementando las asociaciones serie/paralelo de los transistores de  $G$ . Para diseñar el bloque PMOS basta con implementar la estructura dual.

### 4.2.3 Diseño de funciones generales en Lógica CMOS Complementaria (4)

#### Ejemplo: OAI-31

$$Y = \overline{(A + B + C)}.D$$



32

Bloque NMOS:

$(A+B+C) \rightarrow$  asociación paralelo

D  $\rightarrow$  asociación serie

Bloque PMOS: Estructura dual

A, B, C en serie

D en paralelo

Finalmente, el bloque PMOS se conecta a VDD y el NMOS a masa

## 4.2.3 Diseño de funciones generales en Lógica CMOS Complementaria (4)

- *¿Y si la función no viene negada?*
- Dos opciones
  - A) Transformarla en una función equivalente negada, aplicando Involución y De Morgan. Diseñar el bloque NMOS. Diseñar el bloque PMOS con estructura dual al del bloque NMOS.
  - B) Diseño a partir del bloque PMOS, negando las entradas. El bloque NMOS se diseña con estructura dual al del PMOS.
- Ejemplo: diseñar el acarreo de salida de un *Full-adder*

$$F = AB + AC + BC$$

$$F = \overline{\overline{F}} = \overline{\overline{AB + AC + BC}} = \overline{(\overline{A} + \overline{B})(\overline{A} + \overline{C})(\overline{B} + \overline{C})}$$

$$G = (\overline{A} + \overline{B})(\overline{A} + \overline{C})(\overline{B} + \overline{C}) \rightarrow \text{Bloc NMOS}$$

Bloc PMOS dual

33

- A) Una opción: involución + De Morgan, diseñar el bloque NMOS y a partir de este el bloque PMOS (dual del anterior)

$$F = \overline{\overline{AB + AC + BC}} = \overline{(\overline{A} + \overline{B})(\overline{A} + \overline{C})(\overline{B} + \overline{C})}$$

$$G = (\overline{A} + \overline{B})(\overline{A} + \overline{C})(\overline{B} + \overline{C})$$

Bloque NMOS a partir de G

Bloque PMOS dual al NMOS

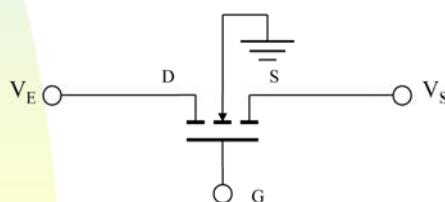
- B) Otra opción: Diseñar el bloque PMOS, que no necesita inversión, pero ojo!, con las entradas invertidas.

$$G = \overline{\overline{AB}} + \overline{\overline{AC}} + \overline{\overline{BC}}$$

Posteriormente se genera el bloque NMOS, dual del anterior

## 4.2.4 Puertas transmisión. NMOS

- Interruptor bidireccional que se abre o cierra controlado por una señal externa
  - \* Puerta de transmisión NMOS
    - Si  $V_G = 0V \Rightarrow$  Interruptor abierto
    - Si  $V_G = V_{DD} \Rightarrow$  Interruptor cerrado
      - La transmisión del “1” se degrada  $V_T$
      - La transmisión del “0” no se degrada



34

Las **puertas de transmisión** permiten diseñar circuitos CMOS de manera más compacta todavía, ahorrando transistores. Ello mejora la densidad de integración y el consumo. Se aplican a determinados circuitos CMOS, como multiplexores, puertas XOR y biestables, como veremos a continuación.

El diseño basado en puertas de transmisión se considera una variante de la familia CMOS, denominada **Pass-transistor CMOS**.

La transparencia muestra una puerta de transmisión NMOS.

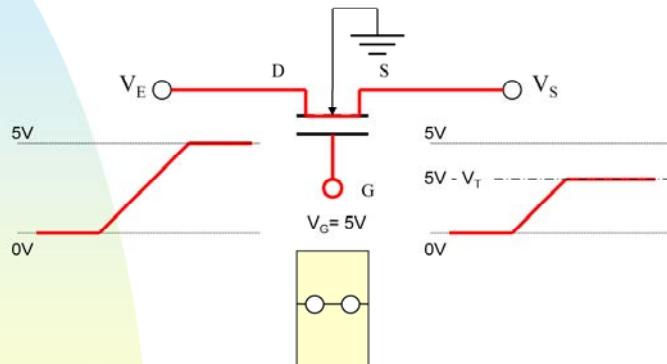
Consta de un único transistor. También se llama **transistor de paso** NMOS.

La idea es tener un interruptor gobernado por  $V_G$ , que conecte la entrada  $V_E$  con la salida  $V_S$ . Observe que el sustrato se conecta a masa de manera independiente, pues las tensiones en E y S pueden variar.

Si  $G=0$ , el transistor no conduce y E y S están desconectadas entre sí.

Si  $G=1$ , el interruptor se cierra y la entrada se transmite a la salida.

#### 4.2.4 Puertas de transmisión. NMOS



35

La transmisión del ‘1’ presenta degradación de la señal.

La degradación en la transmisión del nivel alto se produce porque, para que el transistor conduzca, en todo momento se ha de cumplir  $V_{GS} > V_T$  (condición de formación del canal).

Si, como muestra la figura, la tensión de entrada pasa a  $V_{DD}$  (5V), un nivel alto en  $V_G$  de 5V hace que la puerta de transmisión se cierre.

La tensión de entrada se transmite a la salida de la puerta de transmisión pero, cuando alcanza el valor  $V_{DD} - V_T$ , el transistor deja de conducir, pues no se cumple la condición de formación del canal. Por tanto no transmite más allá de  $5V - V_T$ , y se dice que el ‘1’ se degrada en una cantidad =  $V_T$

Una solución posible: aumentar la tensión en la puerta:  $V_G > V_{DD} + V_T$ ,  
Aunque esto implica disponer de tensiones superiores a  $V_{DD}$ .

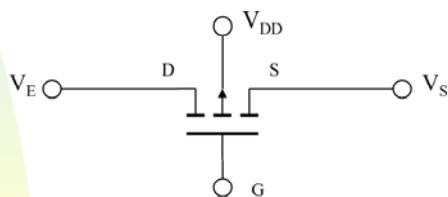
También se podría disminuir  $V_T$ , aunque ésto puede aumentar el consumo estático por corrientes de fuga.

Otra solución es utilizar puertas de transmisión CMOS (ver transp. 38)

El ‘0’ se transmite sin degradación, pues en todo momento se cumple que  $V_{GS} > V_T$

## 4.2.4 Puertas de transmisión. PMOS

- \* Puerta de transmisión PMOS
  - Si  $V_G = V_{DD}$   $\Rightarrow$  Interruptor abierto
  - Si  $V_G = 0V$   $\Rightarrow$  Interruptor cerrado
    - La transmisión del "1" no se degrada
    - La transmisión del "0" se degrada  $V_T$



36

También se llama **transistor de paso PMOS**

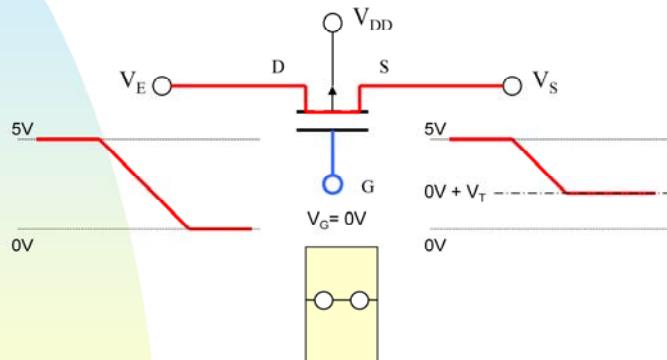
En este caso la puerta conduce con un '0' en G, y la entrada E se transmite a la salida S.

Si G = '1', el transistor está en corte y no se transmite la señal.

Observe que el sustrato se conecta de forma independiente a VDD, para asegurar que no hayan corrientes de sustrato.

En cuanto a la degradación, el valor de entrada que se degrada es el '0'.

#### 4.2.4 Puertas de transmisión. PMOS



37

No se transmite el ‘0’ íntegro, Vs se queda en el valor  $0 + V_T$ . A partir de ahí  $VGS \geq -V_T$ , y el transistor se corta, cesando la transmisión.

Una solución posible: disminuir la tensión en la puerta:  $V_G < -V_T$ ,

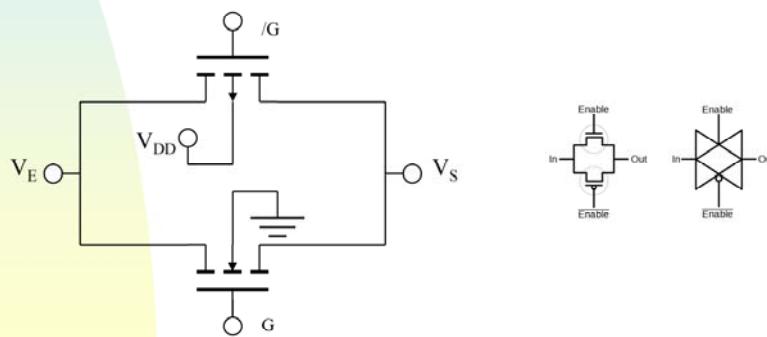
Aunque esto implica disponer de tensiones inferiores a GND

También se podría disminuir VT, aunque esto puede aumentar el consumo estático por corrientes de fuga.

Otra solución es utilizar puertas de transmisión CMOS (ver transp. 38).

## 4.2.4 Puertas de transmisión. CMOS

- \* Reúne las características de paso de las dos puertas, no degrada la salida
  - Si  $V_G = 0V \Rightarrow$  PMOS y NMOS cortados
  - Si  $V_G = V_{DD} \Rightarrow$  PMOS y NMOS conducen
    - El NMOS transmite el "0" sin degradación
    - El PMOS transmite el "1" sin degradación



38

Una buena solución cuando se quiere evitar la degradación de los niveles lógicos:  
Puerta de transmisión CMOS, no hace falta disponer de varias fuentes de alimentación,  
aunque se requieren dos transistores.

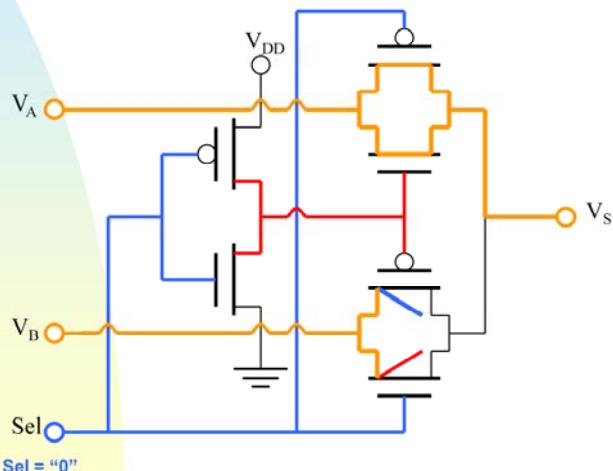
Observe que el nivel lógico aplicado al terminal de puerta (/G) del transistor PMOS (arriba) es el resultado de invertir el aplicado al terminal de puerta (G) del transistor NMOS (abajo).

La idea es tener dos puertas de transmisión en paralelo, una NMOS y otra PMOS.  
De esta forma se soluciona el problema de la degradación, pues siempre habrá una  
de las dos puertas de transmisión que transmita la señal.

A la derecha se muestran símbolos alternativos más simples para la puerta de transmisión.

## Puertas de transmisión. Multiplexor Analóg.

- Entradas  $V_A$  y  $V_B$ ; selección  $Sel$ ; y salida  $V_s$



39

Las puertas de transmisión pueden usarse para diseñar algunos circuitos analógicos y digitales especiales, ahorrando transistores y consiguiendo diseños con menos área y menos consumo.

Un ejemplo típico son los **multiplexores, tanto analógicos como digitales**.

En la figura se puede observar el circuito inversor que hace que las entradas a los terminales de control (G) de las puertas de transmisión tengan valores complementarios.

Cuando la entrada de selección es un nivel bajo (“0”) se tiene:

Los dos transistores de la puerta de transmisión inferior están cortados:

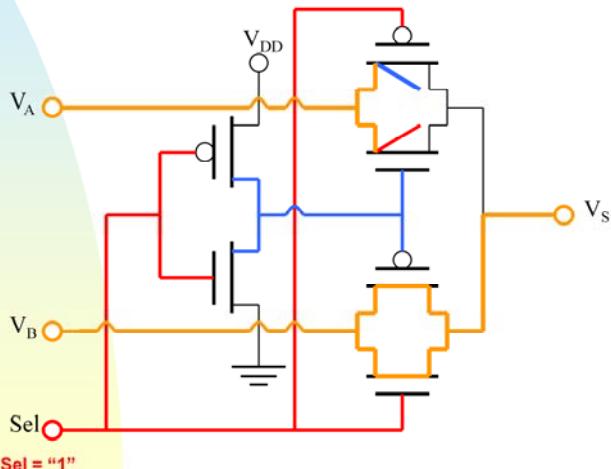
se aplica un “0” al terminal de control del NMOS y un “1” al del PMOS.

Los dos transistores que forman la puerta de transmisión superior están conduciendo:

se aplica un “1” al terminal de control del NMOS y un “0” al del PMOS.

Por tanto, el valor analógico de tensión  $V_A$  se transmite a la salida.

## Puertas de transmisión. Multiplexor Analóg.



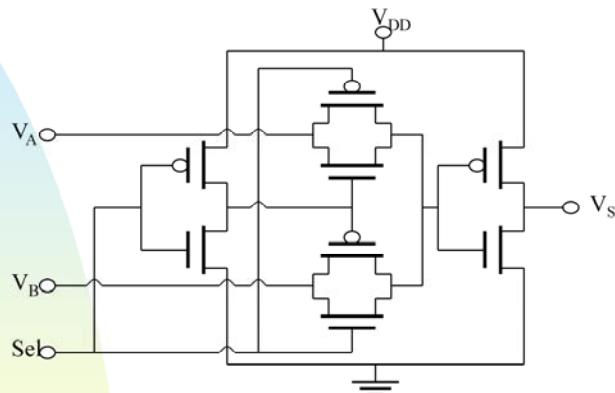
40

Cuando la entrada de selección es un nivel alto ("1") se tiene el caso contrario:  
Los dos transistores de la puerta de transmisión inferior están conduciendo:  
se aplica un "1" al terminal de control del NMOS y un "0" al del PMOS.  
Los dos transistores que forman la puerta de transmisión superior están cortados:  
se aplica un "0" al terminal de control del NMOS y un "1" al del PMOS.

Por tanto, el valor analógico de tensión  $V_B$  se transmite a la salida.

## Puertas de transmisión. Multiplexor Digital

- Incluye inversor a la salida



8 transistores → ahorro de área y consumo frente a un diseño tradicional

41

El inversor de salida **restaura la señal digital**.

Sin el inversor de salida el problema es el siguiente: si la entrada es una señal con ruido o degradada, la salida recibirá el mismo ruido. Después de varias etapas como esta, la señal puede resultar demasiado degradada y perderse el nivel lógico.

El inversor restaura la señal a “1” o “0”, debido a que la salida está conectada a  $V_{DD}$  y GND a través de los transistores PMOS y NMOS, y a su elevada ganancia (pendiente en la curva de transferencia)

El multiplexor queda con la señal invertida, debido a la presencia del inversor.

Número de transistores = 8

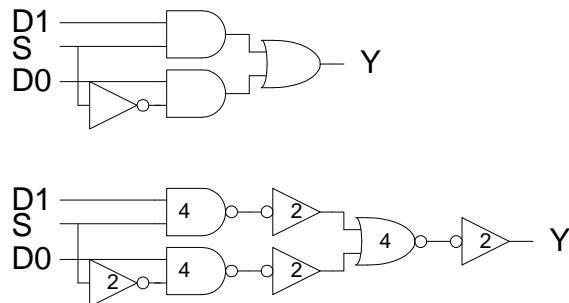
## Diseño del Mux con puertas básicas

$$Y = BSel + A\overline{Sel}$$

- ¿Cuántos transistores harían falta siguiendo un diseño basado en puertas básicas?

42

Un diseño convencional con puertas básicas necesitaría 20 transistores, muchos más que con el diseño basado en puertas de transmisión



En este circuito,

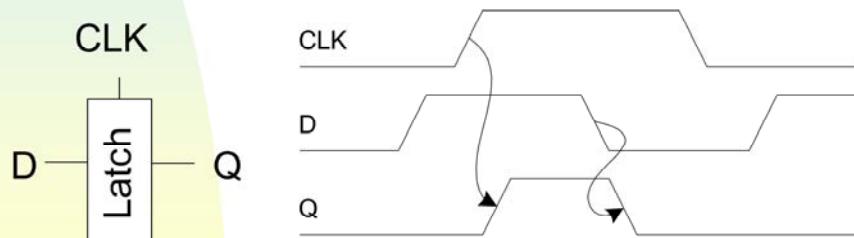
$S$  corresponde a  $Sel$ , la señal de selección, en el circuito de las transparencias anteriores.

$D_1$  corresponde al canal B en el circuito de las transparencias anteriores

$D_0$  corresponde al canal A en el circuito de las transparencias anteriores

## 4.3 Biestables. Latch D

- Si  $CLK = 1$ , el latch es *transparente*
  - \* D se transmite a Q como en un buffer
- Si  $CLK = 0$ , el latch es *opaco*
  - \* Q mantiene el valor anterior independientemente de D
- Se denomina también *latch transparente* o *activo por nivel*



43

Veamos algunos diseños de biestables, basados también en puertas de transmisión.

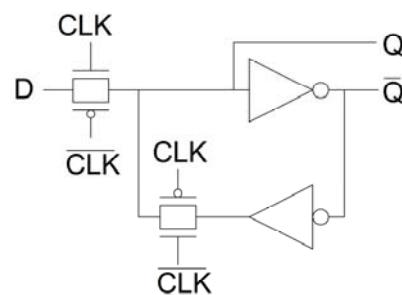
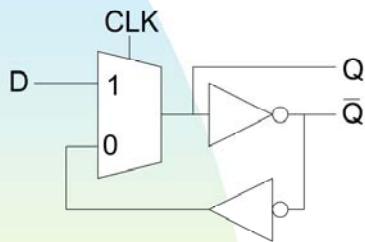
La utilización de puertas de transmisión simplifica el nº de transistores frente a un diseño tradicional.

Veremos el diseño de un Latch D y de un biestable Master-Slave D

El latch D es un biestable D activo por nivel, es decir, capta la información de D durante el nivel activo de la señal de reloj (en el ejemplo de la figura, nivel alto)

## Biestables. Diseño del Latch D con puertas de transmisión

- El Multiplexor escoge D o mantiene Q



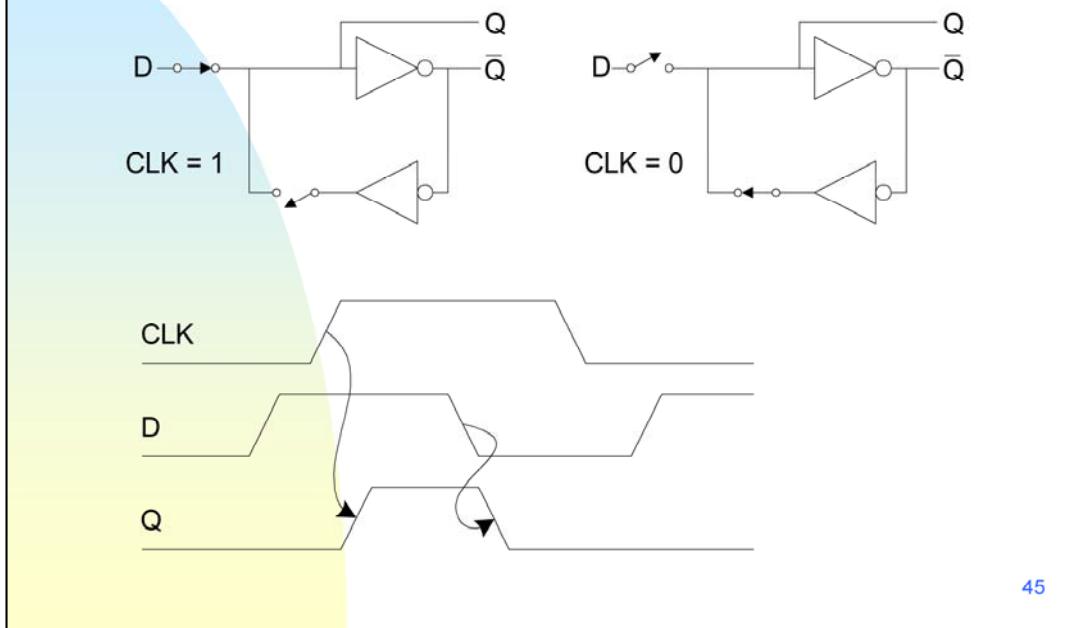
44

Diseño con dos puertas de transmisión y dos inversores CMOS

Las dos puertas de transmisión cumplen el papel de un Multiplexor de 2 canales

En este esquema hemos utilizado unos símbolos más compactos para representar las puertas de transmisión.

## Biestables. Operación del *Latch D*



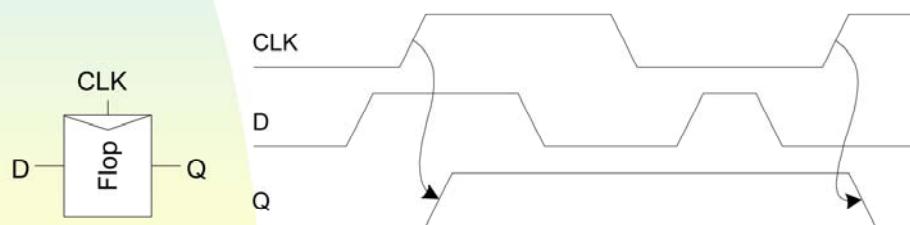
45

Cuando la señal de CLK toma el valor “1” los dos transistores de la puerta de transmisión CMOS de arriba a la izquierda conducen y, por tanto, se transmite el valor lógico de D. Mientras tanto la otra puerta de transmisión está abierta pues los valores aplicados a los terminales de control cortan a los respectivos transistores. El bucle de realimentación está abierto y la salida Q es D.

Cuando la señal de CLK toma el valor “0” se produce el caso contrario. Los dos transistores de la puerta de transmisión CMOS de la izquierda se cortan y la puerta de transmisión de abajo se cierra, por lo que se cierra el bucle de realimentación (memoria) que mantiene el valor de Q (concepto de latch).

## Biestables. *Flip-flop D*

- Cuando CLK sube, D pasa a Q
- En otro caso, Q mantiene su valor
- También se denomina *flip-flop disparado por flanco*, *flip-flop master-slave*



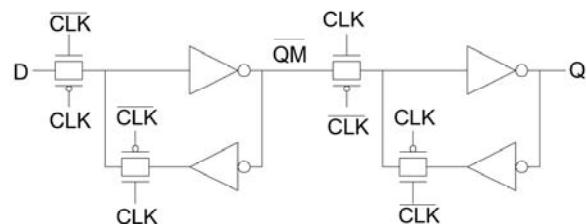
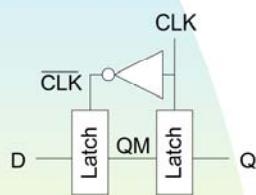
46

Veamos el diseño de un biestable disparado por flanco mediante una estructura Maestro-Esclavo (*Master-Slave*).

En el ejemplo de la figura el flanco activo es el flanco de subida.

## Biestables (5): Diseño del Flip-flop D

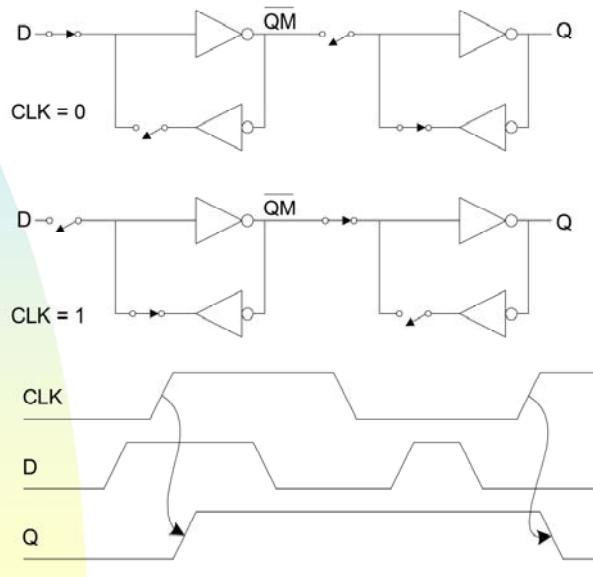
- A partir de latches *master - slave*



47

El Maestro y el Esclavo son 2 latches D como los descritos anteriormente. La salida del Maestro se conecta a la entrada del Esclavo. La activación (reloj) del Maestro y del Esclavo son complementarias, es decir, cuando uno está en modo transparente (lee la información de la entrada) el otro está en modo opaco (mantiene el estado anterior).

## Biestables (6): Operación del Flip-flop D

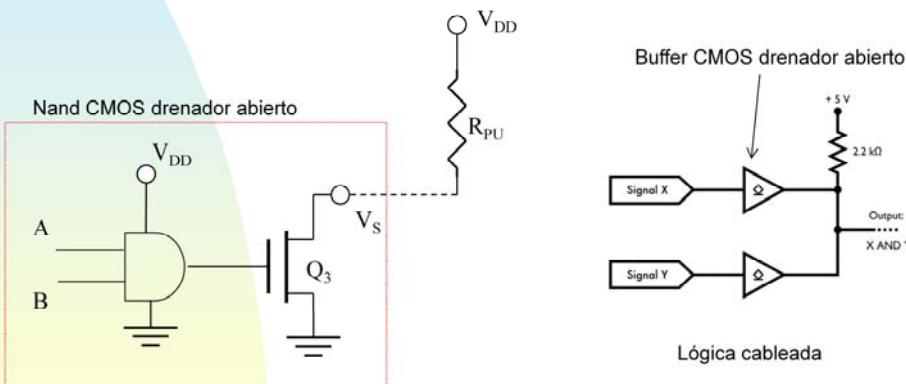


48

En este cronograma se muestra la transmisión de la información almacenada, en el flanco activo (en este caso, el flanco de subida). El Maestro capta en el nivel bajo y transmite al esclavo en el flanco de subida.

## 4.4 Salidas especiales en CMOS (1)

- Salida en drenador abierto
- Requiere  $R_{PU}$
- Ejemplos



49

El concepto es el mismo que colector abierto en TTL (Tema 3)

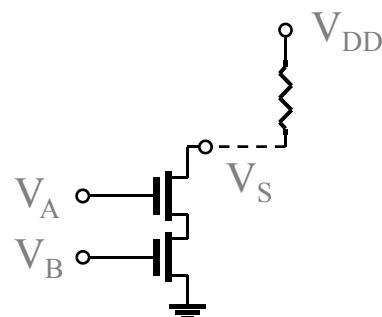
Necesita Rpull-up externa para poner el “1” de salida

La tensión a la que se conecta  $R_{PU}$  puede ser mayor que la  $V_{DD}$  de la puerta lógica, permitiendo la alimentación de cargas con tensiones más altas.

Otras aplicaciones: funciones lógicas basadas en AND-cableada, buses serie, líneas de interrupción de micro (ver Tema 3)

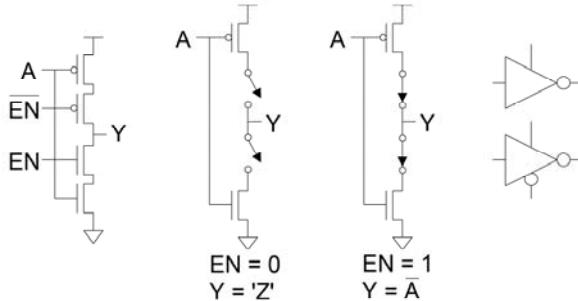
Obsérvese que la estructura de la NAND se ha planteado con una AND seguida de un inversor en colector abierto. Esto suele ser típico de los chips SSI y MSI, que llevan su propia alimentación.

En chips VLSI, donde se integran millones de transistores, la NAND colector abierto se diseña simplemente eliminando el bloque PMOS de una NAND CMOS normal:

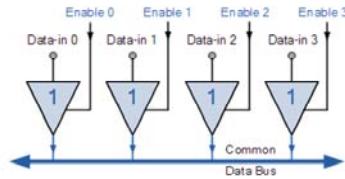


## 4.4 Salidas especiales en CMOS (2)

- Salida triestado
- Inversor triestado



- Buffer triestado
  - \* Inversor + Inversor triestado



50

El mismo concepto que en TTL (Tema3), la clave es poder dejar cortados los 2 transistores de salida simultáneamente → alta impedancia

Para ello necesita una señal de habilitación *Enable* (EN) adicional

Aplicación: conexión a buses

Ej: bus de datos de sistema basado en microprocesador

## 4.5 Parámetros característicos (valores referidos a CMOS estándar)

- Tensión de alimentación
  - \*  $V_{DD}$  típicamente entre 3V y 15V en chips SSI y MSI
  - \* GND = 0 V
  - \* En los 80,  $V_{DD} = 5V$
  - \*  $V_{DD}$  ha ido bajando con los años en los chips VLSI
    - Alta  $V_{DD}$  puede afectar a los pequeños transistores actuales
    - Baja  $V_{DD}$  decrece el consumo
    - $V_{DD} = 3.3, 2.5, 1.8, 1.5, 1.2, 1.0, \dots$
    - Chips VLSI con 2 tensiones
      - "Core" lógico:  $V_{DD}$  baja (ej: 1V)
      - Celdas de E/S:  $V_{DD}$  alta (ej: 2.5V)

51

Los parámetros que se van a ver a continuación están referidos a **CMOS estándar**, aunque CMOS tiene varias subfamilias que no presentan exactamente los mismos valores (ver transparencias 60 y 61)

La tensión de alimentación en CMOS es variable, no como en TTL, que era fija (+5V)

La tendencia en los chips VLSI ha sido bajar la tensión de alimentación para reducir el consumo. Y para preservar la fiabilidad de los transistores, cada vez más pequeños.

Los procesadores actuales pueden presentar más de una tensión de alimentación. Una tensión para el “core” lógico (por ejemplo, 1.2V) y una tensión mayor (ej: 2.5V o 3.3V) para los circuitos de entrada/salida, que necesitan proporcionar mayor corriente.

## 4.5 Parámetros característicos

- Consumo

- \* Afecta a:

- Vida de las baterías (en sistemas portátiles)
    - Diseño del cableado de VDD y GND
    - Coste del encapsulado
    - Sistema de refrigeración
    - Inmunidad al ruido y fiabilidad

- \* Consumo estático y dinámico

$$P_{\text{total}} = P_{\text{leakage}} + P_{\text{dynamic}}$$

52

Consumo, disipación de potencia

Problema: la densidad de potencia se ha ido incrementando exponencialmente debido al crecimiento exponencial de la frecuencia y del número de transistores.

Constituye un parámetro determinante en la tecnología actual, pues afecta a diversos factores, tal como muestra la transparencia

2 tipos: estático y dinámico

## 4.5 Parámetros característicos

- Consumo

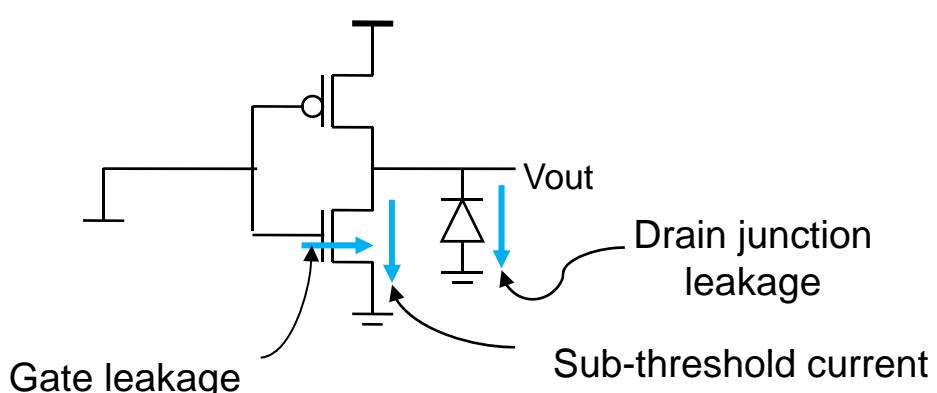
- \* **Régimen estático:** prácticamente nulo ( $\approx$  nA, pA), siempre hay un transistor cortado (PMOS o NMOS)

- Corrientes de fuga (*leakage currents*)

- Puerta aislada (efecto túnel)
- *Subthreshold* ( $V_{GS} < V_T$  cuando  $V_T$  es muy pequeño)
- Uniones PN polarizadas en inversa
- Cada vez más importantes en VLSI (millones de transistores)

$$P_{leakage} = V_{DD} x I_{leakage}$$

53



Aunque el consumo estático es nominalmente 0, en realidad hay corrientes de fuga muy pequeñas, del orden de nA o pA.

No obstante, cuantos más transistores hay, mayor es su contribución.

Causas del consumo estático:

- Corrientes de fuga de las uniones PN polarizadas en inversa
- Corrientes de fuga (*leakage currents*) en la puerta aislada (efecto túnel)
- **Subthreshold currents**, cuando  $V_{GS} < V_T$ , siendo  $V_T$  muy pequeño. Este es el factor dominante en el consumo estático

El consumo estático crece exponencialmente con la temperatura

En chips VLSI con millones de transistores, el consumo estático adquiere cada vez mayor relevancia.

## 4.5 Parámetros característicos

\* **Régimen dinámico:**  $P_d = (V_{DD})^2 C_L f$

- donde  $C_L$  = capacidad parásita de carga
- $f$  = frecuencia de conmutación de las entradas
- Es debido a:
  - la carga/descarga de  $C_L$
  - picos de corriente durante las transiciones: los dos transistores (PMOS y NMOS) conducen simultáneamente.
- **El consumo dinámico es el más importante en la tecnología CMOS**

Nota: si lo referimos a la frecuencia de reloj  $f$  del sistema,

$$P_d = \alpha (V_{DD})^2 C_L f$$

$\alpha$  = factor de actividad media de las entradas (número medio de transiciones en un ciclo de reloj)

$$\alpha < 1$$

54

Energía suministrada por la fuente:

$$E_{fuente} = \int_0^{\infty} i(t)V_{DD} dt$$

donde  $i(t)$  es la corriente de carga de la capacidad  $C_L$

Por tanto,

$$E_{fuente} = V_{DD} \int_0^{\infty} C_L \frac{dV_{sal}}{dt} dt = C_L V_{DD} \int_0^{V_{DD}} dV_{sal} = C_L V_{DD}^2$$

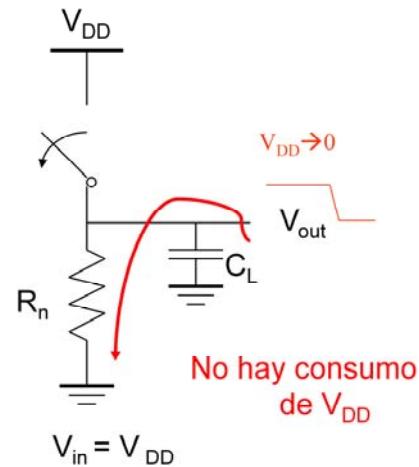
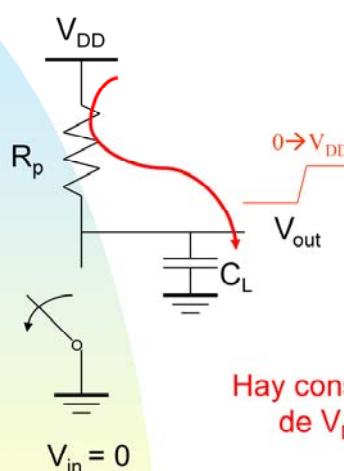
Para calcular la **potencia consumida**, hay que dividir por la duración del ciclo de conmutación,  $T = 1/f$ , y queda la expresión inicial que queríamos demostrar:

$$P_d = (V_{DD})^2 C_L f$$

Puede que las entradas de un determinado circuito no cambien durante varios ciclos de reloj, porque ese circuito no sea sensibilizado por la tarea (algoritmo) que se está ejecutando en ese momento. También puede ser que otras entradas enmascaren el funcionamiento del circuito y la salida sea constante aunque varíe el reloj.

Todo esto lleva a definir un **factor de actividad medio** que será  $< 1$ . Por ejemplo, en CMOS complementaria, valores típicos de  $\alpha$  son  $< 0.5$ . Solo en el caso de la señal de reloj pura,  $\alpha=1$ .

## Consumo dinámico en CMOS



- El consumo dinámico relevante sucede en la transición L → H
- En la transición H → L únicamente existe el consumo de cortocircuito debido a la conducción simultánea de los 2 transistores

55

El consumo más importante es el dinámico, y sobre todo el relacionado con la carga/descarga de la capacidad parásita CL.

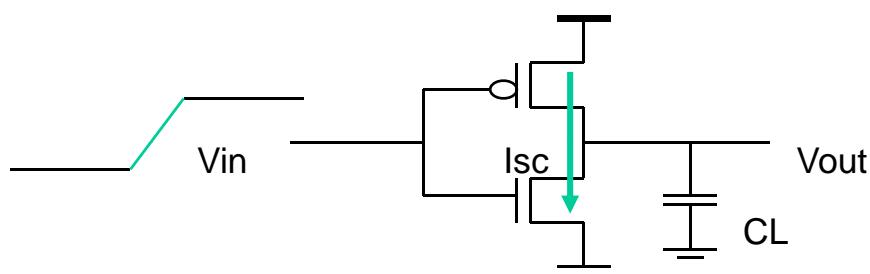
CL es debida a las capacidades de:

- drenador en el inversor
- cableado
- puerta de los circuitos conectados a la salida

CL es del orden de pF-fF ( $1\text{pF}=10^{-12}\text{F}$ ,  $1\text{fF}=10^{-15}\text{F}$ )

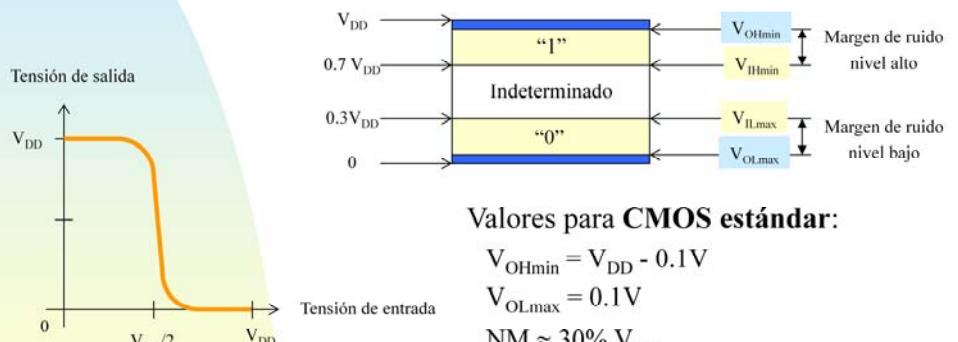
Obsérvese que el consumo de VDD corresponde a la **CARGA de CL**, mientras que la descarga no exige ningún consumo de VDD

Además del consumo anterior (**Switching Power Dissipation**) hay otro ligado a la duración de los flancos de subida y bajada de la señal de entrada. En estos intervalos (**Rise and Fall time**) NMOS y PMOS conducen simultáneamente durante una pequeña fracción de tiempo, y hay un consumo llamado **Short-circuit Power Dissipation**. Es bastante menor que el consumo de carga de CL.



## 4.5 Parámetros característicos

- Niveles lógicos. Inmunidad al ruido
  - \* Curva de transferencia muy ideal



56

La curva de transferencia y la inmunidad al ruido es bastante mejor que en TTL  
Para +5V:

En TTL  $\rightarrow NM = 0.4V$  (8% de VCC)

En CMOS estándar  $\rightarrow NM \approx 1.5V$  (30% de VDD)

Observe que la curva de transferencia es bastante ideal, con valores de salida extremos y la transición abrupta y centrada en  $V_{DD}/2$

## 4.5 Parámetros característicos

- Niveles de corriente. FAN-OUT (valores de corriente de CMOS estándar)

I <sub>OH</sub>	-0.5 mA	Corriente de salida nivel alto	Sale
I <sub>OL</sub>	0.5 mA	Corriente de salida nivel bajo	Entra
I <sub>IH</sub>	10 pA	Corriente de entrada a nivel alto	Entra
I <sub>IL</sub>	-10 pA	Corriente de entrada a nivel bajo	Sale

- \* Corrientes de entrada muy pequeñas ⇒ a una sola salida se le pueden conectar muchas entradas

$$Fan-Out_L = \left| \frac{I_{OL}}{I_{IL}} \right| = 50.000.000 \quad Fan-Out_H = \left| \frac{I_{OH}}{I_{IH}} \right| = 50.000.000$$

- \* Restricción real para no incrementar los tiempos de retardo y el consumo dinámico: el fabricante recomienda **Fan-out = 50**

57

El fan-out teórico es elevadísimo, pues las corrientes de entrada son muy pequeñas (recuerde que las entradas van a las puertas aisladas de los transistores). Pero el fan-out real se restringe bastante, debido a la capacidad parásita del cableado y de las entradas, que afectarían negativamente al retardo y al consumo dinámico.

## 4.5 Parámetros característicos

- Retardos de propagación

$$t_p = \frac{1}{2} (tp_{LH} + tp_{HL}) \approx \frac{C_L}{2(V_{DD} - V_T)} \left( \frac{1}{K_p} + \frac{1}{K_n} \right)$$

- \* Depende de  $V_{DD}$ ,  $C_L$ ,  $VT$  y de la  $K$  de los transistores

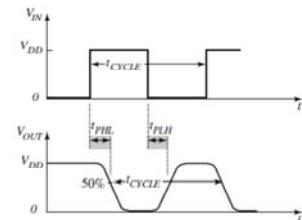
- A mayor  $V_{DD}$  menor retardo
- A mayor  $C_L$  mayor retardo
- A menor  $VT$ , menor retardo
- A mayor  $K$ , menor retardo

- \*  $tp_{HL}$  y  $tp_{LH}$  pueden ser iguales, ajustando el tamaño de los transistores NMOS y PMOS

- \* Cada vez más rápidos, con retardos similares a TTL
  - Subfamilias CMOS de alta velocidad

- Producto Consumo x Retardo de propagación

- \*  $P \times t_p \approx pJ$ , bastante bajo debido al bajo consumo, aunque presenten un pequeño incremento de los retardos de propagación



58

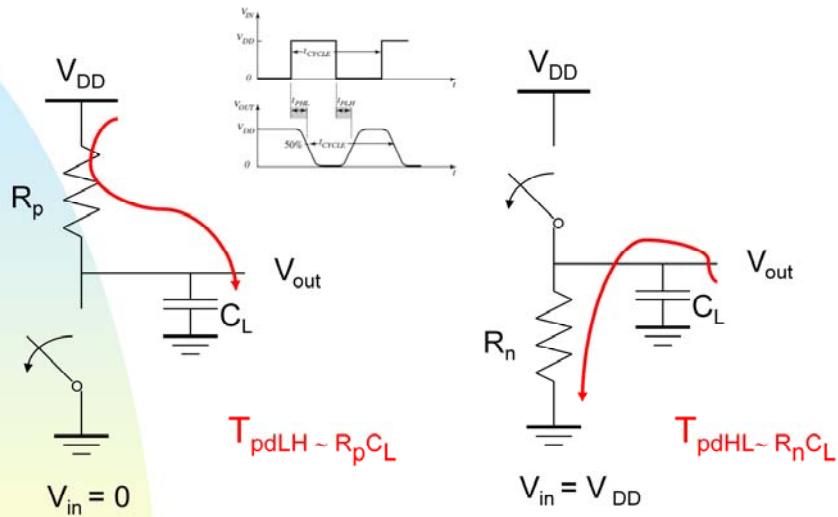
Según la ecuación, el retardo es directamente proporcional a la capacidad de carga e inversamente proporcional a la tensión de alimentación.

Se observa además que los retardos en las transiciones L  $\rightarrow$  H y H  $\rightarrow$  L se pueden hacer iguales si se igualan las K de los transistores PMOS y NMOS. Para ello hay que ajustar los tamaños (W/L) de los transistores.

A partir de la ecuación, **se puede aumentar la velocidad de los circuitos:**

- Reduciendo  $C_L$ . Esto implica sobre todo al *layout*, intentando reducir las capacidades parásitas ligadas al cableado. En lo posible, minimizar la longitud de los cables.
- Incrementando  $K_p$  y  $K_n$ . Esto implica aumentar la relación W/L de los transistores, lo que indirectamente afecta al área ocupada y al consumo.
- Disminuyendo  $VT$ . Aunque esto puede aumentar el consumo estático *subthreshold*.
- Aumentando  $V_{DD}$ . El problema es que la tendencia de la tecnología actual es a reducir  $V_{DD}$ . ¿Por qué?. Porque se reduce el consumo dinámico cuadráticamente, mientras que la reducción del retardo es lineal. Además hay otras ventajas en la reducción de  $V_{DD}$ : aumento de la densidad de integración y disminución de los problemas de degradación de los materiales causados por densidades de corriente y campos eléctricos mayores. Y la reducción de las geometrías en los procesos de fabricación compensa la pérdida de velocidad, al decrecer la longitud de las conexiones.

## Modelo RC para el retardo



- El retardo viene dado por el tiempo de carga de  $C_L$  a través de  $R_p$  (descarga de  $C_L$  a través de  $R_n$ )

59

### Modelo RC para el retardo

Como se ha dicho en la transparencia anterior, para aumentar la velocidad hay que:

- Disminuir CL
- Disminuir  $R_p$  y  $R_n$ , a base de aumentar (W/L) de los transistores

Se puede aumentar la velocidad en determinadas partes de un circuito integrado, y en otras partes optimizar el consumo. De forma selectiva.

Mayor velocidad: transistores con mayor VDD, mayor W/L, menor VT

Menor consumo: transistores con menor VDD, menor W/L, mayor VT

## 4.6 Subfamilias CMOS

- \* **CD 4XXX** : familia original
  - 4XXXA : convencional
  - 4XXXB : con buffer de salida
- \* **74CXXX**: CMOS compatible funcionalmente (pins y funciones) con TTL, pero no eléctricamente
- \* **74HCXXX**: CMOS de alta velocidad
- \* **74HCTXXX**: CMOS de alta velocidad con entradas compatibles TTL
- \* **74ACXXX**: CMOS avanzada
- \* **74ACTXXX**: CMOS avanzada con entradas compatibles TTL
- \* **74FCTXXX**: Fast CMOS, TTL compatible
- \* **BCT**: BiCMOS (Bipolar-CMOS)
- \* **ABT**: BiCMOS avanzada
- \* **LVC, ALVC**: CMOS de bajo voltaje

60

Buffer de salida = doble inversor con transistores de mayor (W/L), capaces de dar mayor corriente de salida.

74C = compatible funcionalmente con TTL, pero no eléctricamente

En las subfamilias HC, AC y BCT CMOS las corrientes de salida son mayores que en CMOS estándar, y los niveles lógicos no son tan extremos. Además, la tensión de alimentación está más restringida (normalmente entre 2V y 6V).

Por ejemplo, en HCMOS (CMOS de alta velocidad, una de las más usadas):

IOHmax = -4mA

IOLmax = 4 mA

VOHmin = 3.84V

VOLmax = 0.33V

VDD entre 2V y 6V

AC es la más rápida, aunque consume más

BiCMOS es un híbrido con el núcleo lógico CMOS (bajo consumo) y salidas bipolares (mayor corriente y velocidad de conmutación), interesante para la conexión a buses

HCT y ACT tienen entradas compatibles TTL y salidas compatibles CMOS, y permiten hacer conexiones con salidas TTL

LVC son CMOS de bajo voltaje (3.3, 2.5, 1.8, ...), para dispositivos con baterías (móviles, portátiles, etc.)

## Subfamilias CMOS

- Las subfamilias HC, AC y BCT:
  - \* Tienen mayor corriente de salida que CMOS estándar
  - \* Son más rápidas
  - \* Los niveles lógicos no son tan extremos
  - \* Tensión de alimentación más restringida (entre 2V y 6V)
- Las subfamilias HCT, ACT y FCT:
  - \* Tienen entradas compatibles con TTL, y salidas CMOS
  - \* Se alimentan a +5V, como TTL
- Las subfamilias LVC y ALVC:
  - \* Funcionan con  $V_{DD}$  menor o igual que 3.3V (2.5, 1.8, 1.5, ...)
  - \* Aplicaciones de bajo consumo

## Subfamilias CMOS

- Ejemplo: 54/74HC00 (4 puertas NAND de 2 entradas)
  - \* 54HC: versión militar (funciona entre -55°C y +125°C)
  - \* 74HC: versión comercial (funciona entre -40°C y +85°C)
  - \*  $V_{DD}$  entre 2V y 6V (típica = +5V)
  - \*  $V_{IHmin} = 3.15V$ ,  $V_{ILmax} = 1.35V$
  - \*  $V_{OHmin} = 3.84V$ ,  $V_{OLmax} = 0.33V$
  - \*  $I_{IHmax} = 1\mu A$ ,  $I_{ILmax} = -1\mu A$
  - \*  $I_{OHmax} = -4mA$ ,  $I_{OLmax} = 4mA$
  - \*  $I_{CC(typ)} = 2 \mu A$  (consumo estático promedio)
  - \*  $T_{pd(typ)} = 9 ns$  (retardo promedio)
  - \*  $C_{pd}$  (capacidad por puerta, sin carga) = 22pF
- \* Comparando con CMOS estándar:
  - Niveles de tensión de salida menos extremos
  - Menor margen de ruido
  - Corrientes de salida mayores
  - Más velocidad

62

Los parámetros de las subfamilias CMOS de alta velocidad sufren algunas variaciones respecto a los de la CMOS estándar

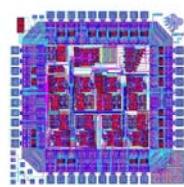
Se muestra un ejemplo de la subfamilia HC

C<sub>pd</sub> corresponde a la capacidad parásita de 1 nodo de salida  
(el drenador D de los Mosfet de salida)

## 4.7 Fundamentos del diseño VLSI

### Proceso de fabricación

- Los transistores CMOS se fabrican en finas obleas de silicio
- Proceso litográfico
  - \* Secuencia de pasos fotográficos y químicos
- En cada paso, diferentes materiales son depositados o grabados



63

Vamos a ver los fundamentos del diseño y fabricación de los chips VLSI, sin entrar en mucho detalle

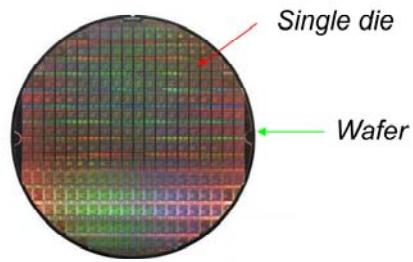
La fabricación se basa en un proceso fotolitográfico, con un conjunto de pasos de tipo:  
Deposición, grabado (eliminación) e implantación

En la figura:

A la izquierda, una chip VLSI encapsulado

A la derecha, el *layout* de un chip VLSI, lo que hay por dentro (celdas y módulos hechos con transistores)

## Fabricación de chips en obleas



Diámetro: 75-300 mm

Espesor: ~1mm

Material de apoyo: vídeos del proceso de diseño y fabricación

64

Figura de la izquierda: lingote cilíndrico de material semiconductor (Si) dopado, a partir del cual se cortan y se pulen las obleas (figura de la derecha)

La oblea (*wafer*) constituye el sustrato, sobre el que se implantan los chips (*die*)

Después del proceso de fabricación, los chips se verifican (inspección con microscopio), se separan y los que no presentan defectos se encapsulan

Además del test óptico para ver defectos, los chips se someten a test funcionales (con patrones de entradas de '1' y '0') y a test eléctricos (variando la tensión de alimentación y la frecuencia) y térmicos (variando la temperatura)

Así se comprueba que funcionan correctamente en condiciones normales y extremas.

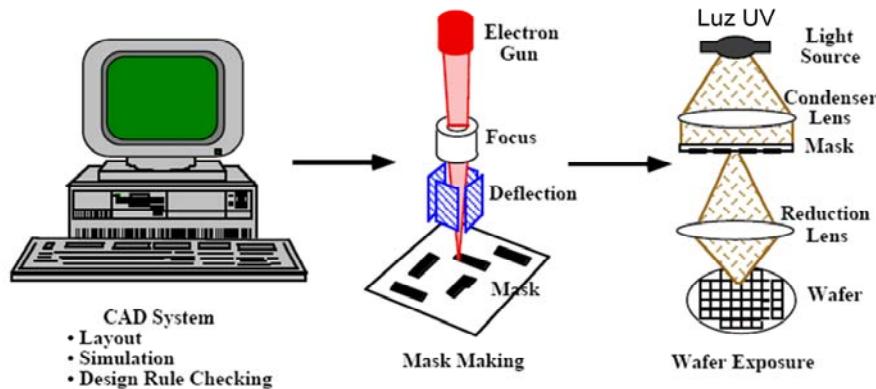
Como material de apoyo opcional pueden verse los vídeos del proceso de diseño y fabricación (accesibles en la carpeta **videos fabricación VLSI** en PoliformaT)

<https://www.youtube.com/watch?v=hO455B9d7zY>

<https://www.youtube.com/watch?v=aWVvwhzuHnQ>

<https://www.youtube.com/watch?v=qm67wbB5GmI>

## Proceso de la fabricación: Diseño CAD → máscaras → fotolitografía



Material de apoyo: vídeos del proceso de diseño y fabricación

65

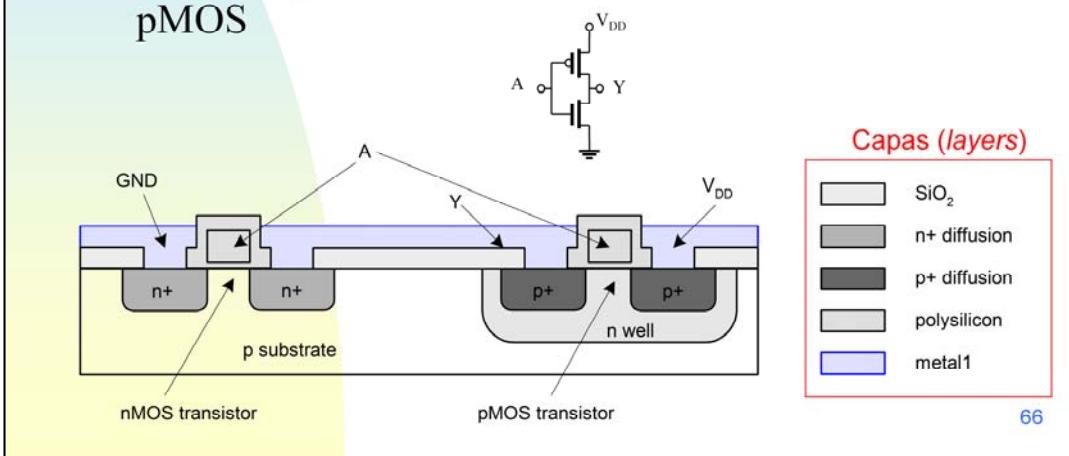
Proceso de fabricación de chips resumido. De izquierda a derecha:

- 1) Diseño y verificación del *layout* mediante herramientas CAD. Alto nivel de automatización. Se genera la especificación de las máscaras.
- 2) Fabricación de las máscaras (patrones poligonales que representan las diferentes capas de material para la fabricación de los circuitos) mediante métodos ópticos.
- 3) Proceso fotolitográfico. Las máscaras son proyectadas (reduciendo su tamaño) sobre la oblea. Este proceso emplea un complejo sistema de lentes y láser de luz ultravioleta (UV) de unos 193 nm. También se puede usar un cañón de electrones (*electron beam lithography*) para conseguir mayor resolución (1-10nm) y dimensiones más pequeñas, aunque es una tecnología de fabricación más costosa.  
La deposición de las máscaras sobre la oblea se realiza en paralelo, fabricando varios chips a la vez. Para ello se emplea un sistema robótico sofisticado.

Como material de apoyo pueden verse los vídeos del proceso de diseño y fabricación (accesibles en la carpeta **vídeos fabricación VLSI** en PoliformaT)

## Inversor CMOS en la oblea. Capas de materiales

- Corte transversal del inversor
- Típicamente usa **sustrato-p** para transistores nMOS
- Requiere **pozo-n** como sustrato de los transistores pMOS



El inversor CMOS es el elemento básico del proceso de fabricación actual

Se trata de mostrar las capas más significativas utilizadas

Para ello se ha dibujado un corte transversal del inversor, mostrando las diferentes capas de abajo hacia arriba

A es la entrada, e Y la salida del inversor

Capas:

-SiO<sub>2</sub> → aislante de puerta

- *N+ diffusion* → zonas semiconductor N altamente dopado de fuente y drenador del transistor NMOS

- *P+ diffusion* → zonas semiconductor P altamente dopado de fuente y drenador del transistor PMOS

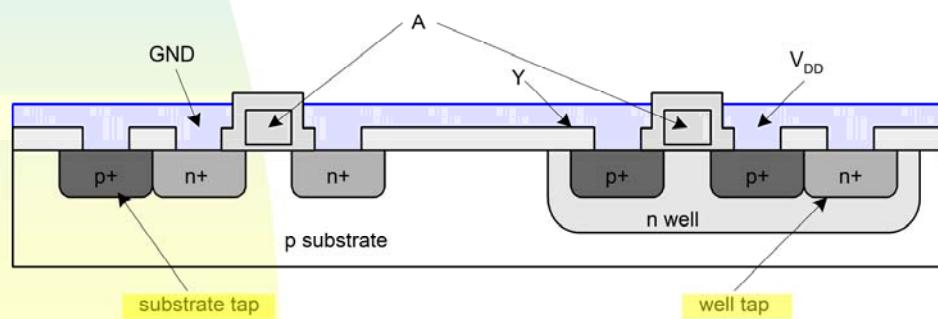
- *Polysilicon* → Puerta de los transistores. También puede ser metálica.

- Metal 1 → para las interconexiones, VDD y GND

Pueden haber más capas de metal: metal2, metal3, ..., situadas a distintos niveles en la oblea  
La oblea es el sustrato donde se implantan los circuitos.

## Inversor CMOS en la oblea. Capas de materiales (2)

- Contactos del pozo y del sustrato
- El sustrato se debe conectar a GND y el pozo-n a V<sub>DD</sub>
- Se usan contactos (*taps*) fuertemente dopados en el sustrato y el pozo-n



67

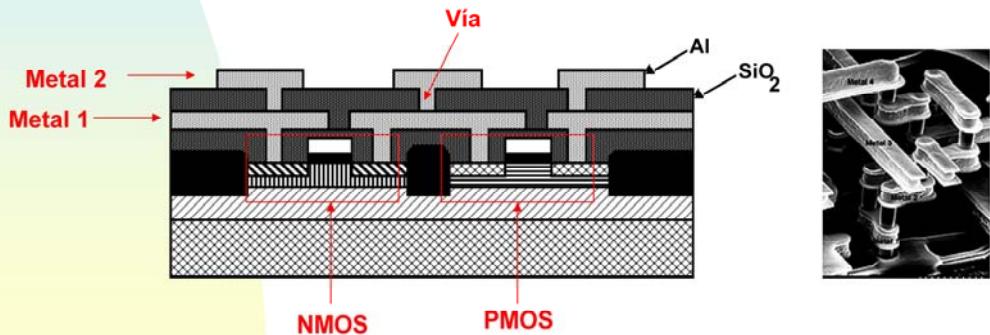
Hace falta añadir los contactos de sustrato y pozo, para evitar corrientes parásitas debidas a las uniones PN parásitas

El sustrato de tipo P se conecta a masa (tensión mínima) para que no haya corriente sustrato-fuente o sustrato-drenador.

El pozo de tipo N se conecta a VDD (tensión máxima) para que no haya corriente pozo-fuente o pozo-drenador.

## Inversor CMOS en la oblea. Capas de materiales (3)

- Normalmente hay **varias capas de metal**
  - \* Interconexiones
  - \* VDD, GND
  - \* Reloj
- Ejemplo con 2 capas



68

Normalmente hay varias capas de metal: metal1, metal2, .....dispuestas en 3 dimensiones para facilitar las interconexiones entre el gran número de circuitos integrados en el chip. Las más internas corresponden a conexiones locales dentro de un mismo circuito. Para establecer conexiones entre circuitos diferentes se usan capas más externas (niveles superiores).

Las capas de metal más externas suelen ser las de alimentación (VDD y GND) y las de reloj.

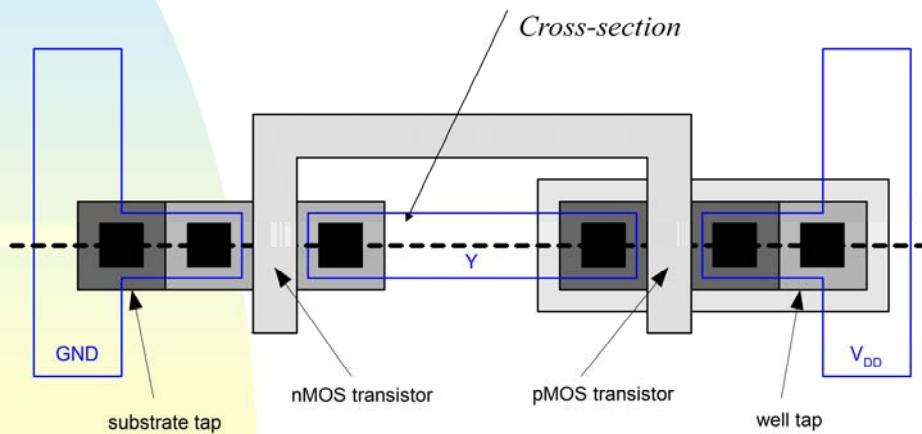
Las capas de metal diferentes se pueden conectar entre sí mediante contactos llamados Vías.

Normalmente las capas de metal más externas son más anchas, pues por ellas pasa más corriente.

Los metales más usados son Aluminio (Al) y Cobre (Cu)

## Inversor CMOS. Máscaras

- Los transistores y conexiones se definen mediante *máscaras*
- Vista desde arriba (*top view*):



69

Las máscaras son polígonos-patrón que representan la forma de las diferentes capas a depositar sobre el sustrato. Son proyectadas sobre la oblea para establecer la forma, tamaño y ubicación de las diferentes capas de material.

En la figura se muestra una vista desde arriba del inversor CMOS.

Esto ayuda a definir las diferentes máscaras.

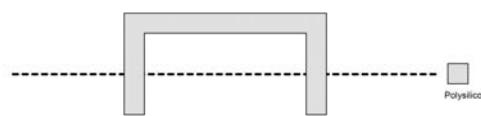
## Inversor CMOS. Máscaras (2)

- Ejemplo 6 máscaras

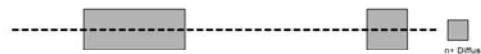
- \* n-well



- \* Polysilicon



- \* n+ diffusion



- \* p+ diffusion



- \* Contact



- \* Metal



70

Ejemplo simplificado de las máscaras más importantes para la fabricación del inversor CMOS

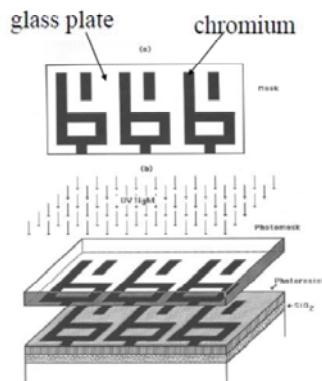
Máscaras en el orden en que se depositan las capas de abajo a arriba en el sustrato:

- 1) Pozo-n
- 2) Polisilicio (puerta del transistor)
- 3) Difusión n+
- 4) Difusión p+
- 5) Contactos metálicos
- 6) Capas de metal de VDD y GND

Observe que la máscara de puerta es anterior a las de fuente y drenador, a pesar de que la puerta está en un plano superior. La razón es que la máscara de puerta ayuda a delimitar los contactos de fuente y drenador, y por eso interesa proyectarla antes.

## Fotolitografía

- Las máscaras son proyectadas en la oblea
- Las partes no expuestas a la luz en la oblea se eliminan (grabado)
- Se depositan las capas de material en las zonas eliminadas (deposición)



Una vez se han definido las máscaras, hay que proyectarlas sobre la oblea

Las máscaras se fabrican con los siguientes materiales:

*Glass plate*: cuarzo transparente, deja pasar la luz

*Chromium*: cromo, opaco, no deja pasar la luz

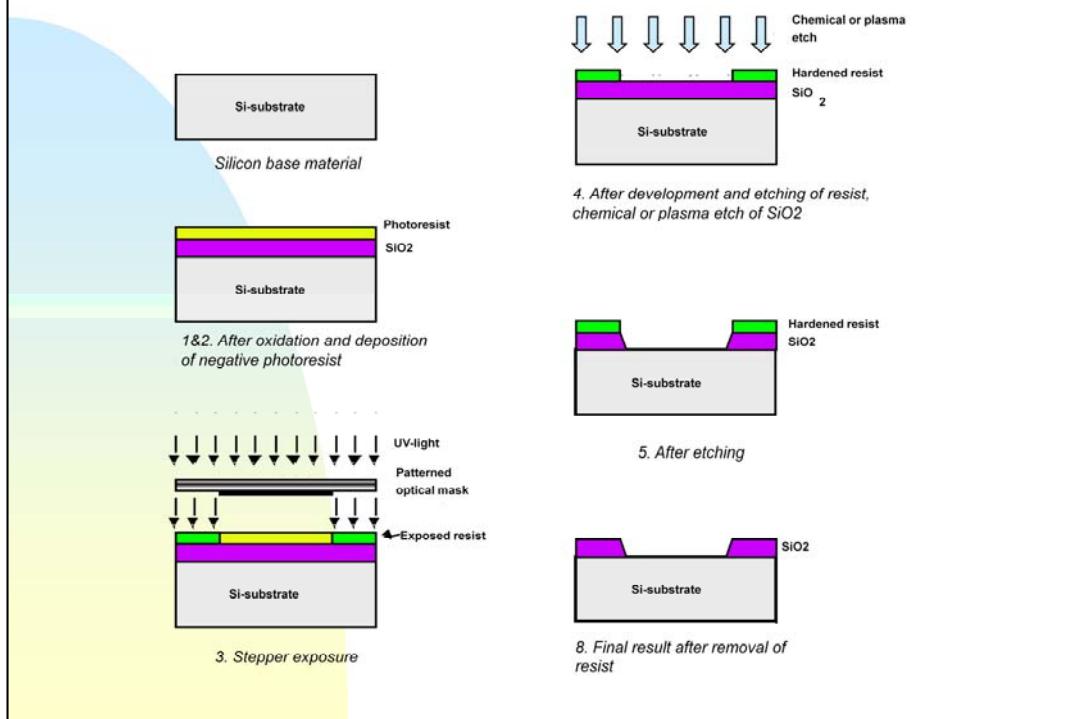
La forma de las máscaras queda impresa en la parte superior de la oblea, y de esta forma se efectúa la deposición de capas de material según la forma de las máscaras

En inglés el grabado se denomina *ETCHING*

Y la deposición, *DEPOSITION*

La deposición de las zonas semiconductoras de fuente y drenador de los transistores se realiza por Implantación Iónica (*ION IMPLANTATION*)

## Patterning - Photolithography



Esta transparencia muestra cómo se proyecta la máscara en la oblea.

Se define una ventana en el óxido, con el tamaño y la forma de la máscara.

La DEPOSICIÓN del óxido se realiza con gas a alta temperatura

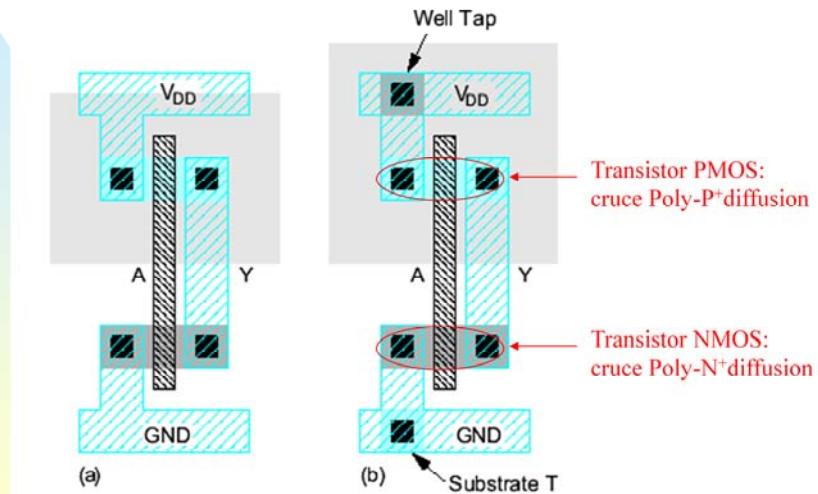
El GRABADO (eliminación) se puede efectuar con productos químicos líquidos, o con gas ionizado (plasma), previa sensibilización de una capa de fotorresistencia.

Después se puede proceder a rellenar la zona abierta con el material que se desee (semiconductor, polisilicio, metal, ...).

Las zonas semiconductoras se llenan mediante difusión o IMPLANTACIÓN iónica.

El óxido que no ha sido retirado actúa como barrera, y de esta manera solo se rellena la zona de la ventana abierta.

## Layout del inversor



73

El *LAYOUT* es el esquema previo a la generación de las máscaras. Se realiza con herramientas CAD, bien automáticamente o con un Editor de *Layout*.

El *layout* de la figura muestra el esquema del inversor con el tamaño exacto de las diferentes máscaras. A la figura de la derecha se le han añadido los *taps* (contactos) de sustrato y pozo

Obsérvese la estructura típica del *layout* de una CELDA:

- VDD y GND arriba y abajo (horizontales)
  - Esto facilita la disposición de celdas contiguas (*abuttement*)
- Transistor NMOS adyacente a GND
- Transistor PMOS adyacente a VDD
- Línea vertical de polisilicio (o metal) compartida por los 2 transistores, que hace el papel de puerta (*gate*)

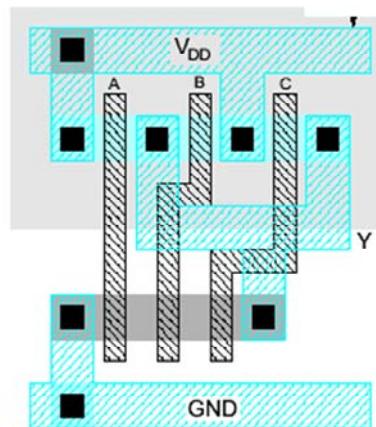
El transistor NMOS es el cruce *Poly-Ndiff*.

El transistor PMOS es el cruce *Poly-Pdiff*.

El cruce se efectúa a distinto nivel en la oblea, las capas están separadas por aislante, sin tocarse.

Las CELDAS suelen ser circuitos de complejidad limitada: puertas, FF, módulos combinacionales y secuenciales simples. Sus *layout* son almacenados en librerías y reutilizados en el diseño de circuitos más complejos.

## Layout de celdas Ex: NAND 3 entradas



74

Obsérvese el *layout* de la celda correspondiente a una puerta NAND3:

3 transistores NMOS en serie

3 transistores PMOS en paralelo

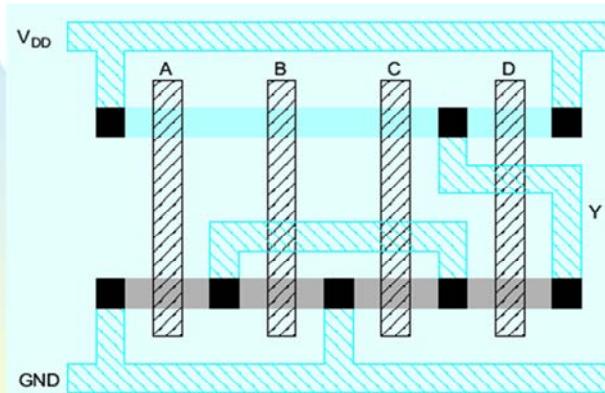
Los transistores NMOS comparten la misma capa *n-diff*

Los transistores PMOS comparten la misma capa *p-diff*

Cada pareja NMOS-PMOS comparte una misma capa de *poly(silicon)*

Diseño compacto, donde se intenta minimizar el área.

## Layout de celdas



$$Y = \overline{(A + B + C).D}$$

75

Otro ejemplo.

Los transistores NMOS comparten la misma capa *n-diff*

Los transistores PMOS comparten la misma capa *p-diff*

Cada pareja NMOS-PMOS comparte una misma capa de *poly*

4 capas de *poly*, correspondientes a las 4 entradas A, B, C, D

Bloque NMOS:

A, B, C en paralelo, y a su vez en serie con D

$$G = (A + B + C).D$$

$$Y = \overline{G} = \overline{(A + B + C).D}$$

Bloque PMOS:

Estructura dual al NMOS

A, B, C en serie, y a su vez en paralelo con D

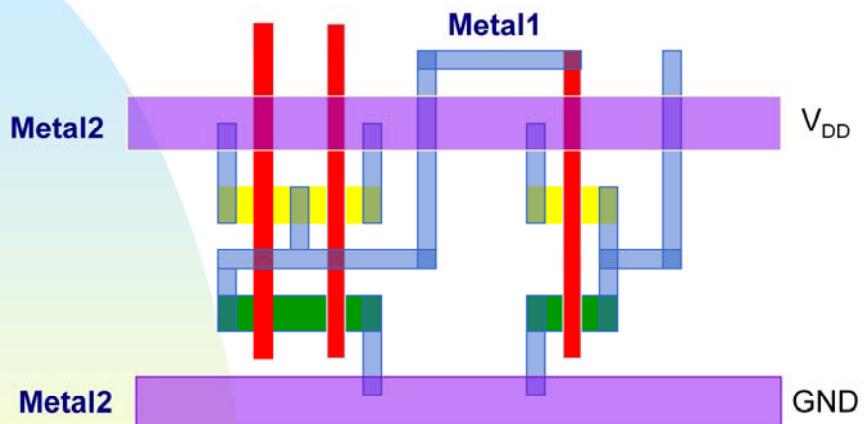
Línea de masa (GND) en la parte inferior, realizada con metal 1

Línea de alimentación (VDD) en la parte superior de la celda, realizada con metal1

Interconexiones internas realizadas también con metal1

Contactos metal1-semiconductor: cuadrados negros

## Ejercicio - Diagrama de Sticks



¿Qué función implementa este layout?

76

A veces se dibujan los *layouts* con COLORES, de forma simplificada. Se llaman DIAGRAMAS de STICKS

Los diagramas de STICKS no dan información de los tamaños exactos de las diferentes capas. Únicamente de su ubicación e interconexión. Es un diagrama más simple, previo al layout definitivo.

Se suelen gastar los siguientes COLORES

para las diferentes capas:

- Metal1 (azul): interconexiones internas de la celda
- poly (rojo): entradas
- ndiff (verde): transistores NMOS
- pdiff (amarillo): transistores PMOS
- metal2 (morado): alimentación

Se trata de una NAND seguida de un inverter → una AND

NAND:

2 transistores NMOS en serie

2 transistores PMOS en paralelo

2 entradas (líneas rojas de poly), cada una de las cuales cruza una pareja NMOS – PMOS

La salida de la NAND (metal1) se conecta a la entrada del inverter

INVERSOR:

Una pareja NMOS – PMOS, cruzada por una línea poly (su entrada)

En este caso las líneas de alimentación VDD y GND se han realizado con metal2 (en morado)

Las interconexiones internas de la celda se han realizado con metal1 (en azul)

Recuerde que el cruce de líneas en el layout corresponde a diferentes capas depositadas en la  
obla a diferentes niveles, y separadas por capas de aislante.

Únicamente se tocan cuando hay definido un contacto metálico.

## Celdas estándar

- *Layouts* de circuitos simples
  - \* Puertas lógicas, FF, *Full-adder*, multiplexores, celdas de entrada/salida, ....
- Almacenados en **librerías de celdas**
- Diferentes tamaños y corrientes de salida
- Prediseñados y verificados (área, retardo, consumo)
- Se depositan en el chip para formar diseños más complejos
  - \* Diseño automatizado (CAD): *place and route*
  - \* Reusabilidad
  - \* Modularidad
- Diseño automático de **macro-celdas** (macro-módulos): módulos de memoria, multiplicadores, ...

77

Las celdas en el HW son equivalentes a los módulos SW o subrutinas

Se prediseñan automáticamente o “a mano” (*full-custom*), con un Editor de *Layout*.

Se verifican y se almacenan en librerías en formatos especiales.

Son utilizadas para formar diseños más complejos, en el proceso de *Placement* (ubicación) and *Routing* (interconexión entre ellas)

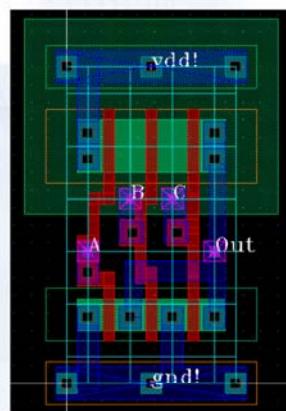
Normalmente son circuitos de baja-media complejidad: puertas, FF, módulos combinacionales y secuenciales

Se diseñan también celdas de mayor entidad, llamadas macro-celdas o macromódulos:  
ALU, SRAM, ...

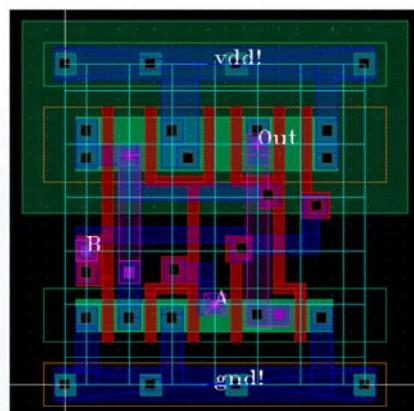
Su diseño es normalmente automático, mediante algoritmos CAD.

Un ejemplo de macromódulos son los módulos IP (*Intellectual Property*) de determinados microcontroladores y microporcesadores (ARM, PIC, ...)

## Standard Cells



NOR-3



XOR-2

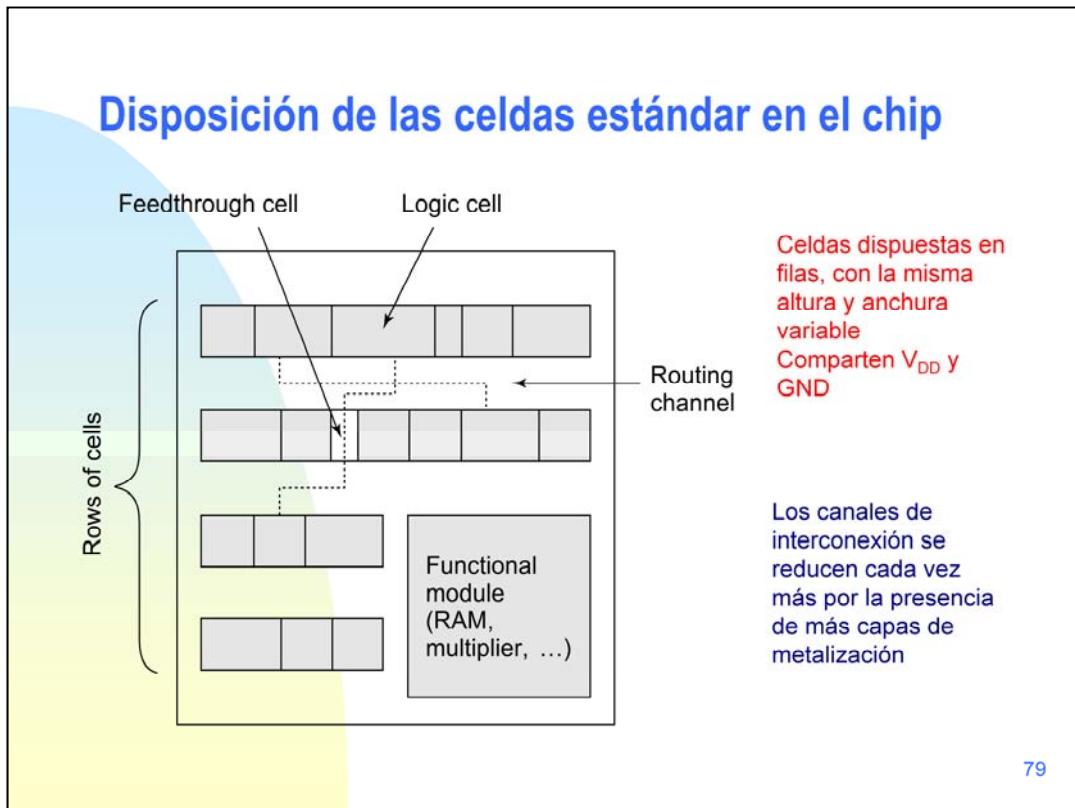
78

Ejemplos de *layout* de *Standard Cells*, correspondientes a 2 puertas básicas

Se observa la estructura típica de una celda. De abajo a arriba:

- Capa horizontal de mesa
- Capa horizontal N, para los transistores NMOS
- Capa horizontal P, para los transistores PMOS
- Capa horizontal de VDD
- Capas verticales de *poly* (entradas)
- Interconexiones metálicas internas para definir las estructuras de los transistores en serie o en paralelo.

## Disposición de las celdas estándar en el chip



Las celdas se disponen por filas

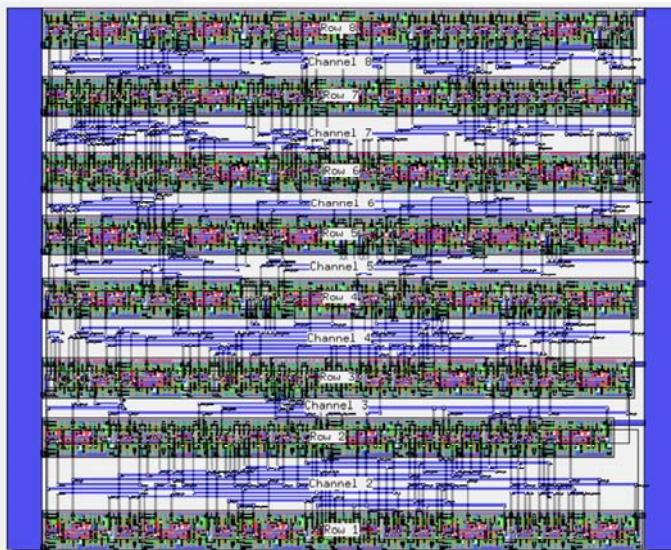
Cada fila de celdas comparte una línea horizontal de GND (inferior) y una línea horizontal de VDD (superior). De esta forma se compacta más el diseño.

Las celdas de una misma fila tienen la misma altura, pero pueden tener diferente anchura.

La interconexión entre celdas se efectúa mediante distintas capas de metal dispuestas en diferentes niveles (en 3-D) o mediante canales de interconexión. Cada vez se apuesta más por estructuras 3-D, para conseguir una mayor densidad de integración.

Junto al *array* de celdas puede haber algún macromódulo específico de mayor complejidad, tal como muestra la figura.

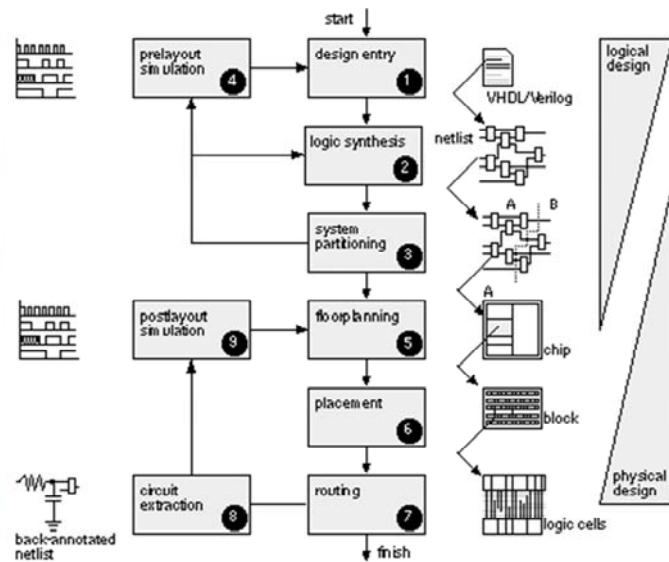
## *Standard Cell Layout*



80

Ejemplo del *layout* de un chip basado en celdas estándar.

## Flujo de diseño basado en celdas estándar



81

La figura muestra los pasos principales en el diseño basado en celdas estandar. Es un diseño muy automatizado, que utiliza herramientas CAD. Los diferentes pasos están explicados en la siguiente transparencia. Obsérvese que es un diseño *top-down*, que empieza con unas especificaciones y una Descripción comportamental mediante lenguajes de descripción de hardware (*HDL*), tales como VHDL o Verilog. Posteriormente el diseño se va refinando y se pasa de un nivel lógico estructural a un nivel físico con el *layout* formado por el *array* de celdas. Durante todo el proceso hay ciclos de realimentación mediante simulación para verificar que el diseño es correcto. La simulación puede realizarse a nivel lógico comportamental y estructural (*Prelayout Simulation*), donde se efectúa una simulación del correcto funcionamiento y de la temporización aproximada a partir de los retardos de las celdas, conocidos a priori. O a nivel electrónico con Pspice (*Postlayout Simulation*), donde se efectúa la verificación de la temporización real, a partir de los retardos reales de las interconexiones del *layout*.

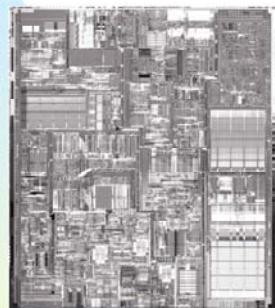
## Pasos en el diagrama de flujo

0. Especificación del sistema mediante lenguaje natural o formal.
1. Descripción inicial del diseño. Normalmente descripción comportamental con lenguajes *HDL* (Verilog, VHDL).
2. Síntesis lógica. Se genera automáticamente el *netlist*—descripción de las celdas estándar usadas y las conexiones entre ellas.
3. Partición del sistema. División de un sistema grande en bloques.
4. Simulación del *prelayout*. Verificación del correcto funcionamiento.  
Verificación temporal aproximada, basada en los retardos de las celdas
5. *Floorplanning*. Organizar (ubicar) los bloques del netlist en el chip.
6. *Placement*. Decidir la localización de las celdas dentro de un bloque.
7. *Routing*. Hacer las conexiones entre celdas y bloques.
8. *Extraction*. Determinar la resistencia y la capacitancia de las interconexiones.
9. *Postlayout simulation*. Verificación de los requisitos temporales con los valores de R y C de las interconexiones reales.

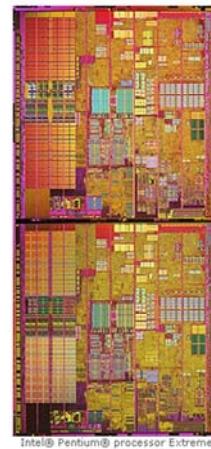
82

Explicación de los diferentes pasos de la transparencia anterior.

## Ejemplos de diseño basado en celdas estándar



Pentium 4



Dual-Core Processors

83

La mayoría de los microprocesadores tienen un diseño basado en celdas y macro-módulos estándar.

Las celdas críticas se diseñan con estilo *Full-Custom*.

## Diseño *full-custom*

- Algunas celdas o partes del diseño requieren características muy óptimas a nivel de área, consumo o velocidad
  - \* Circuitos del reloj (PLL, drivers de reloj, ...)
  - \* Circuitos aritméticos de alta velocidad (coma flotante, ...)
  - \* Drivers de entrada/salida
  - \* ...
- Se utiliza un diseño *full-custom*
  - \* Diseño a nivel de máscara (geométrico)
  - \* Diseño más óptimo que el basado en *Standard Cells* (*semi-custom*)
  - \* En partes críticas de reducido tamaño
  - \* Herramientas CAD:
    - Editor gráfico de *layout*
    - Primitivas: transistores, contactos, wires, ports
    - Verificación automática

84

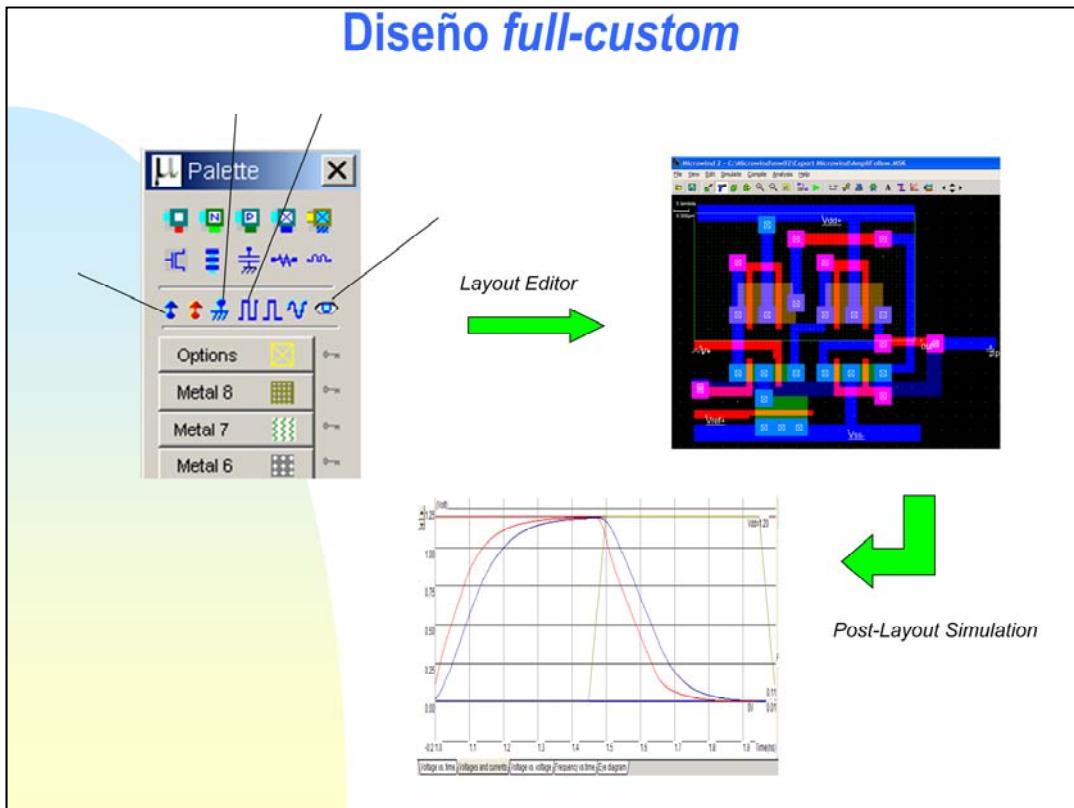
El diseño *Full-Custom* (“totalmente a medida”) es un diseño manual que se realiza para conseguir una mayor optimización de las celdas o partes críticas del sistema. Se emplea en circuitos de reducido número de transistores, por ser un diseño costoso. Se emplean editores de *layout* para el diseño.

Aquí las primitivas no son las celdas, como en el diseño *Semi-Custom* basado en Celdas (el diseño visto anteriormente), sino elementos más pequeños que componen las celdas: transistores, contactos, pistas de metal, etc.

Aunque el diseño es manual, los editores de *layout* pueden realizar también diseños sub-óptimos de forma automática.

La verificación es automática mediante simulación electrónica basada en Pspice. Aplicación: partes críticas del sistema donde se pretende una elevada optimización de algún factor: consumo, velocidad, área de silicio. Por ejemplo: circuito interno que genera la señal de reloj, sub-circuito aritmético de coma flotante, celda de memoria cache, ...

## Diseño full-custom



La figura muestra el funcionamiento de un Editor de *Layout*

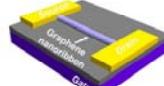
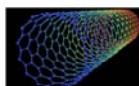
A la izquierda, parte del menú del editor, donde se aprecian distintas capas de metal a depositar, diferentes tipos de contactos y otros componentes básicos: transistores, capacidades, resistencias y autoinducciones. También diferentes tipos de señal de entrada para la simulación.

En la derecha, el *layout* de una celda, con diferentes colores para distintas capas.

Abajo, la simulación electrónica del layout, basada en Pspice.

## 4.7.4 Diseño VLSI: Tendencias actuales y futuras

- Evolución histórica
  - \* 4004: tecnología de 10 $\mu$ m
  - \* ...
  - \* Pentium4: tecnología de 0.13 $\mu$ m, 90nm (submicrónica)
  - \* Dual-core, quad-core, 8-core processors, ... (miles de millones de transistores)
- Actuálmente, tecnologías: 90nm, 65nm, 45nm, 32nm, 22 nm
- **Tendencias actuales: mejoras tecnológicas y de diseño en CMOS** ([www.intel.com/technology](http://www.intel.com/technology), ITRS)
  - Nuevos materiales
  - Nuevo diseños
- **Tendencias futuras: Investigación en nanotecnología** (ITRS)
  - Nanotubes, nanowires, graphene, spintronics, SET, molecular, quantum



86

Esta transparencia muestra la evolución en la disminución del tamaño de la tecnología con los años. El parámetro que usualmente se emplea como referencia es el *feature size* de la tecnología, que coincide aproximadamente con la longitud mínima del canal de los transistores MOSFET debajo de la puerta. Actualmente se fabrican microprocesadores y memorias RAM con tecnologías CMOS de 45 nm, 32nm, 22nm e incluso 14nm. Una tendencia clara es el diseño de varios *cores* que trabajan en paralelo. Los *cores* son procesador es más sencillos que funcionan con tensiones de alimentación y frecuencias más bajas. El rendimiento aumenta al incrementar el nº de *cores* por chip. Pero ... ¿Hay límites en esta disminución de geometrías?

Algunos estudios prevén el límite de CMOS para la década del 2020, situando el *feature size* en unos pocos nm. Se basan en límites de disipación de potencia, dificultad del proceso de fabricación y efectos cuánticos difíciles de controlar. No obstante, no es la primera vez que se vaticina el final de la ley de Moore y sin embargo la tecnología CMOS ha seguido con un ritmo de integración exponencial...

¿Qué es lo que se está haciendo actualmente?

Por un lado “apurar al máximo” las características de CMOS para ir solucionando los problemas de la miniaturización exponencial, con nuevos materiales y diseños más optimizados. Es lo que se denomina **deep-submicron CMOS** o **late-era CMOS**. Aquí el principal caballo de batalla es la disipación de potencia.

Por otro lado, y en paralelo, ha surgido una línea de investigación en nano-dispositivos de funcionamiento bastante diferente a los clásicos transistores MOSFET, que intentan mejorarlos a nivel de velocidad, potencia consumida, y densidad de integración. El “estado del arte” se encuentra a nivel de investigación sobre prototipos, lejos todavía de poder fabricar circuitos comerciales de alta escala de integración con las prestaciones que tiene actualmente CMOS. Se utilizan términos como **nanoelectronics** o **nanotechnology** para referirse a esta alternativa de futuro.

## 4.7.4 Diseño VLSI: Tendencias actuales y futuras

*ITRS Roadmap*

Year	2009	2012	2015	2018	2021
Feature size (nm)	34	24	17	12	8.4
$L_{gate}$ (nm)	20	14	10	7	5
$V_{DD}$ (V)	1.0	0.9	0.8	0.7	0.65
Billions of transistors/die	1.5	3.1	6.2	12.4	24.7
Wiring levels	12	12	13	14	15
Maximum power (W)	198	198	198	198	198
DRAM capacity (Gb)	2	4	8	16	32
Flash capacity (Gb)	16	32	64	128	256

87

ITRS: *Intl. Technology Roadmap for Semiconductors*

Previsión de la evolución de la tecnología de los chips VLSI CMOS en diferentes años

*Feature size* = longitud mínima del canal de los transistores MOSFET

La longitud de la puerta del transistor ( $L_{gate}$ ) puede ser menor

1 billion (anglosajón) = 1000 millones

Obsérvese que los componentes que lideran la densidad de integración son las memorias

En el ámbito de las memorias (DRAM y Flash) hay una tendencia clara para el futuro consistente en la integración vertical (3D), para conseguir ubicar un mayor número de transistores en una menor superficie.

En los chips de microprocesadores las tendencias futuras contemplan también la integración 3D y la reducción del consumo, tanto estático como dinámico (*3D power scaling*).

## 4.7.4 Diseño VLSI: Tendencias actuales y futuras

- *Multicore era*

- \* Procesadores *cores* más sencillos
- \* Funcionan con voltaje y frecuencia menor
- \* El rendimiento se incrementa al aumentar el nº de *cores* por chip

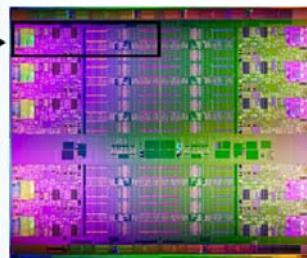
e.g. Intel 10 Core Xeon Westmere-EX

> 1.73-2.66 GHz (vs. previous Xeons at 4 Ghz)

2.6 billion transistors

32 nm process

1 core →



88

Otra tendencia clara ha sido la aparición de chips *multi-core*. Aumentan el rendimiento, pues pueden funcionar en paralelo.

Controlan la disipación de potencia, pues funcionan a menor frecuencia y VDD.

Los micros de sobremesa actuales tienen típicamente 2, 4 u 8 *cores*.

Los micros para servidores tienen más *cores*.

## Resumen

En la parte inicial del tema se ha introducido la estructura y funcionamiento de las puertas básicas CMOS (NOT, NAND, NOR, ...), para abordar seguidamente el diseño de circuitos combinacionales genéricos según el método de lógica CMOS complementaria. A continuación se han introducido las puertas de transmisión y se ha visto su utilización en algunos circuitos lógicos, como multiplexores y biestables.

También se ha abordado la cuestión de las salidas especiales (drenador abierto y triestado), que permiten efectuar conexiones en bus. Se han descrito los principales parámetros característicos de la familia y se han comentado las subfamilias CMOS de alta velocidad y baja tensión.

Seguidamente, se ha realizado una visión resumida de los fundamentos de la fabricación y diseño VLSI.

Para finalizar, se ha comentado las tendencias actuales y futuras de la tecnología VLSI CMOS.