

Analizador Lógico para PC

Os PEP Legais



Upgrade Card (1.1)

Índice

1 OBJETIVO DO UPGRADE..... 3

2 FUNCIONAMENTO 4

3 DIAGRAMA ESQUEMÁTICO 4

4 SEQUÊNCIA DE COMANDOS NO SOFTWARE..... 6

4.1 SEQUÊNCIA DE VERIFICAÇÃO DA INTERFACE (DETECÇÃO) 6

4.2 SEQUÊNCIA DE ATUALIZAÇÃO DE ESCALA 6

4.3 SEQUÊNCIA DE ATUALIZAÇÃO DE SINCRONISMO 6

4.4 SEQUÊNCIA DE ESCRITA (GRAVAÇÃO DAS FORMAS-DE-ONDA)..... 7

4.5 SEQUÊNCIA DE LEITURA (LEITURA DA INTERFACE)..... 7

1 OBJETIVO DO UPGRADE

O Upgrade do Analisador Lógico para PC permite uma comunicação mais eficiente entre o microcomputador e a Interface.

Os principais benefícios do Upgrade são:

- Compatibilidade com qualquer microcomputador, sendo possível a conexão em portas paralelas unidirecionais até em portas avançadas EPP/SPP;
- Maior velocidade de comunicação (READ). Os dados são lidos mais rapidamente pelo microcomputador, tornando o software mais leve e versátil.

Com o Upgrade, o Hardware passa a ter a versão 1.1.

2 FUNCIONAMENTO

O circuito da placa de Upgrade (Upgrade Card) possui um buffer tri-state, um latch e um multiplexador.

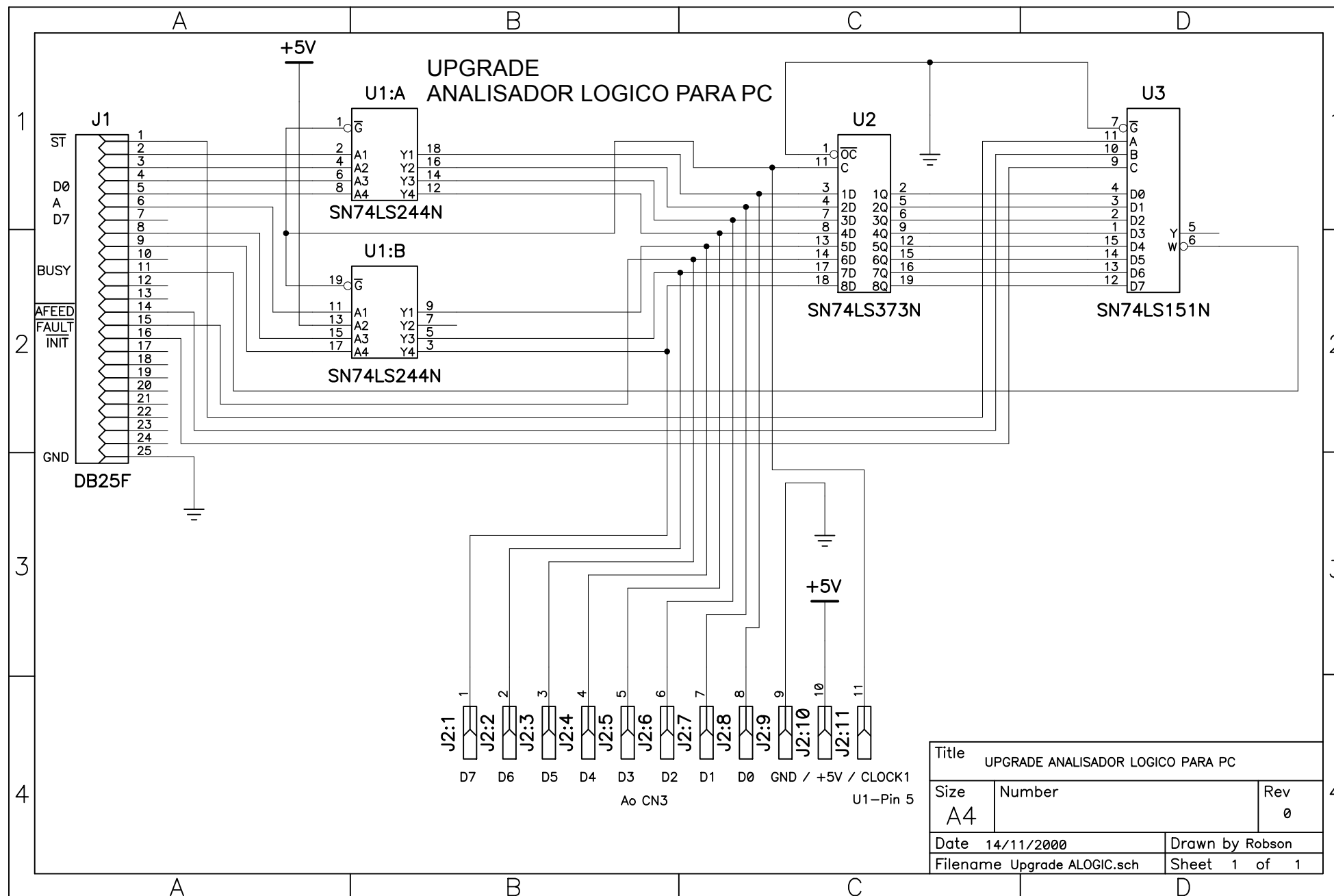
Enquanto comandos são enviados pela porta paralela à Interface, o pino 5 de U1 na Interface (CLOCK1) está em nível baixo, permitindo com que o U1 do Upgrade esteja ativado (passando dados das entradas para as saídas).

No momento em que é enviado um pulso de CLKRD para a Interface, o pino 5 de U1 na Interface vai para nível alto pelo tempo determinado pelo capacitor C3 e pelo resistor R20. Enquanto o monoestável fica ativo, os dados provenientes da Interface vão para o barramento do conector CN3. Nesse tempo, o buffer U1 do Upgrade vai para o estado de alta impedância, permitindo que o latch U2 armazene esses dados. Após o tempo determinado pelo monoestável, a condição inicial retorna. O latch U2 possui os 8 bits lidos da Interface. Através do endereçamento do multiplex U3, o microcomputador consegue ler serialmente esse byte armazenado em U2. Para esse endereçamento, são usados os pinos STROBE, AUTOFEED e INIT da porta paralela. O pino BUSY recebe os dados serializados.

Para fazer a função do bit 5 (FIM), é usado o pino FAULT da porta paralela.

3 DIAGRAMA ESQUEMÁTICO

Vide próxima folha.



4 SEQUÊNCIA DE COMANDOS NO SOFTWARE

Observações:

1) Todos os comandos são enviados para a porta principal LPT (ex: 378H), exceto quando se indica:

- Endereço da Porta + 1 = Porta de Status (ex: 379H);
- Endereço da Porta + 2 = Porta de Controle (ex: 37AH).

2) A configuração de bits pressupõe:

- Bit 7 = Bit mais significativo / Bit 0 = Bit menos significativo

3) A repetição de 0 vezes significa que nada é executado.

4.1 Sequência de Verificação da Interface (Detecção)

- Envia RESET / RD / CLRSYNC (22H);
- Se Endereço da Porta + 1 / Bit 3 = 1, então a Interface não está presente;
- Envia WR / CLRSYNC (A3H);
- Envia WR / PRESYNC – Start (B1H);
- Aguarda Sinal FIM (Endereço da Porta + 1 / Bit 3 = 1);
- Se em ~ 20 ms não houver sinal FIM, então a Interface não está presente.

4.2 Sequência de Atualização de Escala

- Repete-se a sequência a seguir (0 vezes para 10MHz, 1 vez para 1MHz, 2 vezes para 100KHz, 3 vezes para 10KHz, 4 vezes para 1KHz e 5 vezes para Sincronismo Externo):
 - Envia WR / CLRSYNC / SELHORIZ (A7H);
 - Envia WR / CLRSYNC (A3H);

4.3 Sequência de Atualização de Sincronismo

- Repete-se a sequência a seguir (0 vezes para Canal “A”, 1 vez para “B”, 2 vezes para “C”, 3 vezes para “D”, 4 vezes para “E”, 5 vezes para “F”, 6 vezes para “G” e 7 vezes para “H”):
 - Envia WR / CLRSYNC / SELSYNC (E3H);
 - Envia WR / CLRSYNC (A3H);

4.4 Seqüência de Escrita (Gravação das formas-de-onda)

- Envia RESET / CLRSYNC / RD (22H);
- Envia WR / CLRSYNC (A3H);
- Atualiza Escala;
- Atualiza Sincronismo;
- Envia WR – Start (B3H);
- Aguarda Sinal FIM (Endereço da Porta + 1 / Bit 3 = 1);
- Se em ~ 512 ms não houver sinal FIM, Envia WR / PRESYNC (B1H);
- Se após ~ 512 ms não houver sinal FIM, está em sincronismo Externo.

4.5 Seqüência de Leitura (Leitura da Interface)

- Envia RESET / RD (32H);
- Envia RD (33H);
- Repete-se a seqüência a seguir, 512 vezes:
 - Envia RD / CLKRD (3BH);
 - Envia RD (33H);
 - Envia para o Endereço da Porta + 2 os bytes 03H, 02H, 01H, 00H, 07H, 06H, 05H, 04H e após cada um deles lê Endereço da Porta + 1 / Bit 7 (Cada um deles é um bit do dado lido, iniciando do bit 0);