



UNIVERSITAT
POLITÈCNICA
DE VALÈNCIA



Escola Tècnica
Superior d'Enginyeria
Informàtica

Escola Tècnica Superior d'Enginyeria Informàtica
Universitat Politècnica de València

El producto matricial distribuido en entornos computacionales de alto rendimiento

TRABAJO FIN DE GRADO

Grado en Ingeniería Informática

Autor: Rodrigo Huerta Gañán

Tutor: Pedro Alonso Jordá

Curso 2019-2020

Resum

????

Paraules clau: ????, ?????????, ????, ?????????????????

Resumen

????

Palabras clave: ?????, ???, ?????????????????

Abstract

????

Key words: ?????, ????? ?????, ?????????????????

Índice general

Índice general	V
Índice de figuras	VII
Índice de tablas	VII

1	Introducción general	1
1.1	Motivación	1
1.2	Estado del arte	2
1.2.1	Planificadores	2
1.2.2	Ahorro de energía: escalado dinámico de la frecuencia y el voltaje .	3
1.2.3	Planificación consciente del consumo	3
1.3	Objetivos	4
1.3.1	Limitaciones del trabajo	5
1.4	Organización de la memoria	7
	Bibliografía	9

Índice de figuras

Índice de tablas

CAPÍTULO 1

Introducción general

En este primer capítulo de presentación de la memoria, se introduce al lector en la temática de la tesis de máster, empezando con la sección de motivación, en la que se describe el interés del tema. En el segundo apartado, estado del arte, se muestra el contexto científico-técnico en el que se encuentran los avances en materia relacionada con el ahorro de energía en álgebra lineal densa. Finalmente, se presenta los objetivos específicos del trabajo.

1.1 Motivación

Desde décadas, la computación de altas prestaciones ha concentrado sus esfuerzos en la optimización de algoritmos aplicados a la resolución de problemas complejos que aparecen en un amplio abanico de aplicaciones de casi todas las áreas científicas y tecnológicas. En particular, problemas de sistemas de ecuaciones lineales o problemas de mínimos cuadrados aparecen frecuentemente durante el análisis y el estudio del campo gravitatorio terrestre, la simulación del comportamiento de componentes estructurales en aviación o en la detección de enfermedades a partir de resonancias magnéticas. Para todos estos casos, la resolución de estos problemas supone la parte computacionalmente más costosa para la obtención de resultados.

Por esa razón, el principal objetivo de la computación de altas prestaciones es la optimización mediante el uso de herramientas y técnicas, tales como la computación paralela, de problemas en ingeniería. En este contexto, el término optimización hace referencia a la reducción tiempo de ejecución, aunque también al espacio necesario para su cómputo. La mayoría de estos logros han sido posibles gracias al avance tecnológico de los componentes de los computadores impulsado principalmente por los fabricantes de hardware. Concretamente, las unidades centrales de procesamiento (CPU) o procesadores vienen doblando la velocidad y el número de transistores cada 18-24 meses en las últimas décadas. Desde 200, la triple barrera del consumo energético, las limitaciones en el paralelismo de instrucción y la elevada latencia a memoria, ha provocado que el diseño de procesadores multinúcleo se haya convertido en la única vía para transformar el creciente número de transistores en un aumento del rendimiento.

En este sentido, el incremento de la velocidad de los procesadores así como el aumento del número de los núcleos en éstos ha sido un factor clave para el conseguir mejores prestaciones. No obstante, el aumento de la frecuencia de los procesadores junto con el uso de la tecnología multinúcleo ha implicado que el consumo energético necesario para su funcionamiento también haya crecido y se haya convertido, hoy en día, en un factor muy importante a tener en cuenta. La búsqueda de soluciones verdes o fuentes de energía alternativas que permitan reducir las emisiones de CO₂ a la atmósfera demuestran la

creciente preocupación por el medio ambiente. En el ámbito de las tecnologías de la información y, más concretamente, en la computación de altas prestaciones, la comunidad científico-técnica actualmente muestra especial interés en el desarrollo de componentes, herramientas y técnicas que permitan minimizar el consumo energético. Medidas como FLOPS/Watt [1], *Energy-To-Solution* [2] o FTTSE [3] están empezando a tomar importancia cuando se evalúan las prestaciones de algoritmos y computadores: de hecho, se ha creado un *ranking* como el Green500 [4], análogo al Top500, que ya utiliza este tipo de métricas para comparar y clasificar los supercomputadores en el mundo.

Algunas herramientas de ahorro, basadas en la transición de la computadora a estados de bajo consumo o en la reducción de la frecuencia y el voltaje de forma dinámica (DVFS) en los procesadores, ofrecen la posibilidad de generar aplicaciones conscientes del consumo. Por ejemplo, sistemas autónomos de ahorro energético para grandes plataformas (clusters de computadores y supercomputadores) y en máquinas de sobremesa están empezándose a implantar con el objetivo de limitar el consumo y reducir los costes económicos generados tanto por las propias máquinas como por los sistemas de refrigeración.

En resumen, los algoritmos paralelos de álgebra lineal densa aplicados a problemas de ingeniería y las técnicas de ahorro de energía disponibles en procesadores multinúcleo actuales son las dos vertientes que se aúnan en este trabajo. Concretamente, el objetivo del trabajo es realizar un estudio preliminar de un *planificador consciente del consumo en algoritmos de álgebra lineal densa sobre procesadores multinúcleo* mediante el uso de DVFS.

1.2 Estado del arte

La temática sobre el ahorro de energía está tomando, cada vez más, especial relevancia en la computación de altas prestaciones. Nuevas técnicas, herramientas, componentes y multitud de algoritmos, intentan de algún modo, reducir la energía consumida. En este sentido los problemas de álgebra lineal densa, necesitan, cada vez más, de potentes plataformas para aumentar su rendimiento y prestaciones. Estas plataformas, compuestas por una gran cantidad procesadores multinúcleo que operan a altas frecuencias, provocan grandes consumos energéticos lo que las convierte en opciones no deseadas a nivel económico en muchos casos. Por esta razón, centros de investigación, universidades y empresas dedican gran parte de sus esfuerzos a buscar nuevas soluciones y alternativas para desarrollar aplicaciones conscientes del consumo energético. En esta sección, se explican algunas de las técnicas, métodos y algoritmos utilizados en planificadores, y en segundo lugar, la técnica de reducción de energía disponible en procesadores, basada en el escalado dinámico de la frecuencia y el voltaje (DVFS).

1.2.1. Planificadores

El estudio de tareas paralelas y distribuidas se ha abordado en detalle con el objetivo de que los procesadores optimicen el tiempo y respeten las dependencias entre tareas cuando se ejecuta una aplicación.

Normalmente los algoritmos de planificación suelen clasificarse en dos categorías: estáticos y dinámicos. En los estáticos, la planificación y la asignación de recursos a las tareas se realiza antes de que las aplicaciones se ejecuten, realizándose el supuesto de partida de que se conoce a priori el coste de cada una de las tareas y las comunicaciones entre ellas. Además, asumen que las tareas ocupan el procesador asignado hasta que finalizan [5, 6]. Por otra parte, los algoritmos dinámicos planifican las tareas en tiempo de ejecución, aplicando técnicas de equilibrado de la carga.

Los planificadores por listas son los planificadores estáticos más conocidos. Éstos poseen listas donde se ubican las tareas a ser ejecutadas, ordenadas a través de ciertas prioridades [7, 8]. En este trabajo se abordará un planificador estático que aplicará una determinada política, donde se conoce a priori la duración de las tareas obtenidas a partir del orden de coste teórico de las mismas.

1.2.2. Ahorro de energía: escalado dinámico de la frecuencia y el voltaje

El escalado dinámico de la frecuencia y el voltaje se ha convertido, hoy en día, en una característica prácticamente presente en todas de las nuevas generaciones de procesadores multinúcleo [9, 10]. La reducción de la frecuencia de reloj del procesador, y la consecuente reducción del voltaje necesario durante periodos ociosos o de baja demanda, dan como resultado final una importante reducción del consumo requerido. No obstante, hay que ser conscientes de que la reducción de la frecuencia tiene asociada un aumento de los tiempos de ejecución. En [11] se definen los clusters DVFS, que son capaces de reducir la frecuencia del reloj en periodos de baja actividad. Actualmente existen numerosas técnicas de DVFS que pueden aplicarse en un amplio abanico de posibilidades, dentro del marco de la computación de altas prestaciones. Por ejemplo, en grandes centros de datos de alta producción y disponibilidad, para reducir el consumo del conjunto en total [12, 13].

En este ámbito, existen diferentes métodos que emplean como herramienta de ahorro de energía el escalado dinámico de la frecuencia y el voltaje, tales como:

- Análisis del grafo de dependencias (*Acyclic Directed Graph*, DAG) de aplicaciones científicas, donde se identifica el camino crítico, siendo posible reducir el consumo de aquellas tareas no críticas [14].
- Otras aplicaciones [15] dedicadas a trabajar en conjunto con el planificador del sistema operativo, para ajustar de forma dinámica en tiempo real la frecuencia de los procesadores.
- Técnicas de reducción de la frecuencia en aplicaciones paralelas durante los periodos de comunicación, como por ejemplo MPI [16, 17].
- Además de las aplicaciones paralelas, los planificadores de máquinas virtuales también tienen la posibilidad de utilizar DVFS [11].

En este trabajo se emplea DVFS con el propósito de realizar una planificación eficiente, a partir del grafo dirigido de dependencias, sobre aplicaciones y algoritmos asociados al álgebra lineal densa.

1.2.3. Planificación consciente del consumo

Si se busca el trabajo desarrollado relacionado con la planificación y el empleo de DVFS como herramienta de reducción de consumo, podremos observar que existen numerosas investigaciones y artículos sobre esta temática. Por ejemplo, en [18] se modela un planificador para clusters capaz de asignar tareas en tiempo real y capaz de regular la frecuencia de los procesadores en función de la carga de trabajos en un determinado momento; es decir, asignando tareas en periodos de no utilización y contrastando, finalmente los ahorros energéticos producidos.

En [19, 20] se discute cómo planificar tareas independientes con DVFS en un monoprocesador; en [21, 22] se emplea DVFS para planificar tareas con dependencias en

múltiples procesadores; y en [23, 24, 25] se citan algunos algoritmos de planificación a tiempo real para tareas dependientes. En [26] se presenta una plataforma que integra la asignación de tareas a tiempo real, utilizando DVFS para minimizar el consumo en tareas con dependencias obteniendo resultados sobre problemas de programación lineal entera. LPHM [27] es un planificador dinámico que intenta maximizar el tiempo de las tareas no críticas mediante DVFS.

En [28] se proponen heurísticas para un planificador consciente del consumo de tareas paralelas en entornos de clusters heterogéneos. En [29] se emplea una estrategia, aplicada sobre clusters, basada en la reducción de las holguras de las tareas no críticas.

La intención de este trabajo es realizar una planificación consciente del consumo a través del uso de DVFS, basada en la misma idea que se comenta en párrafos anteriores. La reducción de las holguras entre tareas no críticas del grafo de dependencias puede conseguir importantes ahorros de energía, sin perjudicar el rendimiento de los algoritmos ejecutados. El objetivo, por tanto, es determinar hasta qué punto una tarea no crítica puede ralentizarse y plasmar el resultado de esta investigación en forma de un *algoritmo de extensión de tiempos de tareas*. Como segundo objetivo, el algoritmo de extensión de tareas que se diseña se evaluará mediante un simulador, desarrollado también en el marco de esta tesis. En nuestro caso, el estudio hará especial hincapié en algoritmos comúnmente utilizados en álgebra lineal densa, tales como la descomposición en factores de la matriz densa ligada a un sistema de ecuaciones lineales a través de métodos de Cholesky, LU, QR o LDL^T.

1.3 Objetivos

La intención de nuestro trabajo es realizar una planificación consciente del consumo a través del uso de DVFS en los procesadores donde se ubiquen las tareas no críticas del grafo de dependencias entre tareas que representa las tareas en las que se subdivide un algoritmo paralelo de álgebra lineal densa. Por lo tanto, los objetivos concretos del trabajo son los siguientes:

- Búsqueda de información, técnicas y métodos e investigación sobre trabajos relacionados que puedan servir como referencia para nuestro objetivo. Palabras clave para la búsqueda: algoritmos de álgebra lineal densa, técnicas de ahorro de energía en procesadores multinúcleo, teoría de grafos y métodos de administración y planificación de tareas.
- Diseño y elección de un sistema de representación de grafos flexible, cómodo y fácil de tratar y visualizar. La elección de este sistema repercutirá en un futuro en la forma de manejar las dependencias entre tareas, por lo que la decisión tomada repercutirá en la implementación realizada del algoritmo de extensión de holguras y simulador.
- Búsqueda de algoritmos de álgebra lineal a bloques que puedan descomponerse en subtareas. Al mismo tiempo se intentarán elaborar métodos de generación automática de grafos a partir de algoritmos básicos. Este banco de pruebas permitirá, una vez implementado el planificador consciente del consumo, evaluar su rendimiento.
- Diseño e implementación de un algoritmo que permita, a través del grafo de dependencias de un algoritmo de álgebra lineal densa, analizarlo, detectar las dependencias entre tareas y determinar para cuales de ellas puede extenderse su duración en función de un rango de frecuencias discreto como parámetro de entrada. Este

método deberá devolver, en forma de grafo, la frecuencia mínima a la que debe ejecutarse cada tarea para que el algoritmo de entrada no pierda prestaciones cuando sea ejecutado.

- Diseño e implementación de un planificador a modo de simulador que permita planificar las tareas del algoritmo anterior, permitiendo diferentes modos de planificación y configuración del número de procesadores multinúcleo que se emplearán. Finalmente esta traza de simulación deberá devolver estadísticas y porcentajes de tiempo, para cada procesador, a los que ha estado trabajando en cada frecuencia. Estos resultados servirán para verificar y evaluar el comportamiento de la herramienta implementada.
- Evaluación del planificador implementado mediante diferentes algoritmos de álgebra lineal densa. Principalmente se realizarán experimentos con algoritmos por bloques de descomposiciones de matrices cuadradas y densas. Estos algoritmos son:
 - Cholesky por bloques.
 - QR por bloques.
 - QR por bloques de columnas (tareas del mismo tipo con diferente coste).
- Conclusiones sobre los resultados de ahorro obtenidos con los algoritmos de álgebra lineal densa escogidos y discusión de trabajos futuros relacionados, que darán pie a la tesis doctoral en esta línea de investigación.

Esta tesis de máster, como ya se ha comentado, servirá como base para futuros trabajos orientados a las líneas de computación de altas prestaciones y al ahorro de energía sobre procesadores multinúcleo. Al mismo tiempo, la tesis introducirá la temática de la tesis doctoral que se pretende llevar a cabo en los próximos años.

1.3.1. Limitaciones del trabajo

A primera vista, la implementación de un simulador de planificación de tareas consciente del consumo parece sencilla. Sin embargo, basta consultar en la temática y teoría de planificación de tareas para comprobar que una planificación óptima de tareas, salvo en condiciones muy particulares, es un problema NP-completo. Si además se añade la posibilidad de que cada una de estas tareas puede ejecutarse a diferentes frecuencias y, por lo tanto, cambiar su duración, la complejidad del trabajo aumenta aún más.

En esta tesis, al abordarse una aproximación teórica, que servirá como base hacia la futura tesis doctoral, se ha decidido acotar el estudio a una serie de casos particulares. Estas limitaciones son las siguientes:

- Uno de los objetivos principales de este trabajo es implantar un planificador consciente del consumo en algún runtime de librerías de computación numérica, como libflame o SuperMatrix. En este trabajo sólo se implementará un planificador a modo de simulador que permita obtener resultados y estadísticas del ahorro producido, sin llegar a ser incorporado en núcleos de estas librerías.
- El coste de realizar un cambio de frecuencia del procesador aplicando DVFS no es despreciable sino que depende del cambio de frecuencia realizado, es decir, de la frecuencia actual y la frecuencia destino. En este trabajo se asume un coste constante de cambio de frecuencia (actual y destino) para el rango de frecuencias de procesador aceptadas.

- Cuando se cambia la frecuencia del procesador, se asume que la frecuencia únicamente puede cambiarse a nivel de procesador o socket y no a nivel de núcleo. Por este motivo, cuando se cambie la frecuencia en un procesador, todos los núcleos asociados a éste adoptarán la nueva frecuencia después del tiempo de cambio de frecuencia.
- El algoritmo de expansión de tiempos de tareas asume que los recursos en la plataforma donde se simulará la planificación son infinitos.
- Con el objetivo de limitar el número de combinaciones posibles de planificación se asume que únicamente se puede cambiar la frecuencia de procesador cuando todos los núcleos del mismo están libres. Es decir, no se podrá cambiar la frecuencia del procesador durante la ejecución de una tarea en cualquiera de los núcleos.
- En una situación de simulación real, se recogen datos de tiempo realísticos de la ejecución de las tareas en cada una de las frecuencias permitidas por el procesador. En este trabajo se asume que el coste temporal de las tareas crece de forma inversamente proporcional a la frecuencia del procesador.

1.4 Organización de la memoria

La memoria de la tesis de máster se estructura en los siguientes capítulos:

- **Aproximación teórica**

En este Capítulo ?? se revisan los fundamentos teóricos de algunos de los métodos y técnicas de revisión y evaluación de programas aplicados a la planificación de proyectos de ingeniería. A continuación, se evalúa el uso de esta técnica en algoritmos de álgebra lineal densa. Finalmente se definen una serie de restricciones y simplificaciones que se adoptan para limitar el número de casos posibles de estudio en esta tesis de máster.

- **Implementación**

En el Capítulo ?? se describen los módulos y el planificador implementado para simular las ejecuciones de las tareas a partir del algoritmo de ajuste de holguras explicado en el capítulo anterior. A continuación, se explicarán las políticas que se han tenido en cuenta y se probará, con ejemplos a modo explicativo, para analizar cómo se ejecuta la simulación.

- **Evaluación de algoritmos**

En el Capítulo de ?? se evaluarán, mediante los grafos de dependencias asociados, diversos algoritmos de álgebra lineal densa, tales como Cholesky, QR y QR por bloques de columnas. Al mismo tiempo se presentan las conclusiones sobre los ahorros de energía producidos y, a través de estadísticas, se demuestra la factibilidad del algoritmo de ajuste de holguras implementado.

- **Conclusiones**

En el Capítulo ?? se hace una recopilación de las ideas destacadas, tratando de enfatizar los aspectos más interesantes, los conceptos aprendidos y la aportación en la temática de ahorro de energía al álgebra lineal densa.

- **Futuras extensiones**

En el Capítulo ?? se exponen las posibles mejoras o extensiones que pueden aplicarse al simulador. En particular, se comentan las intenciones y las posibles aplicaciones en un futuro no lejano de la viabilidad en la aplicación de esta técnica en librerías de cálculo de altas prestaciones.

Bibliografía

- [1] Wikipedia. Performance per watt, 2010.
- [2] Timo Minartz, Julian M. Kunkel, and Thomas Ludwig 0002. Simulation of power consumption of energy efficient cluster hardware. *Computer Science - R&D*, 25(3-4):165–175, 2010.
- [3] Constantine Bekas and Alessandro Curioni. A new energy aware performance metric. *Computer Science - R&D*, 25(3-4):187–195, 2010.
- [4] W. Feng and T. Scogland. The green500 list: Year one. In *Parallel & Distributed Processing, 2009. IPDPS 2009. IEEE International Symposium on*, pages 1–7. IEEE, 2009.
- [5] V. M. Lo. Heuristic algorithms for task assignment in distributed systems. *IEEE Trans. Comput.*, 37:1384–1397, November 1988.
- [6] V. Sarkar. *Partitioning and scheduling parallel programs for execution on multiprocessors*. PhD thesis, Stanford, CA, USA, 1987. UMI Order No. GAX87-23080.
- [7] Rongheng Li and Huei-Chuen Huang. List scheduling for jobs with arbitrary release times and similar lengths. *J. of Scheduling*, 10:365–373, December 2007.
- [8] Abdellatif Mtibaa, Bouraoui Ouni, and Mohamed Abid. An efficient list scheduling algorithm for time placement problem. *Comput. Electr. Eng.*, 33:285–298, July 2007.
- [9] C. Hsu and W. Feng. A feasibility analysis of power awareness in commodity-based high-performance clusters. *Cluster 2005*, 2005.
- [10] C. Hsu and W. Feng. A power-aware run-time system for high-performance computing. In *Proceedings of the 2005 ACM/IEEE conference on Supercomputing*, page 1. IEEE Computer Society, 2005.
- [11] Gregor von Laszewski, Lizhe Wang, Andrew J. Younge, and Xi He. Power-aware scheduling of virtual machines in dvfs-enabled clusters. In *CLUSTER*, pages 1–10, 2009.
- [12] Ian Gorton, Paul Greenfield, Alexander S. Szalay, and Roy Williams. Data-intensive computing in the 21st century. *IEEE Computer*, 41(4):30–32, 2008.
- [13] W. Feng, A. Ching, and C.H. Hsu. Green Supercomputing in a Desktop Box. In *2007 IEEE International Parallel and Distributed Processing Symposium*, page 352. IEEE, 2007.
- [14] G. Chen, K. Malkowski, M. Kandemir, and P. Raghavan. Reducing power with performance constraints for parallel sparse applications. In *Proceedings of the 19th IEEE International Parallel and Distributed Processing Symposium (IPDPS'05) - Workshop 11 - Volume 12, IPDPS '05*, pages 231.1–, Washington, DC, USA, 2005. IEEE Computer Society.

- [15] R. Ge, X. Feng, W. Feng, and K.W. Cameron. CPU MISER: A performance-directed, run-time system for power-aware clusters. In *Parallel Processing, 2007. ICPP 2007. International Conference on*, page 18. IEEE, 2007.
- [16] V.W. Freeh and D.K. Lowenthal. Using multiple energy gears in MPI programs on a power-scalable cluster. In *Proceedings of the tenth ACM SIGPLAN symposium on Principles and practice of parallel programming*, pages 164–173. ACM, 2005.
- [17] B. Roundtree, DK Lowenthal, SH Funk, VW Freeh, BR de Supinski, and M. Schulz. Adaptive, transparent frequency and voltage scaling of communication phases in MPI programs. *ACM/IEEE Supercomputing 2007 (SC07)*, 2007.
- [18] Maja Etinski, Julita Corbalán, Jesús Labarta, and Mateo Valero. Utilization driven power-aware parallel job scheduling. *Computer Science - R&D*, 25(3-4):207–216, 2010.
- [19] F. Yao, A. Demers, and S. Shenker. A scheduling model for reduced cpu energy. In *Proceedings of the 36th Annual Symposium on Foundations of Computer Science, FOCS '95*, pages 374–, Washington, DC, USA, 1995. IEEE Computer Society.
- [20] A. Manzak and C. Chakrabarti. Variable voltage task scheduling for minimizing energy or minimizing power. In *Proceedings of the Acoustics, Speech, and Signal Processing, 2000. on IEEE International Conference - Volume 06*, pages 3239–3242, Washington, DC, USA, 2000. IEEE Computer Society.
- [21] Gu yeon Wei, Jaeha Kim, Dean Liu, Stefanos Sidiropoulos, and Mark A. Horowitz. A variable-frequency parallel i/o interface with adaptive power-supply regulation. *IEEE J. Solid-State Circuits*, 35:1600–1610, 2000.
- [22] Flavius Gruian and Krzysztof Kuchcinski. Lenex: task scheduling for low-energy systems using variable supply voltage processors. In *Proceedings of the 2001 Asia and South Pacific Design Automation Conference, ASP-DAC '01*, pages 449–455, New York, NY, USA, 2001. ACM.
- [23] Steven M. Martin, Krisztian Flautner, Trevor Mudge, and David Blaauw. Combined dynamic voltage scaling and adaptive body biasing for lower power microprocessors under dynamic workloads. In *Proceedings of the 2002 IEEE/ACM international conference on Computer-aided design, ICCAD '02*, pages 721–725, New York, NY, USA, 2002. ACM.
- [24] Jiong Luo and Niraj K. Jha. Power-efficient scheduling for heterogeneous distributed real-time embedded systems. *IEEE Trans. on CAD of Integrated Circuits and Systems*, 26(6):1161–1170, 2007.
- [25] Jiong Luo, Li-Shiuan Peh, and Niraj Jha. Simultaneous dynamic voltage scaling of processors and communication links in real-time distributed embedded systems. In *Proceedings of the conference on Design, Automation and Test in Europe - Volume 1, DATE '03*, pages 11150–, Washington, DC, USA, 2003. IEEE Computer Society.
- [26] Yumin Zhang, Xiaobo Sharon Hu, and Danny Z. Chen. Task scheduling and voltage selection for energy minimization. In *Proceedings of the 39th annual Design Automation Conference, DAC '02*, pages 183–188, New York, NY, USA, 2002. ACM.
- [27] Yves Robert, Manish Parashar, Ramamurthy Badrinath, and Viktor K. Prasanna, editors. *High Performance Computing - HiPC 2006, 13th International Conference, Bangalore, India, December 18-21, 2006, Proceedings*, volume 4297 of *Lecture Notes in Computer Science*. Springer, 2006.

-
- [28] Y.C. Lee and A.Y. Zomaya. Minimizing energy consumption for precedence-constrained applications using dynamic voltage scaling. In *Proceedings of the 2009 9th IEEE/ACM International Symposium on Cluster Computing and the Grid-Volume 00*, pages 92–99. IEEE Computer Society, 2009.
- [29] H. Kimura, M. Sato, Y. Hotta, T. Boku, and D. Takahashi. Emprical study on reducing energy of parallel programs using slack reclamation by DVFS in a power-scalable high performance cluster. In *Cluster Computing, 2006 IEEE International Conference on*, pages 1–10. IEEE, 2007.

