



64-040 Modul InfB-RS: Rechnerstrukturen

[https://tams.informatik.uni-hamburg.de/
lectures/2016ws/vorlesung/rs](https://tams.informatik.uni-hamburg.de/lectures/2016ws/vorlesung/rs)

– Kapitel 3 –

Andreas Mäder



Universität Hamburg
Fakultät für Mathematik, Informatik und Naturwissenschaften
Fachbereich Informatik
Technische Aspekte Multimodaler Systeme

Wintersemester 2016/2017



Moore's Law

System on a chip

Smart Dust

Roadmap und Grenzen des Wachstums

Literatur





- ▶ bessere Technologie ermöglicht immer kleinere Transistoren
 - ▶ Materialkosten sind proportional zur Chipfläche
- ⇒ bei gleicher Funktion kleinere und billigere Chips
- ⇒ bei gleicher Größe leistungsfähigere Chips

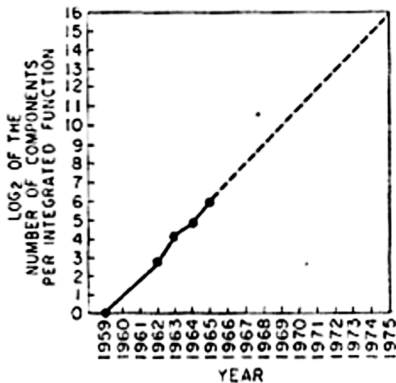
Moore's Law

Gordon Moore, Mitgründer von Intel, 1965

Speicherkapazität von ICs vervierfacht sich alle drei Jahre

- ⇒ schnelles **exponentielles Wachstum**
- ▶ klares Kostenoptimum bei hoher Integrationsdichte
 - ▶ trifft auch auf Prozessoren zu

Moore's Law (cont.)



Gordon Moore, 1965, [Moo65]:
Cramming more components onto integrated circuits

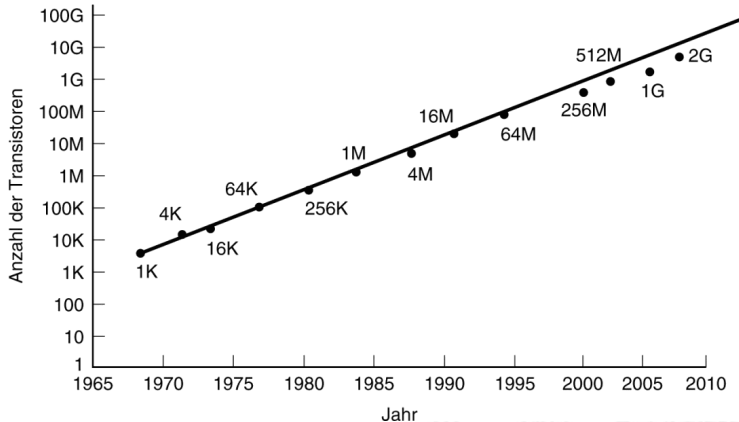
Wird das so weitergehen?

- ▶ Vorhersage gilt immer noch
- ▶ „ITRS“ Prognose bis über Jahr 2030 hinaus [ITRS15]

Moore's Law: Transistoren pro Speicherchip

3 Moore's Law

64-040 Rechnerstrukturen



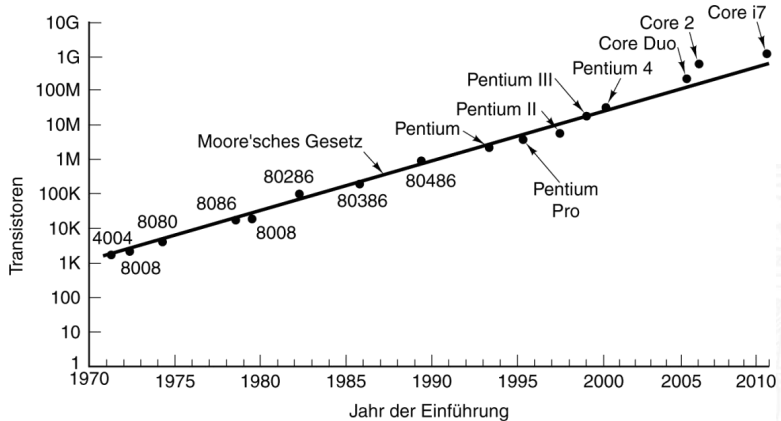
[TA14]

- ▶ Vorhersage: 60% jährliches Wachstum der Transistoranzahl pro IC

Moore's Law: Evolution der Prozessoren

3 Moore's Law

64-040 Rechnerstrukturen

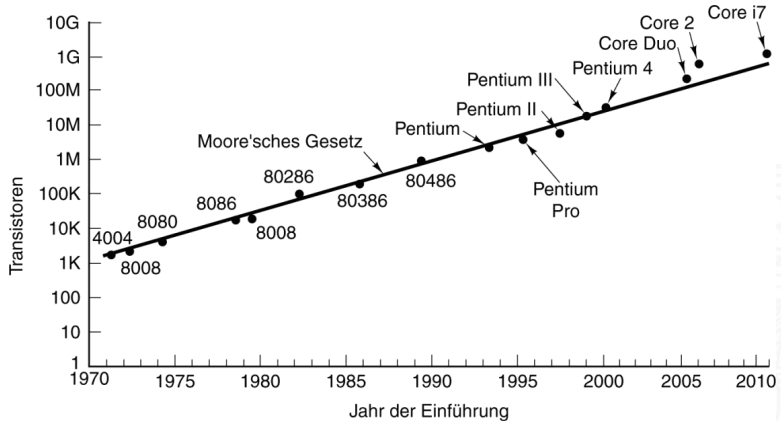


[TA14]

Moore's Law: Evolution der Prozessoren

3 Moore's Law

64-040 Rechnerstrukturen



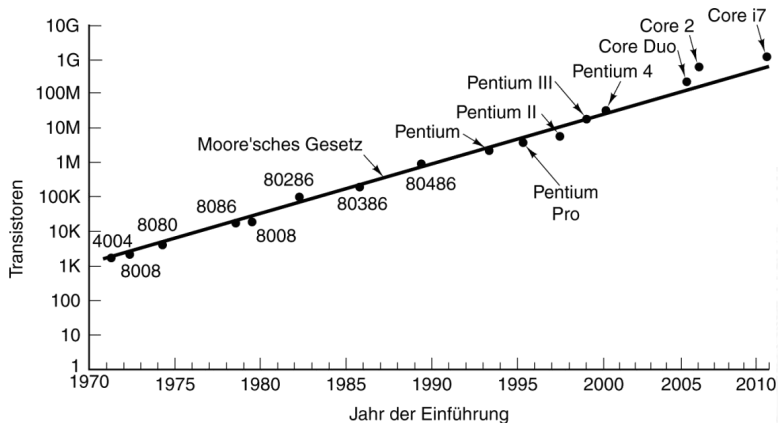
[TA14]

Modell		Typ	Jahr	# Trans.
Xeon Broadwell E5 v4	Intel	CPU	2016	7,2 Mrd.

Moore's Law: Evolution der Prozessoren

3 Moore's Law

64-040 Rechnerstrukturen

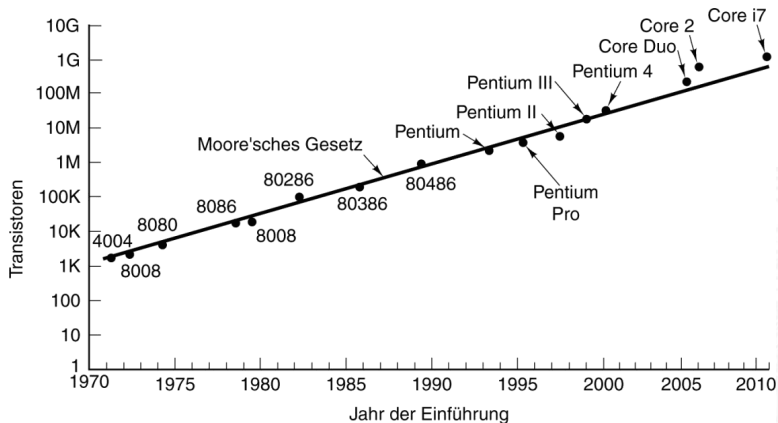


Modell		Typ	Jahr	# Trans.
Xeon Broadwell E5 v4	Intel	CPU	2016	7,2 Mrd.
Sparc M7	Oracle	CPU	2015	> 10,0 Mrd.

Moore's Law: Evolution der Prozessoren

3 Moore's Law

64-040 Rechnerstrukturen



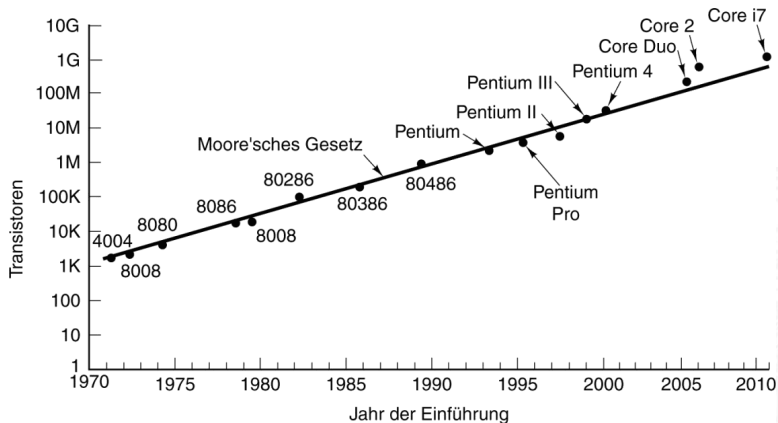
[TA14]

Modell		Typ	Jahr	# Trans.
Xeon Broadwell E5 v4	Intel	CPU	2016	7,2 Mrd.
Sparc M7	Oracle	CPU	2015	> 10,0 Mrd.
GP100 Pascal	Nvidia	GPU	2016	15,3 Mrd.

Moore's Law: Evolution der Prozessoren

3 Moore's Law

64-040 Rechnerstrukturen

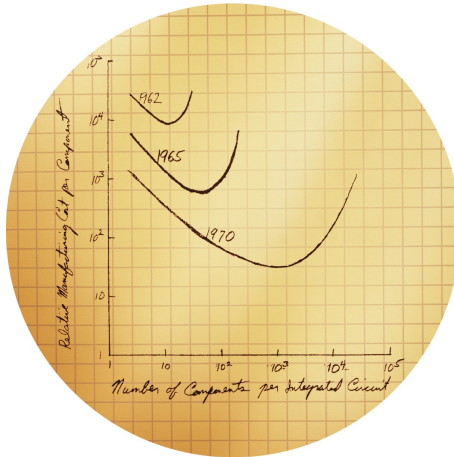


Modell		Typ	Jahr	# Trans.
Xeon Broadwell E5 v4	Intel	CPU	2016	7,2 Mrd.
Sparc M7	Oracle	CPU	2015	> 10,0 Mrd.
GP100 Pascal	Nvidia	GPU	2016	15,3 Mrd.
Stratix 10	Intel (Altera)	FPGA	2016	> 30,0 Mrd.

Moore's Law: Kosten pro Komponente

3 Moore's Law

64-040 Rechnerstrukturen



Originalskizze von G. Moore [Intel]



$$L(t) = L(0) \times 2^{t/18}$$

mit: $L(t)$ = Leistung zum Zeitpunkt t , $L(0)$ = Leistung zum Zeitpunkt 0, und Zeit t in Monaten.

Einige Formelwerte:

Jahr 1:	1,5874
Jahr 2:	2,51984
Jahr 3:	4
Jahr 5:	10,0794
Jahr 6:	16
Jahr 7:	25,3984
Jahr 8:	40,3175



Leistungssteigerung der Spitzenrechner seit 1993

www.top500.org de.wikipedia.org/wiki/Supercomputer

3 Moore's Law

64-040 Rechnerstrukturen

Jahr	Rechner	CPU	Linpack [TFlop/s]	Prozessoren
1993	TMC CM-5/1024	(SuperSparc 32MHz)	0,0597	1 024
1994	Intel XP/S140	(80860 50MHz)	0,1434	3 680
1995	Fujitsu NWT	(105 MHz)	0,17	140
1996	Hitachi SR2201/1024	(HARP-1E 120MHz)	0,2204	1 024
1997	Intel ASCI Red	(Pentium Pro 200MHz)	1,068	7 264
1999	Intel ASCI Red	(Pentium Pro 333MHz)	2,121	9 472
2001	IBM ASCI White	(Power3 375MHz)	7,226	8 192
2002	NEC Earth Simulator	(NEC 1GHz)	35,86	5 120
2005	IBM BlueGene/L	(PowerPC 440 2C 700MHz)	136,8	65 536
2006	IBM BlueGene/L	(PowerPC 440 2C 700MHz)	280,6	131 072
2008	IBM Roadrunner (Opteron 2C 1,8GHz + IBM Cell 9C 3,2 GHz)		1 026,0	122 400
2010	Cray XT5-HE Jaguar	(Opteron 6C 2,6GHz)	1 759,0	224 162
2011	Fujitsu K computer	(SPARC64 VIIIfx 2.0GHz)	8 162,0	548 352
2012	IBM Super MUC	(Xeon E5-2680 8C 2,7GHz)	2 897,0	147 456
2012	IBM BlueGene/Q Sequoia	(Power BQC 16C 1,6GHz)	16 324,8	1 572 864
2013	IBM BlueGene/Q JUQUEEN	(Power BQC 16C 1,6GHz)	5 008,9	458 752
2013	NUDT Tianhe-2 (Xeon E5-2692 12C 2,2 GHz + Xeon Phi 31S1P)		33 862,7	3 120 000
2016	Sunway TaihuLight (Sunway SW26010 260C 1,45 GHz)		93 014,6	10 649 600



Leistungssteigerung der Spitzenrechner seit 1993

www.top500.org de.wikipedia.org/wiki/Supercomputer

3 Moore's Law

64-040 Rechnerstrukturen

Jahr	Rechner	CPU	Linpack [TFlop/s]	Prozessoren	Power [KW]
1993	TMC CM-5/1024	(SuperSparc 32MHz)	0,0597	1 024	
1994	Intel XP/S140	(80860 50MHz)	0,1434	3 680	
1995	Fujitsu NWT	(105 MHz)	0,17	140	
1996	Hitachi SR2201/1024	(HARP-1E 120MHz)	0,2204	1 024	
1997	Intel ASCI Red	(Pentium Pro 200MHz)	1,068	7 264	
1999	Intel ASCI Red	(Pentium Pro 333MHz)	2,121	9 472	
2001	IBM ASCI White	(Power3 375MHz)	7,226	8 192	
2002	NEC Earth Simulator	(NEC 1GHz)	35,86	5 120	3 200
2005	IBM BlueGene/L	(PowerPC 440 2C 700MHz)	136,8	65 536	716
2006	IBM BlueGene/L	(PowerPC 440 2C 700MHz)	280,6	131 072	1 433
2008	IBM Roadrunner (Opteron 2C 1,8GHz + IBM Cell 9C 3,2 GHz)		1 026,0	122 400	2 345
2010	Cray XT5-HE Jaguar	(Opteron 6C 2,6GHz)	1 759,0	224 162	6 950
2011	Fujitsu K computer	(SPARC64 VIIIfx 2.0GHz)	8 162,0	548 352	9 899
2012	IBM Super MUC	(Xeon E5-2680 8C 2,7GHz)	2 897,0	147 456	3 423
2012	IBM BlueGene/Q Sequoia	(Power BQC 16C 1,6GHz)	16 324,8	1 572 864	7 890
2013	IBM BlueGene/Q JUQUEEN	(Power BQC 16C 1,6GHz)	5 008,9	458 752	2 301
2013	NUDT Tianhe-2 (Xeon E5-2692 12C 2,2 GHz + Xeon Phi 31S1P)		33 862,7	3 120 000	17 808
2016	Sunway TaihuLight (Sunway SW26010 260C 1,45 GHz)		93 014,6	10 649 600	15 371



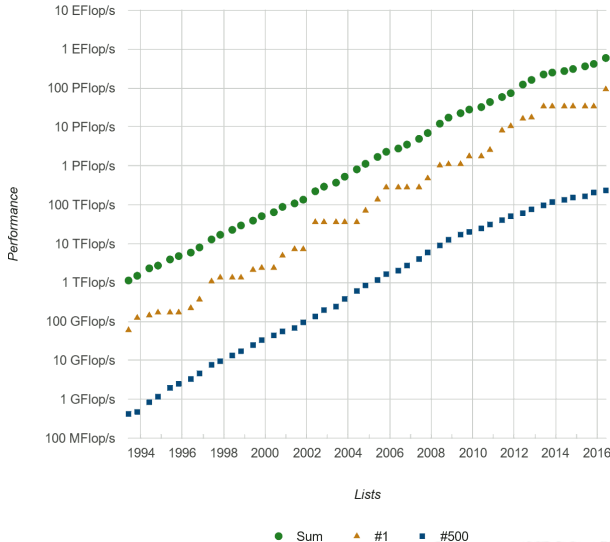
Leistungssteigerung der Spitzenrechner seit 1993 (cont.)

www.top500.org de.wikipedia.org/wiki/Supercomputer

3 Moore's Law

64-040 Rechnerstrukturen

Performance Development





- ▶ Miniaturisierung schreitet weiter fort
- ▶ aber Taktraten erreichen physikalisches Limit
- ▶ steigender Stromverbrauch, zwei Effekte:
 1. Leckströme
 2. proportional zu Taktrate

Entwicklungen

- ▶ 4 GByte Hauptspeicher (und mehr) sind Standard
 - ▶ Übergang von 32-bit auf 64-bit Adressierung
- ⇒ Integration mehrerer CPUs auf einem Chip (Dual-/Quad-Core)
- ⇒ zunehmende Integration von Peripheriegeräten
- ⇒ seit 2011: CPU plus leistungsfähiger Grafikchip
- ⇒ **SoC**: „System on a chip“



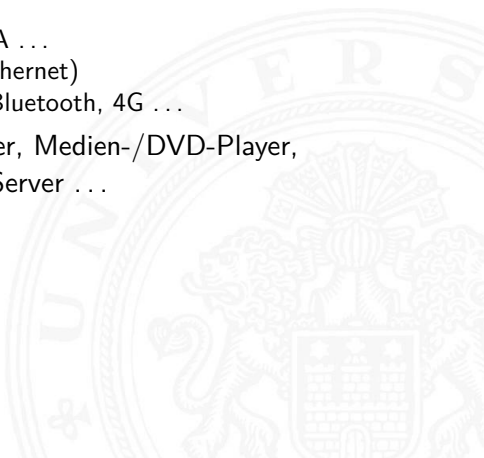
Gesamtes System auf einem Chip integriert:

- ▶ ein oder mehrere Prozessoren, z.T. verschiedene Typen
 - ▶ hohe Rechenleistung
 - ▶ energieeffizient
- ⇒ z.B. ARM mit *big.LITTLE* Konzept
- ▶ Cache Hierarchie: 1-Level D- und I-Cache / 2-Level
- ▶ dedizierte Prozessoren: Grafik, Video(de)kodierung, DSP ...
- ▶ Hauptspeicher (evtl. auch extern), Speichercontroller
- ▶ weitere Speicher für Medien/Netzwerkoperationen

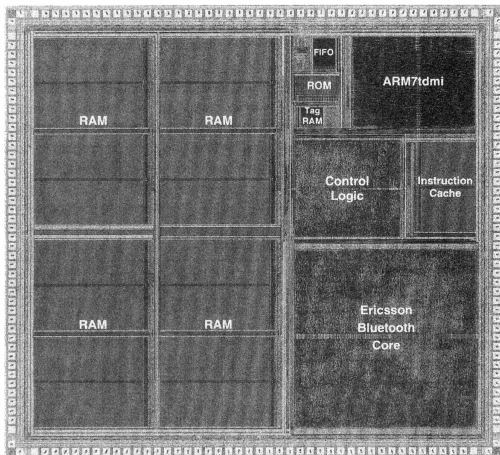


SoC: System on a chip (cont.)

- ▶ Peripherieblöcke nach Kundenwunsch konfiguriert:
 - ▶ Displayansteuerung: DP, HDMI ...
 - ▶ A/V-Schnittstellen: Kamera, Mikrofone, Audio ...
 - ▶ serielle und parallele Schnittstellen, SPI, I/O-Pins ...
 - ▶ Feldbusse: I²C, CAN ...
 - ▶ PC-like: USB, Firewire, SATA ...
 - ▶ Netzwerk kabelgebunden (Ethernet)
 - ▶ Funkschnittstellen: WLAN, Bluetooth, 4G ...
- ▶ Smartphones, Tablet-Computer, Medien-/DVD-Player, WLAN-Router, NAS-/Home-Server ...



► Bluetooth-Controller (2000)



© VLSI Technology, Inc.

[Fur00]

Prozess	0,25 μm
Metall	3-Layer
V_{DD}	2,5 V
Transistoren	4,3 Mill.
Chipfläche	20 mm ²
Taktrate	0...13 MHz
MIPS	12
Power	75 mW
MIPS/W	160

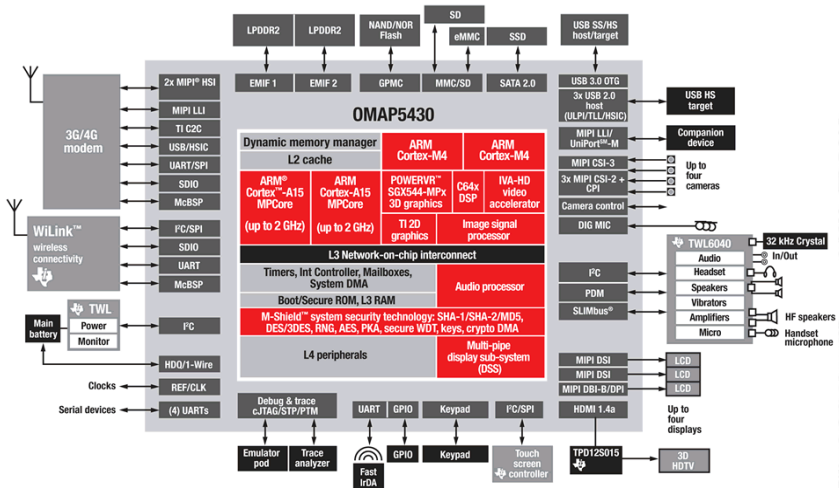
SoC Beispiele (cont.)

3.1 Moore's Law - System on a chip

64-040 Rechnerstrukturen

► Texas Instruments OMAP 5430 (2011)

[T1]



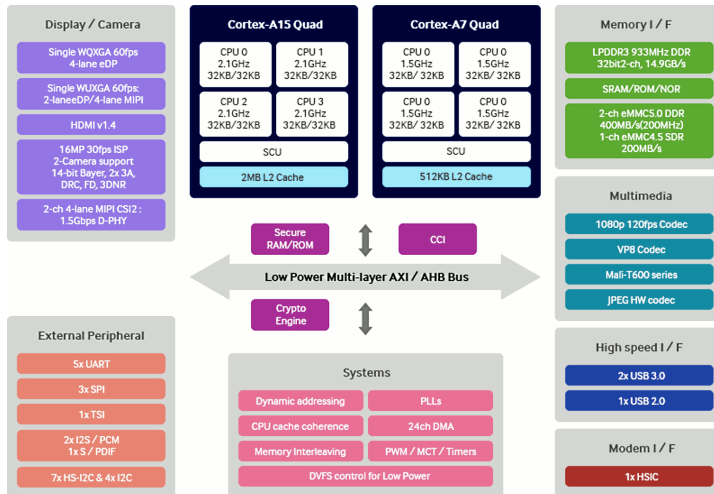
SoC Beispiele (cont.)

3.1 Moore's Law - System on a chip

64-040 Rechnerstrukturen

► Samsung Exynos-5422 (2014)

[Samsung]





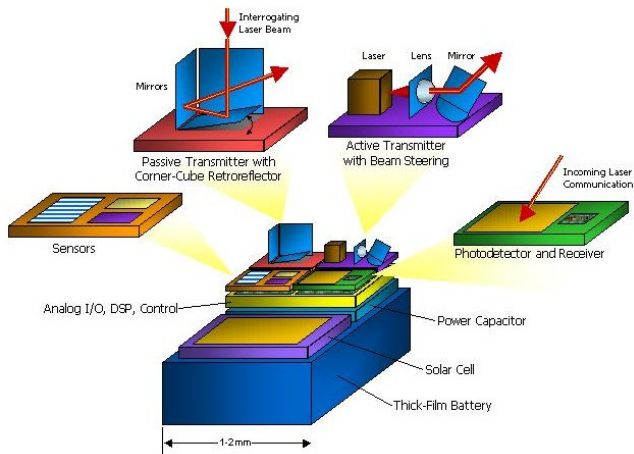
Smart Dust

Wie klein kann man Computer bauen?

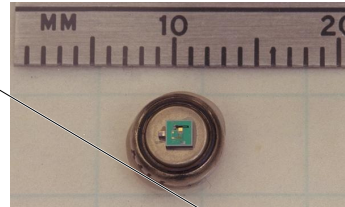
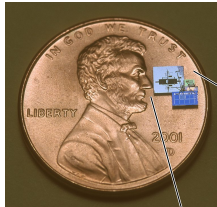
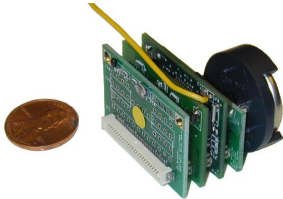
- ▶ Berkeley Projekt: **Smart Dust** 1997-2002
- ▶ Integration kompletter Rechensysteme auf 1 mm^3
 - ▶ vollständiger Digitalrechner CPU, Speicher, I/O
 - ▶ Sensoren Photodioden, Kompass, Gyro
 - ▶ Kommunikation Funk, optisch
 - ▶ Stromversorgung Photozellen, Batterie, Vibration, Mikroturbine
 - ▶ Echtzeit-Betriebssystem Tiny OS
 - ▶ inklusive autonome Vernetzung
- ▶ Massenfertigung? Tausende autonome Mikrorechner
- ▶ „Ausstreuen“ in der Umgebung
- ▶ vielfältige Anwendungen

Berkeley Sensor & Actuator Center, robotics.eecs.berkeley.edu/~pister/SmartDust

Smart Dust: Konzept

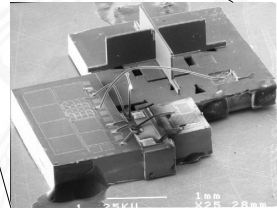


Smart Dust: Prototypen



diverse Prototypen:

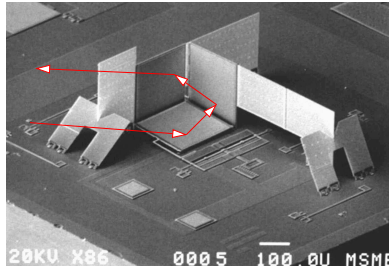
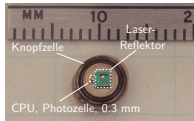
- vollwertige CPU / Sensoren / RF
- "out-door"-tauglich
- MEMS-"CCR" für opt. Kommunikation



Smart Dust: Corner-cube reflector („Katzenauge“)

3.2 Moore's Law - Smart Dust

64-040 Rechnerstrukturen



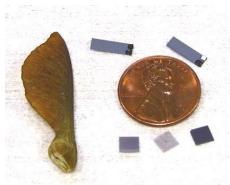
- ▶ CCR: seitlich zwei starre Spiegel, Gold auf Silizium
- ▶ untere Spiegelfläche beweglich (elektrostatisch, ca. 30 V)
- ▶ gezielte Modulation von eingestrahlttem Laserlicht
- ▶ Reichweiten > 100 m demonstriert

robotics.eecs.berkeley.edu/~pister/SmartDust

Miniatur-Solarzellen

Wirkungsgrad ca. 3%

26 $\mu\text{W}/\text{mm}$ in vollem Sonnenlicht



Batterien: $\sim 1\text{J}/\text{mm}^2$

Kondensatoren: $\sim 10\text{ mJ}/\text{mm}^2$

Solarzellen: $\sim 0.1\text{ mW}/\text{mm}$ $\sim 1\text{J}/\text{mm}^2/\text{day}$ (außen, Sonne)
 $\sim 10\text{ }\mu\text{W}/\text{mm}$ $\sim 10\text{mJ}/\text{mm}^2/\text{day}$ (innen)

Digitalschaltung 1 nJ/instruction (StrongArm SA1100)

Analoger Sensor 1 nJ/sample

Kommunikation 1 nJ/bit (passive transmitter, s.u.)

opt. digitale ASICs: $\sim 5\text{ pJ}/\text{bit}$ (LFSR Demonstrator, 1.4V)



- ▶ Jeder exponentielle Verlauf stößt irgendwann an natürliche oder wirtschaftliche Grenzen
- ▶ Beispiel: physikalische Limits
 - ▶ Eine DRAM-Speicherzelle speichert etwa 200 Elektronen (2012)
 - Skalierung: es werden mit jeder neuen Technologiestufe weniger
 - ▶ Offensichtlich ist die Grenze spätestens dann erreicht, wenn nur noch ein einziges Elektron gespeichert würde
 - ▶ Ab diesem Zeitpunkt gibt es bessere Performance nur noch durch bessere Algorithmen / Architekturen!
- ⇒ Annahme: 50 % Skalierung pro Jahr, 200 Elektronen/Speicherzelle gesucht: $x \hat{=}$ Jahre Fortschritt
- ⇒ $200 / (1,5^x) \geq 1$
 $x = \ln(200) / \ln(1,5) \approx 13$ Jahre

$$a^b = \exp(b \cdot \ln a)$$



International **T**echnology **R**oadmap for **S**emiconductors

<http://www.itrs2.net/itrs-reports.html>

- ▶ non-profit Organisation
- ▶ diverse Fördermitglieder
 - ▶ Halbleiterhersteller
 - ▶ Geräte-Hersteller
 - ▶ Unis, Forschungsinstitute
 - ▶ Fachverbände aus USA, Europa, Asien
- ▶ Jährliche Publikation einer langjährigen Vorhersage
- ▶ Zukünftige Entwicklung der Halbleitertechnologie
- ▶ Komplexität typischer Chips (Speicher, Prozessoren, SoC, ...)
- ▶ Modellierung, Simulation, Entwurfssoftware

Roadmap: ITRS (cont.)

3.3 Moore's Law - Roadmap und Grenzen des Wachstums

64-040 Rechnerstrukturen

Table ORTC-2D High-Performance MPU and ASIC Product Generations and Chip Size Model

Year of Production	2011	2012	2013	2014	2015	2016	2017	2018	2019	2020	2021	2022	2023	2024	2025	2026
Flash ½ Pitch (nm) (un-contacted Poly)	22	20	18	17	15	14,2	13,0	11,9	10,9	10,0	8,9	8,0	8,0	8,0	8,0	8,0
DRAM ½ Pitch (nm) (contacted)	36	32	28	25	23	20,0	17,9	15,9	14,2	12,6	11,3	10,0	8,9	8,0	7,1	6,3
MPU/ASIC Metal 1 (M1) ½ Pitch (nm)	38	32	27	24	21	18,9	16,9	15,0	13,4	11,9	10,6	9,5	8,4	7,5	6,7	6,0
MPU High-Performance Printed Gate Length (nm)	35	31	28	25	22	19,8	17,7	15,7	14,0	12,5	11,1	9,9	8,8	7,9	6,79	5,87
MPU High-Performance Physical Gate Length (nm)	24	22	20	18	17	15,3	14,0	12,8	11,7	10,6	9,7	8,9	8,1	7,4	6,6	5,9
Logic (Low-volume Microprocessor) High-performance																
Generation at Introduction	p13h	p13h	p16h	p16h	p16h	p19h	p19h	p19h	p22h	p22h	p22h	p25h	p25h	p25h	p28h	p28h
Functions per chip at introduction (million transistors)	8.848	8.848	17.696	17.696	17.696	35.391	35.391	35.391	70.782	70.782	70.782	141.564	141.564	141.564	283.128	283.128
Chip size at introduction (mm ²)	520	368	520	413	328	520	413	328	520	413	328	520	413	328	520	413
Generation at production	p11h	p11h	p13h	p13h	p13h	p16h	p16h	p16h	p19h	p19h	p19h	p22h	p22h	p22h	p25h	p25h
Functions per chip at production (million transistors)	4.424	4.424	8.848	8.848	8.848	17.696	17.696	17.696	35.391	35.391	35.391	70.782	70.782	70.782	141.564	141.564
Chip size at production (mm ²)	260	184	260	206	164	260	206	164	260	206	164	260	206	164	260	206
OH % of Total Chip Area	29,5%	29,5%	29,5%	29,5%	29,5%	29,5%	29,5%	29,5%	29,5%	29,5%	29,5%	29,5%	29,5%	29,5%	29,5%	29,5%
Logic Core+SRAM (Without OH Average Density (Mt/cm ²))	2.414	3.414	4.828	6.083	7.664	9.656	12.166	15.328	19.312	24.332	30.656	38.625	48.664	61.313	77.249	97.328
High-performance MPU Mtransistors/cm ² (including on-chip SRAM)	1.701	2.406	3.403	4.287	5.402	6.806	8.575	10.804	13.612	17.150	21.608	27.224	34.300	43.215	54.448	68.600
ASIC																
ASIC usable Mtransistors/cm ² (auto layout)	1.701	2.406	3.403	4.287	5.402	6.806	8.575	10.804	13.612	17.150	21.608	27.224	34.300	43.215	54.448	68.600
ASIC max chip size (mm ²) (max. lithographic field size)	858	858	858	858	858	858	858	858	858	858	858	858	858	858	858	858
ASIC max. functions per chip (Mtransistors/chip) (fit in litho. Field size)	14.599	20.646	29.198	36.787	46.348	58.395	73.573	92.697	116.790	147.147	185.393	233.581	294.293	370.786	467.162	588.587



Moore's Law

Beispiel für die Auswirkung von Moore's Law

Angenommen die Lösung einer Rechenaufgabe dauert derzeit vier Jahre und die Rechenleistung wächst jedes Jahr um 60 %.

Wie lösen wir das Problem ?





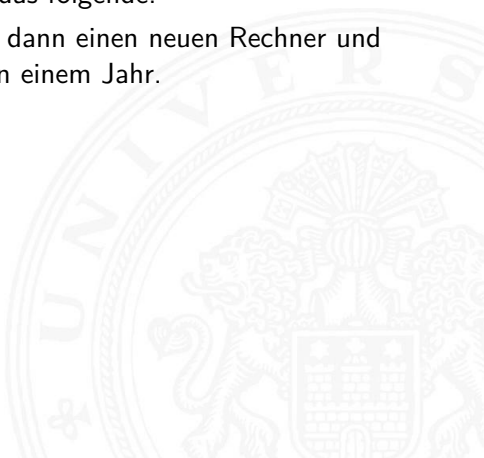
Moore's Law: Schöpferische Pause

Beispiel für die Auswirkung von Moore's Law

Angenommen die Lösung einer Rechenaufgabe dauert derzeit vier Jahre und die Rechenleistung wächst jedes Jahr um 60 %.

Ein mögliches Vorgehen ist dann das folgende:

- ▶ Wir warten drei Jahre, kaufen dann einen neuen Rechner und erledigen die Rechenaufgabe in einem Jahr.
- ▶ *Wie das ?*





Moore's Law: Schöpferische Pause

Beispiel für die Auswirkung von Moore's Law

Angenommen die Lösung einer Rechenaufgabe dauert derzeit vier Jahre und die Rechenleistung wächst jedes Jahr um 60 %.

Ein mögliches Vorgehen ist dann das folgende:

- ▶ Wir warten drei Jahre, kaufen dann einen neuen Rechner und erledigen die Rechenaufgabe in einem Jahr.
- ⇒ Nach einem Jahr können wir einen Rechner kaufen, der um den Faktor 1,6 Mal schneller ist, nach zwei Jahren bereits $1,6 \times 1,6$ Mal schneller, und nach drei Jahren (also am Beginn des vierten Jahres) gilt $(1 + 60\%)^3 = 4,096$.
- ▶ Wir sind also sogar ein bisschen schneller fertig, als wenn wir den jetzigen Rechner die ganze Zeit durchlaufen lassen.



Ab jetzt erst mal ein *bottom-up* Vorgehen:

Start mit grundlegenden Aspekten

- ▶ Grundlagen der Repräsentation von Information
- ▶ Darstellung von Zahlen und Zeichen
- ▶ arithmetische und logische Operationen
- ▶ Schaltnetze, Schaltwerke, endliche Automaten

dann Kennenlernen aller Basiskomponenten des Digitalrechners

- ▶ Gatter, Flipflops. . .
- ▶ Register, ALU, Speicher. . .

und Konstruktion eines vollwertigen Rechners

- ▶ Befehlssatz, -abarbeitung, Assembler
- ▶ Pipelining, Speicherhierarchie
- ▶ . . .



- [TA14] A.S. Tanenbaum, T. Austin: *Rechnerarchitektur – Von der digitalen Logik zum Parallelrechner*.
6. Auflage, Pearson Deutschland GmbH, 2014.
ISBN 978–3–86894–238–5
- [Moo65] G.E. Moore: *Cramming More Components Onto Integrated Circuits*. in: *Electronics* 38 (1965), April 19, Nr. 8
- [ITRS15] *International Technology Roadmap for Semiconductors 2.0*. Semiconductor Industry Association, 2015.
www.itrs2.net/itrs-reports.html
- [Fur00] S. Furber: *ARM System-on-Chip Architecture*.
2nd edition, Pearson Education Limited, 2000.
ISBN 978–0–201–67519–1



[Intel] Intel Corp.; Santa Clara, CA.

www.intel.com

www.intel.com/content/www/us/en/history/museum-gordon-moore-law.html

[Samsung] Samsung Electronics Co., Ltd.; Suwon, Südkorea.

www.samsung.com

[TI] Texas Instruments Inc.; Dallas, TX. www.ti.com

