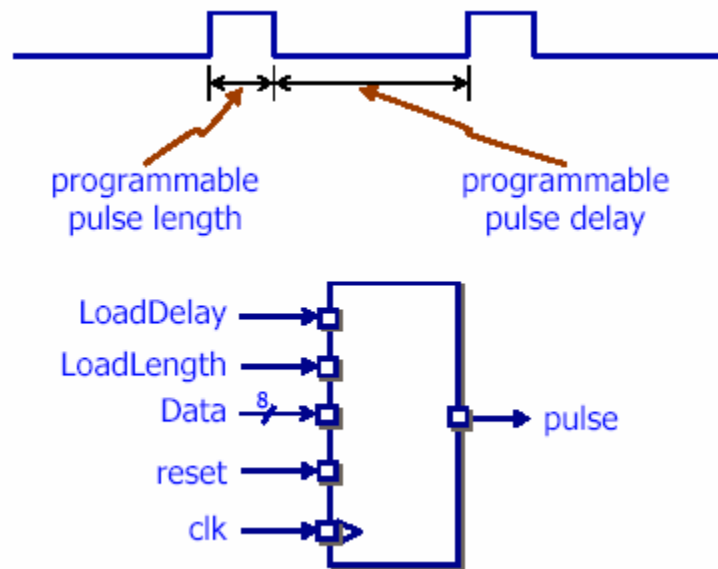


Generatore di Impulsi Programmabile



Si descriva un generatore di impulsi programmabile sia nella durata dell'impulso (pulse length) che nell'intervallo (delay) fra due impulsi consecutivi. Entrambe questi parametri sono espresse in numero di cicli del segnale di sincronismo (*clk*). Il circuito acquisisce i parametri length e delay da un bus *Data* ad 8 bit non appena il flag relativo (*LoadDelay* e *LoadLength* rispettivamente) diventa attivo basso per un impulso di clock.

Tutti gli elementi con memoria siano inizializzabili al valore logico 0 tramite il segnale *reset* (attivo basso).

La relazione finale del progetto deve contenere:

- Introduzione (descrizione algoritmo, possibili applicazioni, possibili architetture, etc.)
- Descrizione dell'architettura (diagramma a blocchi, ingressi/uscite, etc.)
- Codice VHDL (con commenti dettagliati)
- Testbench per la verifica
- Conclusioni