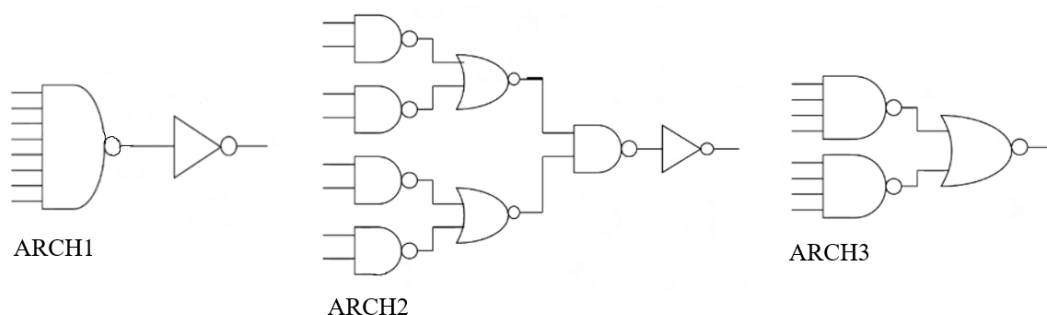


《VLSI 系统导论》实验 2 - 不同逻辑结构对电路延时的影响

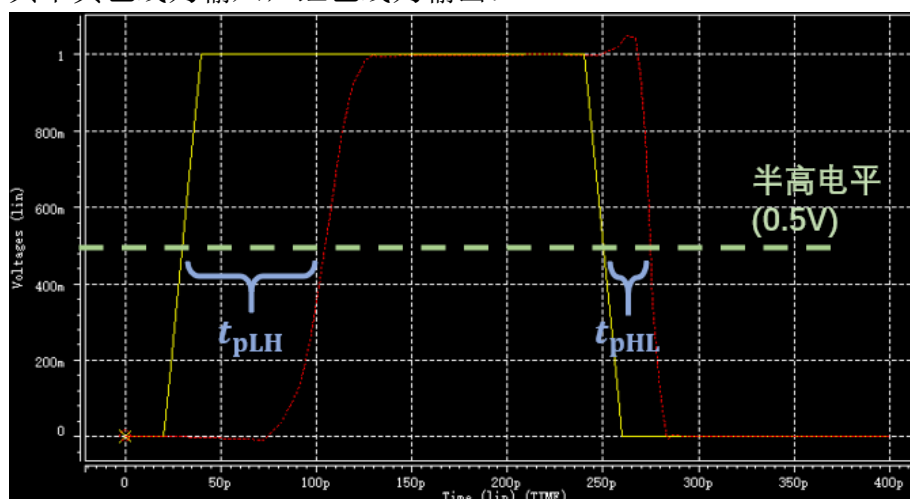
09017227 卓旭

一、实验说明

使用如下三种逻辑结构实现表达式 $F = ABCDEFGH$:

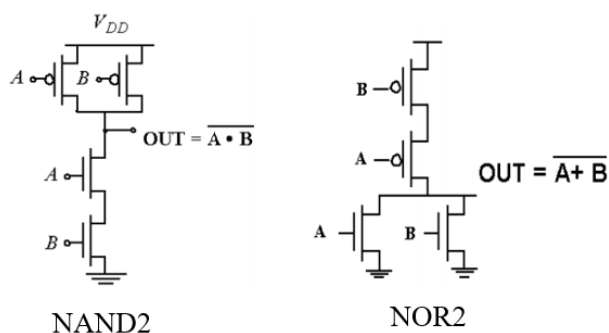


并测量延时 $t_p = 1/2 (t_{pHL} + t_{pLH})$ 。其中 t_{pHL} 定义为输出从高电平转到半个高电平时刻与输入从高电平转到半个高电平时刻的时间差， t_{pLH} 类似定义。示意图如下，其中黄色线为输入，红色线为输出：



在本实验中，控制 $BCDEFGH = 1$ ，变化 A: $0 \rightarrow 1 \rightarrow 0$ 。A 是各 NAND 中离输出端最近的 NMOS 的输入。

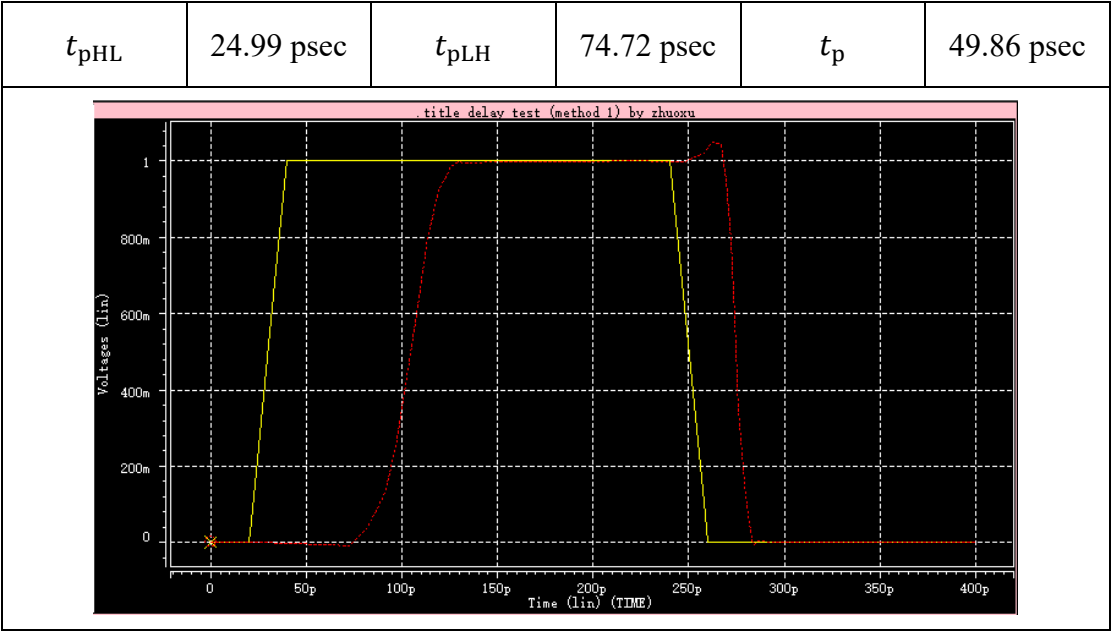
使用 SPICE 按 CMOS 结构编写各电路。温度 25°C 。统一 PMOS 宽 240n ，长 40n ；NMOS 宽 180n ，长 40n 。高电平为 1.0V ，低电平为 0V 。以下为两个示例结构：



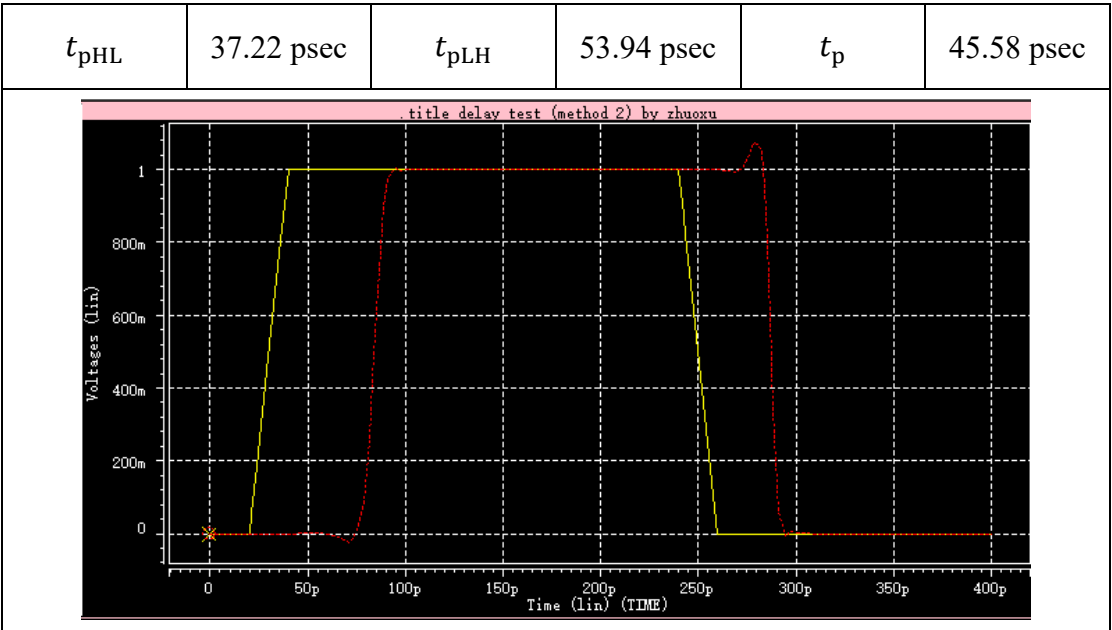
使用 SPICE 指定 A 端输入为 PULSE(0 1.0V 20p 20p 20p 200p 400p)来构造如示意图中的输入。使用暂态分析.TRAN 1p 400p 来在一个周期内进行分析；使用测量功能.MEASURE 来测量 t_{pHL} 和 t_{pLH} 。 t_{pHL} 测量触发条件为 TRIG V(A 端) VAL=0.5V RISE=1，目标条件为 TARG V(输出端) VAL=0.5V RISE=1。 t_{pLH} 类似。

二、实验结果

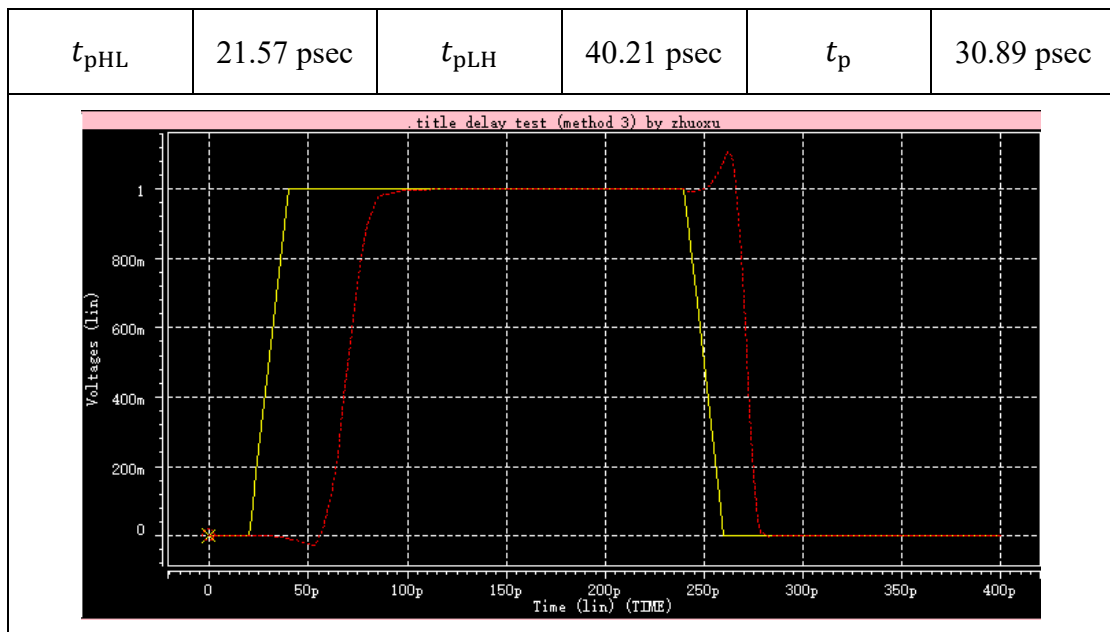
ARCH 1 结果



ARCH 2 结果



ARCH 3 结果



三、实验结论

扇入数和电路深度都会影响延时，并且两者是相互矛盾的。

从实验结果可见延迟情况为 ARCH3<ARCH2<ARCH1。所以通过适量的减少扇入，即使电路层数增加，也可以减少延时。但一味地减少扇入，不顾电路层数情况，也可能增加延时。