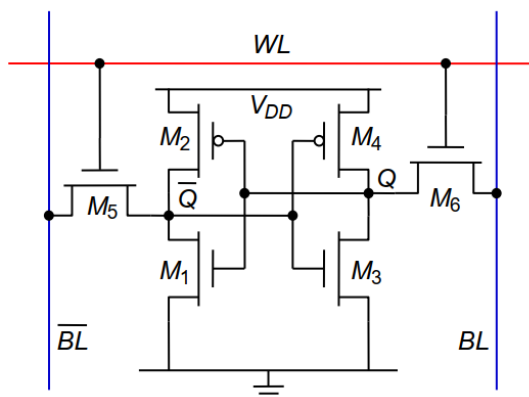


《VLSI 系统导论》实验 4 - 6 管 SRAM Bitcell 的读写

09017227 卓旭

一、实验内容

按照下图结构搭建一个 6 管 SRAM Bitcell。



然后安排合适的 MOS 管尺寸，实现对它的读和写。

二、实验过程与结果

1、Bitcell 的电路设计

电路网表如下：

```
$ bitcell
.PARAM WN1=270n WN2=180n WP=180n L=40n
$ inverters
XM1 QR Q gnd! gnd! n111l_ckt w='WN1' l='L'
XM2 QR Q vcc! vcc! p111l_ckt w='WP' l='L'
XM3 Q QR gnd! gnd! n111l_ckt w='WN1' l='L'
XM4 Q QR vcc! vcc! p111l_ckt w='WP' l='L'
$ access
XM5 BLR WL QR gnd! n111l_ckt w='WN2' l='L'
XM6 BL WL Q gnd! n111l_ckt w='WN2' l='L'
```

inverters 部分为交叉耦合反相器，access 部分为存取控制管，MOS 管编号与图中一致。Q 表示所存数据，QR 表示 Q 的非，BL 表示位线，BLR 表示 BL 的非，WL 表示字线。

按照.PARAM 安排 MOS 管尺寸参数，可得：

$$\text{单元比} CR = \frac{\frac{W1}{L1}}{\frac{W5}{L5}} = W1/W5 = WN1/WN2 = 270/180 = 1.5, \text{ 是一个比}$$

1.2 要大比较多的值，试验后发现不会发生读破坏。

单元上拉比 $PR = \frac{\frac{W4}{L4}}{\frac{W6}{L6}} = W4/W6 = WP/WN2 = 180/180 = 1$ ，是一个比

1.8 要小比较多的值，试验后发现可以正确写入。

2、读操作

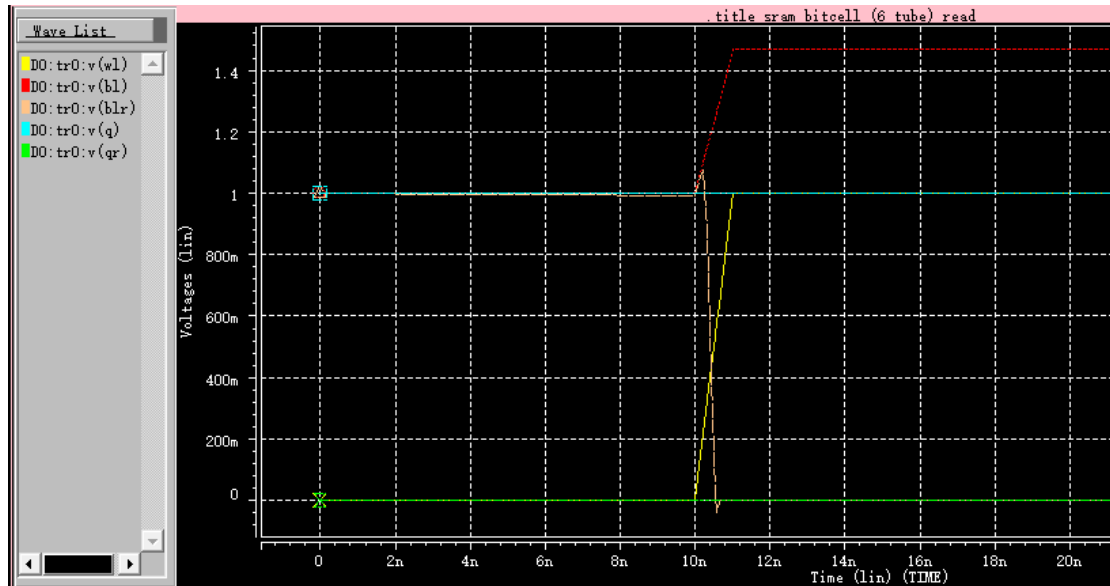
读操作的流程如下：首先给 BL、BLR 预充电，然后拉起 WL，即可从 BL、BLR 上读出所存数据。我们通过.IC 指定初始条件：Bitcell 存 1，BL、BLR 预充电；然后在 10~11ns 处拉起 WL，代码如下：

```
.IC V(Q)=1.0V V(QR)=0V
.IC V(BL)=1.0V V(BLR)=1.0V

VWL WL gnd! PWL
+ 0ns 0.0V
+ 10ns 0.0V
+ 11ns 1.0V

.TRAN 0.1n 30n
```

结果图如下：



可见 WL（黄线）拉起后，BL（红线）示逻辑 1，BLR（橙线）被拉低表示逻辑 0，Q（青线）仍保持逻辑 1，QR（绿线）仍保持逻辑 0。这说明成功读取了内部的数据，并且没有发生读破坏。

3、写操作

写操作的流程如下：首先将数据加到 BL、BLR，然后拉起 WL，即可存入

数据。我们通过.IC 指定初始条件：Bitcell 存 1，然后在全程使 BL 为 0，BLR 为 1（即试图存入逻辑 0），在 10~11ns 处拉起 WL，代码如下：

```
VWL WL gnd! PWL
+ 0ns 0.0V
+ 10ns 0.0V
+ 11ns 1.0V

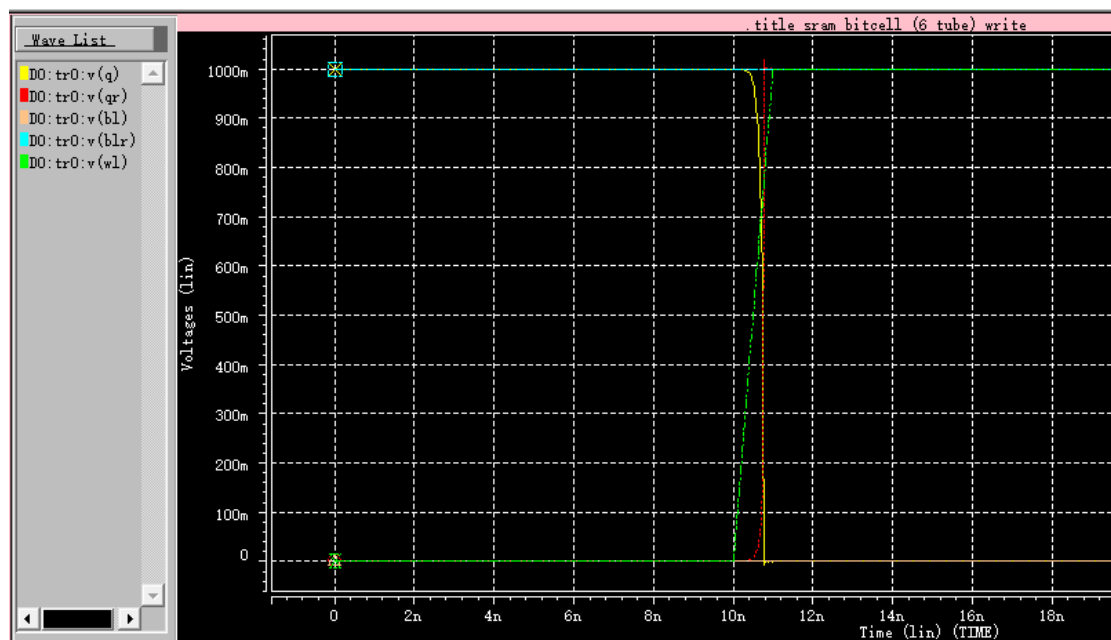
VBL BL gnd! PWL
+ 0ns 0.0V
+ 30ns 0.0V

VBLR BLR gnd! PWL
+ 0ns 1.0V
+ 30ns 1.0V

.IC V(Q)=1.0V V(QR)=0V

.TRAN 0.1n 30n
```

结果图如下：



可见在 WL（绿线）拉起时，Q（黄线）被拉到逻辑 0，同时 QR（红线）被拉到逻辑 1。这说明写入成功。