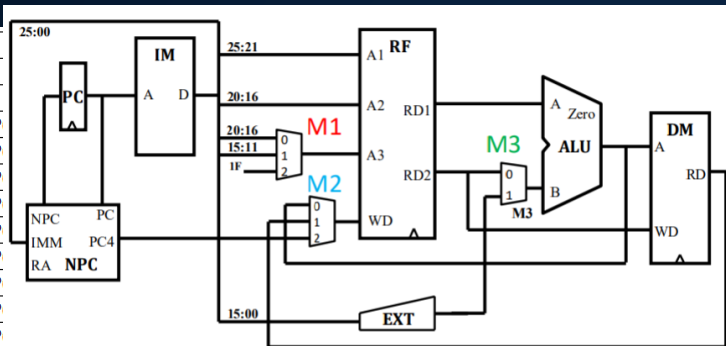


单周期CPU设计与实现

薛睿、仇洁婷、郑海刚

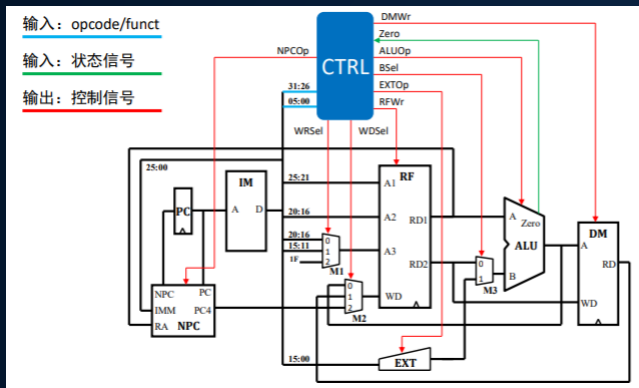


问题总结-数据通路



所属单元			译码单元										执行单元		
部件			RF (寄存器堆)						S_EXT		ALU				
输入信号			2 (读出2) A3 (写入) RD (写回值)								A	B	C		
add	NP		IM.D[20:16]	IM.D[15:11]	ALU.C					RF.RD1	RF.RD2				
sub	NP		IM.D[20:16]	IM.D[15:11]	ALU.C					RF.RD1	RF.RD2				
addu	NP		IM.D[20:16]	IM.D[15:11]	ALU.C					RF.RD1	RF.RD2				
subu	NP		IM.D[20:16]	IM.D[15:11]	ALU.C					RF.RD1	RF.RD2				
and	NP		IM.D[20:16]	IM.D[15:11]	ALU.C					RF.RD1	RF.RD2				
or	NP		IM.D[20:16]	IM.D[15:11]	ALU.C					RF.RD1	RF.RD2				
xor	NP		IM.D[20:16]	IM.D[15:11]	ALU.C					RF.RD1	RF.RD2				
nor	NP		IM.D[20:16]	IM.D[15:11]	ALU.C					RF.RD1	RF.RD2				
slt	NP		IM.D[20:16]	IM.D[15:11]	ALU.C					RF.RD1	RF.RD2				
sltu	NPC.NPC	PC.DO			PC.DO	IM.D[25:21]	IM.D[20:16]	IM.D[15:11]	ALU.C		RF.RD1	RF.RD2			
sll	NPC.NPC	PC.DO			PC.DO		IM.D[20:16]	IM.D[15:11]	ALU.C			RF.RD2	IM.D[10:6]		
srl	NPC.NPC	PC.DO			PC.DO		IM.D[20:16]	IM.D[15:11]	ALU.C			RF.RD2	IM.D[10:6]		
sra	NPC.NPC	PC.DO			PC.DO		IM.D[20:16]	IM.D[15:11]	ALU.C			RF.RD2	IM.D[10:6]		
xor	NPC.NPC	PC.DO			PC.DO	IM.D[25:21]	IM.D[20:16]	IM.D[15:11]	ALU.C		RF.RD1	RF.RD2			
nor	NPC.NPC	PC.DO			PC.DO	IM.D[25:21]	IM.D[20:16]	IM.D[15:11]	ALU.C		RF.RD1	RF.RD2			
slt	NPC.NPC	PC.DO			PC.DO	IM.D[25:21]	IM.D[20:16]	IM.D[15:11]	ALU.C		RF.RD1	RF.RD2			
sltu	NPC.NPC	PC.DO			PC.DO	IM.D[25:21]	IM.D[20:16]	IM.D[15:11]	ALU.C		RF.RD1	RF.RD2			
sll	NPC.NPC	PC.DO			PC.DO		IM.D[20:16]	IM.D[15:11]	ALU.C	IM.D[10:6]	RF.RD2				
srl	NPC.NPC	PC.DO			PC.DO		IM.D[20:16]	IM.D[15:11]	ALU.C	IM.D[10:6]	RF.RD2				
sra	NPC.NPC	PC.DO			PC.DO		IM.D[20:16]	IM.D[15:11]	ALU.C	IM.D[10:6]	RF.RD2				
nor	NPC.NPC	PC.DO			PC.DO	IM.D[25:21]	IM.D[20:16]	IM.D[15:11]	ALU.C		RF.RD1	RF.RD2			
slt	NPC.NPC	PC.DO			PC.DO	IM.D[25:21]	IM.D[20:16]	IM.D[15:11]	ALU.C		RF.RD1	RF.RD2			
sltu	NPC.NPC	PC.DO			PC.DO	IM.D[25:21]	IM.D[20:16]	IM.D[15:11]	ALU.C		RF.RD1	RF.RD2			
sll	NPC.NPC	PC.DO			PC.DO	IM.D[25:21]	IM.D[20:16]	IM.D[15:11]	ALU.C		RF.RD1	EXT.Ext			
srl	NPC.NPC	PC.DO			PC.DO	IM.D[25:21]	IM.D[20:16]	IM.D[15:11]	ALU.C		RF.RD1	EXT.Ext			
sra	NPC.NPC	PC.DO			PC.DO	IM.D[25:21]	IM.D[20:16]	IM.D[15:11]	ALU.C		RF.RD1	EXT.Ext			

问题总结-控制信号



输入: opcode/funct

状态信号

输出: 控制信号

确定控制信号的取值

bne 不相等则转移指令

bgtz 大于0转移指令

控制信号取值矩阵 (示例)

指令	NPCOp	RFWr	EXTOp	ALUOp	DMWr	WRSel	WDSel	Bsel	ZeroG
addu	PC+4	1	X	ADD	0	01	00	0	0
subu	PC+4	1	X	SUB	0	01	00	0	0
jr	0b10	0	X	X	0	XX	XX	X	0
ori	PC+4	1	0	OR	0	00	00	1	0
lw	PC+4	1	1	ADD	0	00	01	1	0
sw	PC+4	0	1	ADD	1	XX	XX	1	0
beq	0b01	0	X	SUB	0	XX	XX	0	1
jal	0b11	1	X	X	0	10	10	X	0

实现

```
module minisys(rst,clk,debug信号);
```

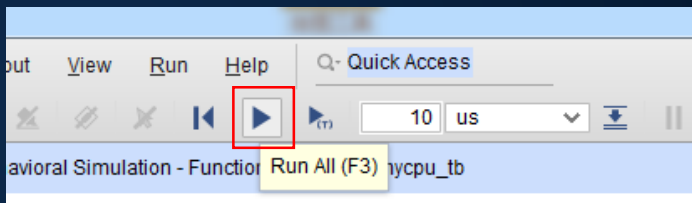
```
    input rst;           //板上的Reset信号，低电平复位
```

```
    input clk;           //板上的100MHz时钟信号
```

模块	功能	文件
顶层模块	实例化、连接各部件	minisys.v
时钟	23MHz	cpuclk.v
指令存储器模块	64KB	programrom.v
数据存储器模块	64KB	dmemory32.v
执行模块		<i>executs32.v</i>
取指模块		<i>ifetc32.v</i>
译码模块（含寄存器组）		<i>idecode32.v</i>
控制器模块		<i>control32.v</i>

测试要求

- 1) 添加debug信号。
- 2) 更新指令存储器中的程序。
- 3) 添加mycpu_tb.v测试文件。
- 4) Run Simulation.
- 5) 根据提示查找错误。



```
Tcl Console
[ 208672 ns] Test is running, debug_wb_pc = 0x00000540
[ 208763 ns] Test is running, debug_wb_pc = 0x0000056e
[ 208854 ns] Test is running, debug_wb_pc = 0x00000570
[ 208945 ns] Test is running, debug_wb_pc = 0x00000574
[ 209035 ns] Test is running, debug_wb_pc = 0x00000578
[ 209126 ns] Test is running, debug_wb_pc = 0x0000057e
[ 209217 ns] Test is running, debug_wb_pc = 0x00000580
[ 209308 ns] Test is running, debug_wb_pc = 0x00000100
=====
Test end!
----PASS!!!
$finish called at time : 209439095 ps : File "E:/Minisys3.0/minisys.srscs/sim_1/imports/sim/mycpu_tb.v" Line 193
Type a Tcl command here
```

```
Tcl Console
[ 7035 ns] Test is running, debug_wb_pc = 0x00000004
[ 7086 ns] Error!!!
-----
references: PC = 0x00000008, wb_rf_wnum = 0x08, wb_rf_wdata = 0xffffffff
mycpu : PC = 0x00000004, wb_rf_wnum = 0x08, wb_rf_wdata = 0xffffffff
[ 7126 ns] Test is running, debug_wb_pc = 0x00000008
$finish called at time : 7185947 ps : File "E:/Minisys3.0/minisys.srscs/sim_1/imports/sim/mycpu_tb.v" Line 147
Type a Tcl command here
```

测试要求-添加debug信号

```
module minisys (  
    input          fpga_rst,          // 板上的Reset信号, 高电平复位  
    input          fpga_clk           // 板上的100MHz时钟信号  
);  
  
wire clock;                          //clock: 分频后时钟供给系统  
  
//debug signals  
wire [31:0] debug_wb_pc;              //查看PC的值, 连接PC寄存器  
wire        debug_wb_rf_wen;         //查看寄存器堆的写使能, 连接RFWr  
wire [4 :0] debug_wb_rf_wnum;        //查看寄存器堆的目的寄存器号, 连接目的寄存器A3  
wire [31:0] debug_wb_rf_wdata;       //查看寄存器堆的写数据, 连接WD
```

信号	位宽	描述
debug_wb_pc	32	查看PC的值, 连接PC寄存器
debug_wb_rf_wen	1	查看寄存器堆的写使能, 连接RFWr
debug_wb_rf_wnum	5	查看寄存器堆的目的寄存器号, 连接目的寄存器A3
debug_wb_rf_wdata	32	查看寄存器堆的写数据, 连接WD



测试要求-更新指令存储器

Component Name: prgrom

Basic | Port A Options | **Other Options** | Summary

Pipeline Stages within Mux: 0 Mux Size: 4x1

Memory Initialization

☒ Load Init File

Coe File:

☐ Fill Remaining Memory Locations

Remaining Memory Locations (Hex):

Structural/UniSim Simulation Model Options

Defines the type of warnings and outputs are generated when a read-write or write-write collision occurs.

Collision Warnings:

Behavioral Simulation Model Options

☐ Disable Collision Warnings ☐ Disable Out of Range Warnings

OK Cancel



重要提示



每个模块要做仿真，最后提交的报告中至少包含两个主要模块的仿真

每个模块要做仿真，最后提交的报告中至少包含两个主要模块的仿真

每个模块要做仿真，最后提交的报告中至少包含两个主要模块的仿真