

بسمه تعالی



طراحی سیستم های دیجیتال

تمرین دوم

دکتر علیرضا اجلائی

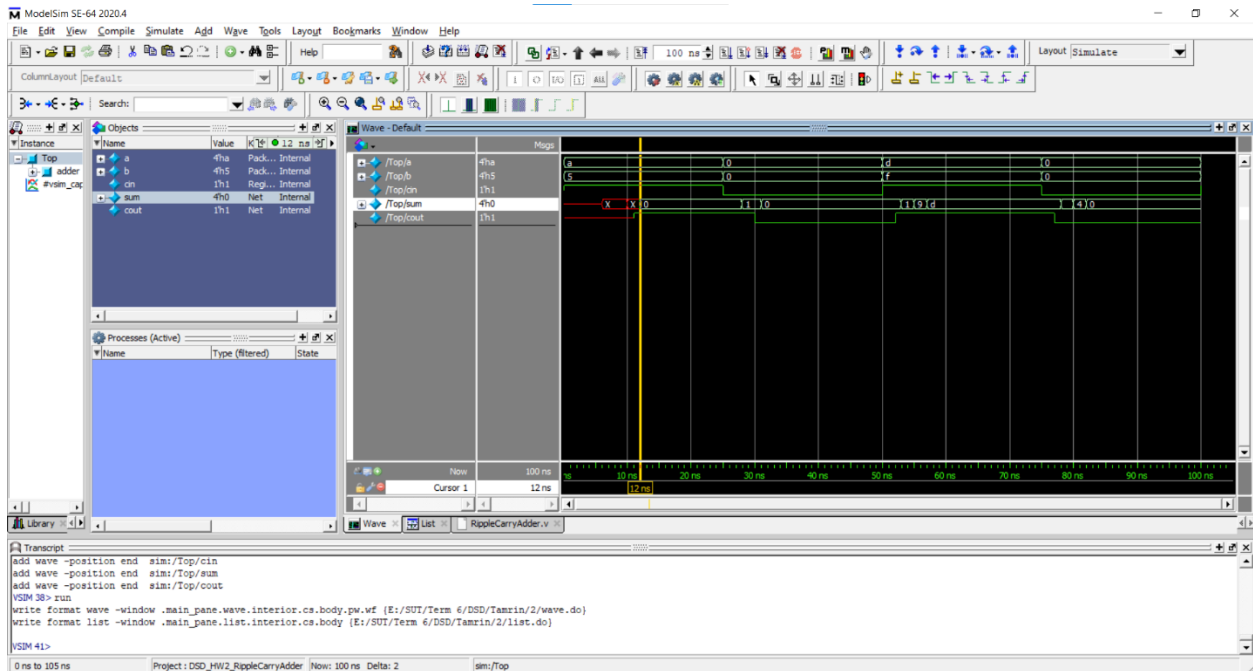
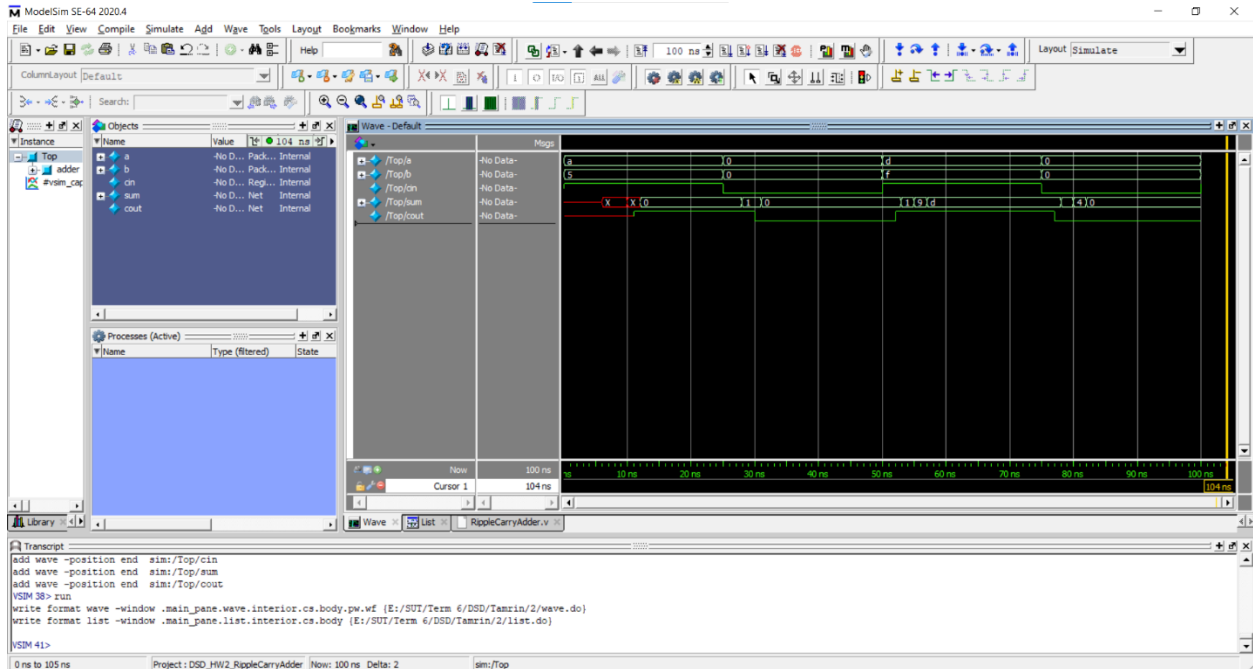
امیررضا آذری

99101087

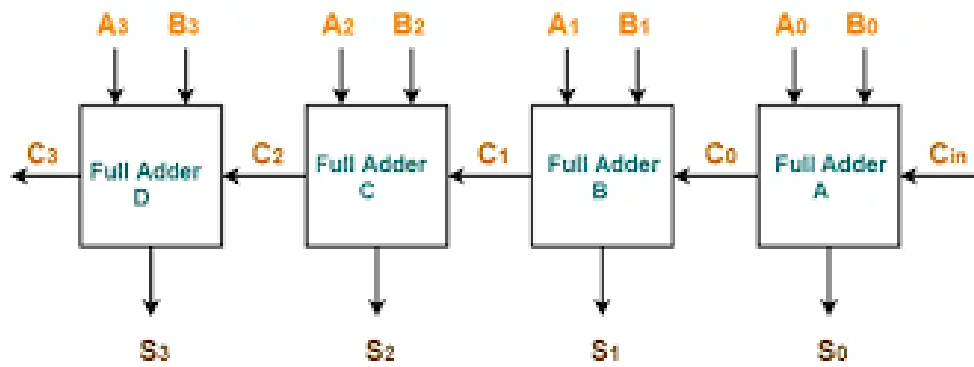
بهار 1402

کد وریلاگ و فایل های list و wave در فایل پروژه موجود می باشند.

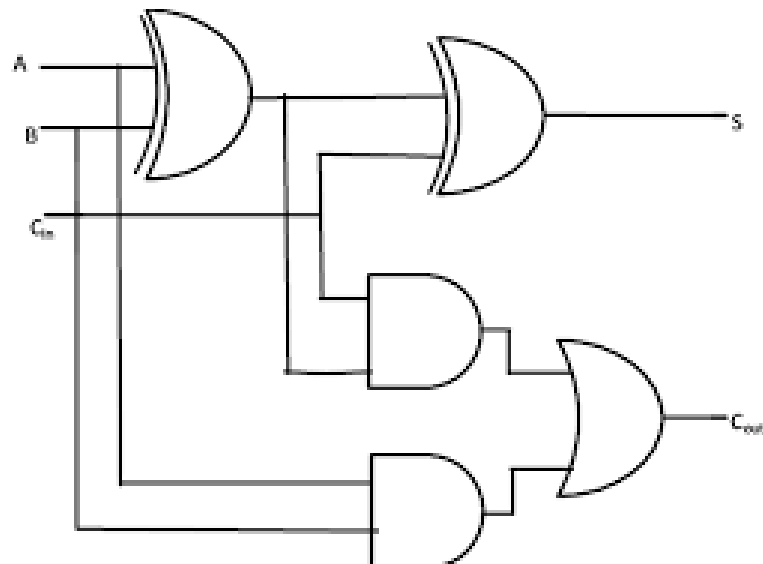
در بخش test bench 3 تست کیس موجود می باشد. تست کیس اول، بیشترین میزان تاخیر مدار را که برابر 12ns می باشد را نشان می دهد.



حال به شکل تئوری مقدار تاخیر را محاسبه می‌کنیم:



4-bit Ripple Carry Adder



می‌دانیم :

$$D_{\text{xor}} = 3\text{ns}$$

$$D_{\text{and}} = 2\text{ns}$$

$$D_{\text{or}} = 0$$

ابتدا تمامی P ها در 3ns به دست می‌آیند و C0 در 2ns و بعد از آن C1 و C2 هر کدام در 2ns به دست می‌آیند و در نهایت در 3ns تمام حاصل جمع ها به دست می‌آید. بنابراین داریم:

$$3 + (2 + 2 + 2) + 3 = 12ns$$

که برابر همان میزان تاخیری است که در عمل به دست آوردیم.

