

Examen d'électronique numérique 27 Janvier 2011 2A ISA

Documents de cours et de TP autorisés

1. Démontrer algébriquement les relations suivantes :

$$1.1.(A\bar{B} + C) + (\bar{A} + B)\bar{C} = 1$$

$$1.2.AB + BC + AC + A\overline{B}\overline{C} + \overline{A}B\overline{C} + \overline{A}\overline{B}C = A + B + C$$

2. Soient les fonctions suivantes :

 $f_1(e_2, e_1, e_0) = 1$ si le nombre binaire $(e_2e_1e_0)_2$ est un nombre premier (0 et 1 ne sont pas premiers).

 $f_2(e_2, e_1, e_0) = 1$ si le nombre binaire $(e_2e_1e_0)_2$ est 0 ou une puissance de 2 (y compris 2^0).

Donnez l'expression de f₁ et f₂ en fonction de e2, e1, e0

3. Distributeur automatique de boissons

On considère un distributeur de boissons chaudes comportant 4 boutons de sélection : café, bouillon, sel et sucre. Les combinaisons suivantes sont incompatibles:

- Plusieurs boissons simultanément
- Sel ou sucre sans boisson
- Café salé
- Bouillon sucré

Un voyant lumineux représentant l'erreur s'allume lorsqu'il y a incompatibilité dans les sélections.

Donner l'expression simplifiée de la fonction d'erreur qui commande le voyant d'erreur. Proposez une réalisation pratique sous forme d'un schéma en utilisant des portes logiques.



4. Conception d'un compteur en code Gray Le diagramme des états d'un compteur de code Gray trois bits est représenté sur la figure1.

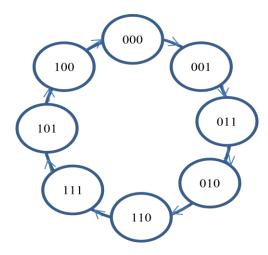


Figure 1 : diagramme des états d'un compteur de code Gray 3 bits

- 4.1.Remplir le tableau des états (Table 1)
- 4.2.Le compteur est à réaliser à partir de bascules JK dont le tableau des transitions est rappelé en table 2.

Transitions de sortie	Entrées de la	
$Q_N \rightarrow Q_{N+1}$	bascule	
	J	K
0 → 0	0	X
0→ 1	1	X
1 → 0	X	1
1 → 1	X	0

Table 2 : tableau des transitions de

la bascule JK

- A partir des tableaux de Karnaugh Table 3, définissez les expressions de J_0 , K_0 , J_1 , K_1 , J_2 , K_2 en fonction de Q_0 , Q_1 et Q_2 .
- 4.3. Développer un schéma du compteur en code Gray à partir de logique combinatoire et de bascules JK.

5. Soit la description VHDL suivante :

```
library IEEE;
use IEEE.std_logic_1164.all;
entity test2 is
port (
clock : in std_logic;
nba : out std_logic_vector (3 downto 0)
);
end entity;
architecture arch of test2 is
signal lfsr : std_logic_vector (3 downto 0);
begin
```



```
process (clock)
begin
if clock'event and clock ='1' then
lfsr <= lfsr(2 downto 0) & (lfsr(3) xnor lfsr(1));
end if;
end process;
nba <= lfsr;
end arch;</pre>
```

L'opérateur xnor réalise la fonction « non ou exclusif ».

On suppose qu'à l'instant initial le contenu de lsfr est « 0000 ».

Donnez la suite des valeurs prises par nba, exprimées en décimal, pour chaque coup d'horloge successifs.

Que se passe-t-il si la valeur initiale de lsfr est différente de « 0000 » ?

6. Soit la description VHDL suivante :

```
library IEEE;
use IEEE.std logic 1164.all;
use IEEE.std logic arith.all;
entity test1 is
port (
clock: in std logic;
d in : in std logic;
val : std logic vector (3 downto 0);
d out : out std logic;
match : out std logic );
end entity;
architecture arch of test1 is
signal reg : std logic vector (3 downto 0);
begin
process (clock)
begin
if clock'event and clock ='1' then
reg <= reg(2 downto 0) & d in;
end if;
end process;
d out <= reg(3);
match <= '1' when reg = val else '0';</pre>
end arch;
Expliquez ce que fait le circuit synthétisé à partir de cette
description.
```



Examen d'électronique numérique 27 Janvier 2011 2A ISA

Nom:.....

Eta	at présent	t	Е	tat suiva	nt
Q_2	Q_1	Q_0	Q_2	Q_1	Q_0
0	0	0			
U	U	U			
0	0	1			
0	1	1			
0	1	0			
1	1	0			
1	1	1			
1	0	1			
1	0	0			

Table 1 : Tableau des états du compteur de Gray



Examen d'électronique numérique 27 Janvier 2011 2A ISA

Nom	•	•••••
IIOIII	•	•••••••••••••••••

J0, K0

Q_0	0	1
00		
01		
11		
10		

Q_2Q_1	0	1
00		
01		
11		
10		

Q_0 Q_2Q_1	0	1
00	2	
01		
11		
10		

Q_0 Q_2Q_1	0	1
00		
01		
11		
10		

Q_0 Q_2Q_1	0	1
00		
01		
11		
10		

Q_2Q_1	0	1
00	2 7	
01		
11		
10		