

Examen d'Electronique numérique  
30 Janvier 200  
2A ISA

A - Un transcodeur permet d'exprimer des chiffres binaires sur 3 bits en codage naturel dans le codage « réfléchi » ( code Gray)

La table de conversion est la suivante :

décimal	binaire naturel DCBA	binaire réfléchi WXYZ
0	00 0 0	00 0 0
1	00 0 1	00 0 1
2	0 01 0	00 1 1
3	0 01 1	00 1 0
4	01 0 0	01 1 0
5	01 0 1	01 1 1
6	01 1 0	01 0 1
7	01 1 1	01 0 0
8	10 0 0	11 0 0
9	10 0 1	11 0 1
10	1 01 0	11 1 1
11	1 01 1	11 1 0
12	11 0 0	10 1 0
13	11 0 1	10 1 1
14	11 1 0	10 0 1
15	11 1 1	10 0 0

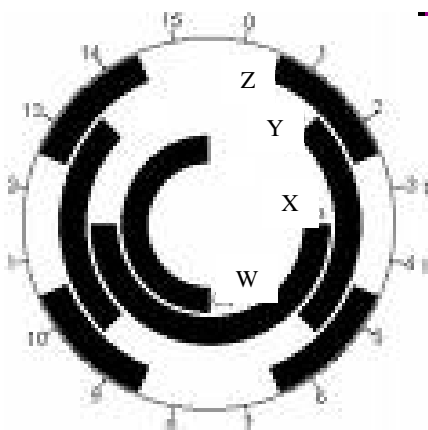
A.1. Donnez les équations logiques du transcodeur des variables binaires WXYZ de sortie en fonction des variables binaires d'entrées ABCD. Utiliser les diagrammes de Karnaugh fournis que vous rendrez avec votre copie.

A.2. Proposez un schéma n'utilisant qu'un seul type de portes (and, nand, or, nor, xor, xnor)

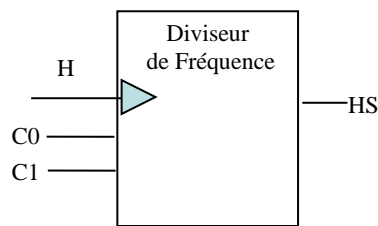
A.3. Mêmes questions pour le transcodeur inverse : du code réfléchi vers le code naturel.

A.4. Quelle est la propriété remarquable du code binaire réfléchi ?

A.5. Ce code est souvent utilisé pour des capteurs de positions absolue comme les codeurs angulaire solidaire d'un arbre de moteur. Expliquez l'intérêt.



B. On désire réaliser un circuit qui permette de diviser la fréquence F d'une horloge H par 1, 2, 4 ou 8.



Le circuit possède 3 signaux de commande en entrée :

H : est l'horloge de référence dont on souhaite diviser la fréquence F.

C1, C0 : deux variables de sélection indiquant le facteur par lequel on désire diviser la fréquence de l'horloge H.

C1C0	HS	F
00	H1	F
01	H2	F/2
10	H3	F/4
11	H4	F/8

B.1. Dans un premier temps, on ne tiendra pas compte des 2 variables C0 et C1 de sélection. On réalise un composant avec l'entrée H et les quatre sorties H1, H2, H3 et H4

1.1. Proposer un montage réalisant les signaux H1, H2, H3 et H4 à partir de H en utilisant des bascules D et des portes logiques.

1.2. Représenter les chronogrammes

B.2. Proposer l'intégralité du montage (logigramme) avec 3 entrées H, C1, C0 et une sortie HS.

C. Soit la description VHDL suivante

```
entity circuit1 is
port ( a,b,c : in bit;
s : out bit);
end circuit1;
architecture arch of circuit1 is
signal etat : bit;
begin
s <= etat ;
process
begin
wait until (b = '1') ;
if(c = '1') then
etat <= '0';
elsif(a = '1') then
etat <= not etat;
end if;
end process;
end arch;
```

Vous devez reconnaître un composant logique de base.

Quel est ce composant ?

A quoi servent les 3 signaux d'entrées a, b, c

Proposez des noms plus « parlants », utilisés habituellement pour ces signaux

A quoi ce composant peut-il servir ?

D. Soit la description VHDL suivante

```
library IEEE;
use IEEE.std_logic_1164.all;
use IEEE.std_logic_arith.all;
Use IEEE.std_logic_unsigned.all;

entity testvhdl09 is
port(
  a :in std_logic_vector(3 downto 0);
  s :out std_logic_vector(4 downto 0));
end testvhdl09 ;

architecture funct of testvhdl09 is
begin
s<=('0'& a) when (a < "1010")
  else ('0'& a) + "0110";
end;
```

1- Expliquez le fonctionnement de ce circuit.

Donnez les valeurs de la sortie (en hexadécimal) pour toutes les valeurs d'entrée possibles

0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F

A qui peut servir ce circuit ?

2-Proposez une description VHDL pour un additionneur décimal :

En entrée : deux nombres décimaux a et b (en binaire naturel sur 4 bits)

En sortie : deux nombres décimaux diz et unit (en binaire naturel sur le nombre des bits qui convient), représentant respectivement les dizaines et les unités de la somme a+b.

WX\YZ	00	01	11	10
00	0	1	3	2
01	4	5	7	6
11	12	13	15	14
10	8	9	11	10