

## TP 5 : Chemin critique et machines à états finis

Pour ce TP, il est demandé de ne créer qu'un seul projet Quartus dans le répertoire TP5

**Partie I : Chemin critique**

**Partie II : Machines à états finis**

### Partie I : Chemin critique

La fréquence maximale d'opération d'un circuit séquentiel est la fréquence d'horloge la plus élevée à laquelle le circuit continue de fournir des résultats corrects

La réciproque de la fréquence maximale d'horloge est la période minimale du circuit

$$f_{max} = \frac{1}{T_{min}}$$

La période minimale du circuit est égale à la somme du délai sur le chemin critique et du temps de préparation de la bascule qui reçoit le signal.

Le chemin critique est le chemin avec le délai le plus long en d'autres termes c'est le chemin de propagation qui limite sa fréquence de fonctionnement.

Un chemin part d'une bascule et s'arrête à une autre bascule, sans passer par d'autres bascules.

$$T_{min} = t_d + t_{comb} + t_{prop} + t_{su}$$

Où

$t_d$  est le délai de la bascule source

$t_{comb}$  est le délai de la logique sur le chemin

$t_{prop}$  est le délai des interconnexions sur le chemin

$t_{su}$  est le temps de préparation de la bascule

#### 1) Premier exercice

Les bascules ont un temps de préparation de 1 ns et un délai de propagation de 2 ns.

Les portes logiques NOT, AND, OR, et XOR ont des délais de propagation de 1, 2, 2 et 3 ns, respectivement.

On peut négliger les délais de propagation des interconnexions.

- Donner tous les chemins possibles de la figure 1, et indiquer le chemin critique en calculant la période minimale d'horloge.

- Créer un nouveau projet avec un fichier bloc-schématique et simuler le circuit de la figure 1.

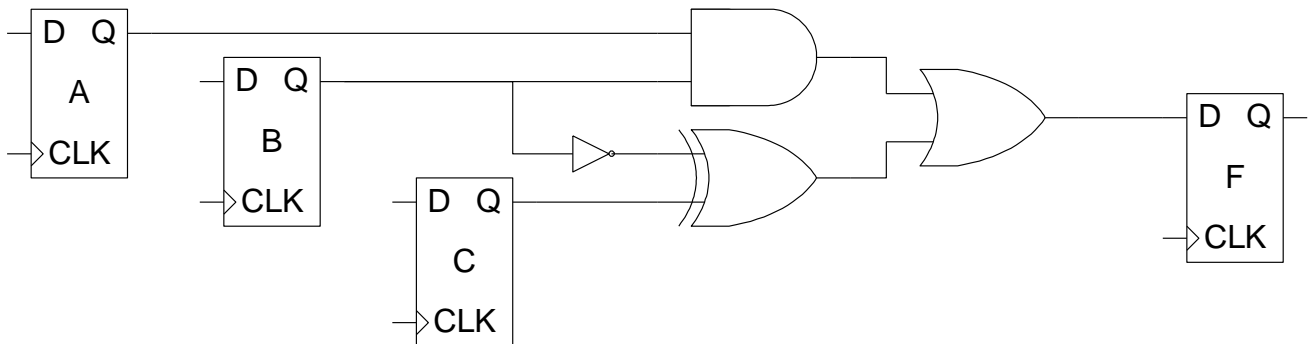


Figure 1: Exemple #1

## 2) Second exercise

Les bascules ont des délais de propagation de 2 ns, un temps de préparation de 1 ns, et un temps de maintien de 1 ns.

La fréquence d'horloge est de 100 MHz.

- Énumérer les chemins possibles de la figure 2, donner le délai sur chacun, et indiquer si la période d'horloge est suffisante et par combien.
- Créer un nouveau bloc-schématique et simuler le circuit de la figure 2.

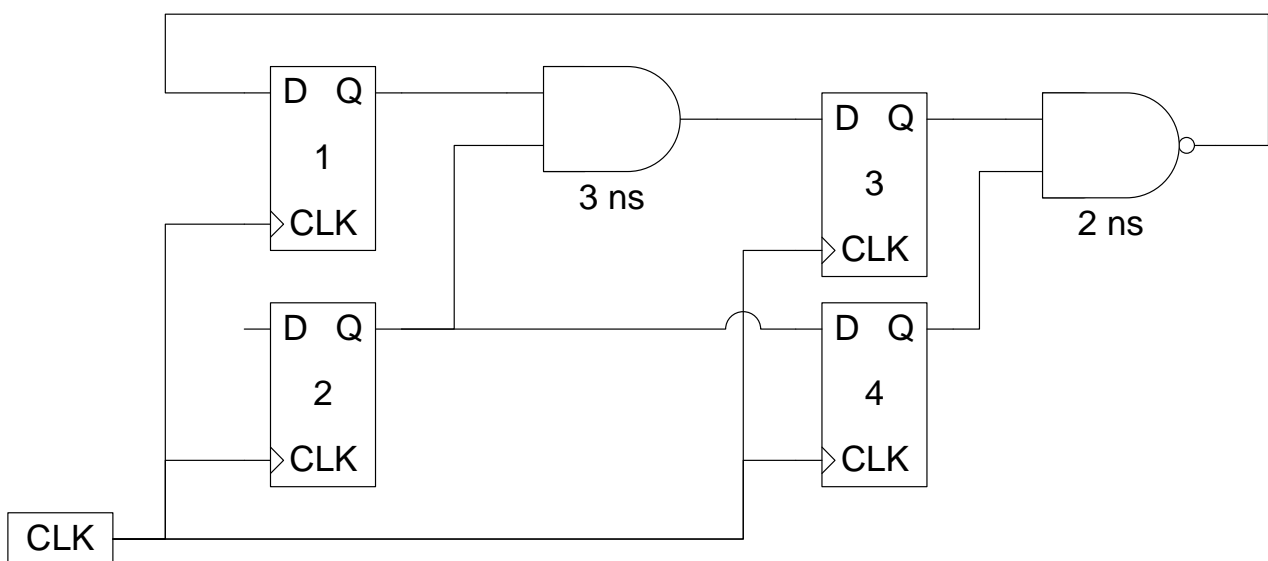


Figure 2: Exemple #2

### 3) Troisième exercice

Les bascules ont un temps de préparation de 1 ns et un délai de propagation de 2 ns. On peut négliger les délais des interconnexions.

- Déterminer la fréquence maximale d'horloge du circuit de la figure 3.
- Créer un nouveau bloc-schématique et simuler le circuit de la figure 3.

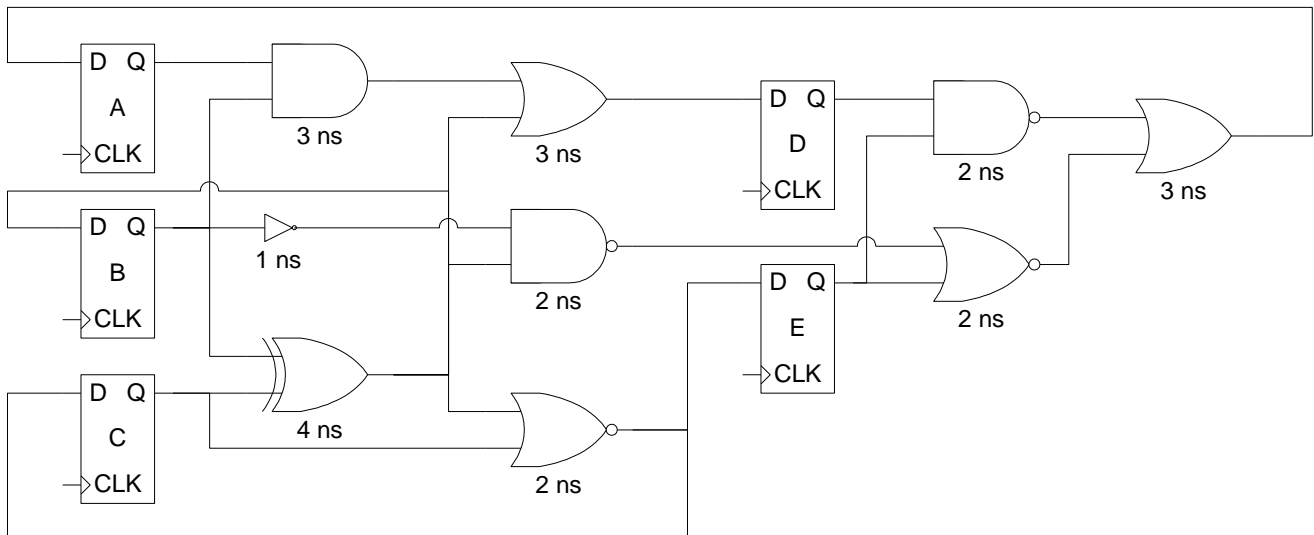


Figure 3: Example #3

### 4) Fichier SDC

L'idée de cette partie est d'ajouter des contraintes de temps à l'aide d'un fichier SDC. Pour le faire,

Menu Tools -> TimeQuest Timing Analyzer

Menu Netlist -> Create Timing Netlist

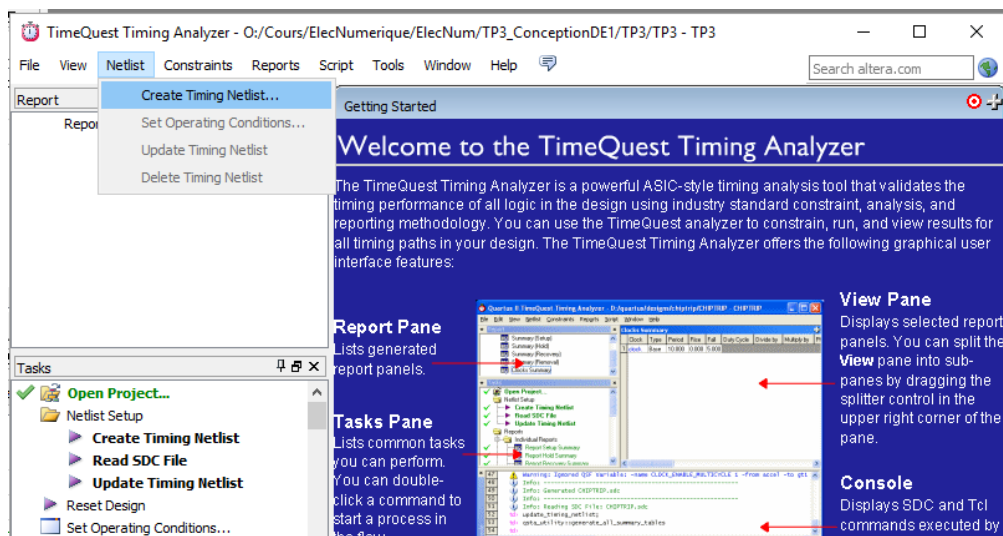


Figure 4: Création d'une contrainte

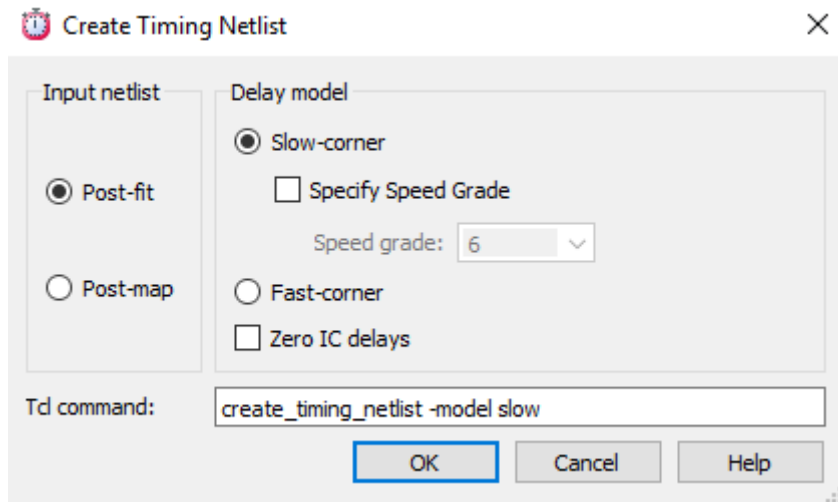


Figure 5: Timing Netlist

Menu Constraint -> Create Clock puis donner un nom à cette contrainte, par exemple maclock, puis dans la case Target chercher le nom du signal d'horloge de votre système, par exemple clock puis la période de l'horloge par exemple 5 ns pour 200 MHz et enfin Run

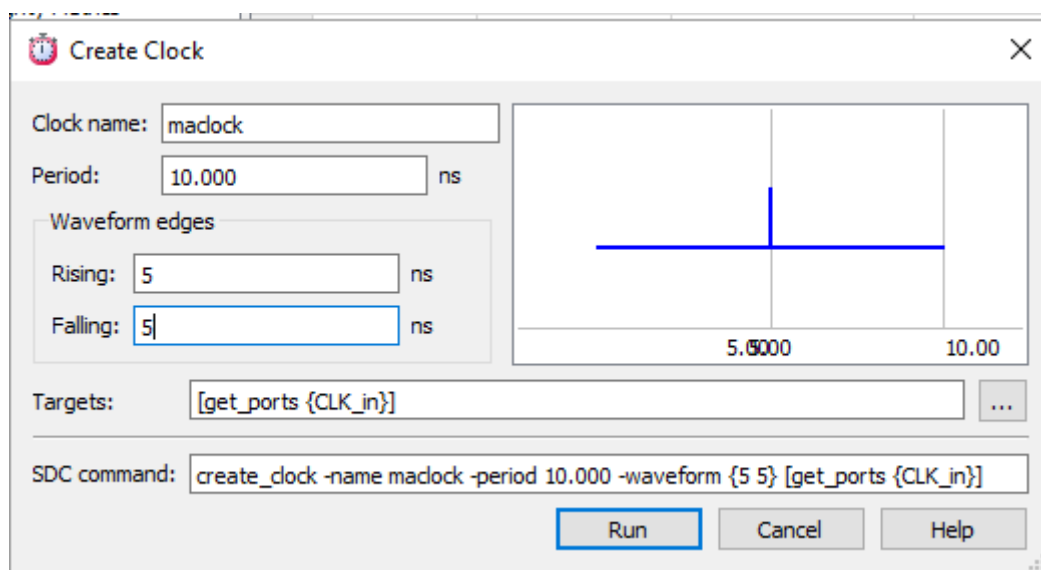


Figure 6: La création de sdc

Menu Constraint -> Write sdc File et enfin OK puis quitter TimeQuest

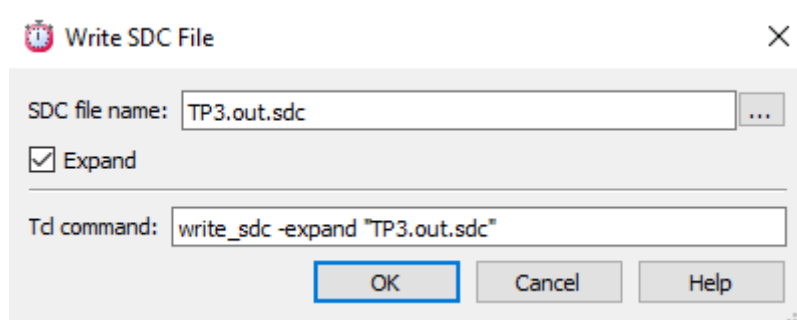
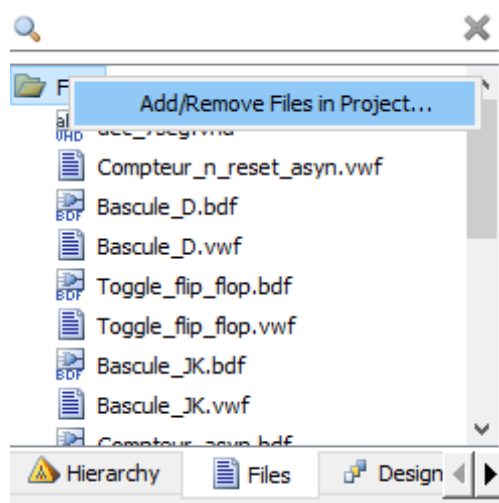


Figure 7: L'écriture du fichier sdc

Dans Quartus, il suffit alors d'ajouter le fichier .sdc généré par « Write sdc File » au projet Quartus.

Pour le faire, depuis Files, faire Add/Remove Files in project



Vous le cherchez, et avec un ADD et un APPLY, votre fichier sera ajouté au Project

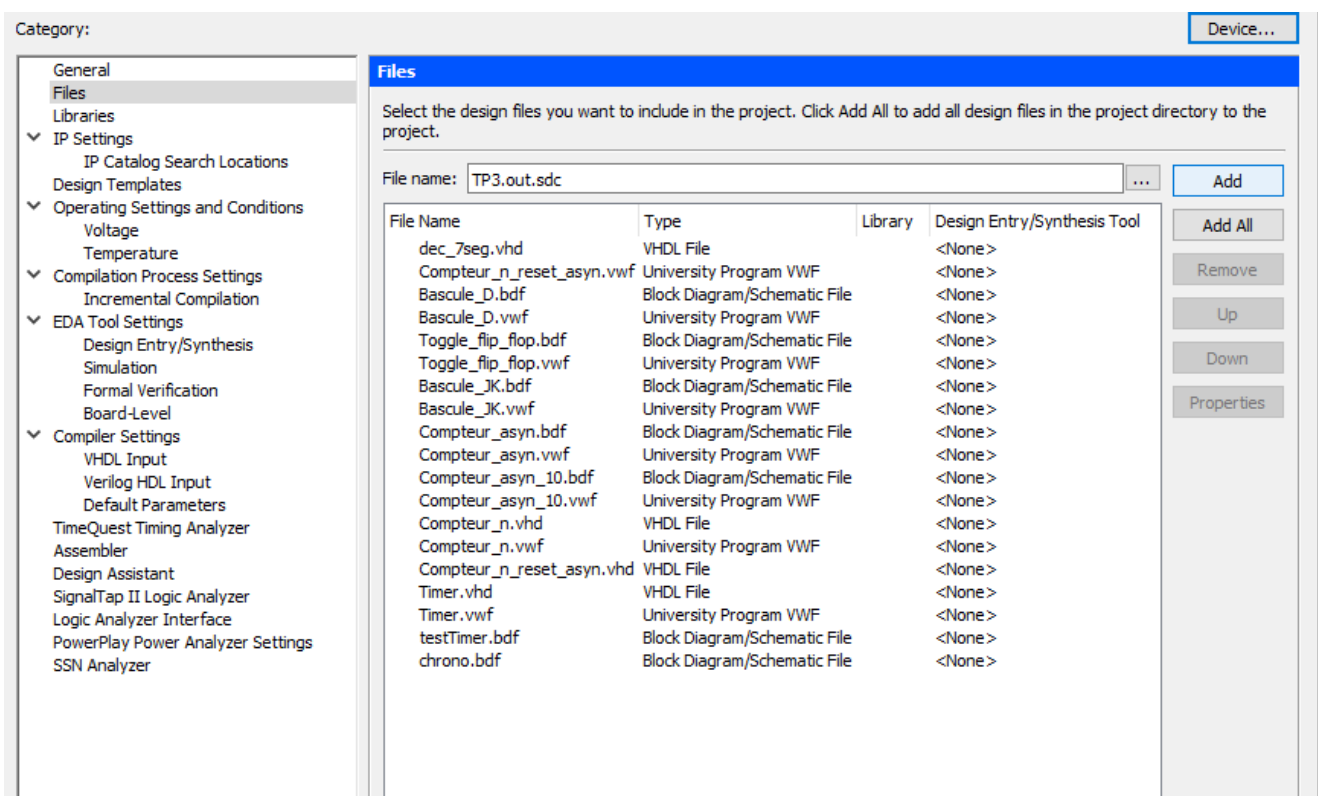


Figure 8: Ajout du fichier sdc créé

## Partie II : Machines à états finis

Le but de cette partie est de faire le code VHDL de la machine à états finis présentée ci-dessous.

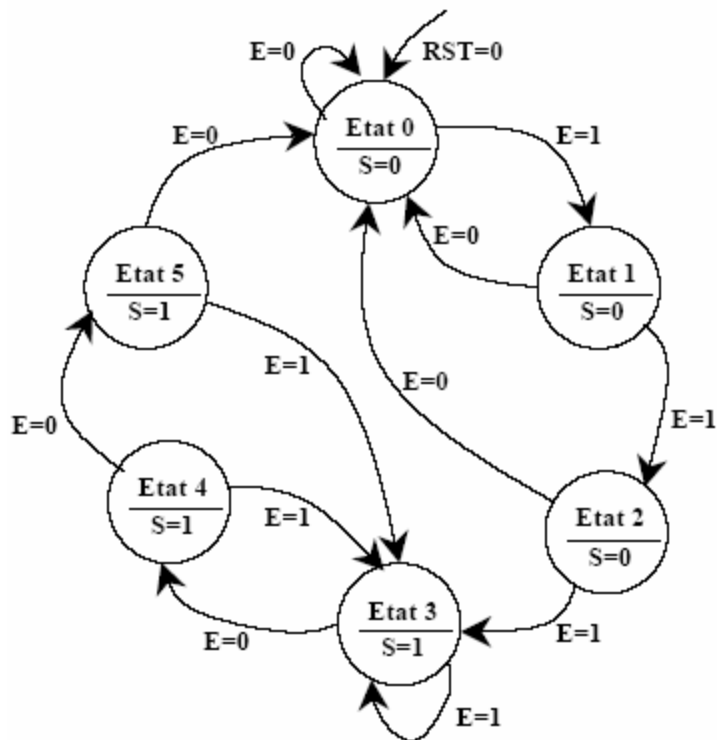


Figure 9: Machine à états finis

En se basant sur l'entité suivante

E, RST, HOR : in STD\_LOGIC ;

S : out STD\_LOGIC;

Etat : out STD\_LOGIC\_VECTOR(2 downto 0)

- Ecrire le comportement de l'architecture de cette machine à états finis
- Simuler ce code VHDL pour obtenir tous les passages entre les différents états.

Fin du TP 5