

# 오픈-소스 EDA 도구를 활용한 “내 칩(My Chip) 제작 서비스” 의 표준 셀 기반 설계 플로우 구축

국일호\*, 박건식\*\*  
\*경희대학교, \*\*한국전자통신연구원

## Development of Standard-Cell Based Design Flow for “My Chip MPW” using Open-Source EDA Tool Chain

Kook, ilho\* and Park, Kunsik\*\*  
\*Kyunghee University, \*\*ETRI  
E-mail : goodkook@khu.ac.kr\*, kunsik@etri.re.kr\*

### I. 서론

반도체 설계 인력의 양성을 목표로 2023년부터 시작된 “내 칩(My Chip) 제작 서비스”는 한국 전자통신연구원의 반도체 실험실[24]을 비롯한 공공 실리콘 팹[22][23]을 활용하여 학생들의 설계를 제작해 준다[1]. 이 서비스는 기본적으로 “풀-커스텀” 설계 방식으로 설계자의 GDS 형식의 레이아웃을 접수 받아 칩을 제작하고 패키지까지 무료로 제공한다. “내 칩(My Chip) 제작 서비스”의 공정 디자인 킷 PDK에는 회로 시뮬레이션 SPICE 파라미터와 디자인 룰이 포함되어 있지만 하드웨어 언어로 기술된 디지털 회로 설계를 고려한 표준-셀 기반 설계를 갖추고 있지 않다[1]. 오늘날 디지털 회로는 하드웨어 언어로 기술하고 합성과 자동 배치와 배선으로 이어지는 자동화 도구를 활용하여 대규모로 설계된다. 각 교육기관의 시스템 반도체 설계 과정에서도 이를 반영하고 있다[2]. 따라서 “내 칩 제작 서비스”의 공정에 표준-셀 기반의 반도체 설계 방법의 구축되어야 할 것이다.

하드웨어 언어로 기술된 설계를 레이아웃까지 생성하기 위해 여러 단계의 추상화 수준의 전환이 이뤄지며 그때마다 자동화 도구가 사용된다. 고가의 설계 자동화 도구는 설계 인력 양성이라는 교육 목표 달성에 큰 장애가 되어왔다. 다행히 최근 오픈-소스 운동이 반도체 설계까지 확대되어 베릴로그 RTL 시뮬레이터는

물론 합성기, 자동 배치배선 도구 그리고 레이아웃과 회로 시뮬레이션까지 반도체 설계 전후 단계에서 필요한 도구들을 갖추고 있다[9]-[19].

본 논문은 오픈-소스 EDA 도구를 활용하여 “내 칩 제작 서비스” 공정의 표준-셀 기반 설계용 디자인 킷을 마련 하였다. 이 디자인 킷에는 베릴로그 RTL 합성에서 요구하는 최소한의 표준 셀 레이아웃을 제작하였으며 각 추상화 단계에서 사용될 EDA 도구에서 요구하는 양식의 모델 파라미터와 스크립트 그리고 파이썬[8]으로 작성된 사인 오프 유틸리티 들을 포함하였다.

### II. 본론

오픈-소스 EDA 툴을 활용한 표준 셀 기반 반도체 설계 플로우는 그림 1과 같다. 실행형으로 작성된 설계 사양은 RTL 설계의 검증을 위한 테스트 벤치에 적용되고 이어지는 각 추상성 전환에 맞춰 검증 뿐만 아니라 제작된 칩의 테스트에 재사용 된다. 표 1은 표준-셀 기반 설계 플로우 에서 사용된 오픈-소스 도구들의 목록이다.

기초 논리 기능을 구현한 표준 셀은 레이아웃 뿐만 아니라 추상화 수준의 전환에 사용되는 자동화 도구에서 요구하는 양식[20][21]에 맞춰 표현되어야 한다. 표 2는 설계 플로우 에서 각 추상화 수준의 전환에 사용된 EDA 도구에서 요구하는 표준 셀의 모델 파라미터 형식과 디자인 킷의 해당 파일들의 목록이다.

합성에 이어 자동 배치 배선에도 적용 되는 표준 셀은 기하학적인 기준을 갖춰야 한다. 이 기준은 PDK에서 규정한 디자인 룰을 따른다. 표준 셀의 레이아웃

---

이 연구는 정부(교육부-산업통상자원부)의 재원으로 한국산업기술진흥원의 지원을 받아 수행된 연구임 (P0022176, 반도체전공트랙사업)

제작과정은 그림 2와 같다. 디자인 킷에서 제공하는 표준 셀의 목록은 표 3과 같다. RTL의 합성에 필요한 최소한의 논리 기능을 갖췄다. 레이아웃 교육 과정에서 더 높은 밀집도를 위해 다양한 복합기능의 표준 셀을 구축해 볼 수 있을 것이다.

### III. 결론

본 연구는 “내 칩 제작 서비스”의 표준 셀 기반 설계 플로우를 구축하였다. 오픈-소스 EDA 툴을 활용함으로써 고가의 상용 설계 도구의 장벽을 넘어 시스템 반도체 설계 인력 양성에 기여할 수 있길 기대한다. “표준-셀 기반 디자인 킷”은 깃 허브를 통해 공개되어있다[26].

### 참고문헌

[1] 내 칩(My chip)제작 서비스, <http://mpw.kion.or.kr/>

[2] 전자공학 이수 체계도, <https://ee.khu.ac.kr/ee/user/contents/view.do?menuNo=1900018>

[3] A Mixed Open-Source and Proprietary EDA Command for Education and Prototyping, <https://ieeexplore.ieee.org/document/10069012>

[4] The OpenROAD: Toward a Self-Driving, Open-Source Digital Layout Implementation Tool Chain, <https://vlsicad.ucsd.edu/Publications/Conferences/370/c370.pdf>

[5] SystemC Language Reference Manual, <https://systemc.org/resources/standards/>

[6] GSL - GNU Scientific Library, <https://www.gnu.org/software/gsl/>

[7] SDL: Simple DirectMedia Layer, <https://www.libsdl.org/>

[8] Python Programming And Numerical Methods: A Guide For Engineers And Scientists, <https://pythonnumericalmethods.studentorg.berkeley.edu/notebooks/Index.html>

[9] The ICARUS Verilog Compilation System, <https://github.com/steveicarus/iverilog>

[10] IRSIM switch-level simulator for digital circuits, <https://github.com/RTimothyEdwards/irsim>

[11] ngspice - open source spice simulator, <https://ngspice.sourceforge.io/>

[12] XSCHM : schematic capture and netlisting, <https://xschem.sourceforge.io/stefan/index.html>

[13] VERILATOR, <https://www.veripool.org/verilator/>

[14] Yosys Open Synthesis Suite, <https://yosyshq.net/yosys/>

[15] GrayWolf, <https://github.com/rubund/graywolf>

[16] Qrouter, <http://opencircuitdesign.com/qrouter/>

[17] Magic VLSI Layout Tool, <http://opencircuitdesign.com/magic/>

[18] Netgen netlist comparison (LVS) and format manipulation, <http://opencircuitdesign.com/netgen/>

[19] Qflow: An Open-Source Digital Synthesis Flow, <http://opencircuitdesign.com/qflow/index.html>

[20] Liberty Reference Manual (Version 2007.03), [https://people.eecs.berkeley.edu/~alanmi/publications/other/liberty07\\_03.pdf](https://people.eecs.berkeley.edu/~alanmi/publications/other/liberty07_03.pdf)

[21] LEF/DEF Language Reference, <https://www.ispd.cc/contests/18/lefdefref.pdf>

[22] 서울대학교 반도체공동연구소(ISRC), <https://isrc.snu.ac.kr/>

[23] 대구경북과학기술원(DGIST) 나노기술연구부, <https://www.dgist.ac.kr/nanotech/>

[24] 전자통신연구원 반도체 실험실(NSPL), <https://www.etri.re.kr/semilab/kor.do>

[25] 경희대학교 “표준-셀 디자인 킷”, <https://github.com/GoodKook/ETRI-0.5um-CMOS-MPW-Std-Cell-DK.git>

표 1. 오픈-소스 도구들 목록

도구 명	용도
SystemC <sup>[5]</sup>	시스템 수준 모델링 C++ 클래스 라이브러리
GSL <sup>[6]</sup>	C/C++ 과학 라이브러리(GNU Scientific Library) 시뮬레이션 데이터 생성 및 분석
SDL2 <sup>[7]</sup>	멀티미디어 C/C++ 라이브러리(Simple Directmedia Layer). 대화형 테스트 벤치
python <sup>[8]</sup>	시뮬레이션 데이터 분석 및 시각화
iVerilog <sup>[9]</sup>	베릴로그 시뮬레이터
irsim <sup>[10]</sup>	스위치 레벨 시뮬레이터
ngSpice <sup>[11]</sup>	SPICE 회로 시뮬레이터
XSchem <sup>[12]</sup>	회로도 작성
Verilator <sup>[13]</sup>	베릴로그-C++ 변환기
Yosys <sup>[14]</sup>	RTL 베릴로그 합성기
GrayWolf <sup>[15]</sup>	자동 배치 배선기. 버퍼 삽입 기능 포함
Qrouter <sup>[16]</sup>	자동 배선기
Magic <sup>[17]</sup>	레이아웃 편집, DRC, GDS 생성
NetGen <sup>[18]</sup>	네트리스트 비교 방식 LVS
QFlow <sup>[19]</sup>	설계 플로우 관리 도구

표 2. EDA 도구 별 표준-셀의 파일 형식

파일 명	형식
	관련 도구(용도)
etri050_stdcells.lib	리버티(Liberty) <sup>[20]</sup>
	RTL 합성(function)
etri050_stdcells.lef	LEF <sup>[21]</sup>
	배치(PIN, SIZE)
	배선(PIN, OBS)
etri050_stdcells.sp	SPICE
	LVS
SCN3ME_SUBM. 30.ETRI.tech	Magic Tech.
	DRC, 회로 추출
	GDS 들어오기/내보내기
etri05_stdcells.v	베릴로그
	기능 시뮬레이션 모형
etri05_stdcells_func.v	베릴로그
	타이밍 시뮬레이션 모형
*.mag	표준 셀 레이아웃

표 3. 디자인 킷의 표준-셀 종류

표준-셀	기능(리버티 형식 <sup>[20]</sup> )
AND2X1, AND2X2	(A B)
A0121X1	(!((A B)+C))
A0122X1	(!((A B)+(C D)))
BUFX2, BUFX4	A
CLKBUF1, CLKBUF2	A
DFFNEGX1	ff() { ..... }
DFFPOSX1	ff() { ..... }
DFFSR	ff (P0002,P0003) { .....}
INVX1, INVX2, INVX4	(!A)
MUX2X1	(!(S A) + (!S B))
NAND2X1, NAND2X1	(!(A B)),(!((A B) C))
NOR2X1, NOR2X1	(!(A+B)), (!((A+B)+C))
OAI21X1, OAI22X1	(!((A+B) C)),(!((A+B) (C+D)))
OR2X1, OR2X2	(A+B)

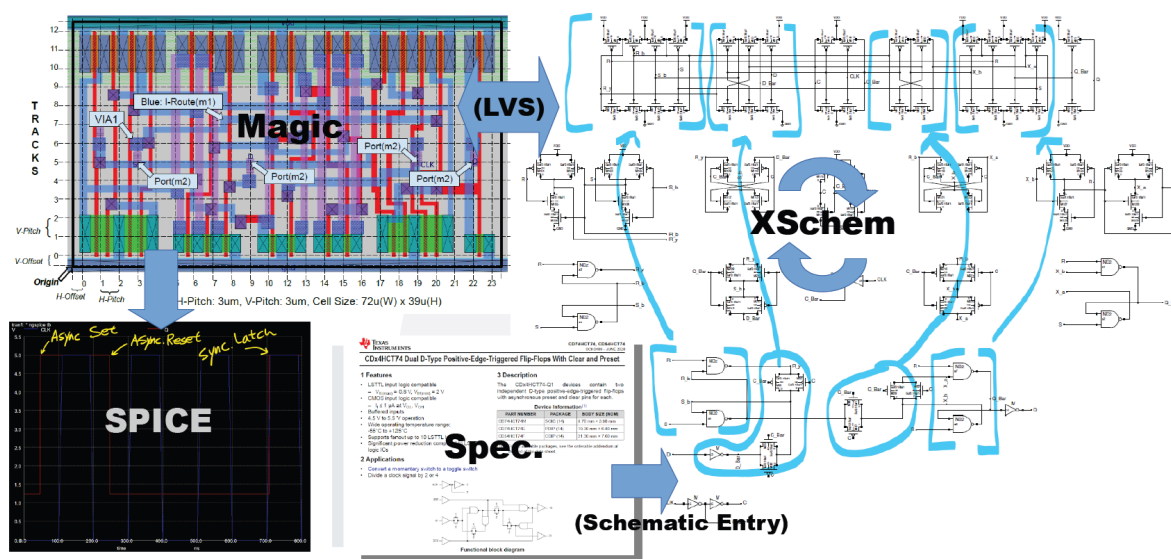


그림 2. 오픈-소스 도구 활용 표준 셀 제작 과정의 예

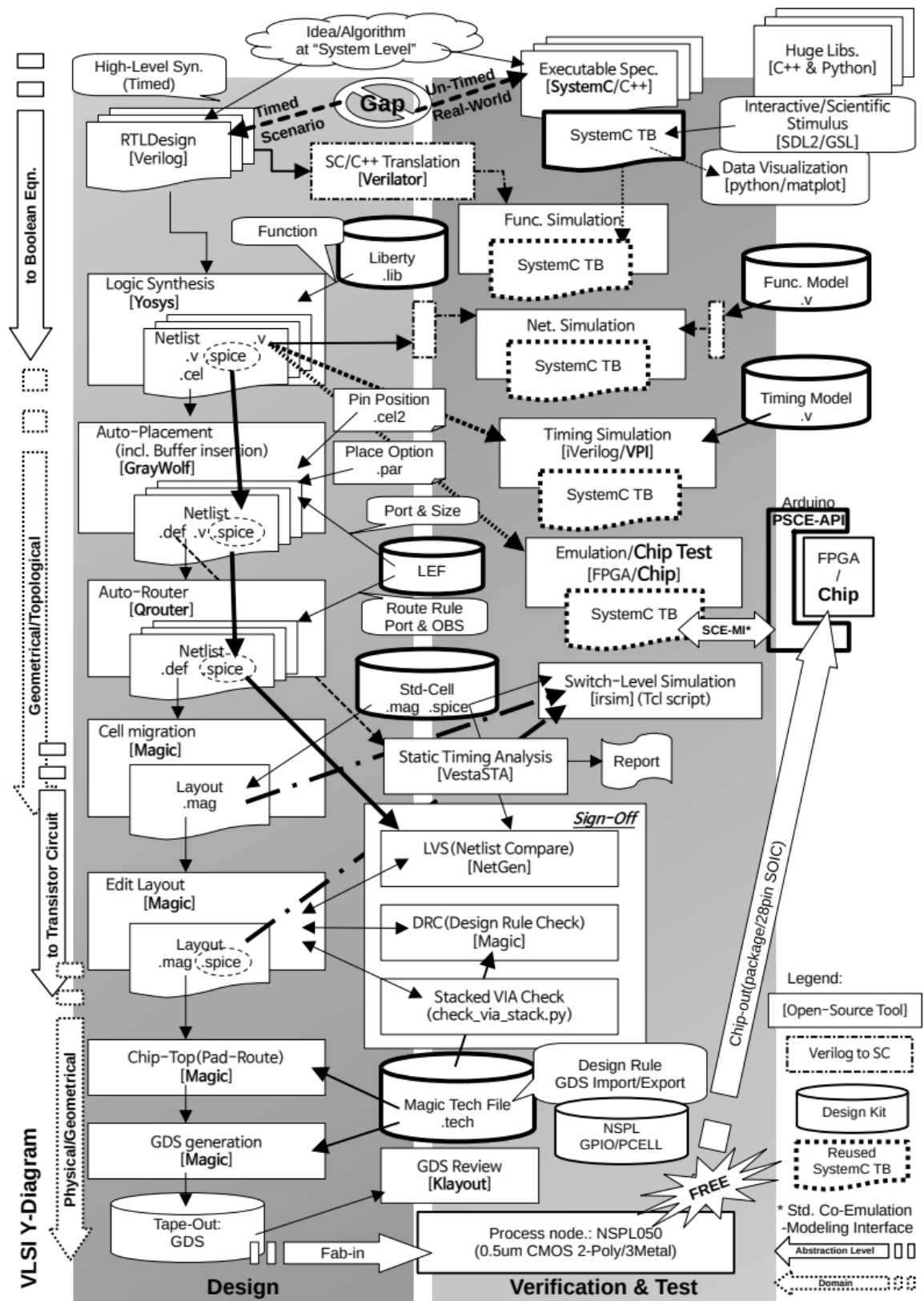


그림 1. 오픈-소스 EDA 활용 표준 셀 기반 설계 플로우