

오픈-소스 라이브러리를 활용한 “내 칩 제작 서비스”의 표준 셀 기반 설계 검증과 칩 테스트 방법

국일호

경희대학교, goodkook@khu.ac.kr

반도체 설계 인력의 양성을 목표로 2023년부터 시작된 “내 칩(My Chip) 제작 서비스[1]”는 한국 전자통신연구원의 반도체 실험실[4]을 비롯한 공공 실리콘 팹[2][3]을 활용하여 학생들의 설계를 제작해 준다. 이 서비스는 기본적으로 “풀-커스텀” 설계 방식으로 설계자의 GDS 형식의 레이아웃을 접수 받아 칩을 제작하고 패키지까지 무료로 제공한다. “내 칩(My Chip) 제작 서비스”의 공정 디자인 킷 PDK에는 회로 시뮬레이션 SPICE 파라미터와 디자인 룰이 포함되어 있지만 표준-셀 기반 설계를 갖추고 있지 않다. 하드웨어 언어로 기술된 디지털 회로 설계를 “내 칩 MPW”에 지원할 수 있도록 경희대학교 표준 셀 기반 설계 플로우를 구축하였다[5]. 이 디자인 플로우는 오픈-소스 RTL 합성기[6]와 자동 배치배선 도구[7][8]를 활용하여 GDS를 생성할 수 있도록 표준 셀과 EDA 도구에서 요구하는 리버티 및 LEF를 포함한다. 아울러 DRC를 위한 레이아웃 도구 Magic[9]의 테크 파일과 LVS용 SPICE 형식의 네트리스트를 제공한다. 표준 셀의 베릴로그 모델 라이브러리를 제공하여 사인-오프는 물론 합성 전후 시뮬레이션을 수행할 수 있다.

칩의 제작 뿐만 아니라 28-핀 SOP 패키지까지 무료로 제공하는 만큼 “내 칩 MPW”의 지원서에 칩이 배포된 후 테스트 방법을 요구한다. 디지털 설계의 경우 다수의 입출력 핀을 가질 뿐 만 아니라 설계마다 다른 입출력 구성을 취하게 된다. 이는 칩의 테스트를 위해 다중 핀 신호 생성기와 출력 분석기를 갖추어야 한다는 의미다. 재구성 가능한 입출력과 테스트 시나리오에 따라 프로그래머블 신호 생성이 가능한 고가의 시험 장비를 갖추려면 학생으로서 큰 부담이 아닐 수 없다.

설계의 시작 단계에서 알고리즘의 검증을 위해 시스템 수준 C++ 수학 라이브러리[11], SystemC[10]가 사용되고 이를 VPI를 통해 HDL 테스트벤치와 연계한 타임드 및 언-타임드 공동 시뮬레이션(Co-Simulation)을 수행하여 검증의 수준을 높일 수 있다. C++언어의 확장성은 RTL 검증뿐만 아니라 FPGA를 활용한 에뮬레이션과 칩이 제작되어 배포된 이후 테스트에도 사용될 수 있다. 본 논문에서 제안하는 방법은 알고리즘의 검증에 적용된 시스템 수준 테스트 벤치를 칩 테스트까지 재사용 하므로써 검증의 일관성을 유지한다.

그림 1은 경희대학교 표준 셀 기반 설계 플로우를 보여준다. 알고리즘에서 GDS의 생성까지 전과정에서 오픈-소스 EDA 도구들이 사용되었다. 설계의 추성성이 변화할 때마다 시뮬레이션 검증을 수행하도록 이에 맞는 표준 셀 모델을 제공한다. 이때 시스템 수준 테스트 벤치가 재사용 되고 있음을 보여준다. 공동 시뮬레이션과 FPGA와 연계된 공동 에뮬레이션(Co-Emulation)이 검증 과정에 포함되었다. 호스트 컴퓨터에서 실행되는 HDL 및 SystemC의 공동 시뮬레이션 테스트 벤치와 FPGA로 옮겨진 RTL 설계와 동기를 맞춰 시험 입력을 주고 출력을 획득하기 위하여 서로 다른 두 모델 사이에 아두이노 마이크로프로세서 보드를 모델링 인터페이스 중계자로 활용하였다. 이는 표준 공동 에뮬레이션(SCE-MI)[13]의 개념을 채택한 방식이다. 그림 2는 본 연구에서 제안하는 에뮬레이션의 동작 모드를 보여준다.

FPGA 측의 하드웨어 모델과 호스트 PC의 소프트웨어 모델 사이에 입출력 신호 구성을 표준화 하였다. FPGA에 DUT의 감싸기(wrapper) 생성과 이를 구동하는 마이크로프로세서 측의 API를 제공한다. 임의 비트 폭의 입출력을 가진 DUT를 구동하고 출력 신호를 취하여 호스트 PC의 테스트 벤치로 전달 한다. 하드웨어 모델과 소프트웨어 모델 사이의 동기는 SystemC의 시뮬레이션 커널을 통해 이뤄진다. FPGA와의 에뮬레이션 모드에서 DUT를 제거하고 입출력 핀을 MPW를 통해 제작한 칩에 연결 하여 칩 테스트를 수행할 수 있다.

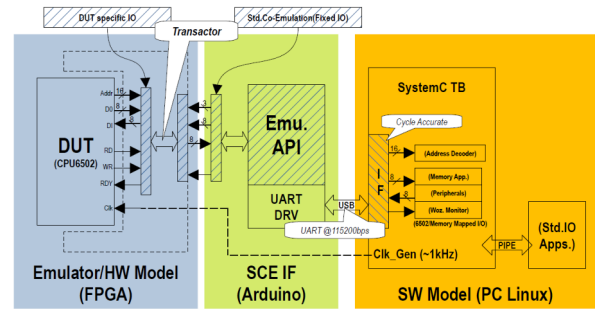
“내 칩 제작 서비스”는 반도체 인력 양성을 목적으로 무료로 MPW를 수행한다. 하지만 칩 제작을 위해 필요한 고가의 EDA 도구와 칩 테스트 장비에 대한 부담은 “내 칩”의 제작이라는 목표에 커다란 걸림돌이 되어왔다. 다행히 오픈-소스 소프트웨어는 물론 하드웨어 그리고 반도체 EDA 도구를 사용할 수 있게 되었다. 설계 뿐만 아니라 검증과 테스트까지 반도체 산업 생태계를 구성하는 전 과정을 모두 오픈-소스로 수행할 수 있다. 공동 시뮬레이션과 에뮬레이션 그리고 칩 테스트를 위한 API는 경희대학교 표준 셀 기반 디자인 킷에 포함되어 있으며 깃-허브를 통해 배포하였다[5]. 본 연구가 시스템 반도체 설계 인력의 양성에 기여할 수 있길 바란다.

감사의 글

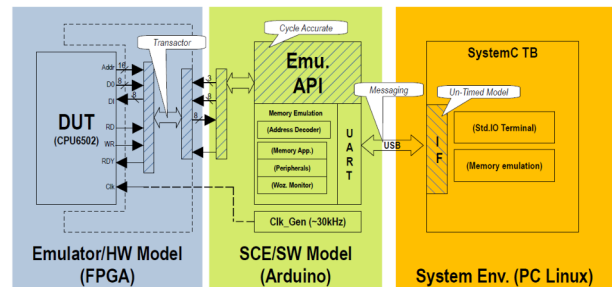
이 연구는 정부(교육부-산업통상자원부)의 재원으로 한국산업기술진흥원의 지원을 받아 수행된 연구임 (P0022176, 반도체전공트랙사업)

참고문헌

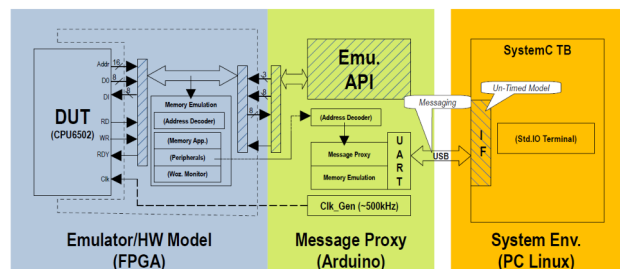
- [1] 내 칩(My chip)제작 서비스, <http://mpw.kion.or.kr/>
- [2] 서울대학교 반도체공동연구소(ISRC), <https://isrc.snu.ac.kr/>
- [3] 대구경북과학기술원(DGIST) 나노기술연구부, <https://www.dgist.ac.kr/nanotech/>
- [4] 전자통신연구원 반도체 실험실(NSPL), <https://www.etri.re.kr/semilab/kor.do>
- [5] 경희대학교 “표준-셀 디자인 킷”, <https://github.com/GoodKook/ETRI-0.5um-CMOS-MPW-Std-Cell-DK.git>
- [6] Yosys Open Synthesis Suite, <https://yosyshq.net/yosys/>
- [7] GrayWolf, <https://github.com/rubund/graywolf>
- [8] Qrouter, <http://opencircuitdesign.com/qrouter/>
- [9] Magic VLSI Layout Tool, <http://opencircuitdesign.com/magic/>
- [10] SystemC Language Reference Manual, <https://systemc.org/resources/standards/>
- [11] GSL - GNU Scientific Library, <https://www.gnu.org/software/gsl/>
- [12] SDL: Simple DirectMedia Layer, <https://www.libsdl.org/>
- [13] Standard Co-Emulation Modeling Interface, https://www.accellera.org/images/downloads/standards/sce-mi/SCE-MI_v24-Nov2016.pdf



(a) 클럭 단위 상세 공동 에뮬레이션. 소프트웨어 테스트 벤치에서 클럭 생성하여 DUT 하드웨어로 보낸다. RTL 디버깅 용이다. 동작 속도는 kHz 수준



(b) 메모리 에뮬레이션 동작. 소프트웨어 테스트 벤치에서 입출력 메시지 구동. 마이크로 프로세서에서 클럭 생성하여 DUT 하드웨어로 보낸다. 입출력 장치 개발용으로 동작 속도는 10 kHz 수준



(c) 실시간 동작. 마이크로 프로세서에서 입출력 메시지 구동. 동작 속도는 100 kHz 수준

그림 2. RTL 검증용 하드웨어 및 소프트웨어 모델 인터페이스의 동작 모드

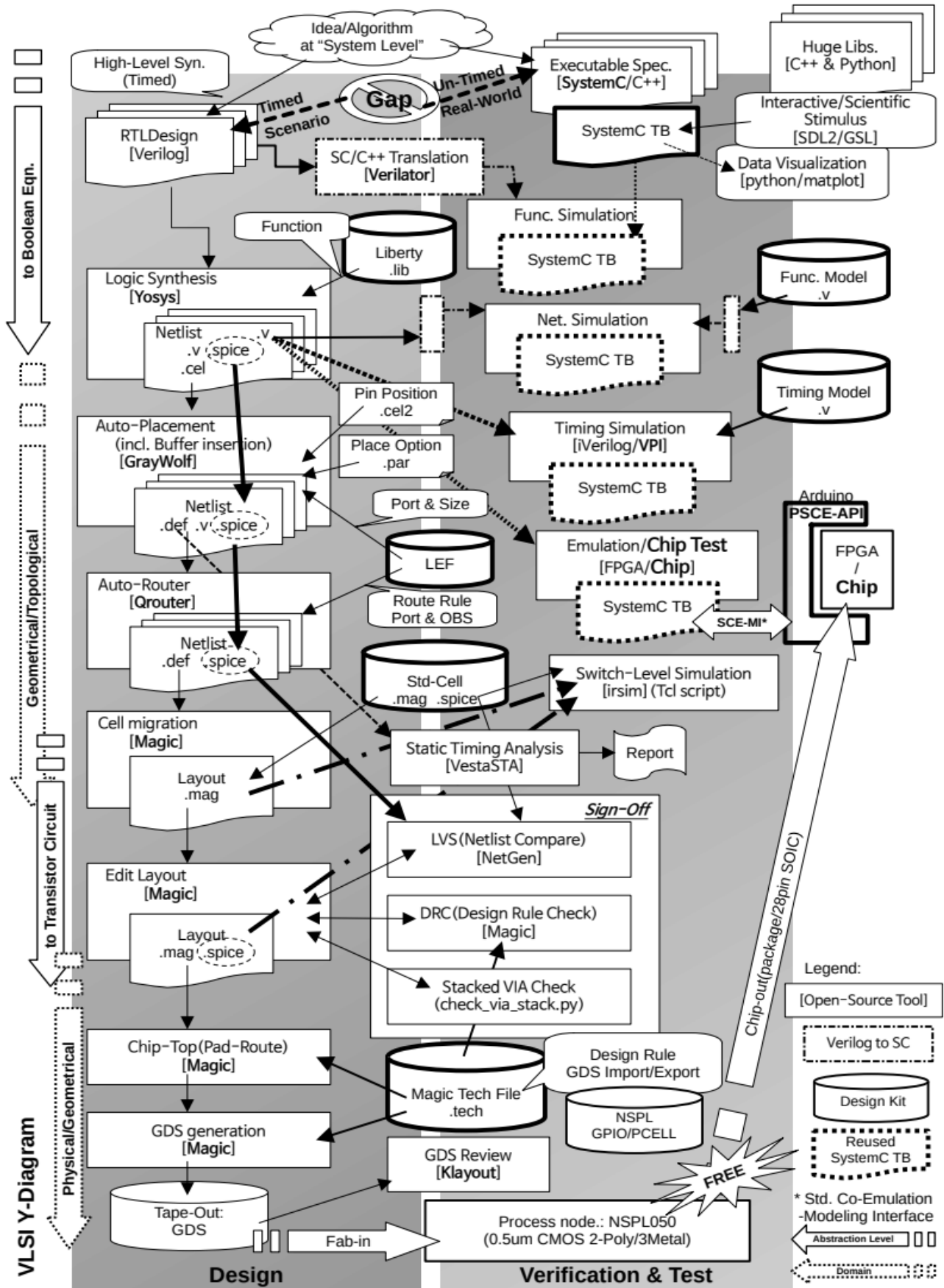


그림 1: 오픈-소스 EDA 활용 표준 셀 기반 설계 플로우

**논문 제출 시 아래 표를 기입하여 같이 제출해주시요.
이 페이지는 논문 출판 시 삭제됩니다.**

=====

논문 제출 정보

제출 분야(택 1, ☑표시)		<input type="checkbox"/> 1. 반도체 소재, 소자, 공정, 패키징, MEMS, 신뢰성 등 <input checked="" type="checkbox"/> 2. 디지털 회로, 시스템, AI 반도체, CAD 및 소프트웨어 등 <input type="checkbox"/> 3. 아날로그, 센서, 전력, 무선 통신 회로 및 시스템 등
발표 방식(택 1, ☑표시)		<input checked="" type="checkbox"/> 구두, <input type="checkbox"/> 포스터, <input type="checkbox"/> 상관없음
제출 파일이름** (형식 따라주세요.)		2-구두-경희대학교-국일호 (예시: 1-상관없음-한국대-홍길동 혹은 2-구두-한국대-홍길동)
게재 여부(택 1, ☑표시)		<input checked="" type="checkbox"/> Online Proceeding publication (PDF) <input type="checkbox"/> 발표 only (only for the Program book, no proceeding)
논문 제목		오픈-소스 라이브러리를 활용한 “내 칩 제작 서비스”의 표준 셀 기반 설계 검증과 칩 테스트 방법
전체 저자	이름	국일호
	소속	경희대학교
책임저자(지도교수 등)		국일호
연락 저자 (결과 통보 등)	이름	국일호
	이메일	goodkook@khu.ac.kr
	휴대전화번호	010-9401-4791

** 이메일 제출 시 **파일 이름**을 분야번호-발표방식-소속-이름 순서로 설정하여 제출해주시요.
예를 들어, 1-상관없음-한국대-홍길동, 2-구두-대한대-홍길순, 등으로 보내주시요.