

*별첨 (1)

2024년도 3차 『내 칩(My Chip)제작 서비스』 제작 지원 신청서

접수번호	(공란)			
설계명	FIR 필터 파이프라인 어레이의 PE(디자인 킷 검증용)			
■ 신청 학생 정보				
성명	국일호			
학교	경희대학교			
학과(학년)				
연락처	010-9401-4791			
E-mail	goodkook@khu.ac.kr			
■ 지도교수 정보				
성명	국일호	학교	경희대학교	
		학과	전자공학과	
연락처	010-9401-4791	E-Mail	goodkook@khu.ac.kr	
<p>반도체설계검증인프라활성화 사업에서 진행하는 MPW 제작지원 제반 지시사항을 준수하며 상기와 같이 신청서를 제출합니다.</p> <p style="text-align: right;">2024 년 9 월 3 일</p> <p style="text-align: right;">대표 신청 학생 (인)</p> <p style="text-align: right;">지도교수 국일호 (인)</p> <p>과학기술정보통신부 귀하</p>				

■ 신청내용

(1) 사용 가능한 Tool

오픈 - 소스 설계도구
- iVerilog: 베릴로그 시뮬레이터
- Yosys: 베릴로그 합성기
- GrayWolf: 자동배치
- Qrouter: 자동 배선
- Magic: 레이아웃 편집 /DRC/GDS 생성
- Netgen: LVS

(2) 연계 교육 프로그램

경희대학교 디자인 킷 (베릴로그 하드웨어 언어 / 디지털 반도체 설계) 완성을 목표로 실리콘 검증 하고자 함. 검증할 내용은 아래와 같음.

1. 오픈 - 소스 기반 디지털 반도체 설계 플로우
2. 표준 셀의 기능적 작동 여부
3. “내 칩 MPW” 튜토리얼 완성

(3) 회로 설계 내용

사용소자	(O, X)	사용소자	(O, X)	사용소자	(O, X)
NMOS	O	PNP BJT	X	Capacitor	X
PMOS	O	Resistor	X	Diode	X

(4) 평가/검증 계획

설계에 사용한 테스트벤치 재사용 에뮬레이션 기법
경희대학교 디자인 킷 디지털 반도체 설계 플로우에 칩 테스트 방법 포함

*별첨 (2)

2024 년도 3 차 『내 칩(My Chip)제작 서비스』 설계 DB 접수서

■ 신청번호 : (공란)

※ 설계 DB 당 1건의 DB 접수서 제출

■ 신청학생 정보

성명	국일호			
학교	경희대학교			
학과(학년)				
연락처	010-9401-4791			
E-mail	goodkook@khu.ac.kr			

■ 지도교수 정보

성명	국일호	학교	경희대학교
		학과	전자공학과
연락처	010-9401-4791	E-Mail	goodkook@khu.ac.kr

■ 설계명 : FIR 필터 파이프라인 어레이의 PE(디자인 킷 검증용)

■ 설계 DB 파일명 (Top Cell 명): fir_pe_Top

■ 설계 사용 Tool: (예: Cadence, Hspice, Calibre 등)

Magic, Open-Source Layout Tool

■ 설계 칩 체크 사항 (해당하는 곳에 O 표기)

표준칩 배치 (MPW_PAD_28pin)	사용	미사용
	O	

※ 표준칩 배치 미사용의 경우에는 **Bare Die** 만 제공 가능 (패키지 제공 불가)

제공한 PDK의 GPIO 사용 여부	사용	미사용
	O	

칩 제공 형태	Bare Die (only)	28pin-SOP 패키지 (only)	Bare Die & 28pin-SoP 패키지 모두
			O

설계 면적	1 칩
-------	-----

사용 소자	NMOS	PMOS	PNP BJT	Resistor	Capacitor	Diode	기타
	O	O					

Rule Check 여부	DRC	LVS	PEX
	O	O	

■ DRC 리포트 (코어 부분에 한함)

Magic 8.3 revision 489 - Compiled on Thu 22 Aug 2024 08:13:09 AM KST.
Starting magic under Tcl interpreter
Using the terminal as the console.
Using NULL graphics device.
Processing system .magicrc file

....

Total DRC errors found: 0

This layer can't abut or partially overlap between subcells

Design-rule checker statistics (recent/total):

Squares processed: 0/0

Tiles processed: 248202/248202

Edges pieces processed: 509084/509084

Constraint areas checked: 2520962/2520962

Multi-tile constraints: 1822248/1822248

Interaction areas processed: 72/72

Tiles processed for interactions: 248202/248202

Tiles processed for arrays: 0/0

Root cell box:

width x height (llx, lly), (urx, ury) area (units^2)

microns: **895.200 x 832.050** (-11.100, -3.600), (884.100, 828.450) 744851.188

lambda: 2984.00 x 2773.50 (-37.00, -12.00), (2947.00, 2761.50) 8276124.00

internal: 5968 x 5547 (-74, -24), (5894, 5523) 33104496

DRC 로그 첨부 : DRC_Report.txt

■ LVS 리포트 (코어 부분에 한함)

Circuit 1 contains 847 devices, Circuit 2 contains 847 devices.

Circuit 1 contains 865 nets, Circuit 2 contains 865 nets.

Final result:

Circuits match uniquely.

Netgen 로그 첨부 : LVS_fir_pe.txt