



“내 칩 제작 서비스” 오픈-소스 디자인 킷/연구노트19

칩 테스트 MPW240925001(ALU8_Mult)

목차:

1. 설계 개요
2. 레이아웃 개요
3. 칩 테스트 방법
4. 결과



by GoodKook, goodkook@gmail.com

1. 설계 개요

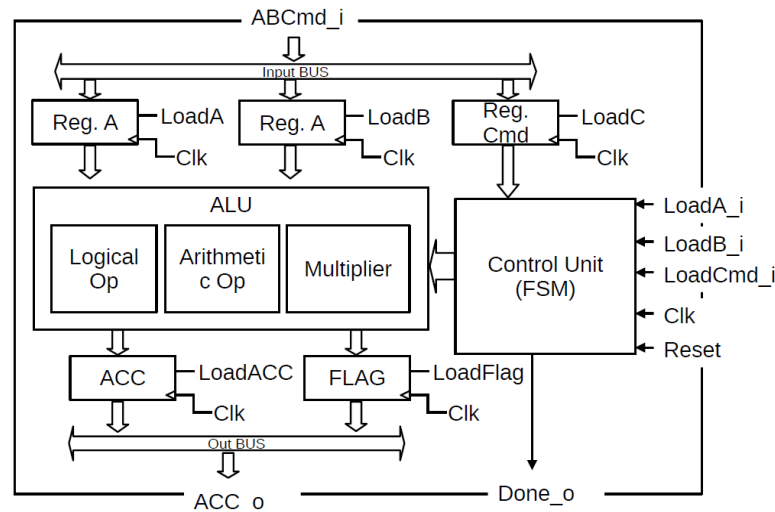
마이크로 프로세서의 ALU로 사용 가능한 범용 8-비트 산술 및 논리 연산기로서 기능은 다음과 같다.

산술연산	기능	논리연산	기능
ADD*,**	덧셈	OR	논리 합
SUB*,**	뺄셈	AND	논리 곱
MUL	곱셈	XOR	논리 XOR
		NEG	NEGATE
		SHR**	Shift-Right/Left

* 2진수 및 BCD(Binary Coded Decimal) 연산 가능.

** 캐리 사용 가능

내부 구성과 입출력 신호는 다음과 같다.



이름	입출력 방향	비트 폭	기능
clk	입력	1	클럭
reset	입력	1	리셋
LoadA_i	입력	1	A 레지스터 적재
LoadB_i	입력	1	B 레지스터 적재
LoadCmd_i*	입력	8	ALU 명령
ACC_o**	출력	8	ALU 출력(연산결과)
Done_o***	출력	1	ALU 연산 완료(플래그)

* 피연산 데이터(operand) 및 연산자(operator)의 입력:

A[7:0] or B[7:0]

연산 결과 플래그:

MUL BCD SHR CI op[3:0]

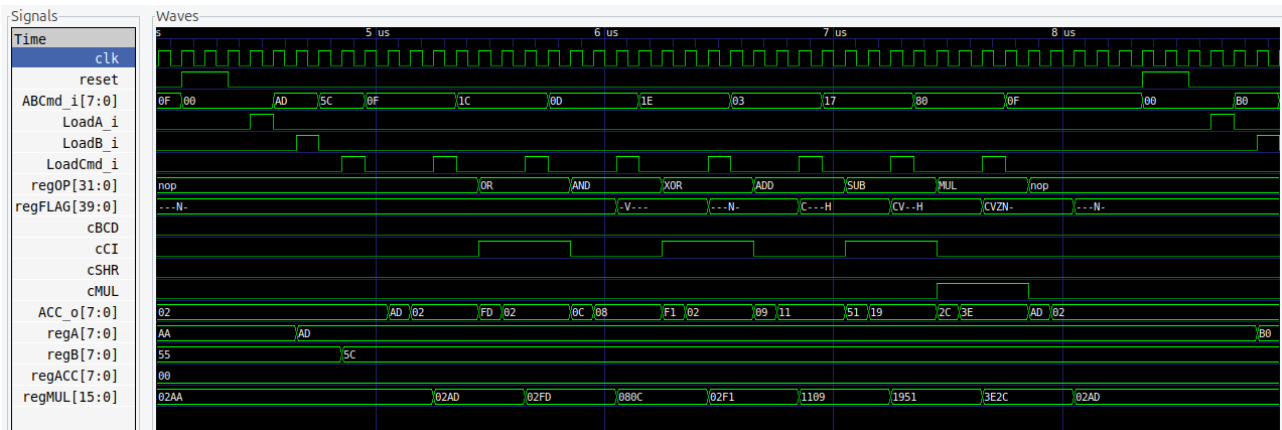
** 8비트 곱셈 연산의 경우 Done_o=1 일 때 LSB, 이어지는 클럭에서 MSB 출력

*** Done_o=1 일 때 ALU 결과 출력(8비트), 이어지는 클럭에서 플래그 출력

3'b000	CO	V	Z	N	HC
--------	----	---	---	---	----

CO: Carry Out, V: Overflow, Z: Zero, N: Negative, HC: Half-Carry

입출력 클럭 타이밍은 다음과 같다.



2. 레이아웃 개요

2-1. 설계 방법

오픈-소스 반도체 설계 자동화 도구 사용 설계 플로우

- 베릴로그 RTL 기술
- 오픈-소스 합성기 Yosys 사용 네트리스트 생성
- 오픈-소스 자동 배치 Graywolf 및 배선 도구 QRouter
- 오픈-소스 Magic 사용 레이아웃 GDS 생성
- 공개 ETRI050 표준 셀 (버전: m2f) 적용
- DRC 및 LVS 수행

2-2. 레이아웃 GDS 요약

설계언어 (합성기)	Verilog (Yosys)
합성 결과	Number of wires: 948 Number of wire bits: 994 Number of public wires: 948 Number of public wire bits: 994 Number of ports: 8 Number of port bits: 22 Number of memories: 0 Number of memory bits: 0 Number of processes: 0

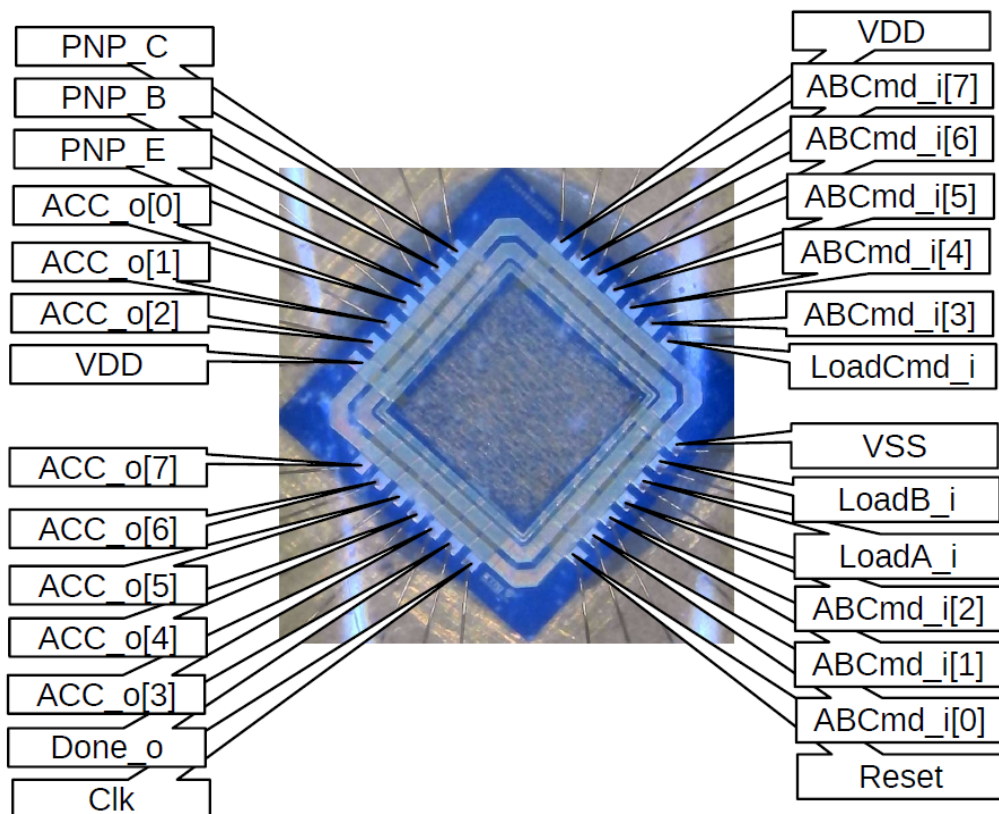
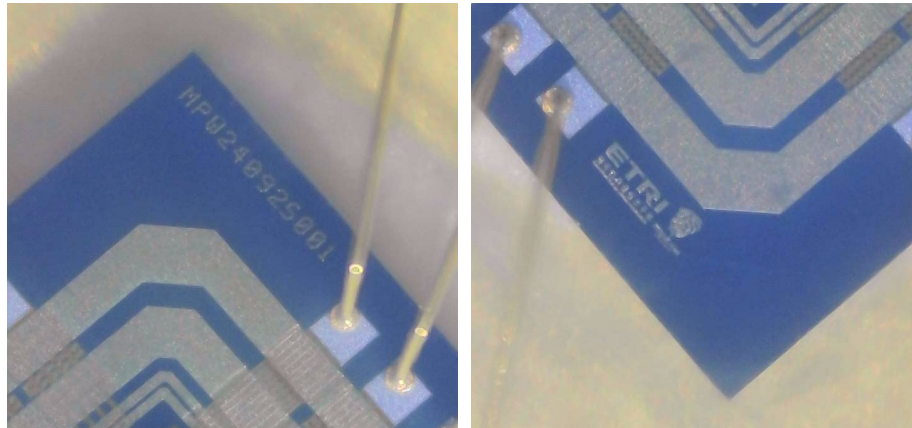
"내 칩 제작 서비스" 오픈-소스 디자인 킷/연구노트19:

칩 테스트 MPW240925001(ALU8_Mult)

3. 칩 테스트

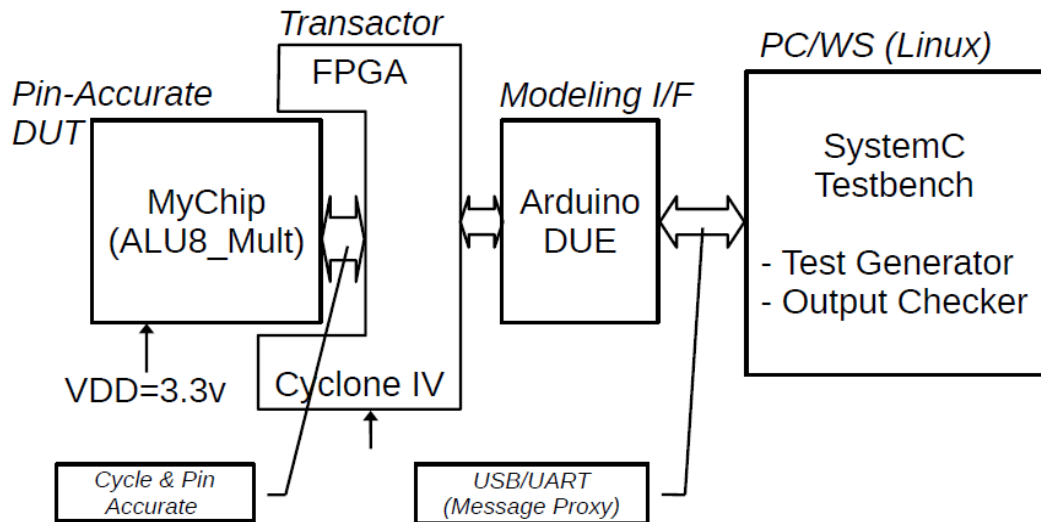
3-1. 칩 ID 및 패키지 본딩 확인

칩 ID: MPW240925001



3-2. 테스트 장치 구성

칩 테스트 장치를 다음과 같이 구성 하였다.



- 1) PC 워크스테이션: SystemC로 작성된 테스트 벤치가 실행된다. 칩 테스트 입력 벡터를 생성하고 MyChip DUT 출력을 알고리즘과 비교하여 그 결과를 기록한다. 테스트 벤치는 RTL 베릴로그 및 FPGA 에뮬레이션에 사용되었던 것과 동일하다.
- 2) Arduino DUE: 하드웨어 “칩”과 소프트웨어 “테스트 벤치” 사이의 모델링 인터페이스를 수행한다.
- 3) FPGA Wrapper: 통신 포트(USB/UART)를 통하여 전달된 값을 실제 칩으로 전달 하고 테스트 출력을 테스트벤치로 전송한다.
- 4) My Chip: MPW로 제작된 칩(MPW240925002)이다. 패키지는 SOP28 이다. 입출력 신호 레벨은 표준 3.3v CMOS 다.

3-3. 테스트 벡터 생성 방법

칩 테스트 벡터의 생성 방법은 아래와 같다.

- 0) DUT의 VDD=3.3v 인가 후,
- 1) A와 B 레지스에 각각 C++의 rand() 함수 사용하여 8비트 난수 발생 후 입력
- 2) Cmd 레지스터에 산술 연산 및 논리 연산 명령 인가 후 출력 검사
- 3) 각 시료마다 위 1)-2) 시험 절차 100회 반복 시험

4. 테스트 결과

- DUT는 마이크로 컨트롤러에 사용될 범용 8비트 산술 논리 연산기다.
- DUT는 베릴로그 RTL 로 기술 되었고 오픈-소스 설계 도구로 합성, 자동배치 배선 그리고 GDS를 생성 하였다.
- 레이아웃의 사인-오프는 인-하우스 도구로 LVS 및 DRC를 수행 하였다.
- DUT의 회로 규모는 약 7천개의 MOS 트랜지스터로 구성 되었다.
- 시료의 VDD 는 3.3V를 인가 하였으며 입출력 신호 레벨은 표준 CMOS 3.3v 다.
- 총 19개의 시료를 받아 시험 하였고 모두 양품으로 판정 되었다.
- 오픈-소스 도구를 활용한 표준-셀 기반 설계 방법론이 실리콘 검증되었다.

