



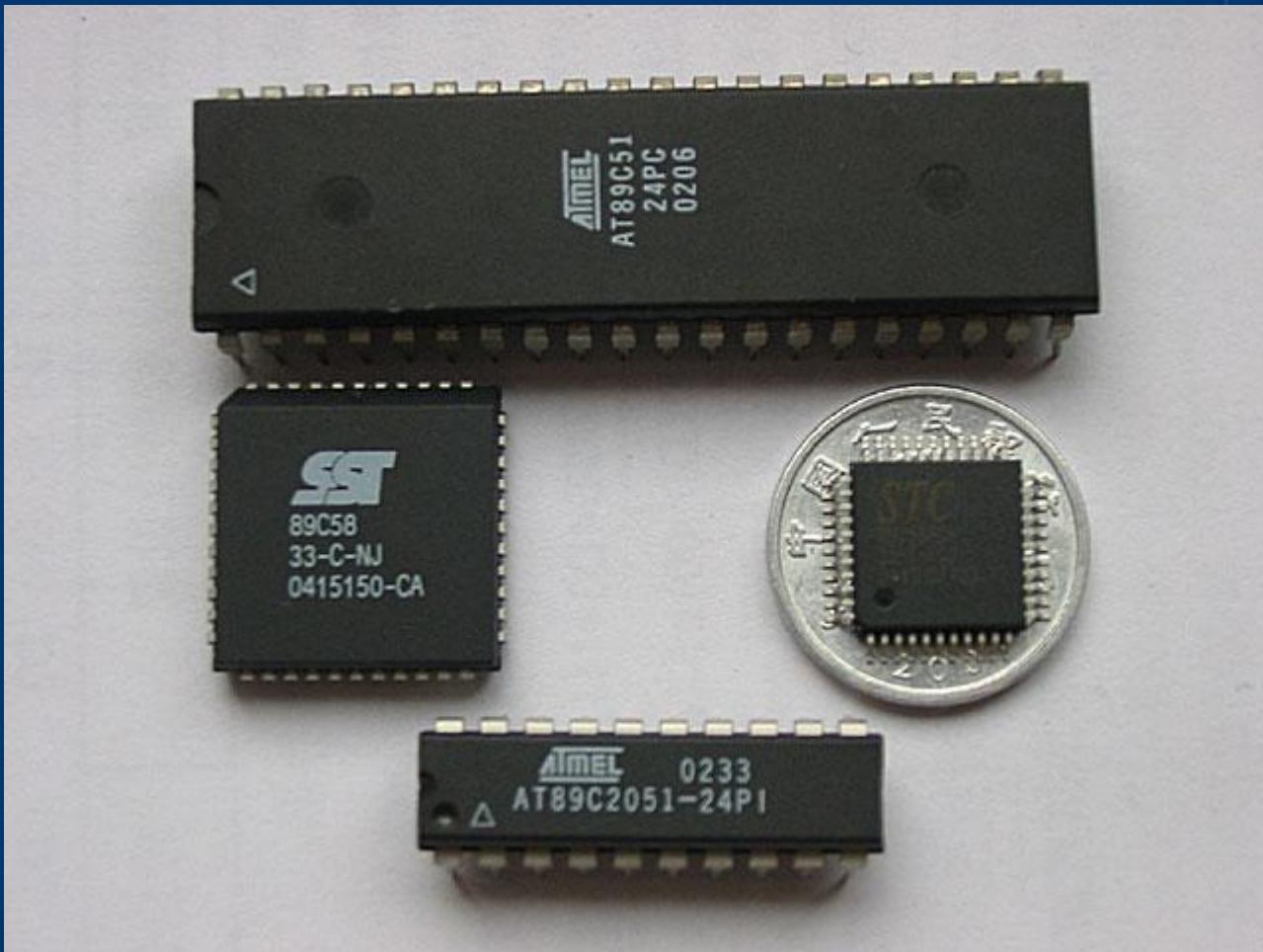
第二章 MCS-51单片机的 硬件结构及工作原理



2.1 单片机的内部结构

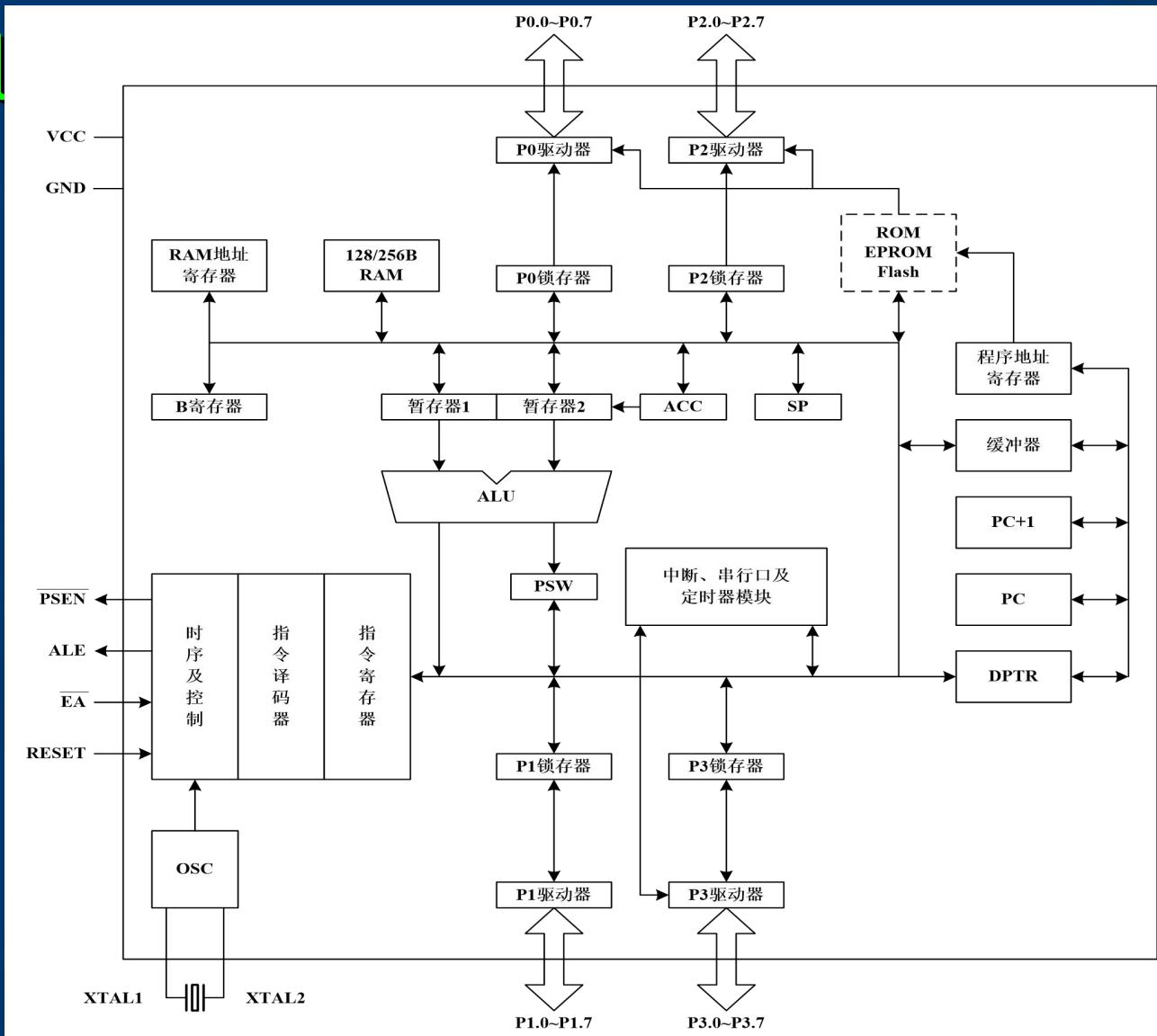
单片机原理及系统设计

部分单片机实物



单片机原理及系统设计

单片机





单片机的基本组成

(1) 运算器

- 用于实现算术和逻辑运算，包括：

- ALU (算术/逻辑单元)
- ACC (累加器)
- PSW (程序状态字)
- 寄存器B
- 暂存器1
- 暂存器2



单片机的基本组成

(2) 控制器

- 用于控制单片机程序运行和协调各部件正常工作的“指挥中心”，包括：
 - PC（程序计数器）
 - PC+1计数器
 - 指令寄存器
 - 指令译码器
 - 时序及控制电路



单片机的基本组成

(3) 内部数据存储器

- 内部128字节的RAM(针对MCS-51单片机);
- 内部256字节的RAM(针对MCS-52单片机);

(4) 内部程序存储器

- 早期版本的MCS-51无内部程序存储器;
- 扩展型MCS-51片内包含容量不等(1K~64K)的程序存储器;
- 内部程序存储器种类包括ROM、EPROM、Flash等。



单片机的基本组成

(5) 并行I/O端口

- MCS-51单片机有四个8位并行I/O端口P0~P3；
- 这些端口既可按字节操作也可按位操作；
- P0口可复用为数据总线和低8位地址总线；
- P2口可作为地址总线的高8位；
- P3口为多功能口，可作为串行口、中断输入及计数器的外部输入/输出。



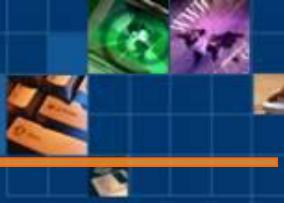
单片机的基本组成

(6) 定时器/计数器

- 51单片机内部有2个16位定时器/计数器T0和T1；
- 52单片机内部增加了一个16位定时器/计数器T2；

(7) 串行通信接口

- 51单片机内部有1个全双工的UART(通用串行收发器)，可设置为多种工作模式；



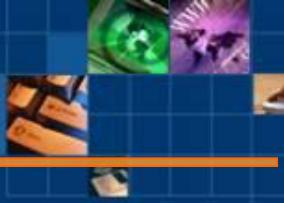
单片机的基本组成

(8) 中断控制系统

- 51单片机内部有5个中断源；
- 这些中断源可分为2个中断优先级；

(9) 时钟电路

- 51单片机内部振荡电路配合外部晶振或外部输入的时钟信号，可产生时钟脉冲序列，控制CPU内部逻辑电路运行。



单片机的基本组成

- 除了8位CPU外，MCS-51内部还具备一个很强的位处理器，它实际上是一个完整的1位字长的计算机；
- 该位处理器包含完整的1位CPU、位RAM、位寻址寄存器、I/O端口控制和指令集；
- 严格意义上说，51是由8位CPU和1位CPU构成的双CPU单片机。

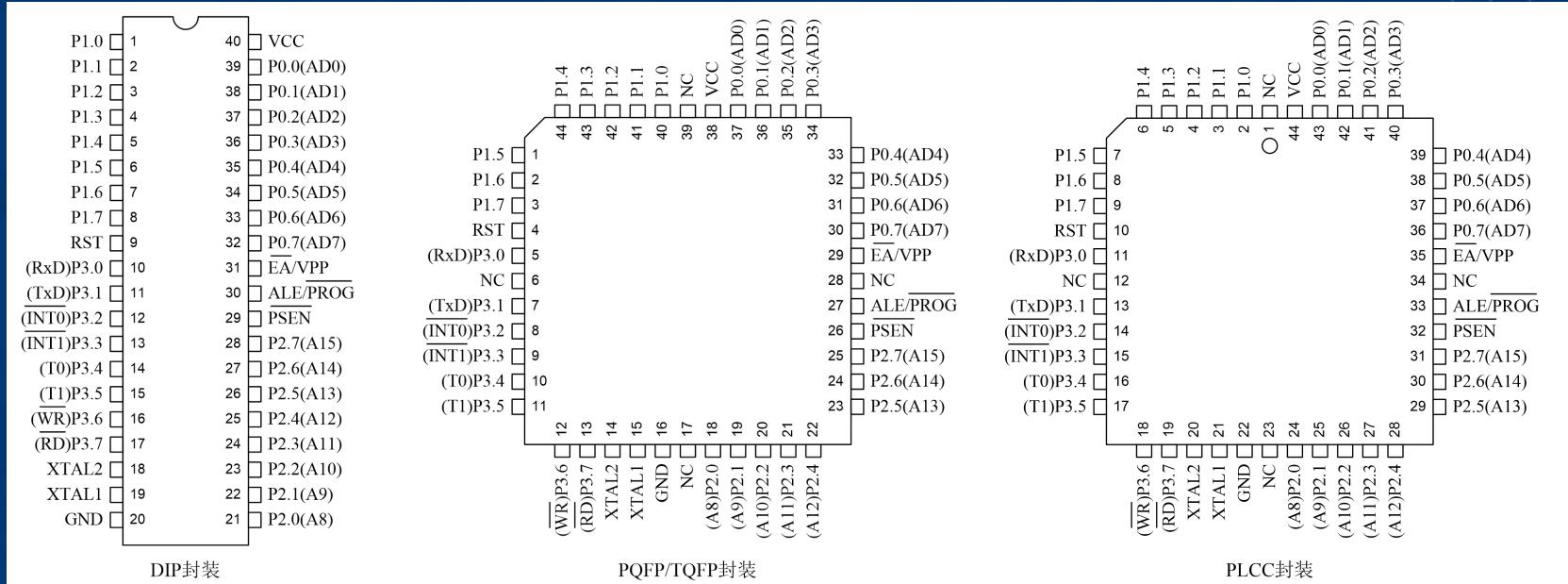


第二章 MCS-51单片机的 硬件结构及工作原理

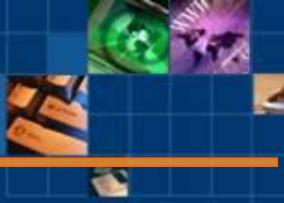
2.2 单片机的封装及 引脚功能说明

2.2.1 单片机的封装

- 单片机主要有DIP、PLCC和TQFP三种封装形式



- 各种封装的具体尺寸、引脚间距等详细信息请参阅芯片的数据手册(Datasheet)。



2.2.2 单片机的引脚功能说明

- 所有引脚号均以DIP40封装为例。低有效信号由前缀“n”或“#”或添加上划线表示

1. 电源引脚VCC（40脚）和GND（20脚）

- VCC：供电，目前有多种供电电压以及一些宽电压范围的单片机。最常用的供电电压为+5V
- GND：地

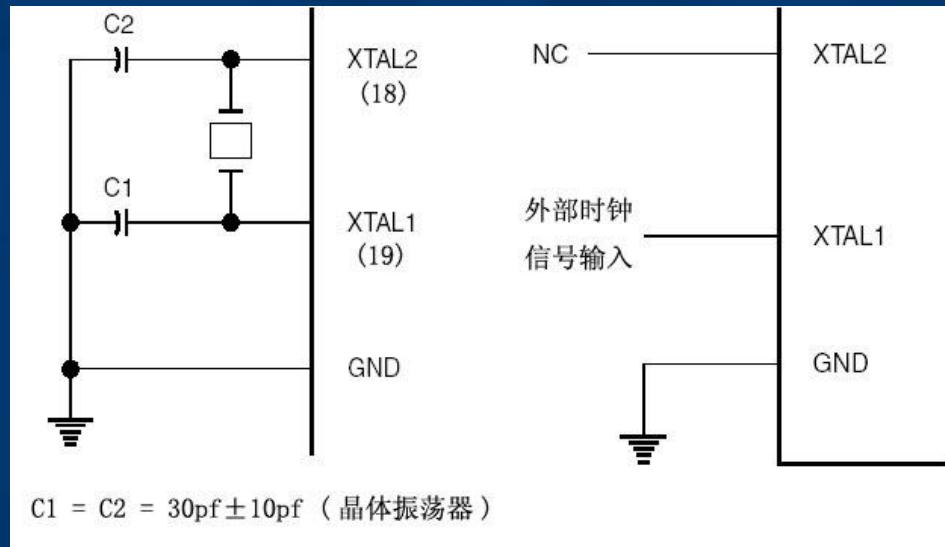
特别注意：单片机的供电和电源去耦情况对系统能否正常工作至关重要！



2.2.2 单片机的引脚功能说明

2. 外接晶振引脚XTAL1和XTAL2

- XTAL1(第19脚)：单片机内部晶体振荡电路的反相器的输入端；
- XTAL2(第18脚)：单片机内部晶体振荡电路的反相器的输出端；





2.2.2 单片机的引脚功能说明

3. 控制信号引脚

(1) RST/V_{PD}

- 第9脚，输入信号。RST为复位信号输入端。单片机正常工作时RST引脚应保持低电平；
- 在RST引脚上输入两个机器周期(24个时钟周期)以上的高电平时，单片机将进入并保持复位状态，直到RST信号重回低电平。V_{PD}为内部RAM的备用电源输入端。如果主电源VCC发生断电或电压降到一定值时，可通过V_{PD}为单片机内部RAM提供电源，以保证片内RAM中的信息不丢失。



2.2.2 单片机的引脚功能说明

3. 控制信号引脚

(2) ALE/ $\overline{\text{PROG}}$

- 第30脚，输出信号；
- ALE为地址锁存允许信号。在访问外部存储器时，ALE用来锁存P0端口输出的低8位地址信号。在不访问外部存储器时，ALE也以时钟振荡频率的1/6的固定速率输出，可作为时钟输出；
- $\overline{\text{PROG}}$ 是对8751内部EPROM编程时的编程脉冲输入端。



2.2.2 单片机的引脚功能说明

3. 控制信号引脚

(3) $\overline{\text{PSEN}}$

- 第29脚，输出信号；
- 外部程序存储器（ROM）的读选通信号。当CPU访问外部ROM时， $\overline{\text{PSEN}}$ 产生负脉冲作为外部ROM的选通信号；而当CPU访问外部RAM或片内ROM时，不会产生有效的 $\overline{\text{PSEN}}$ 信号；
- $\overline{\text{PSEN}}$ 信号可驱动8个LS TTL负载。



2.2.2 单片机的引脚功能说明

3. 控制信号引脚

(3) $\overline{\text{EA}}/\text{VPP}$

- 第31脚，输入信号；
- 访问外部程序存储器的控制(使能)信号；
 - $\overline{\text{EA}}$ 接地，单片机固定从外部程序存储器取指令；
 - $\overline{\text{EA}}$ 接高，单片机首先访问内部程序存储器，当访问地址超过内部程序存储器范围时，自动访问外部程序存储器；
- 该引脚还用于外部编程器对内部程序存储器编程时输入编程电压。



2.2.2 单片机的引脚功能说明

4. 多功能I/O口P0 ~ P3

(1) P0端口

- 第39 ~ 32脚，双向信号，多功能端口；
- 8位漏极开路的双向I/O端口；
- 在扩展外部总线时，分时作为低8位地址总线和8位双向数据总线；
- P0端口可驱动8个LS TTL负载。

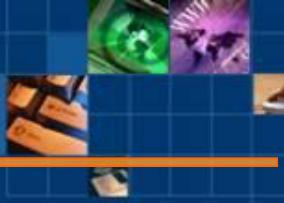


2.2.2 单片机的引脚功能说明

4. 多功能I/O口P0 ~ P3

(2) P1端口

- 第1 ~ 8脚， 双向信号；
- 具有内部上拉电路的8位准双向I/O端口；
- 可驱动4个LS TTL负载。



2.2.2 单片机的引脚功能说明

4. 多功能I/O口P0 ~ P3

(3) P2端口

- 第21 ~ 28脚，双向信号，多功能端口；
- 具有内部上拉电路的8位准双向I/O端口；
- 在扩展外部总线时，用作高8位地址总线；
- 可驱动4个LS TTL负载。



2.2.2 单片机的引脚功能说明

4. 多功能I/O口P0 ~ P3

(4) P3端口

- 第10 ~ 17脚，双向信号，多功能端口；
- 具有内部上拉电路的8位准双向I/O端口；
- 该端口的每一位都可以作为其它功能模块的输入/输出及控制引脚使用，具体定义如下：



2.2.2 单片机的引脚功能说明

4. 多功能I/O口P0 ~ P3

- P3端口的第二功能

端口引脚	第二功能
P3.0	RxD，串行通信数据接收端口
P3.1	TxD，串行通信数据发送端口
P3.2	$\overline{\text{INT0}}$ ，外部中断0请求信号，低电平有效或下降沿有效
P3.3	$\overline{\text{INT1}}$ ，外部中断1请求信号，低电平有效或下降沿有效
P3.4	T0，定时器/计数器0外部计数信号输入端口
P3.5	T1，定时器/计数器1外部计数信号输入端口
P3.6	$\overline{\text{WR}}$ ，外部数据存储器(RAM)写选通信号，低有效
P3.7	$\overline{\text{RD}}$ ，外部数据存储器(RAM)读选通信号，低有效

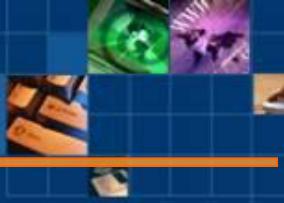


第二章 MCS-51单片机的 硬件结构及工作原理

2.3 单片机的微处理器

概述

- 单片机的核心部件是一个8位高性能的微处理器，它是计算机中运算器和控制器的总称，是单片机的指挥中心和执行机构；
- 微处理器在单片机运行的过程中产生合适的时序信号，指挥并控制单片机的有关部件和器件，读入和分析每条指令代码，并具体执行每条指令代码指定的操作；
- 单片机的微处理器由8位运算器（算术/逻辑运算单元）ALU、布尔处理器、时序和控制部件以及若干寄存器等主要部分组成。



2.3.1 运算器

1. 算术/逻辑运算部件

- 算术/逻辑运算部件（ALU）的主要功能是实现8位二进制数的加、减、乘、除四则算术运算和与、或、非、异或等逻辑运算，以及循环、清0、置1、加1、减1等基本操作；
- 单片机的ALU还具备特有的位处理功能，即可以对单独的一位进行置1、清0、取反以及逻辑与、或和位判断转移等操作，特别适合面向测控领域的应用。



2.3.1 运算器

2. 累加器A

- 累加器A是运算、处理时的暂存寄存器，用于提供操作数和存放运算结果。其他如逻辑运算、移位等操作也都要通过累加器A，所以累加器A是运算器中应用最为频繁的寄存器；
- 累加器A直接与ALU和内部总线相连，一般的信息传送和交换均需通过累加器A；
- 由于相当多的运算都要通过累加器，这种形式客观上影响了指令的执行效率。



2.3.1 运算器

2. 累加器A

- MCS-51对部分操作进行了优化，可将累加器A旁路，将数据信息直接传送到目的单元，节省了累加器A转送的中间环节；
- 由直接寻址或间接寻址方式操作的数据信息可以从片内的任意地址单元直接传送到另一目的地址单元，而不必经过累加器A转送；
- 逻辑等操作也可在寄存器与变量之间直接进行，从而减少了中间环节，加快了传送速度，增强了实时性。



2.3.1 运算器

3. 寄存器B

- 寄存器B是进行乘、除算术运算时的辅助寄存器。在进行乘法运算时，累加器A和寄存器B分别存放两个相乘的数据，指令执行后，乘积的高低位字节分别存放在B和A中；
- 在进行除法运算时，被除数存放在累加器A中，除数存放在寄存器B中。指令执行后，商和余数分别存放在A和B中；
- 在不进行乘、除法运算的其他情况下，寄存器B可用做一般的寄存器或中间结果暂存器。



2.3.1 运算器

4. 程序状态字寄存器PSW

- PSW是一个8位的寄存器，它用于寄存当前指令被执行后的相关状态，为下条或以后的指令执行提供状态条件；
- 许多指令的执行结果将影响PSW中某些状态标志位；
- MCS-51单片机PSW的重要特点是可以软件编程，即可通过程序改变PSW中的状态标志。PSW的结构及各位状态标志的定义如下：



2.3.1 运算器

4. 程序状态字寄存器PSW

D7	D6	D5	D4	D3	D2	D1	D0
Cy	AC	F0	RS1	RS0	OV	—	P

- Cy：进位标志位。当指令运算结果的最高位产生进位或借位时置位($Cy=1$)，否则复位($Cy=0$)。除此之外，Cy还在布尔处理器中作为位累加器使用，常用“C”表示。
- AC：辅助进位标志，又称半字节进位标志位。在进行加法或减法运算中，当一个字节的低4位数向高4位数有进位或借位时，AC将被硬件置位，否则就被清零。AC标志常被用于BCD码运算时的二-十进制调整。



2.3.1 运算器

4. 程序状态字寄存器PSW

D7	D6	D5	D4	D3	D2	D1	D0
Cy	AC	F0	RS1	RS0	OV	—	P

- F0：用户自定义标志。可由用户通过程序对其置位或复位，具体含义也由用户定义；
- RS1, RS0：工作寄存器区选择控制位。可由软件置位或清零，共四种组合，每种组合对应一个工作寄存器区。



2.3.1 运算器

4. 程序状态字寄存器PSW

D7	D6	D5	D4	D3	D2	D1	D0
Cy	AC	F0	RS1	RS0	OV	—	P

- OV: 溢出标志

- 带符号数加减运算：OV=1表示加减运算的结果超出了目的寄存器A所能表示的带符号数的范围(-128 ~ +127)；
- 无符号数乘法指令MUL：当A×B的结果超过255时，OV=1，否则OV=0。由于乘法运算的积的高8位放在B内，低8位放在A内，因此，当OV=1时，要从BA寄存器对中取得乘积；
- 除法指令DIV：当除数为0时，OV=1，否则OV=0。



2.3.1 运算器

4. 程序状态字寄存器PSW

D7	D6	D5	D4	D3	D2	D1	D0
Cy	AC	F0	RS1	RS0	OV	—	P

- P：奇偶标志位

- 该位在每个指令周期期间都由硬件来置位或清零，以表示累加器A中1的位数的奇偶性：若A中1的位数为奇数，则P置位，否则清0，因此该位是针对累加器A中1的个数的奇偶校验。
- 该标志位可用来生成串行通信中的奇偶校验位。



2.3.2 控制器

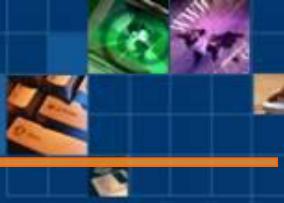
单片机的控制器主要包括：

- 程序计数器 (PC)；
- 程序地址寄存器；
- 指令寄存器；
- 指令译码器；
- 条件转移逻辑电路；
- 时序控制逻辑电路。



2.3.2 控制器

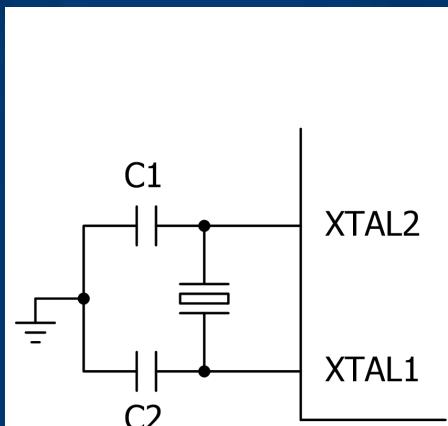
- PC用于存放下一条将要从程序存储器中读取的指令的地址；
- 指令寄存器是用来存放从程序存储器中读出的指令代码的专用寄存器；
- 指令寄存器将指令代码传送到指令译码器，由指令译码器对该指令代码进行识别和译码，译码结果通过时序控制逻辑电路发出对应的定时、控制信号，控制指令的操作执行；
- 对于运算类指令，控制器会根据运算结果来更新程序状态字PSW中对应的标志位。



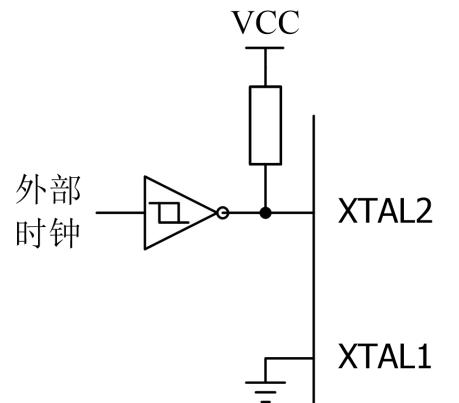
2.3.3 振荡器、时钟电路及时序

1. MCS-51的振荡器及时钟电路

- MCS-51单片机片内有一个高增益反相放大器，其输入端（XTAL1）和输出端（XTAL2）用于外接石英晶体和微调电容，或输入外部时钟信号，构成振荡器：



(a) 外接晶振的振荡电路



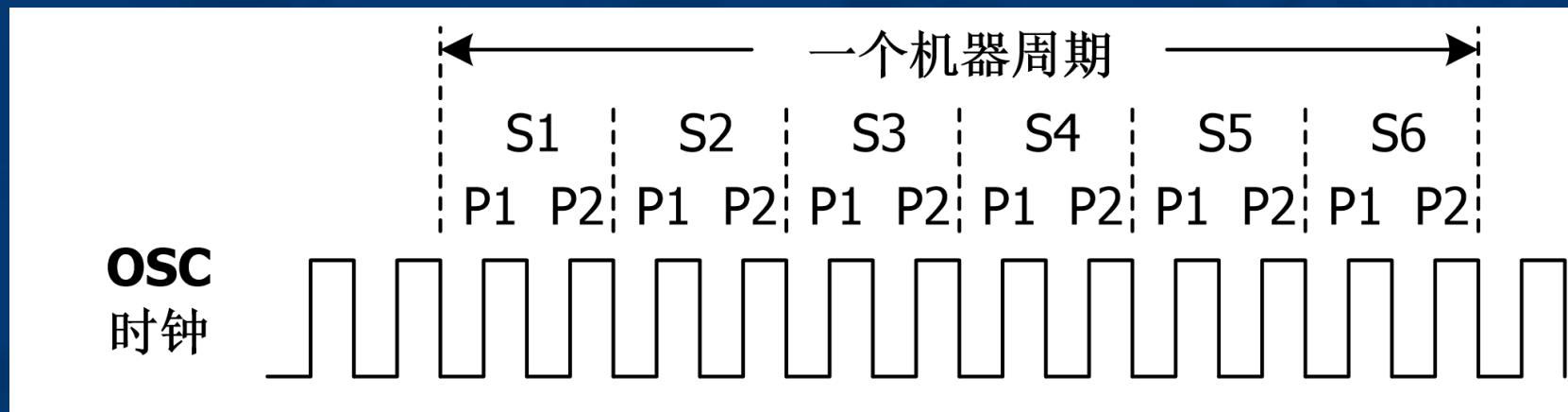
(b) 外接时钟信号的振荡电路



2.3.3 振荡器、时钟电路及时序

1. MCS-51的振荡器及时钟电路

- 单片机的时钟频率记为OSC，由振荡器频率决定。OSC时钟周期可进一步细分为振荡周期、时钟周期、机器周期和指令周期。





2.3.3 振荡器、时钟电路及时序

1. MCS-51的振荡器及时钟电路

- 振荡周期：和单片机相连的晶体振荡器的周期；
- 时钟周期：又称为状态周期或S周期，是晶体振荡频率的 $1/2$ ，一个时钟周期分为P1和P2两拍，P1时通常完成算术逻辑操作，P2时完成内部寄存器之间的数据传输。



2.3.3 振荡器、时钟电路及时序

1. MCS-51的振荡器及时钟电路

- **机器周期**: 一个机器周期由6个时钟周期(12个振荡周期)组成, 分为S1P1、S1P2、...S6P1、S6P2, 可以用机器周期把一条指令划分成若干个阶段, 每个机器周期完成某些规定的操作。目前很多新型单片机的机器周期可简化为1~4个时钟周期, 在同样的晶振频率下执行指令更快;
- **指令周期**: 执行一条指令所占用的全部时间。一个指令通常含有1~4个机器周期。



2.3.3 振荡器、时钟电路及时序

2. MCS-51指令执行时序

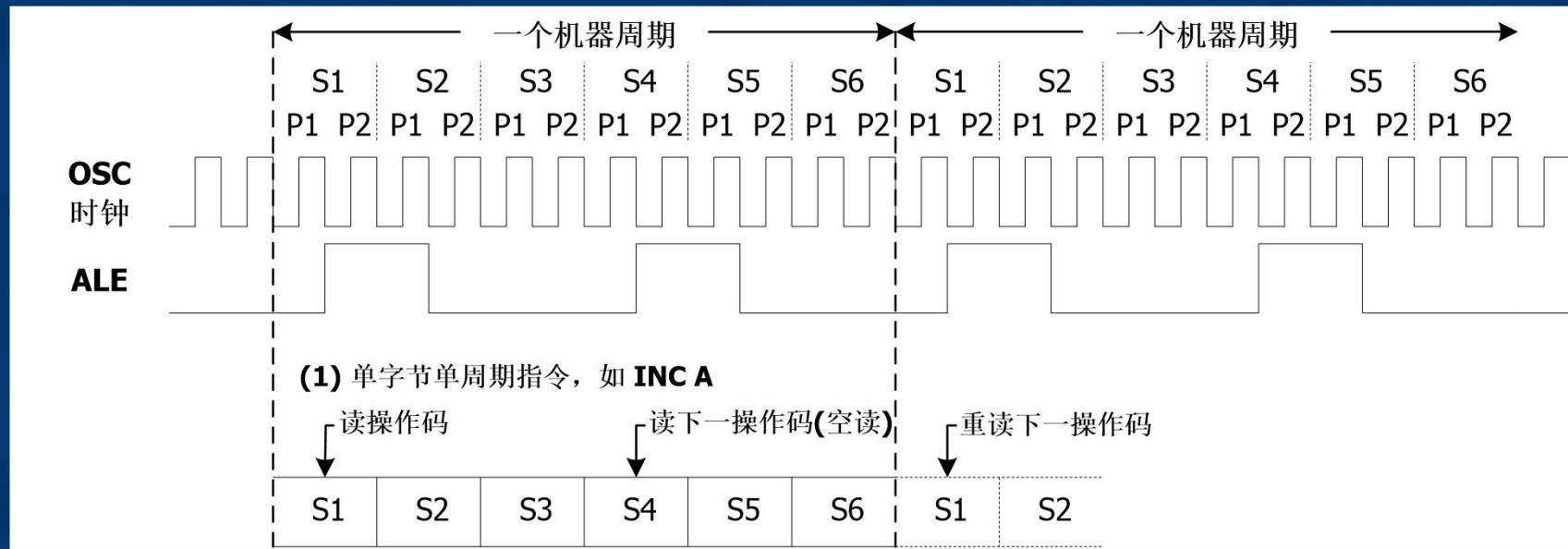
- 每一条指令的执行都包括取指和执行两个阶段。在取指阶段，CPU从程序存储器（ROM）中取出指令的操作码及操作数，然后再执行这条指令的逻辑功能；
- MCS-51的指令分为单周期、多周期，指令长度分为单字节、多字节等多种。其取指、执行过程如图所示：



2.3.3 振荡器、时钟电路及时序

2. MCS-51指令执行时序

● 单字节单周期

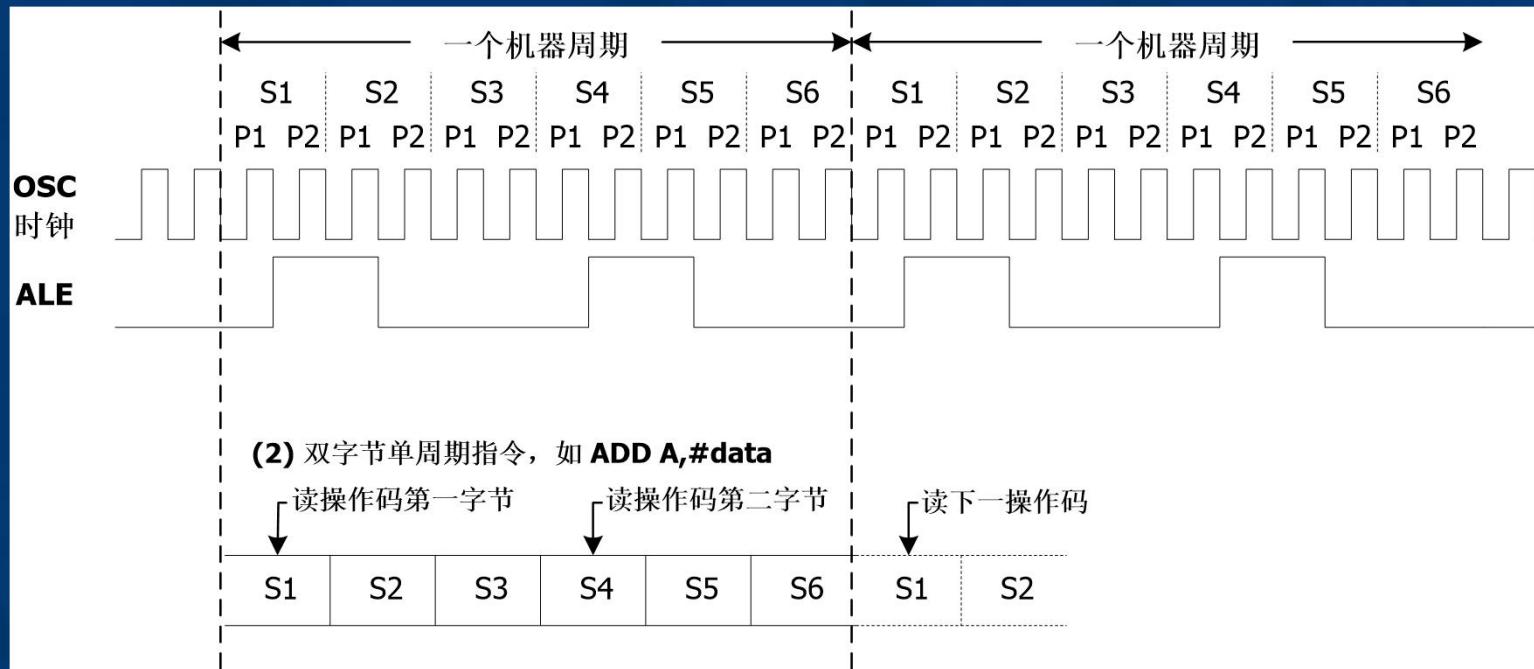




2.3.3 振荡器、时钟电路及时序

2. MCS-51指令执行时序

- 双字节单周期

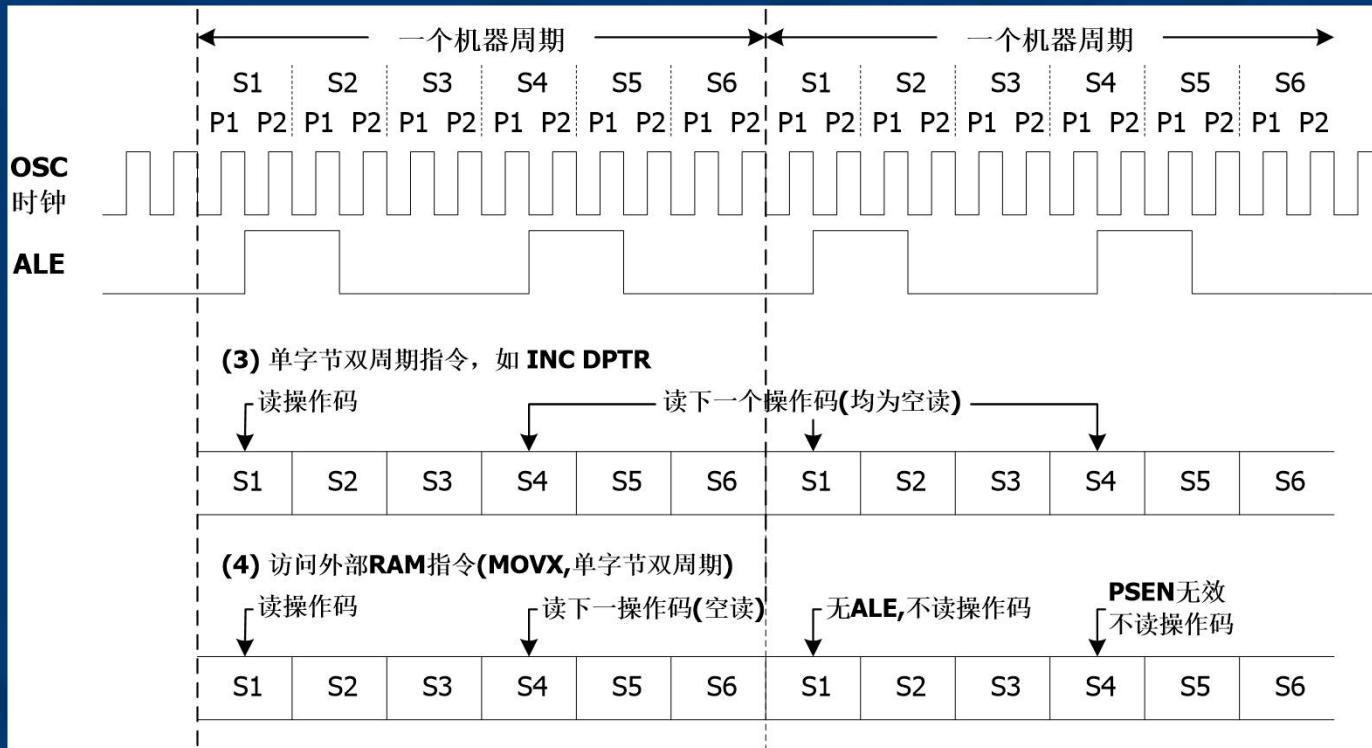




2.3.3 振荡器、时钟电路及时序

2. MCS-51指令执行时序

● 单字节双周期

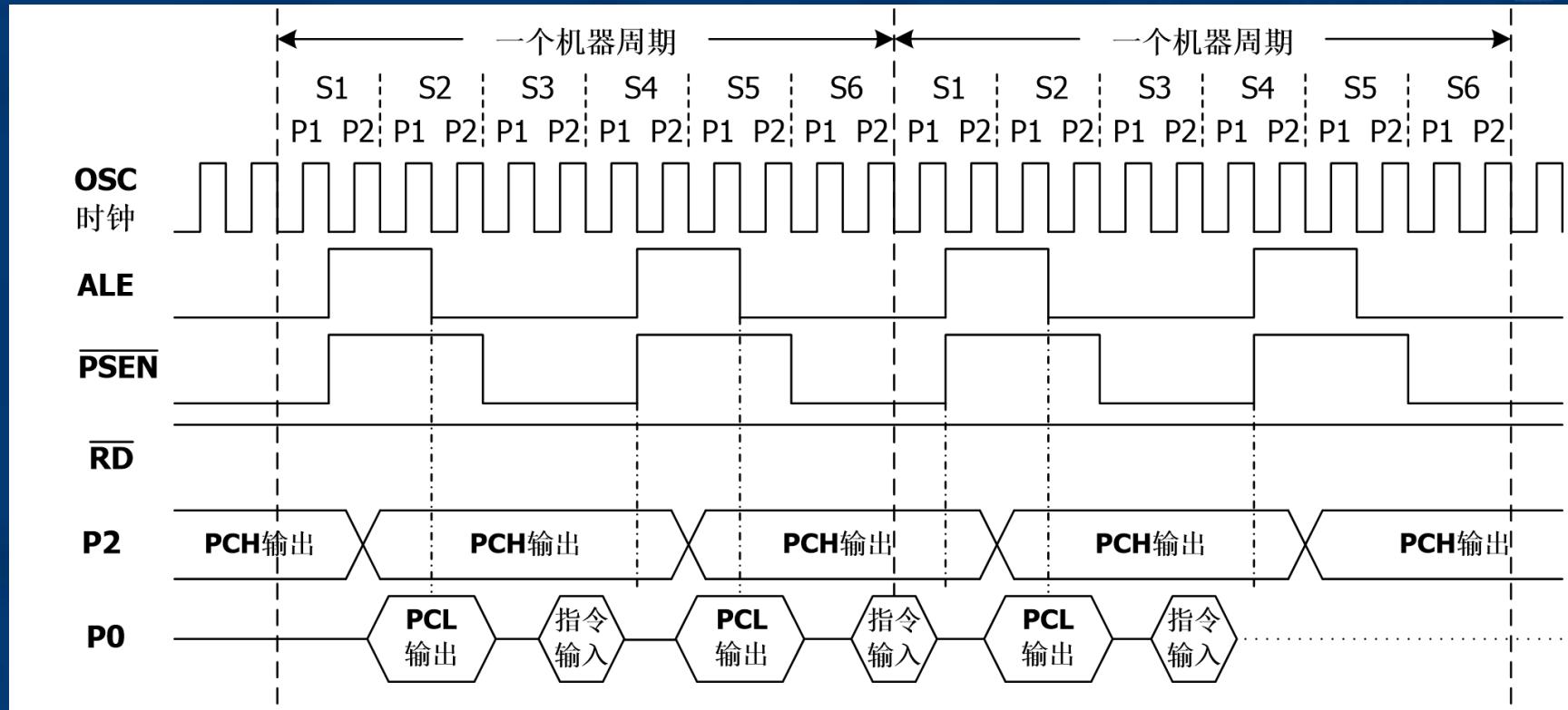




2.3.3 振荡器、时钟电路及时序

3. 访问外部程序存储器(ROM)时序

- 单片机读外部程序存储器（不访问外部RAM）的时序

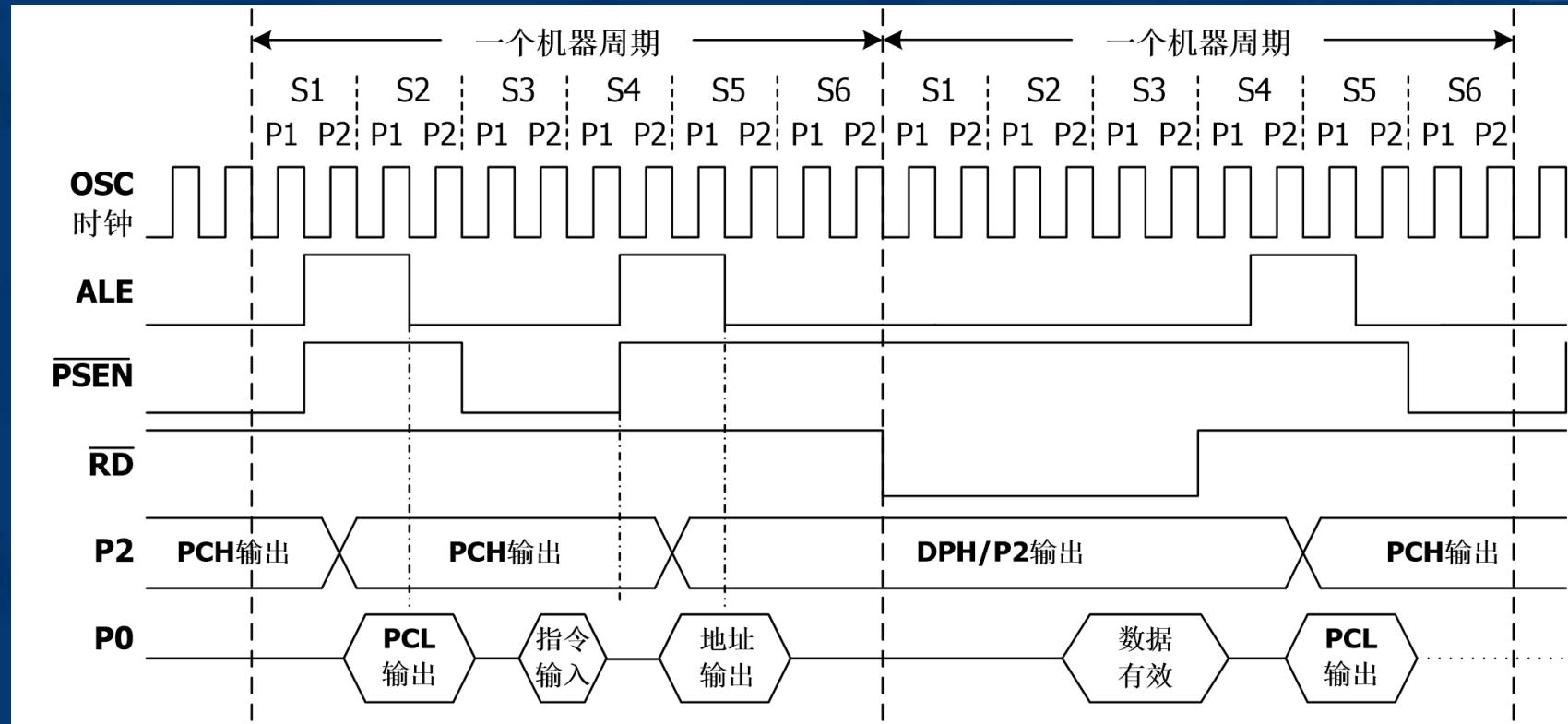




2.3.3 振荡器、时钟电路及时序

4. 访问外部数据存储器(RAM)时序

● 单片机读外部数据存储器(RAM)的时序





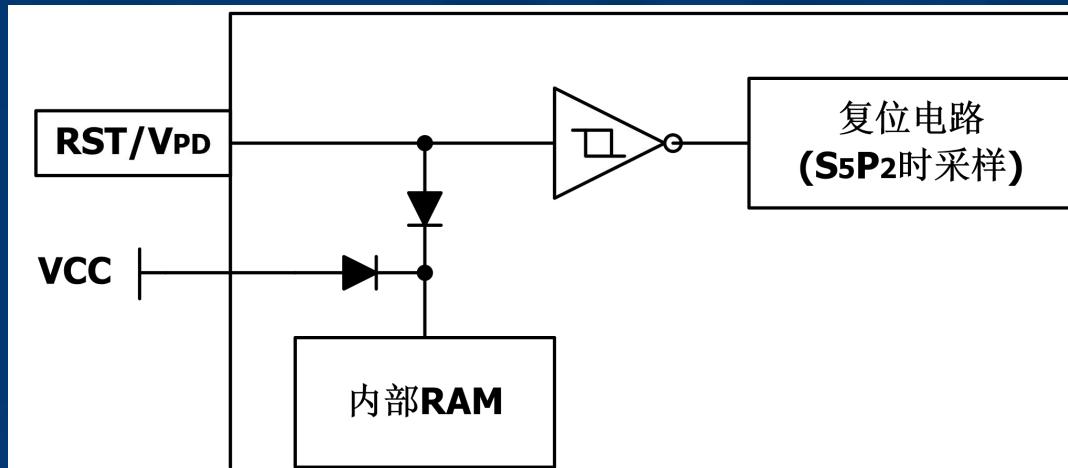
第二章 MCS-51单片机的 硬件结构及工作原理

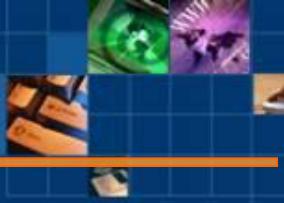
2.4 单片机的复位



2.4.1 单片机的复位功能

- 在单片机的RST引脚上保持2个机器周期以上的高电平，单片机即复位；
 - 只要RST引脚保持高电平，单片机就循环复位。当RST从高电平变为低电平后，MCS-51从0000H地址开始执行程序。
- 单片机内部复位电路如下：





2.4.1 单片机的复位功能

- 只要RST/VPD引脚输入的高电平不撤除，单片机就一直保持复位状态。
- 单片机复位完成后，其内部各寄存器恢复到初始状态。各寄存器复位后的初始值如下页表所示：



2.4.1 单片机的复位功能

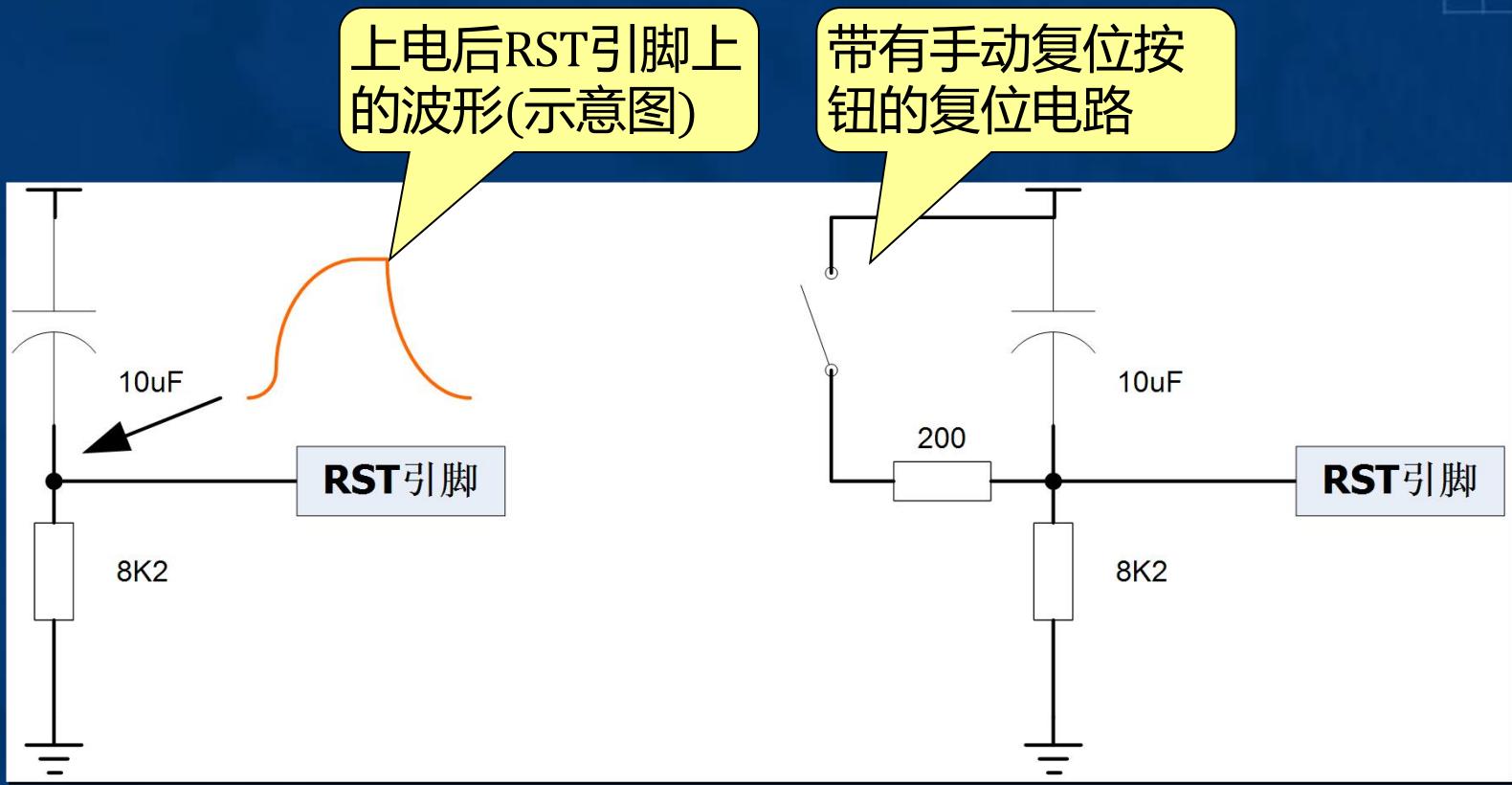
- 单片机复位后内部特殊寄存器初值

寄存器	内容	寄存器	内容
PC	0000H	TH0	00H
ACC	00H	TL0	00H
B	00H	TH1	00H
PSW	00H	TL1	00H
SP	07H	TH2	00H
DPTR	0000H	TL2	00H
P0 ~ P3	0FFH	RLCAP2H	00H
IP	(XX000000)	RLCAP2L	00H
IE	(0X000000)	SCON	00H
TMOD	00H	SBUF	不定
TCON	00H	PCON	(0XXX0000)
T2CON	00H		



2.4.2 常用的复位电路

(1) 分立元件复位电路





2.4.2 常用的复位电路

(2) 专用复位集成电路

- MAX811

- 有多种供电电压及复位门槛电压版本；
- 支持手动复位；
- 有高低两种电平的复位信号输出；
- 体积小，可靠性高。

- X5045/25045

- 有多种供电电压及复位门槛电压版本；
- 支持手动复位；
- 包含4Kb的E²PROM；
- 具有看门狗功能。