

1. Воспроизведите примеры "Умножение без DSP" и "Умножение с DSP".

- Проведите синтез обоих примеров и сравните Utilization. Почему пример "без DSP" использует LUT, а пример "с DSP" не использует их? Откройте Synthesis > Schematic для обоих примеров и объясните увиденное.

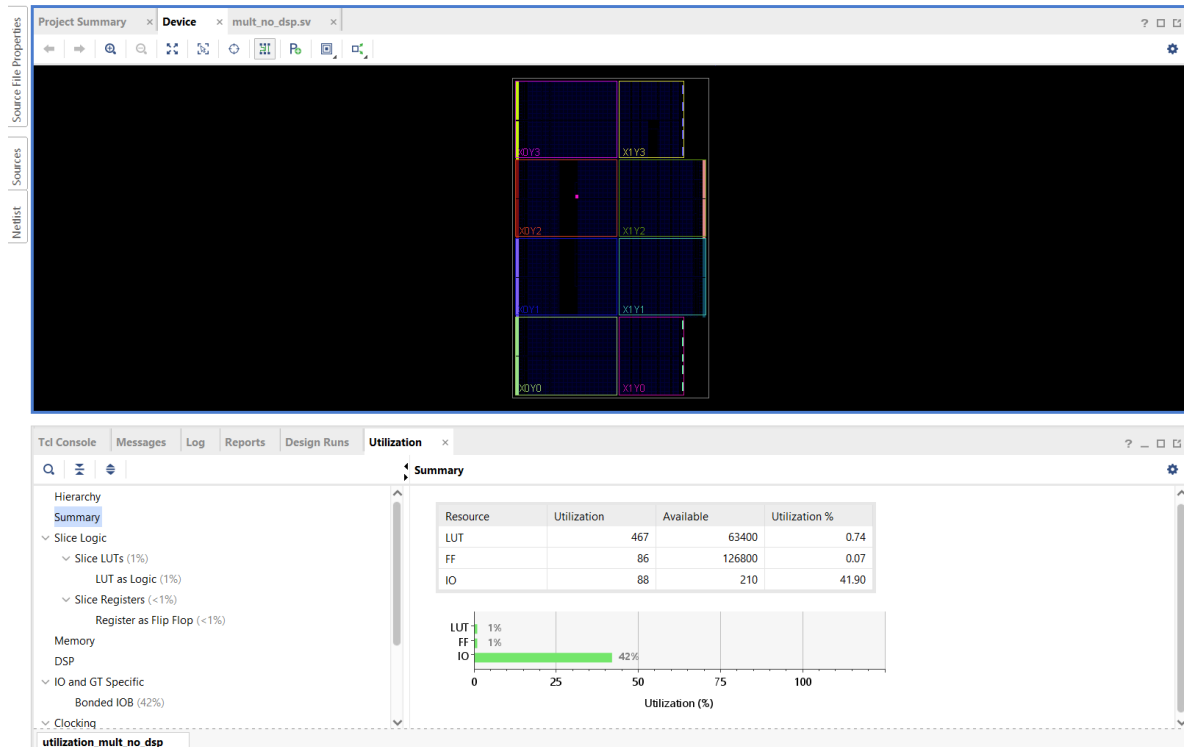


Рисунок 1 utilization report of mult_no_dsp

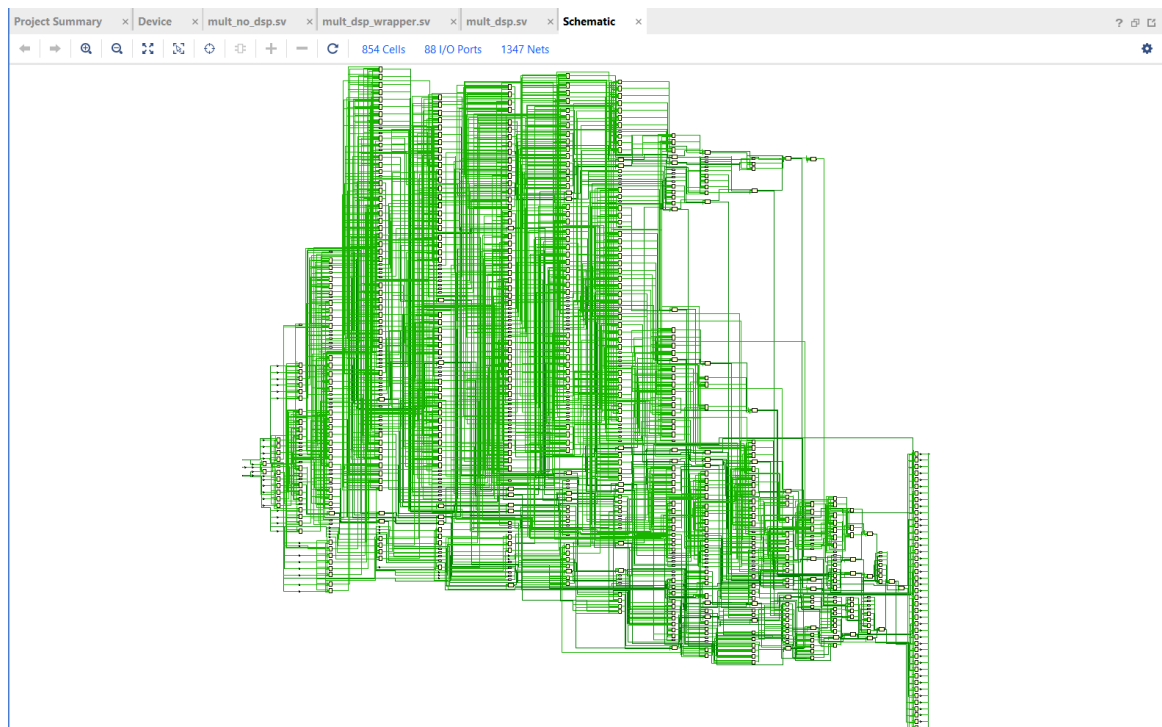


Рисунок 2 Schematic of mult_no_dsp

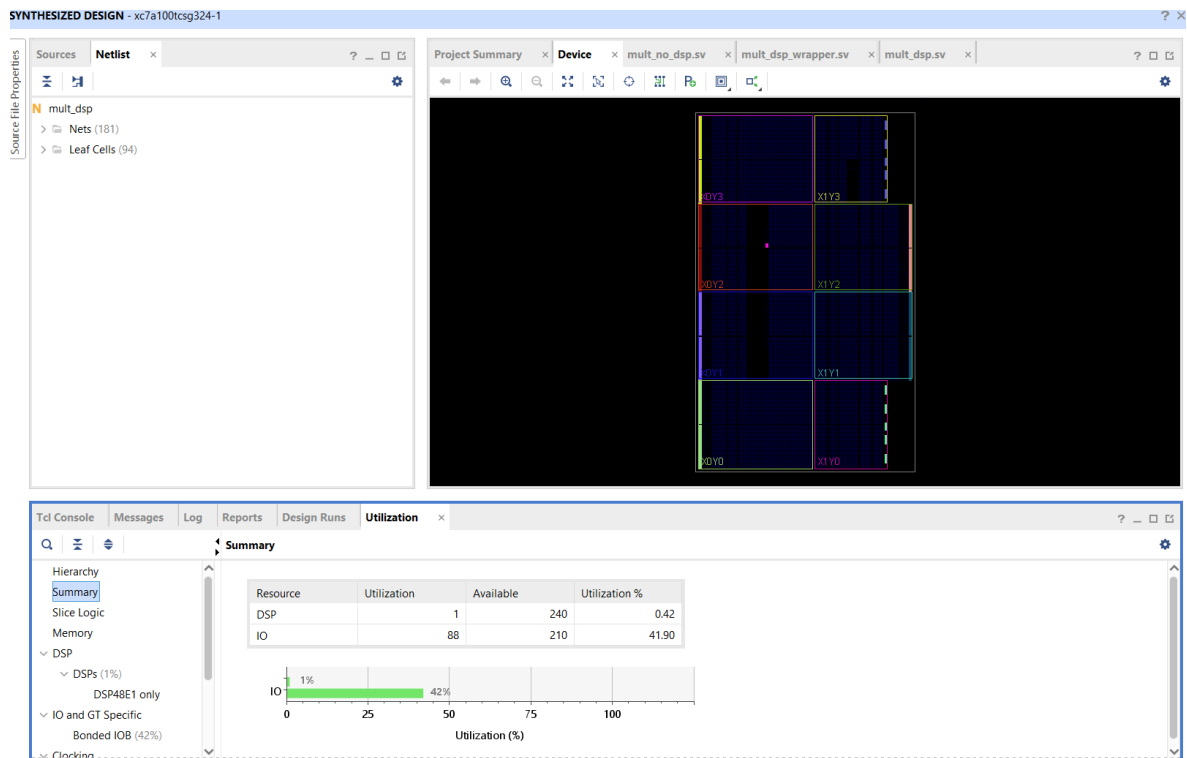


Рисунок 3 Utilization report of mult_dsp

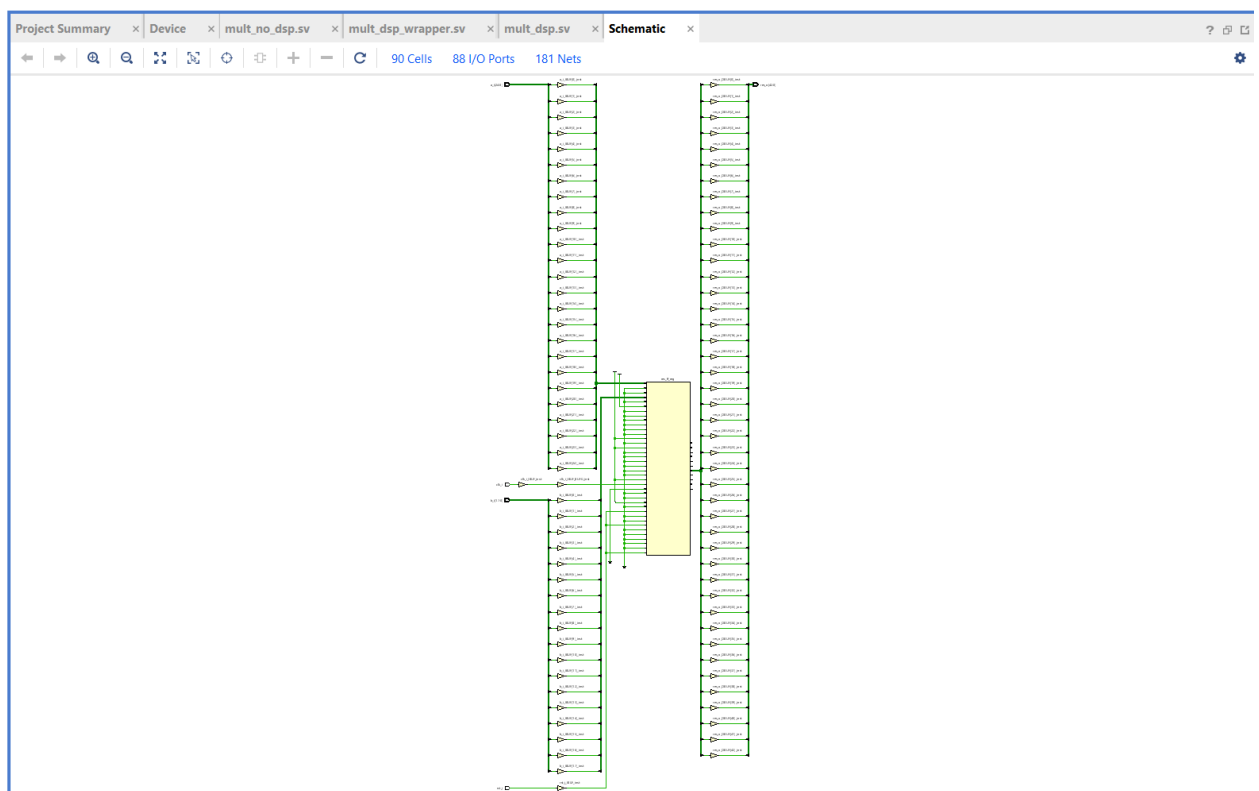
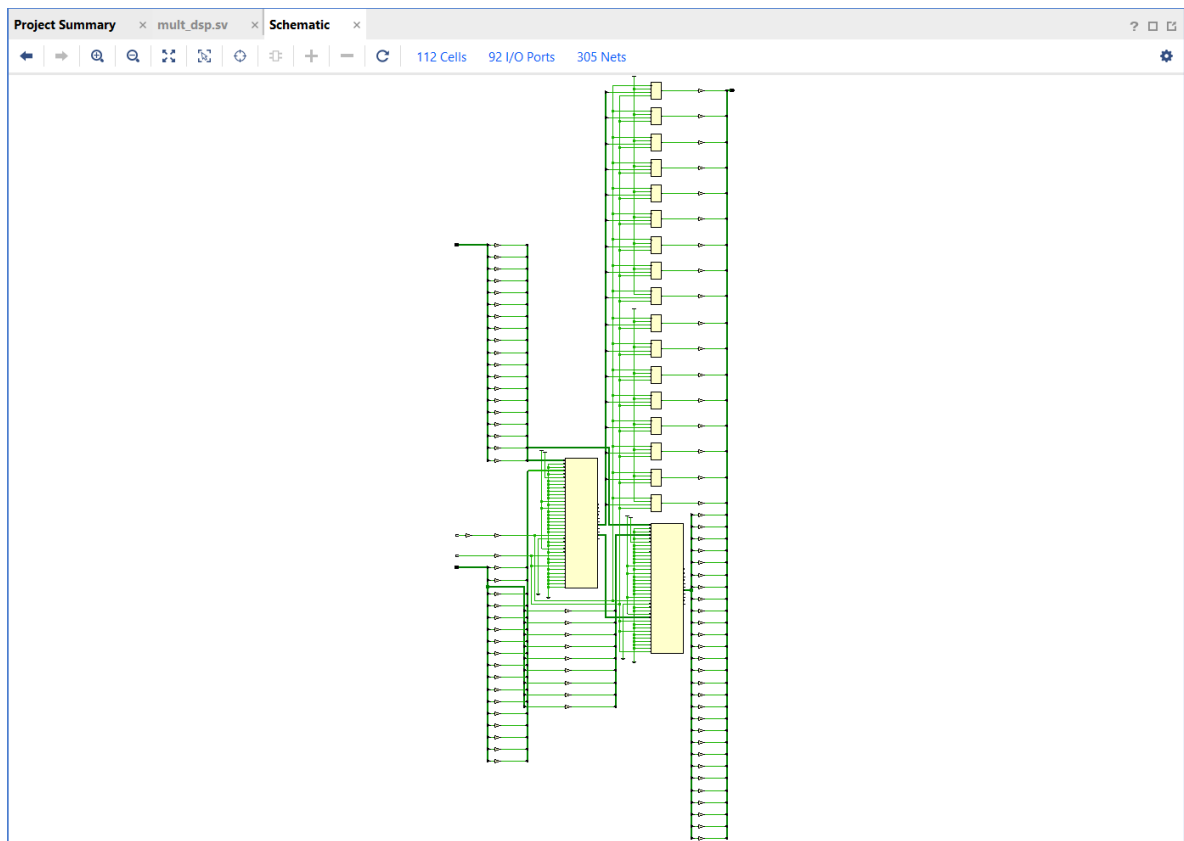
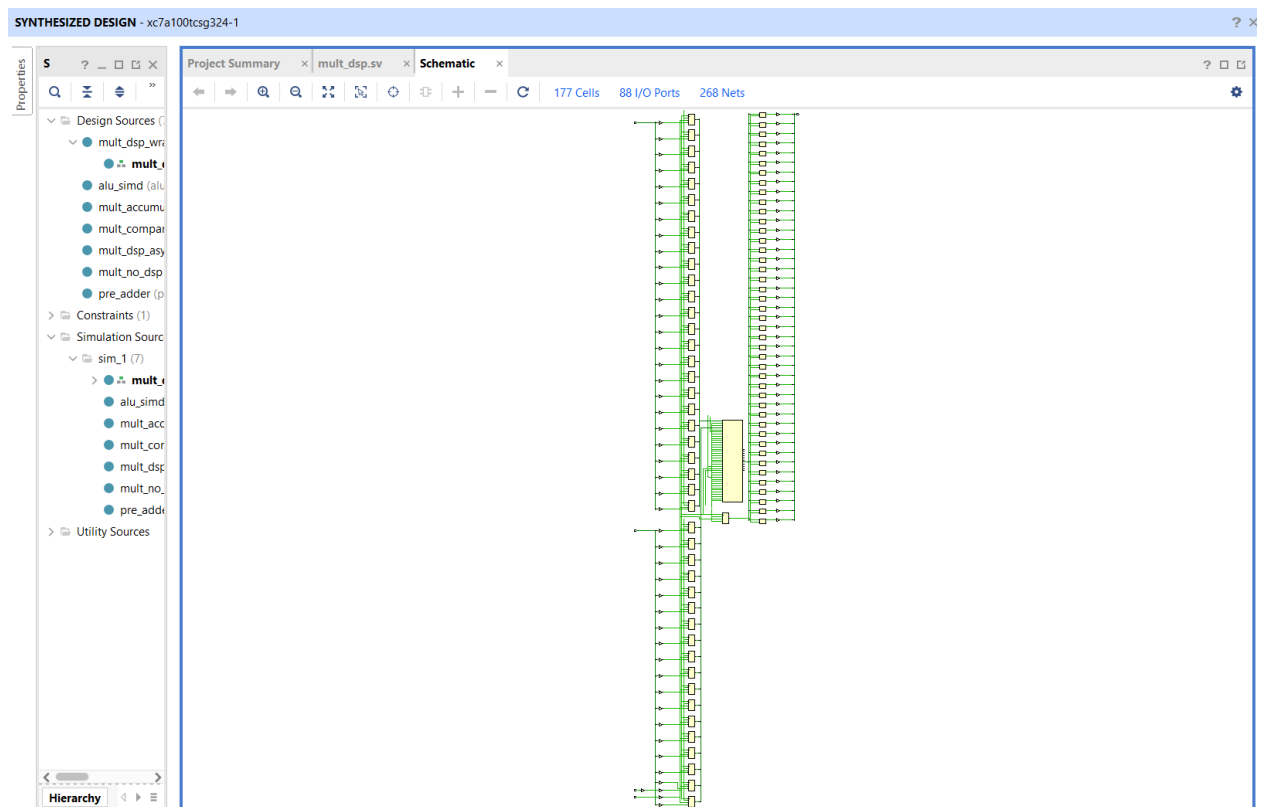


Рисунок 4 Schematic of mult_dsp

- Увеличьте разрядность одного или сразу двух входов в примере "Умножение с DSP". Откройте Synthesis > Schematic и объясните увиденное.



- Почему в примере "Умножение с DSP" на схеме Synthesis > Schematic отсутствуют регистры? Куда они пропали и где находятся?
 Ответ: регистры не пропали, они находятся внутри DSP-ячейки.
- В примере "Умножение с DSP" поменяйте тип сброса на асинхронный. Что случилось с регистрами на схеме Synthesis > Schematic? Почему?



Ответ: в DSP-ячейках присутствуют только регистры с синхронным сбросом, поэтому были синтезированы дополнительные регистры с асинхронным.

- Подключите файл [clk.xdc](#) к проектам с примерами "Умножение без DSP" и "Умножение с DSP" и выполните сравнительный анализ тактовой частоты. **Внимание! Для примера "Умножение с DSP" используйте top-level модуль-обёртку [mult_dsp_wrapper.sv](#).** Какие получились тактовые частоты у разных примеров? Почему они отличаются?

Design Timing Summary

Setup	Hold	Pulse Width
Worst Negative Slack (WNS): 1,348 ns	Worst Hold Slack (WHS): 0,214 ns	Worst Pulse Width Slack (WPWS): 4,500 ns
Total Negative Slack (TNS): 0,000 ns	Total Hold Slack (THS): 0,000 ns	Total Pulse Width Negative Slack (TPWS): 0,000 ns
Number of Failing Endpoints: 0	Number of Failing Endpoints: 0	Number of Failing Endpoints: 0
Total Number of Endpoints: 43	Total Number of Endpoints: 43	Total Number of Endpoints: 87

All user specified timing constraints are met.

Рисунок 5 Timing summary of mult_no_dsp

Design Timing Summary

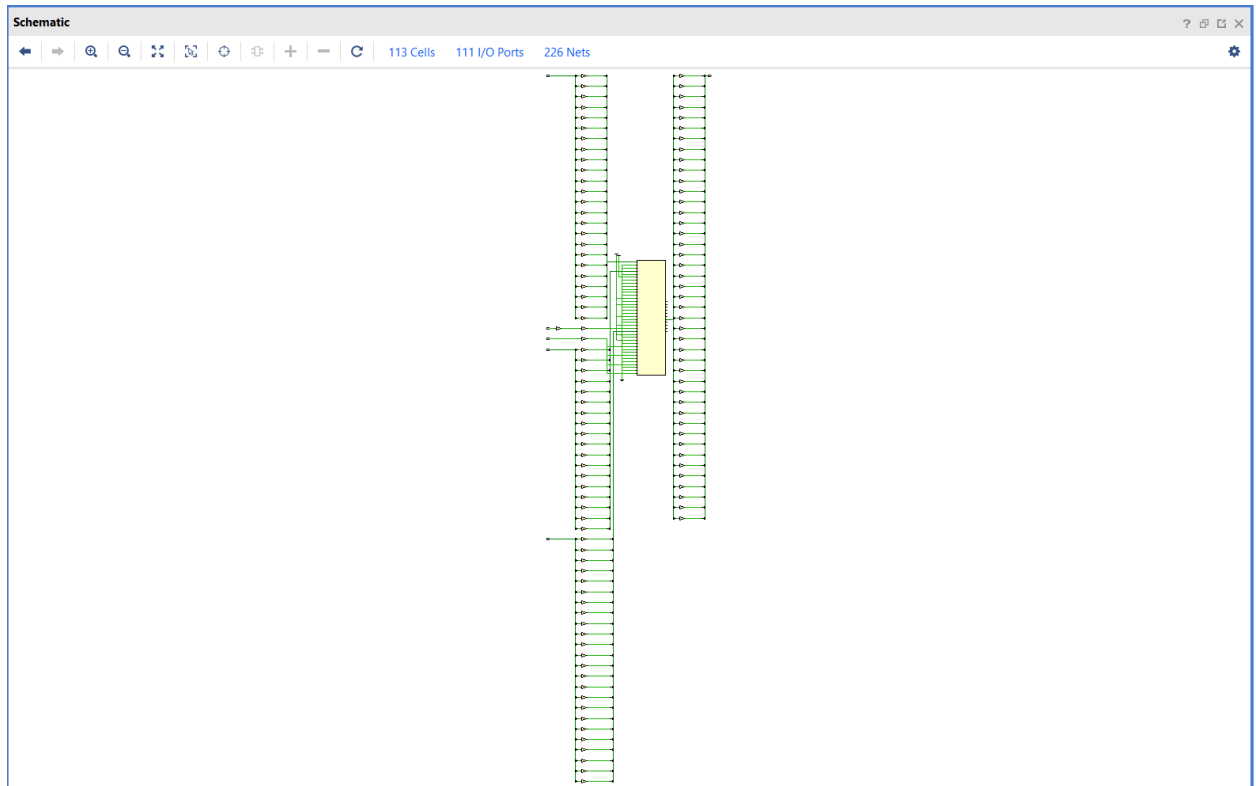
Setup	Hold	Pulse Width
Worst Negative Slack (WNS): 7,914 ns	Worst Hold Slack (WHS): 0,312 ns	Worst Pulse Width Slack (WPWS): 4,500 ns
Total Negative Slack (TNS): 0,000 ns	Total Hold Slack (THS): 0,000 ns	Total Pulse Width Negative Slack (TPWS): 0,000 ns
Number of Failing Endpoints: 0	Number of Failing Endpoints: 0	Number of Failing Endpoints: 0
Total Number of Endpoints: 48	Total Number of Endpoints: 48	Total Number of Endpoints: 46

All user specified timing constraints are met.

Рисунок 6 Timing summary of mult_dsp_wrapper

2. Воспроизведите пример "Предварительное сложение".

- Откройте Synthesis > Schematic. Почему на схеме не видно сумматора, который появился в этом примере?
- С помощью какого элемента DSP ячейки реализовано сложение в данном примере?

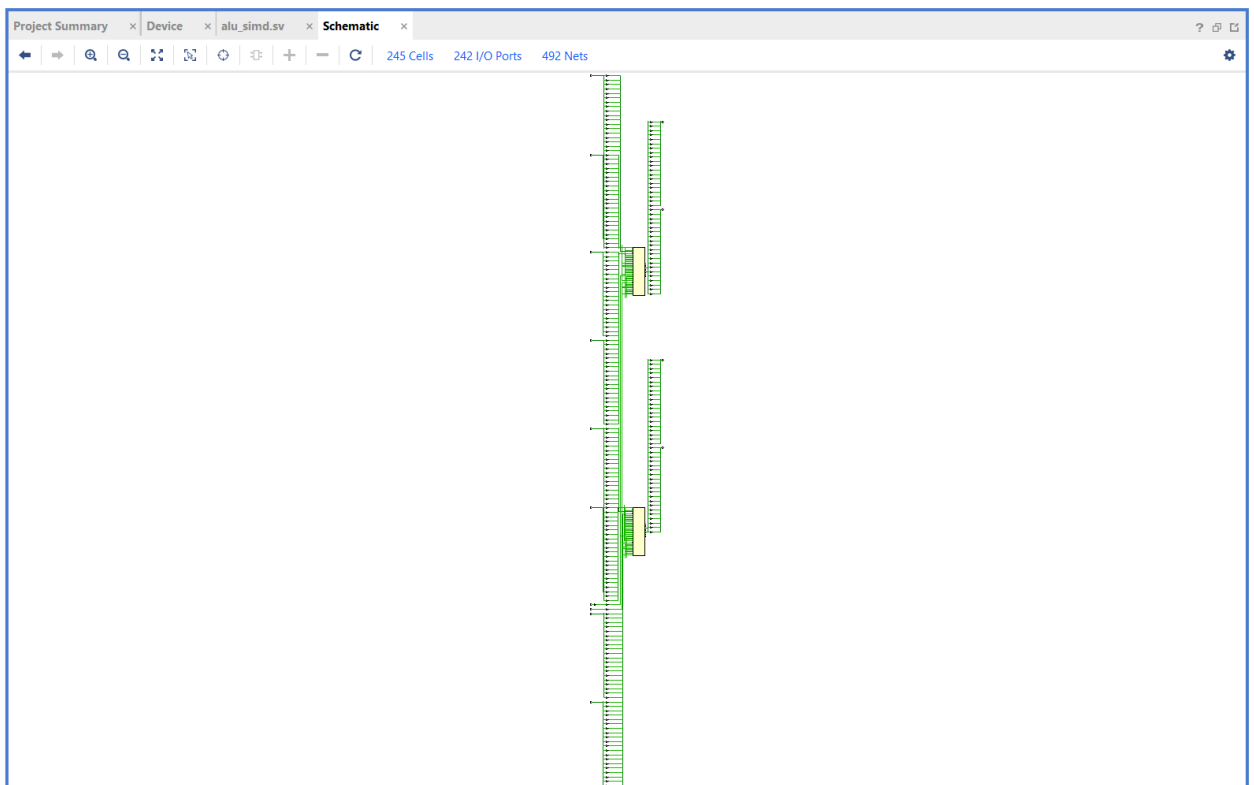
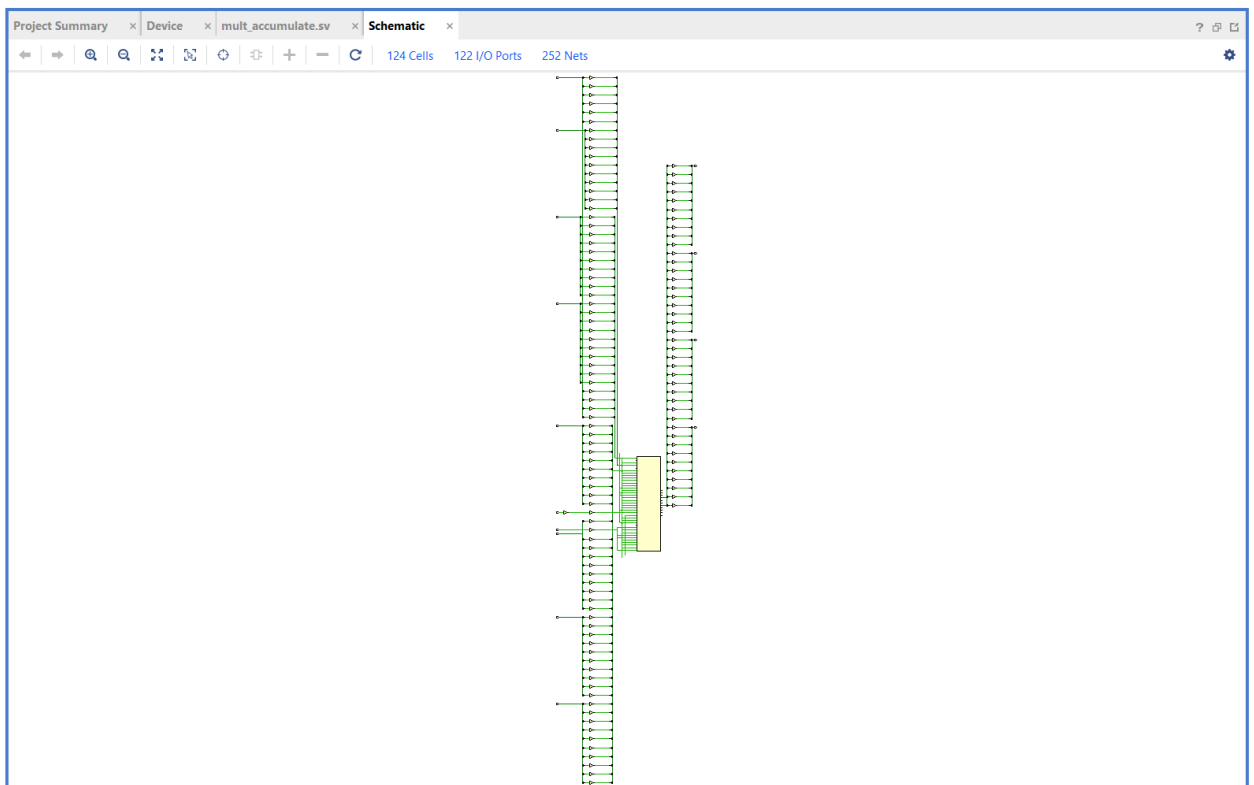


3. Воспроизведите пример "Умножение с накоплением"

- Что в этом примере делает сигнал `clear_i`? Сбрасывает накопление
- С помощью какого элемента DSP ячейки реализовано сложение в данном примере? АЛУ DSP ячейки

4. Воспроизведите пример "SIMD в АЛУ"

- Измените параметр `w` на 20. Откройте схему Synthesis > Schematic. Что поменялось? Почему?



5. Воспроизведите пример "Обнаружитель паттернов".
 - Для чего может быть использован обнаружитель паттернов?
обнаружение переполнения или округление чисел