

UNIVERSITÉ SULTAN
MOULAY SLIMANE LA
FACULTÉ POLY
DISCIPLINAIRE DE
KHOURIBGA

ARCHITECTURE DES ORDINATEURS

PR. MOHAMED CHAKRAOUI

PLAN

PREMIÈRE PARTIE:

HISTORIQUE DES ORDINATEURS

COMPOSANTS DES ORDINATEURS

DEUXIÈME PARTIE:

ALGÈBRE DE BOOL

LOGIQUE COMBINATOIRE

TROISIÈME PARTIE:

SYSTÈMES DE CALCUL(BINAIRE, OCTAL, DÉCIMAL, HEXADÉCIMAL)

TRANSFORMATION D'UN SYSTÈME À UN AUTRE

QUATRIÈME PARTIE:

FONCTIONNEMENT DES MICROPROCESSEURS

PROGRAMMATION DES MICROPROCESSEURS

INTÉRÊT DE L'ARCHITECTURE DES ORD.

PAS DU TOUT

- ✓ FAIRE DU TRAITEMENT DE TEXTE OU LES BASES DE DONNÉES
- ✓ CRÉER OU GÉRER UN SITE INTERNET
- ✓ DÉVELOPPER DES LOGICIELS EN JAVA OU EN C++
- ✓ UN PEU QUAND MÊME
- ✓ SATISFAIRE LA CURIOSITÉ INTELLECTUELLE : COMMENT MARCHE CETTE MACHINE SUR LAQUELLE JE PASSE DES JOURNÉES ?

ENORMÉMENT

- ✓ DÉVELOPPER DES SYSTÈMES DE TRAITEMENT HAUTE PERFORMANCE (AUDIO, VIDÉO, MÉDICAL, SPATIAL...)
- ✓ DÉVELOPPER DES SYSTÈMES MATÉRIELS (MÉMOIRE, MPROCESSEUR...)
- ✓ DONNER UNE EXPERTISE EN CHOIX DE MATÉRIEL
- ✓ ÉCRIRE DES SYSTÈMES D'EXPLOITATION
- ✓ DÉVELOPPER DES COMPILEURS

PREMIÈRE PARTIE

HISTORIQUE DES ORDINATEURS COMPOSANTS DES ORDINATEURS

CHP1 ARCHITECTURE DE L'ORDINATEUR DE L'ANTIQUITÉ AUX ANNÉES 40

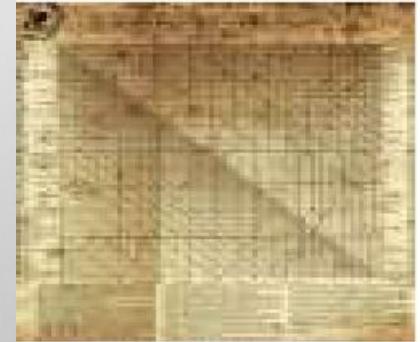
1. MOTIVATION
2. BOULIER
3. RÈGLES DE CALCUL, PASCALINE, MACHINES À DIFFÉRENCES ET ANALYTIQUE
4. MARK I
5. ABC ET ENIAC
6. MACHINE DE VON NEUMANN
7. EDVAC, UNIVAC ET EDSAC
8. PREMIÈRES MACHINES COMMERCIALISÉES (IBM 701...)
9. FACTEURS AYANT INFLUENCÉ L'ARCHITECTURE DES ORDINATEURS

MOTIVATION

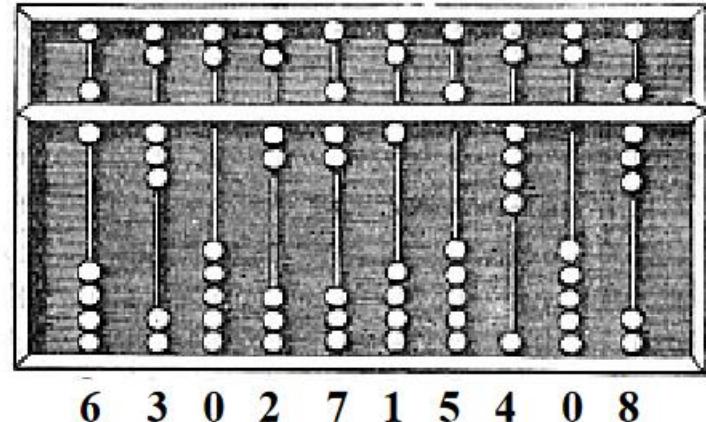
- ❖ LE BESOIN DE CALCULER REMONTE AU DÉBUT DE LA SOCIÉTÉ HUMAINE
- ❖ L'HOMME UTILISAIT DES CAILLOUX (CALCULUS) ET SES DOIGTS POUR COMPTER
- ❖ L'HOMME ÉTAIT LENT ET SE TROMPAIT SOUVENT
- ❖ DE NOUVEAUX Outils POUR SIMPLIFIER ET ACCÉLÉRER LE CALCUL ÉTAIENT NÉCESSAIRES

ANTIQUITÉ

- DIFFÉRENTES CIVILISATIONS ONT INVENTÉ DES BASES DE NUMÉROTATION ET DES MÉTHODES DE CALCUL
 - OCTOGONE À TRIGRAMME (-3000 EN CHINE) :
REPRÉSENTATION BINAIRE DES HUIT 1ERS CHIFFRES
PAR DES TRAITS INTERROMpus OU NON
 - ABAQUE (ABACUS) : TABLE DE CALCUL
 - TYPES : CHINOIS, GREC ET ROMAIN (SABLE,
JETONS...)
 - BOULIER EN EST UN DESCENDANT



ANTIQUITÉ



- BOULIER

- ENSEMBLE DE BOULES COULISSANTES SUR DES TIGES
- LES BOULES D'UNE TIGE INDIQUENT UN NOMBRE DE 0 À 15 ET REPRÉSENTENT UNE UNITÉ, UNE DIZAINE...
- LA PARTIE INFÉRIEURE (SUPÉRIEURE) D'UNE TIGE SUPÉRIEURE (INFÉRIEURE) REPRÉSENTE UN MULTIPLE DE 5 (UNE UNITÉ)
- OUTIL SERVANT À CALCULER : ADDITION, SOUSTRACTION, MULTIPLICATION, DIVISION, RACINE CARRÉE...

ANTIQUITÉ

- 1750 **CODE D'HAMMOURABI** : LE ROI DE BABYLONE A FAIT GRAVER LES SENTENCES ROYALES SOUS LA FORME :
SI {PERSONNE} ET {ACTION} ALORS {SENTENCE}
- 330 **LOGIQUE** : DÉFINIE PAR LE PHILOSOPHE GREC ARISTOTE
- + 820 **TRAVAUX DU MATHÉMATICIEN PERCE ABOU JAAFAR MOHAMMED IBN MOUSSA AL KHAWARIZMI** CONNU POUR SON LIVRE "AL JABR OUA EL MOKABALA" ÉCRIT À L'AN 825
- +1000 **ZÉRO** : INVENTÉ EN INDE, RAPPORTÉ EN OCCIDENT PAR LES ARABES ET ACCEPTÉ EN OCCIDENT VERS LE XIVÈME SIÈCLE

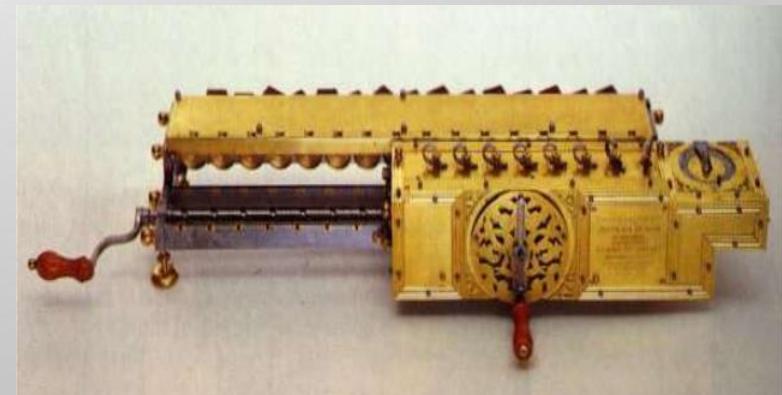
□ PASCALINE

- BLAISE PASCAL (1642-FRANCE)
 - MACHINE À BASE DE ROUES À ERGOT
 - UTILISÉE POUR DES ADDITIONS ET SOUSTRACTIONS



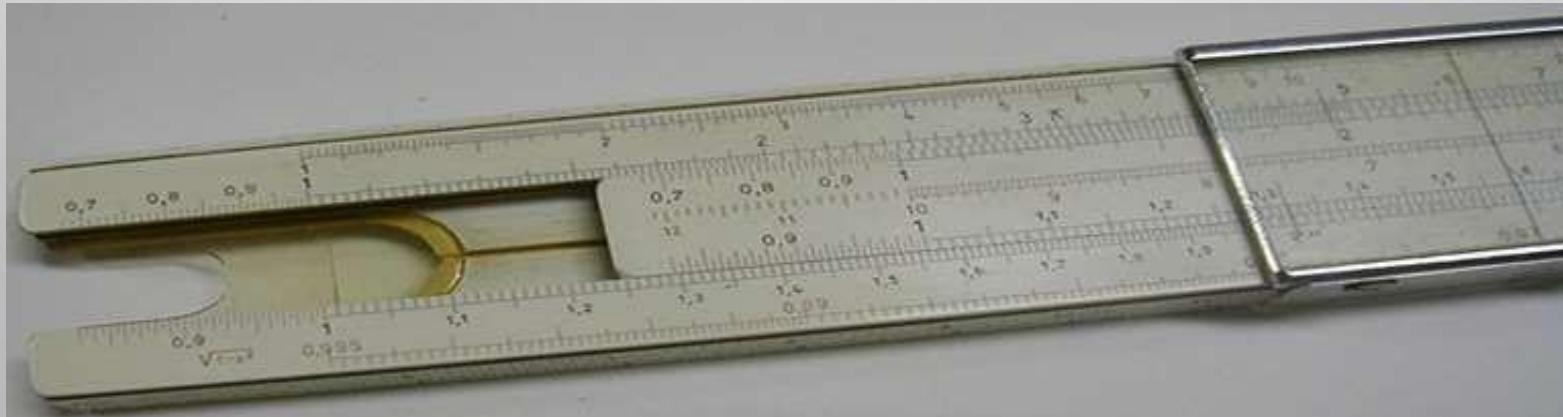
□ PASCALINE AMÉLIORÉE

- CONSTRUITE PAR LEIBNIZ (1673-ALLEMAGNE)
- UTILISE DES CYLINDRES À DENTS DE LONGUEURS INÉGALES
- CALCULE LES OPÉRATIONS +, - ET *



CALCULATEURS MÉCANIQUES

- RÈGLE DE CALCUL : W. OUGHTRED ET E.GUNTER EN 1620
 - APRÈS L'INVENTION DU LOGARITHME PAR J. NAPIER EN 1614
 - UTILISÉE DANS LA MULTIPLICATION : $\log(A \cdot B) = \log(A) + \log(B)$



MACHINE À DIFFÉRENCES



□ CALCULATEUR MÉCANIQUE

- ROUES DENTÉES SUR DES TIGES + MANIVELLES
- INVENTÉE PAR CHARLES BABBAGE (1823)
- CONSTRUISTE EN 1855 À PARIS
 - ÉVALUE DES POLYNÔMES DE 6^{ÈME} DEGRÉ
 - 33 À 44 NOMBRES DE 32 CHIFFRES PAR MINUTE

□ UTILITÉ : TABLES MATHÉMATIQUES ET NAUTIQUES (ASTRONOMIE + MARINE)

MACHINE À DIFFÉRENCES

- IDÉE :
 - APPROXIMER UNE FONCTION CONTINUE PAR UN POLYNÔME
 - ÉVALUER UN POLYNÔME À PARTIR DE TABLES DE DIFFÉRENCE

- EXEMPLE :

$$F(N) = N^2 + N + 41$$

$$D1(N) = F(N) - F(N-1) = 2N$$

$$D2(N) = D1(N) - D1(N-1) = 2$$

$$\begin{aligned}F(N) &= F(N-1) + D1(N) \\&= F(N-1) + (D1(N-1)+2)\end{aligned}$$

n	0	1	2	3	4	...
d2(n)			2	2	2	...
d1(n)		2	4	6	8	...
f(n)	41	43	47	53	61	...

MACHINE ANALYTIQUE (1842)



- PRÉCURSEUR DU CALCULATEUR NUMÉRIQUE
- UTILISE DES CARTES PERFORÉES
 - INSPIRÉES DU MÉTIER À TISSER DE JACQUARD
- COMPOSANTS :
 - UN MAGASIN (MÉMOIRE) : CARTES DES VARIABLES ET RÉSULTATS INTERMÉDIAIRES
 - UN MOULIN (UNITÉ DE CALCUL) : CARTES D'OPÉRATIONS
- CETTE MACHINE N'A PU ÊTRE RÉALISÉE
 - AUGUSTA ADA (1843) : DESCRIPTION DE LA MACHINE, 1ERS ALGORITHMES, BOUCLES ET BRANCHEMENTS

GRANDS NOMS



□ 1854 : GEORGE BOOLE DÉMONTRE QUE TOUT PROCESSUS LOGIQUE EST DÉCOMPOSABLE EN OPÉRATIONS LOGIQUES APPLIQUÉES SUR 2 ÉTATS



□ 1904 : J. A. FLEMING INVENTE LE TUBE À VIDE ET DIODE
□ 1937 : A. M. TURING INVENTE LA MACHINE DE TURING



GRANDS NOMS



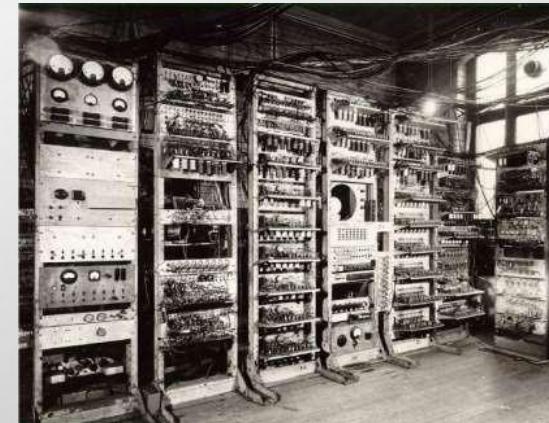
- 1938 : C. E. SHANNON FAIT LE PARALLÈLE ENTRE LES CIRCUITS ÉLECTRIQUES ET L'ALGÈBRE BOOLÉENNE ET DÉFINIT LE BIT
- 1945 : VON NEUMANN DÉFINIT UN MODÈLE FORMEL D'UN CALCULATEUR (MACHINE DE VON NEUMANN)



CALCULATEURS ÉLECTRONIQUES



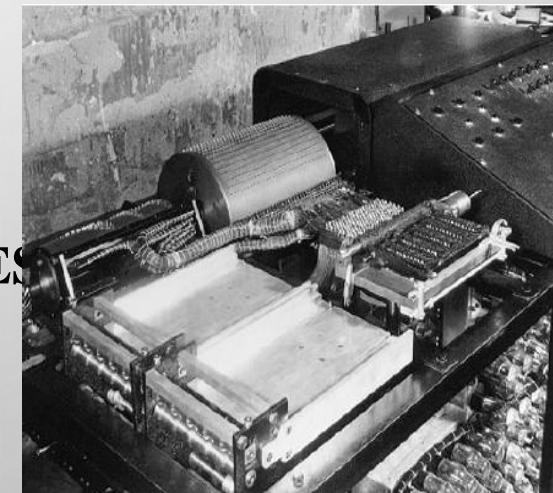
- **MARK I CRÉÉ EN 1944 PAR HOWARD AIKEN (UNIVERSITÉ DE HARVARD) CHEZ IBM**
- **CARACTÉRISTIQUES :**
 - ARBRES MÉCANIQUES+**RELAIS ÉLECTROMAGNÉTIQUES**
 - **5 TONNES**, 750000 COMPOSANTS
 - 1 HORLOGE DE 100 KHZ
 - DES CALCULATEURS EN PARALLÈLE, CALCUL
 - **DÉCIMAL**
- **PERFORMANCES :**
 - 3 ADDITIONS OU SOUSTRACTIONS/S
 - MULTIPLICATION : 6 S, DIVISION : 15,3 S
 - LOGARITHME/FONCTION TRIGONOMÉTRIQUE : 1 MIN



MACHINE ABC



- CRÉÉ EN 1939 PAR JOHN ATANASOFF ET SON ÉTUDIANT CLIFFORD BERRY (UNIV. DE IOWA)
- IDÉE : UTILISER UNE MACHINE NUMÉRIQUE
- CARACTÉRISTIQUES :
 - 300 TUBES À VIDE+RELAIS ÉLECTROMÉCANIQUES
 - 320 KG ; 1,5 KM DE FILS
 - 1^{ER} À FAIRE DES CALCULS EN BINAIRE
 - UTILISE L'ALGÈBRE DE BOOLE
 - 30 ADDITIONS/S ; 1 MULTIPLICATION/S
- RÉSOUT DES ÉQUATIONS DIFFÉRENTIELLES





ENIAC (1/3)

- (ELECTRONIC NUMERICAL INTEGRATOR AND COMPUTER)
- CRÉÉ PAR LE CHERCHEUR JOHN. H. MAUCHLY ET L'INGÉNIEUR PRESPER ECKERT EN 1943-1945 (UNIV. DE PENNSYLVANIA)
- USAGE : CALCULS BALISTIQUES
 - – CALCULE LA TRAJECTOIRE D'UN PROJECTILE EN 20 S AU LIEU DE 3 JOURS DE CALCUL MANUEL

ENIAC (2/3)

□ CARACTÉRISTIQUES :

- 1^{ER} ORDINATEUR MODERNE **NON MÉCANIQUE**
- 18000 TUBES, LECTEUR DE **CARTES PERFORÉES**, IMPRIMANTE ÉLECTRIQUE, 6000 COMMUTATEURS CONNECTABLES
- **30 TONNES**, FORME EN U DE 6M ET 12M
- **20 CALCULATEURS EN PARALLÈLE**
- CALCUL DÉCIMAL
- **5000 ADDITIONS/S**, 1 DIVISION EN 6MS
- 120 CARTES LUES/MIN

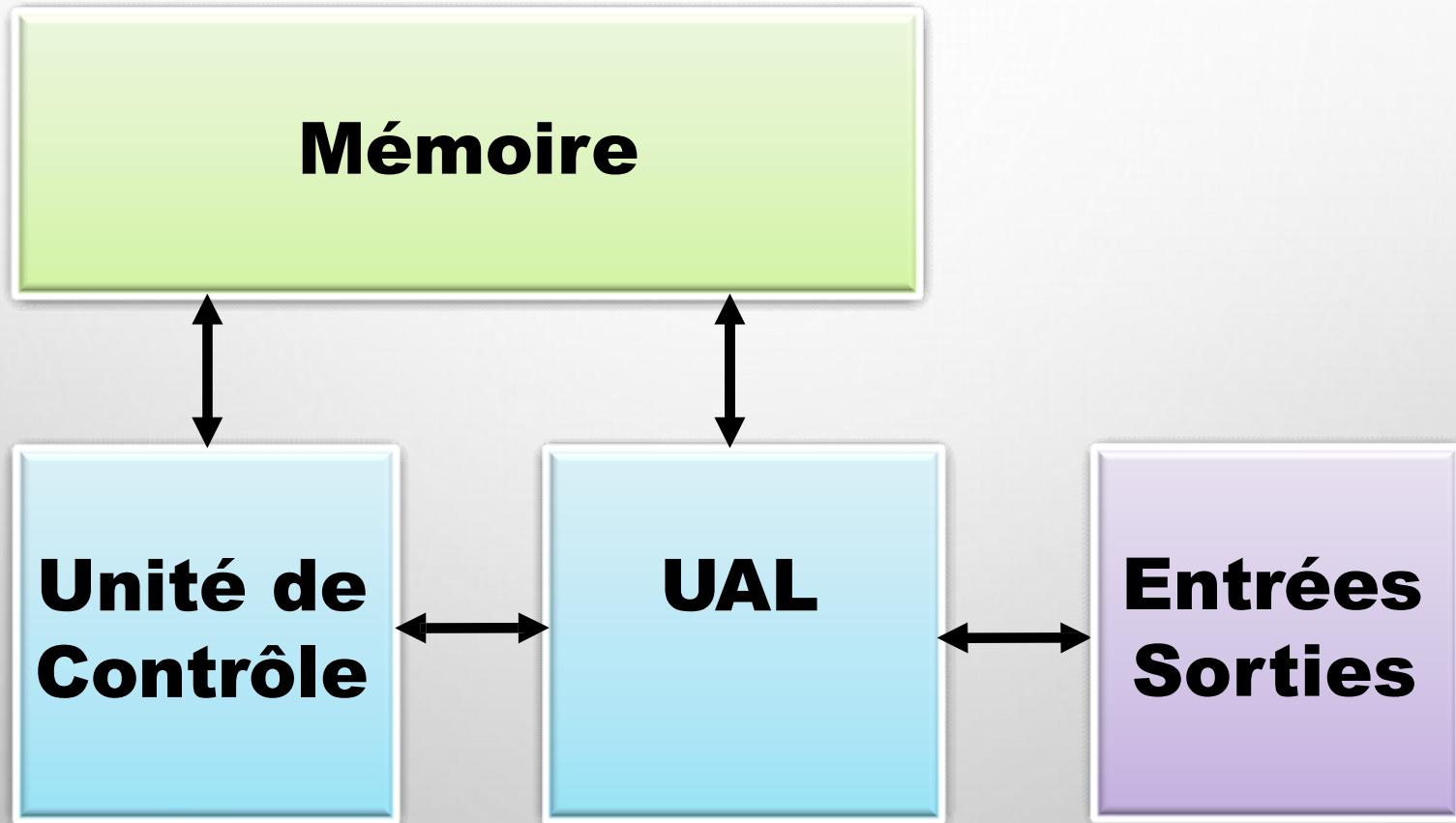


ENIAC (3/3)

□ LIMITATIONS

- FIABIBILITÉ: MTBF (MEAN TIME BETWEEN FAILURES) EST DE 20 MN
- DIFFICULTÉ D'APPELER UN PROGRAMME À PARTIR D'UN AUTRE PROGRAMME
- EXÉCUTION D'INSTRUCTIONS SELON UN ORDRE PRÉDÉTERMINÉ
- INTERVENTION MANUELLE POUR ROMPRE LA SÉQUENCE SELON DES RÉSULTATS PRÉCÉDENTS (CAS IF ELSE)

MACHINE DE VON NEUMANN (1945)



DESCRIPTION DE LA MACHINE DE VON NEUMANN

- **UAL** : EFFECTUE LES CALCULS
- **UC** : COMMANDE LES AUTRES UNITÉS
 - ENVOIE DES SIGNAUX DE CONTRÔLE AUX AUTRES UNITÉS
 - SUPERVISE LE FONCTIONNEMENT DE L'UAL
 - ENVOIE DES SIGNAUX D'HORLOGE AUX AUTRES UNITÉS...
- **MÉMOIRE** : DISPOSITIF DE STOCKAGE DE DONNÉES ET PROGRAMME
- **E/S** : PERMETTENT L'ÉCHANGE D'INFORMATIONS AVEC LES DISPOSITIFS EXTÉRIEURS

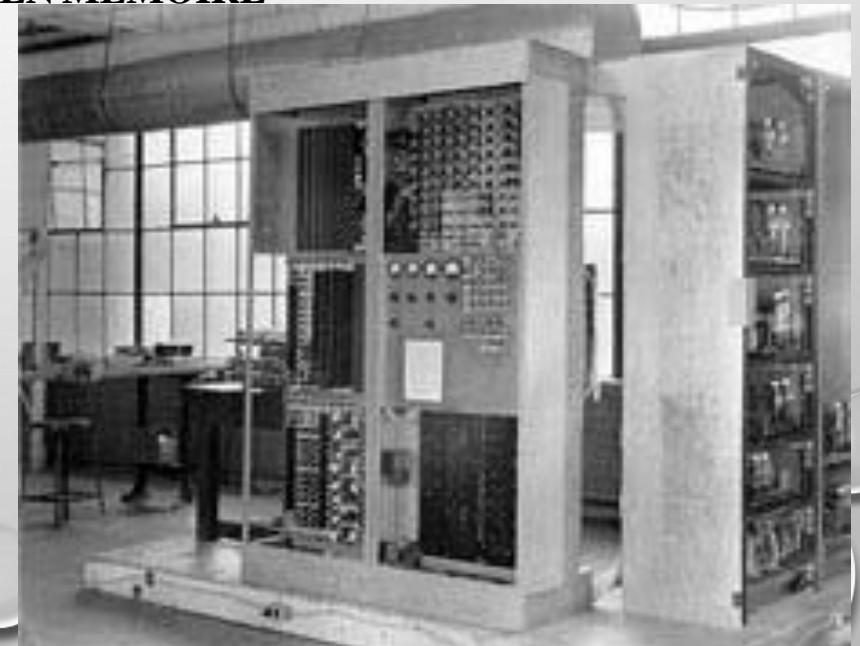
PRINCIPES DE LA MACHINE DE VON NEUMANN

- MACHINE UNIVERSELLE CONTRÔLÉE PAR UN PROGRAMME
- DONNÉES ET PROGRAMME EN MÉMOIRE (BINAIRE)
- EXÉCUTION SÉQUENTIELLE PAR DÉFAUT
- POSSIBILITÉ DE TESTS, BOUCLES ET SAUTS CONDITIONNELS
- ARCHITECTURE SISD (SINGLE INSTRUCTION SINGLE DATA)
 - UNE UC TRAITE UNE SÉQUENCE D'INSTRUCTIONS
 - UNE UAL TRAITE UNE SÉQUENCE DE DONNÉES

EDVAC

□ (ELECTRONIC DISCRETE VARIABLE AUTOMATIC COMPUTER)

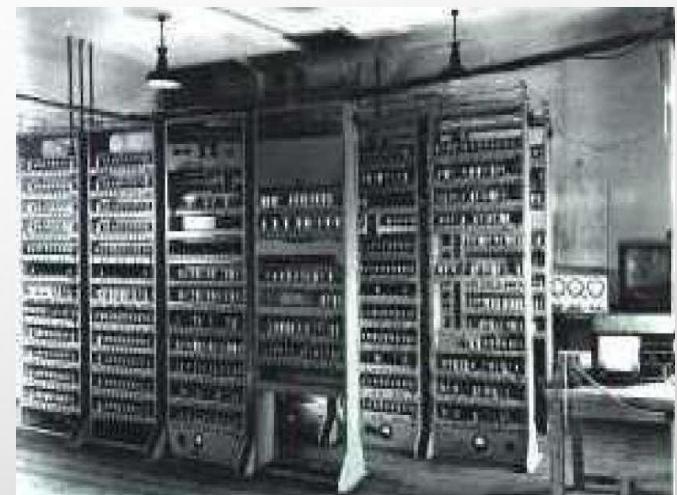
- EDVAC (1946) : AMÉLIORATION DE L'ENIAC PAR L'AIDE DE VON NEUMANN (AUTOSÉQUENCEMENT AU LIEU D'OPÉRATRICES)
- IDÉE : ENREGISTRER LE PROGRAMME EN MÉMOIRE
- CARACTÉRISTIQUES :
 - 2000 TUBES,
 - 1 UNITÉ DE CALCUL,
 - MÉMOIRE DE 200 MOTS.





EDSAC

- CRÉÉ PAR MAURICE WILKES EN 1950
- INSPIRÉ DU DRAFT REPORT DE
 - V. NEUMANN (EDVAC)
- CARACTÉRISTIQUES :
 - **6 FOIS + PETIT QUE L'ENIAC**
 - MÉMOIRE DE LIGNES À RETARD AU MERCURE DE 512 MOTS DE 17 BITS
 - 1 ADDITION : 1,4 MS, 1 MULTIPLICATION : 5,4MS

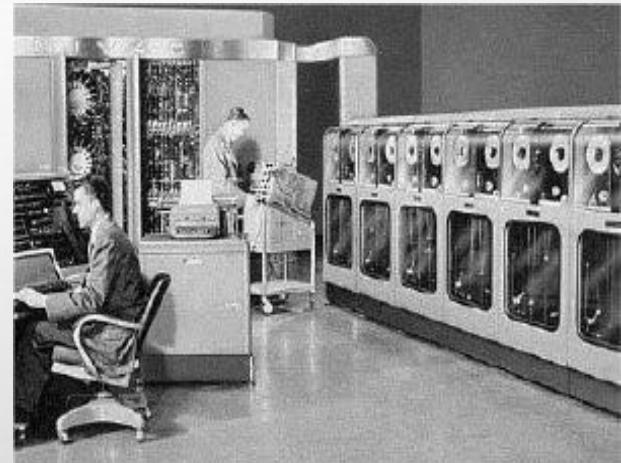


1ÈRES MACHINES COMMERCIALISÉES

- UNIVAC : 1ER ORDINATEUR COMMERCIALISÉ (1951)
 - 56 EXEMPLAIRES VENDUES
DONT 19 POUR L'ARMÉE

□ CARACTÉRISTIQUES :

- 5000 TUBES
- **BANDES MAGNÉTIQUES** AU LIEU DES CARTES PERFORÉES
- 1 ADDITION EN 0,5MS ET 1 MULTIPLICATION EN 2,5 MS

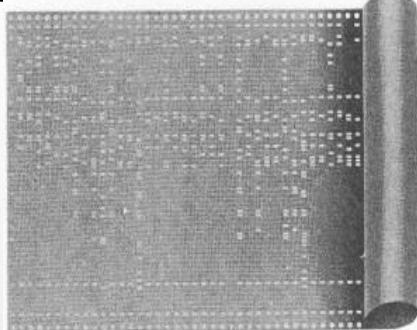


SSEC

- (SELECTIVE SEQUENCE ELECTRONIC CALCULATOR)
 - CRÉÉ PAR WALLACE ECKERT CHEZ IBM EN 1948
 - POPULAIRE ET UTILISÉ EN PRIVÉ (300\$/HEURE)
 - UTILITÉ : TABLES DE POSITIONS DE LA LUNE (PROJET APOLLO), PHYSIQUE NUCLÉAIRE ET BOMBE HYDROGÈNE



CARACTÉRISTIQUES DU SSEC



- 21400 RELAIS, 13500 TUBES
- 150 MOTS DANS UNE MÉMOIRE À RELAIS
- BANDES PERFORÉES DE DONNÉES OU D'INSTRUCTIONS
- 66 LECTEURS DE BANDES
- **BOUCLE PAR COLLAGE DES EXTRÉMITÉS D'UNE BANDE**
- 3 PHASES DE CALCUL :
 - PRODUIRE UNE CARTE DE RÉSULTATS INTERMÉDIAIRES
 - EN COLLER LES EXTRÉMITÉS ET LA PLACER DANS UN LECTEUR
 - LIRE LES RÉSULTATS AUTANT DE FOIS QU'IL LE FAUT

IBM 701

- INSPIRÉ DE L'IAS
- USAGE : **OPÉRATIONS SCIENTIFIQUE**
- 30 MACHINES VENDUES EN 1953-54
- CARACTÉRISTIQUES :
 - MACHINE BINAIRE
 - MÉMOIRE PRINCIPALE À TUBES DE 2048 MOTS DE 36 BITS
 - MÉMOIRE SECONDAIRE À TAMBOUR DE 8192 MOTS
 - LECTEURS DE CARTES PERFORÉES ET BANDES MAGNÉTIQUES
(1 BANDE = 1500 CARTES)
 - 16000 ADDITIONS/S , 2000 MULTIPLICATIONS/S



IBM 704

- LANCÉ PAR IBM EN AVRIL 1955
- 1^{ER} ORDINATEUR COMMERCIAL EFFECTUANT DES **CALCULS FLOTTANTS**
- MÉMOIRE À TORES DE FERRITE DE 32768 MOTS DE 36 BITS
- 40 000 INSTRUCTIONS/S
- 123 MACHINES VENDUES JUSQU'EN 1960



IBM 650 (1954-1962)

- 1^{ER} ORDINATEUR FABRIQUÉ EN SÉRIE
- PLUS DE 1000 MACHINES VENDUES
- USAGE : **OPÉRATIONS COMMERCIALES**
- CARACTÉRISTIQUES :
 - MACHINE À TUBES, **900 KG**
 - MÉMOIRE À TAMBOUR** DE 4000 MOTS
 - MÉMOIRE À FERRITE** DE 60 MOTS POUR COMMUNIQUER AVEC SES PÉRIPHÉRIQUES PLUS LENTS
 - ADDITION : 1,63 MS, MULTIPLICATION : 12,96 MS, DIVISION : 16,90 MS



IBM LEADER DU MARCHÉ

- IBM POSSÉDAIT LA PLUS GRANDE PART DU MARCHÉ
- CROISSANCE EXCEPTIONNELLE DURANT LES ANNÉES 50 :
 - NOMBRE D'EMPLOYÉS PASSÉ DE 30000 À 100000
 - REVENUS MULTIPLIÉS PAR CINQ : DE 266 MILLIONS \$ À 1613 MILLIONS \$
- IBM A DOMINÉ LE MARCHÉ DURANT LES ANNÉES 60 GRÂCE AU SYSTÈME IBM/360

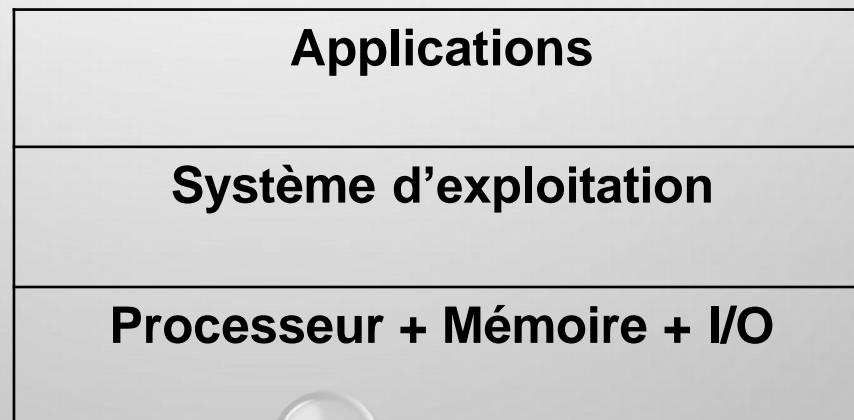
FACTEURS AYANT INFLUENCÉ L'ARCHITECTURE DES ORDINATEURS (1 / 3)

□ TECHNOLOGIE :

- TRANSISTORS, CIRCUITS INTÉGRÉS, VLSI, MÉMOIRE CORE, ROM, RAM, BANDES MAGNÉTIQUES, DISQUES, CD, DVD...
- RÉVOLUTION DES MICROPROCESSEURS (DEPUIS 1990)
 - ❖ IMPORTANT INVESTISSEMENT HUMAIN ET FINANCIER (PENTIUM PRO : 500 INGÉNIEURS, ITANIUM : 1000 INGÉNIEURS)
 - ❖ MONTÉE DE LA VITESSE D'HORLOGE ET DU RENDEMENT
 - ❖ BAISSE DES PRIX À 1 DIXIÈME

FACTEURS AYANT INFLUENCÉ L'ARCHITECTURE DES ORDINATEURS (2/3)

- COMPATIBILITÉ D'ARCHITECTURE DES JEUX D'INSTRUCTIONS ET PORTABILITÉ
 - POSSIBILITÉ D'EXÉCUTION DE PROGRAMMES SUR DIFFÉRENTS MODÈLES COMPATIBLES (EX : IBM 360/370, INTEL X86...)



FACTEURS AYANT INFLUENCÉ L'ARCHITECTURE DES ORDINATEURS (3/3)

□ LOGICIEL (SOFTWARE) :

- NÉCESSITÉ DE SATISFAIRE LES BESOINS DES CONCEPTEURS SOFTWARE ET LES EXIGENCES DES CONCEPTEURS DU MATÉRIEL (HARDWARE)
- DÉVELOPPEMENT DE MICRO-MÉCANISMES POUR RÉALISER DES MÉCANISMES ABSTRAITS DEMANDÉS EN LOGICIEL
- ELABORATION DE LANGAGES ET STRATÉGIES DE COMPILEATION RESPECTANT DES MÉCANISMES PRIS EN COMPTE POUR UNE PERFORMANCE MATÉRIELLE

CHP2 STRUCTURE DE L'ORDINATEUR

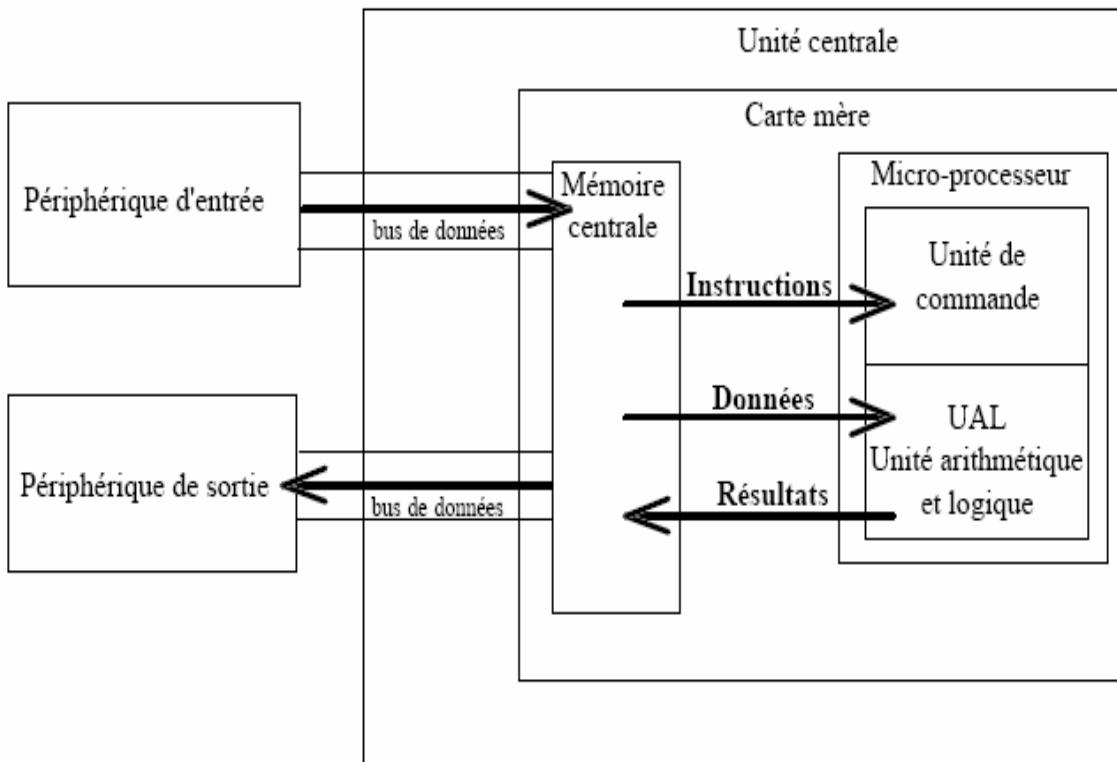
□ TERMINOLOGIE

1. DÉFINITION
2. UNITÉ CENTRALE
3. SCHÉMA D'UAL
4. REGISTRES
5. DÉCODEUR ET SÉQUENCEUR
6. BUS
7. OUTILS LOGICIELS

INTRODUCTION

UN **ORDINATEUR** EST UN ENSEMBLE DE CIRCUITS ÉLECTRONIQUES PERMETTANT DE MANIPULER DES DONNÉES SOUS FORME BINAIRE, C'EST-À-DIRE SOUS FORME DE BITS. LE MOT « **ORDINATEUR** » PROVIENT DE LA SOCIÉTÉ *IBM FRANCE*. FRANÇOIS GIRARD, ALORS RESPONSABLE DU SERVICE PROMOTION GÉNÉRALE PUBLICITÉ DE L'ENTREPRISE *IBM FRANCE*, EUT L'IDÉE DE CONSULTER SON ANCIEN PROFESSEUR DE LETTRES À PARIS, AFIN DE LUI DEMANDER DE PROPOSER UN MOT CARACTÉRISANT LE MIEUX POSSIBLE CE QUE L'ON APPELAIT VULGAIREMENT UN « **CALCULATEUR** » (TRADUCTION LITTÉRALE DU MOT ANGLAIS « **COMPUTER** »).

INTRODUCTION



TERMINOLOGIE

- ❑ ANGLAIS : COMPUTER → CALCULATEUR
- ❑ FRANÇAIS : ORDINATEUR → ORDRE (COMMANDE ET ORGANISATION)
- ❑ ARABE : الكمبيوتر, الحاسوب
- ❑ 1955 : CRÉATION DU MOT FRANÇAIS «ORDINATEUR», DÉPOSÉ D'ABORD PAR IBM, POUR DÉSIGNER CE QUI EST EN ANGLAIS UN "COMPUTER"

DÉFINITION

- ARCHITECTURE DES ORDINATEURS

Organisation des ordinateurs

Structure des ordinateurs

UCT(UAL+UC)

+ Mémoire

+ Unité d E/S

+ Interconnexions

- + logiciels
- + compilateurs
- + systèmes d'exploitation
- + algorithmes
- + conception des circuits
- + SGBD + algorithmes
- + langages + ...

TYPES D'ORDINATEURS

- **DÉFINITION**

TOUTE MACHINE CAPABLE DE MANIPULER DES INFORMATIONS BINAIRES PEUT ÊTRE QUALIFIÉE D'ORDINATEUR, TOUTEFOIS LE TERME « ORDINATEUR » EST PARFOIS CONFONDU AVEC LA NOTION D'ORDINATEUR PERSONNEL (**PC**, ABRÉVIAISON DE *PERSONAL COMPUTER*), LE TYPE D'ORDINATEUR LE PLUS PRÉSENT SUR LE MARCHÉ. OR IL EXISTE BEAUCOUP D'AUTRES TYPES D'ORDINATEURS (LA LISTE SUIVANTE EST NON EXHAUSTIVE) :

APPLE MACINTOSH

STATIONS ALPHA

CONSTITUTION DE L'ORDINATEUR

UN ORDINATEUR EST UN ENSEMBLE DE COMPOSANTS ÉLECTRONIQUES MODULAIRES, C'EST-À-DIRE DES COMPOSANTS POUVANT ÊTRE REMPLACÉS PAR D'AUTRES COMPOSANTS AYANT ÉVENTUELLEMENT DES CARACTÉRISTIQUES DIFFÉRENTES, CAPABLES DE FAIRE FONCTIONNER DES PROGRAMMES INFORMATIQUES. ON PARLE AINSI DE « **HARDWARE** » POUR DÉSIGNER L'ENSEMBLE DES ÉLÉMENTS MATÉRIELS DE L'ORDINATEUR ET DE « **SOFTWARE** » POUR DÉSIGNER LA PARTIE LOGICIELLE.

LA CARTE MÈRE

L'élément constitutif principal de l'ordinateur est la **carte mère** (en anglais « *mainboard* » ou « *motherboard* »), parfois abrégé en « *mobo* »). La carte mère est le socle permettant la connexion de l'ensemble des éléments essentiels de l'ordinateur.

Caractéristiques

Il existe plusieurs façons de caractériser une carte mère, notamment selon les caractéristiques suivantes :

Le facteur d'encombrement,

Le chipset,

Le type de support de processeur,

Les connecteurs d'entrée-sortie.

LE CHIPSET

- LE CHIPSET (TRADUISEZ *JEU DE COMPOSANTS* OU *JEU DE CIRCUITS*) EST UN CIRCUIT ÉLECTRONIQUE CHARGÉ DE COORDONNER LES ÉCHANGES DE DONNÉES ENTRE LES DIVERS COMPOSANTS DE L'ORDINATEUR (PROCESSEUR, MÉMOIRE...). DANS LA MESURE OÙ LE CHIPSET EST INTÉGRÉ À LA CARTE MÈRE, IL EST IMPORTANT DE CHOISIR UNE CARTE MÈRE INTÉGRANT UN CHIPSET RÉCENT AFIN DE MAXIMISER LES POSSIBILITÉS D'ÉVOLUTIVITÉ DE L'ORDINATEUR.
- CERTAINS CHIPSETS INTÈGENT PARFOIS UNE PUCE GRAPHIQUE OU UNE PUCE AUDIO, CE QUI SIGNIFIE QU'IL N'EST PAS NÉCESSAIRE D'INSTALLER UNE CARTE GRAPHIQUE OU UNE CARTE SON. IL EST TOUTEFOIS PARFOIS CONSEILLÉ DE LES DÉSACTIVER (LORSQUE CELA EST POSSIBLE) DANS LE SETUP DU BIOS ET D'INSTALLER DES CARTES D'EXTENSION DE QUALITÉ DANS LES EMPLACEMENTS PRÉVUS À CET EFFET.

LE CHIPSET

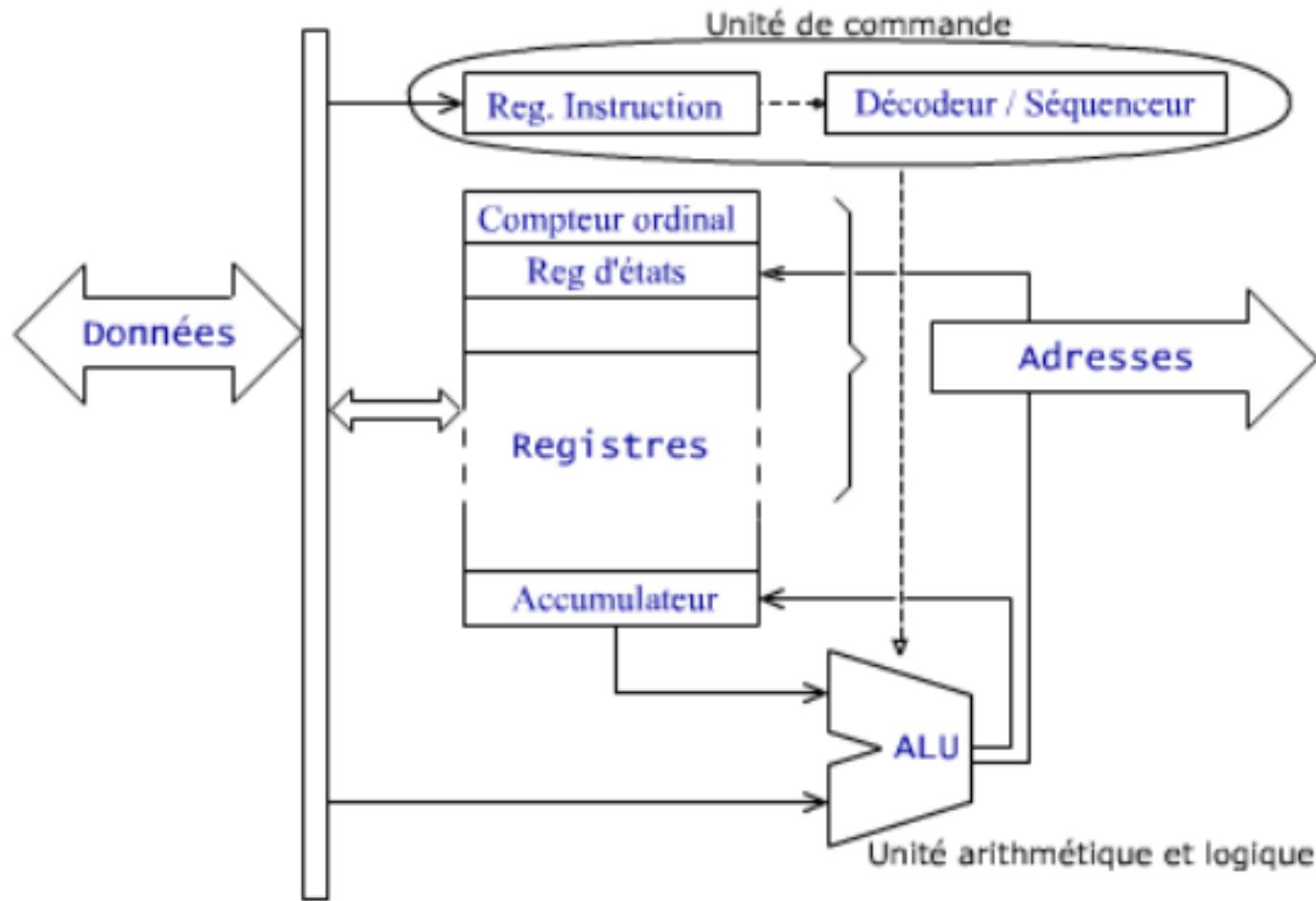
LE CHIPSET N'EST GÉNÉRALEMENT PAS CONSTITUÉ D'UN SEUL CIRCUIT INTÉGRÉ, MAIS PARFOIS DE 8 (LES PLUS ANCIENS) ET PARFOIS DE 2.

POUR LES ORDINATEURS CONTENANT DEUX CIRCUITS INTÉGRÉS CONSTITUANT LE CHIPSET, LE PREMIER SERT DE LIEN ENTRE LE PROCESSEUR ET LA RAM (NORTHBRIDGE) ET L'AUTRE CIRCUIT INTÉGRÉ (SOUTHBRIDGE) GÈRE LES I/O, MAIS INTÈGRE AUSSI DES CIRCUITS SUPPLÉMENTAIRES COMME LA CARTE RÉSEAU ET LA CARTE SON

LE PROCESSEUR

- LE CPU **CENTRAL PROCESSING UNIT** PARFOIS AUSSI APPELÉ PROCESSEUR OU MICROPROCESSEUR EST LE CERVEAU DU PC. C'EST D'AILLEURS LE COMPOSANT LE PLUS CHER. IL COÛTE GROSSO MODO LE DOUBLE DU PRIX DE LA CARTE MÈRE.





A PARTIR DU CPU PARTENT DES ENSEMBLES DE FILS APPELÉS "BUS" AUXQUELS SONT CONNECTÉS LES AUTRES COMPOSANTS DU SYSTÈME.

LE CPU EST CONSTITUÉ ESSENTIELLEMENT DE TROIS PARTIES :

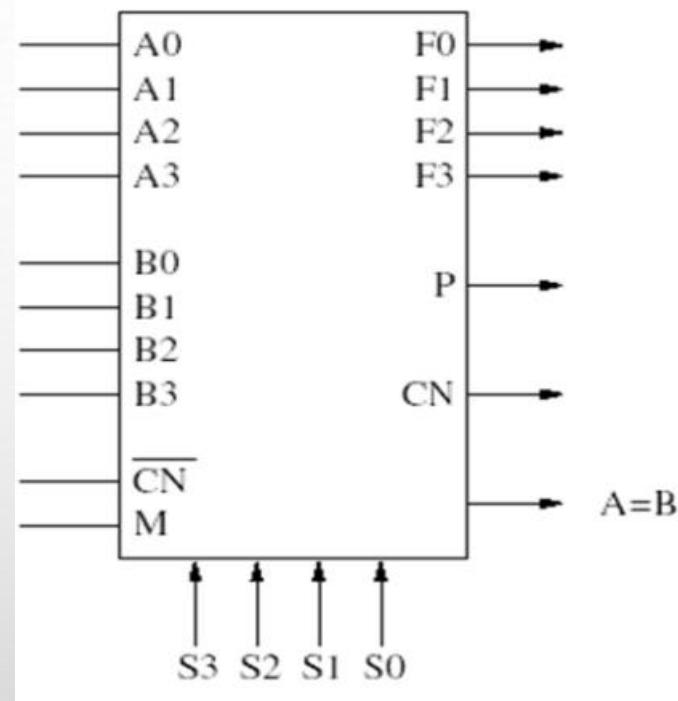
- L' **UNITÉ DE COMMANDE** QUI CHERCHE LES INSTRUCTIONS EN MÉMOIRE, LES DÉCODE ET COORDONNE LE RESTE DU PROCESSEUR POUR LES EXÉCUTER. UNE UNITÉ DE COMMANDE ÉLÉMENTAIRE SE COMPOSE ESSENTIELLEMENT D'UN REGISTRE D'INSTRUCTION ET D'UNE UNITÉ "DÉCODEUR / SÉQUENCEUR"

LE CPU EST CONSTITUÉ ESSENTIELLEMENT DE TROIS PARTIES :

- L' UNITÉ ARITHMÉTIQUE ET LOGIQUE (ALU) EXÉCUTE LES INSTRUCTIONS ARITHMÉTIQUES ET LOGIQUES DEMANDÉES PAR L'UNITÉ DE COMMANDE. LES INSTRUCTIONS PEUVENT PORTER SUR UN OU PLUSIEURS OPÉRANDES. LA VITESSE D'EXÉCUTION EST OPTIMALE QUAND LES OPÉRANDES SE SITUENT DANS LES REGISTRES PLUTÔT QUE DANS LA MÉMOIRE EXTERNE AU PROCESSEUR.
- LES REGISTRES SONT DES CELLULES MÉMOIRE INTERNES AU CPU. ILS SONT PEU NOMBREUX MAIS D'ACCÈS TRÈS RAPIDE. ILS SERVENT À STOCKER DES VARIABLES, LES RÉSULTATS INTERMÉDIAIRES D'OPÉRATIONS (ARITHMÉTIQUES OU LOGIQUES) OU ENCORE DES INFORMATIONS DE CONTRÔLE DU PROCESSEUR.

EXEMPLE D'UAL

- 74LS181 (UAL 4 BITS)
 - OPÉRANDES SUR A & B
 - TYPE DE FONCTIONS SUR M
(1 LOGIQUES, 0 ARITHMÉTIQUES)
 - TYPE D'OPÉRATION SUR S
 - RÉSULTAT SUR F



LES REGISTRES

- LA STRUCTURE DES REGISTRES VARIE D'UN PROCESSEUR À L'AUTRE. C'EST CE QUI FAIT QUE CHAQUE TYPE DE CPU A UN JEU D'INSTRUCTION QUI LUI EST PROPRE. LEURS FONCTIONS DE BASE SONT NÉANMOINS SEMBLABLES ET TOUS LES PROCESSEURS POSSÈDENT EN GROS LES MÊMES CATÉGORIES DE REGISTRES :

LES REGISTRES

- L'**ACCUMULATEUR** EST PRINCIPALEMENT DESTINÉ À CONTENIR LES DONNÉES QUI DOIVENT ÊTRE TRAITÉES PAR L'ALU.
- LES **REGISTRES GÉNÉRAUX** SERVENT AU STOCKAGE DE RÉSULTATS INTERMÉDIAIRES
- LES **REGISTRES D'ADRESSES** SERVENT À CONFECTONNER DES ADRESSES DE DONNÉES PARTICULIÈRES, CE SONT, PAR EXEMPLES, LES REGISTRES DE BASE ET D'INDEX QUI PERMETTENT ENTRE AUTRE D'ORGANISER LES DONNÉES EN MÉMOIRE COMME DES TABLES INDICÉES.
- LE **REGISTRE D'INSTRUCTION** CONTIENT LE CODE DE L'INSTRUCTION QUI EST TRAITÉE PAR LE DÉCODEUR / SÉQUENCEUR.

- LE **COMPTEUR ORDINAL** OU PROGRAM COUNTER CONTIENT L'ADRESSE DE LA PROCHAINE INSTRUCTION À EXÉCUTER. EN PRINCIPE, CE REGISTRE NE CESSE DE COMPTER. IL GÉNÈRE LES ADRESSES DES INSTRUCTIONS À EXÉCUTER LES UNES À LA SUITE DES AUTRES. CERTAINES INSTRUCTIONS DEMANDENT QUELQUEFOIS DE CHANGER LE CONTENU DU COMPTEUR ORDINAL POUR FAIRE UNE RUPTURE DE SÉQUENCE C'EST À DIRE UN SAUT AILLEURS DANS LE PROGRAMME.
- LE **REGISTRE D'ÉTAT** APPELÉ PARFOIS **REGISTRE DE CONDITION** CONTIENT DES INDICATEURS APPELÉS FLAGS (DRAPEAUX) ET DONT LES VALEURS (0 OU 1) VARIENT EN FONCTION DES RÉSULTATS DES OPÉRATIONS ARITHMÉTIQUES ET LOGIQUES. CES ÉTATS SONT UTILISÉS PAR LES INSTRUCTIONS DES SAUTS CONDITIONNELS.
- LE **POINTEUR DE PILE** OU STACK POINTER GÈRE CERTAINES DONNÉES EN MÉMOIRE EN LES ORGANISANT SOUS FORME DE PILES.

DÉCODEUR ET SÉQUENCEUR

□ DÉCODEUR (ENSEMBLE DE CIRCUITS)

- ❖ DÉCODE LE CODE OPÉRATOIRE EN UNE SÉQUENCE DE COMMANDES ET ENVOIE LES SIGNAUX CORRESPONDANTS À L'UAL

□ SÉQUENCEUR

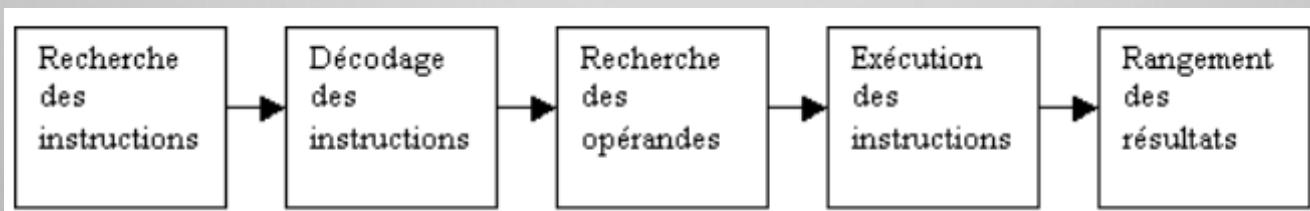
- ❖ DIRIGÉ PAR L'HORLOGE, IL SYNCHRONISE LES ÉTAPES D'EXÉCUTION D'UNE INSTRUCTION
- ❖ IL GÈRE CHAQUE ÉTAPE ET LA TRANSFORME EN SIGNAUX DE CONTRÔLE

PRINCIPE DE FONCTIONNEMENT DU CPU

- LE CONTENU DU COMPTEUR DE PROGRAMME EST DÉPOSÉ SUR LE BUS D'ADRESSAGE POUR Y RECHERCHER UNE INSTRUCTION EN CODE MACHINE. LE BUS DE CONTRÔLE PRODUIT UN SIGNAL DE LECTURE ET LA MÉMOIRE QUI EST SÉLECTIONNÉE PAR L'ADRESSE, RENVOIE LE CODE DE L'INSTRUCTION AU PROCESSEUR VIA LE BUS DES DONNÉES.
- UNE FOIS QUE L'INSTRUCTION ABOUTIT DANS LE REGISTRE D'INSTRUCTION, L'UNITÉ DE COMMANDE DU PROCESSEUR LA DÉCODE ET PRODUIT LA SÉQUENCE APPROPRIÉE DE SIGNAUX INTERNES ET EXTERNES QUI COORDONNENT SON EXÉCUTION. UNE INSTRUCTION COMPORTE UNE SÉRIE DE TÂCHES ÉLÉMENTAIRES. ELLES SONT CADENCÉES PAR LES CYCLES D'HORLOGE.
- TOUTES LES TÂCHES QUI CONSTITUENT UNE INSTRUCTION S'EXÉCUTENT LES UNES À LA SUITE DES AUTRES. L'EXÉCUTION D'UNE INSTRUCTION DURE donc PLUSIEURS CYCLES. COMME IL N'EST PAS TOUJOURS POSSIBLE D'AUGMENTER LA FRÉQUENCE, LA SEULE MANIÈRE D'ACCROÎTRE LE NOMBRE D'INSTRUCTIONS TRAITÉES EN UN TEMPS DONNÉ EST DE CHERCHER À EN EXÉCUTER PLUSIEURS SIMULTANÉMENT. ON Y ARRIVE EN FRACTIONNANT LES RESSOURCES DU PROCESSEUR, LES DONNÉES⁵⁶ ET/OU LES PROCESSUS. C'EST CE QU'ON APPELLE LA **PARALLÉLISATION**.

PIPELINES D'INSTRUCTIONS ET ARCHITECTURE SUPERSCALAIRES

- L'UNITÉ DE COMMANDE ÉLÉMENTAIRE QUI, DANS LES PREMIERS MICROPROCESSEURS, CONTENAIT UN REGISTRE D'INSTRUCTION ET UN DÉCODEUR / SÉQUENCEUR, EST REMPLACÉ DEPUIS LES PROCESSSEURS DE LA TROISIÈME GÉNÉRATION (386) PAR UN OU DES PIPELINES. DANS LE 486, LE PIPELINE EST UNIQUE ET SE COMPOSE DE CINQ UNITÉS FONCTIONNELLES.
- ELLES "TRAVAILLENT À LA CHAÎNE" POUR EFFECTUER SIMULTANÉMENT LES ÉTAPES SUCCESSIVES DE PLUSIEURS INSTRUCTIONS.



- LE PIPELINE EST UN MÉCANISME PERMETTANT D'ACCROÎTRE LA VITESSE D'EXÉCUTION DES INSTRUCTIONS DANS UN MICRO-PROCESSEUR. L'IDÉE GÉNÉRALE EST D'APPLIQUER LE PRINCIPE DU TRAVAIL À LA CHAÎNE À L'EXÉCUTION DES INSTRUCTIONS. DANS UN MICRO-PROCESSEUR SANS PIPELINE, LES INSTRUCTIONS SONT EXÉCUTÉES LES UNES APRÈS LES AUTRES. UNE NOUVELLE INSTRUCTION N'EST COMMENCÉE QUE LORSQUE L'INSTRUCTION PRÉCÉDENTE EST COMPLÈTEMENT TERMINÉE. AVEC UN PIPELINE, LE MICRO-PROCESSEUR COMMENCE UNE NOUVELLE INSTRUCTION AVANT D'AVOIR FINI LA PRÉCÉDENTE. PLUSIEURS INSTRUCTIONS SE TROUVENT DONC SIMULTANÉMENT EN COURS D'EXÉCUTION AU CŒUR DU MICRO-PROCESSEUR. LE TEMPS D'EXÉCUTION D'UNE SEULE INSTRUCTION N'EST PAS RÉDUIT. PAR CONTRE, LE DÉBIT DU MICRO-PROCESSEUR, C'EST-À-DIRE LE NOMBRE D'INSTRUCTIONS EXÉCUTÉES PAR UNITÉ DE TEMPS, EST AUGMENTÉ. IL EST MULTIPLIÉ PAR LE NOMBRE D'INSTRUCTIONS QUI SONT EXÉCUTÉES SIMULTANÉMENT.

ÉTAGES DU PIPELINE

- AFIN DE METTRE EN ŒUVRE UN PIPELINE, LA PREMIÈRE TÂCHE EST DE DÉCOUPER L'EXÉCUTION DES INSTRUCTIONS EN PLUSIEURS ÉTAPES. CHAQUE ÉTAPE EST PRISE EN CHARGE PAR UN ÉTAGE DU PIPELINE. SI LE PIPELINE POSSÈDE n ÉTAGES, IL Y A n INSTRUCTIONS EN COURS D'EXÉCUTION SIMULTANÉE, CHACUNE DANS UNE ÉTAPE DIFFÉRENTE. LE FACTEUR D'ACCÉLÉRATION EST DONC LE NOMBRE n D'ÉTAGES. ON VERRA QUE PLUSIEURS PROBLÈMES RÉDUISENT CE FACTEUR D'ACCÉLÉRATION. SUR LES MICRO-PROCESSEURS ACTUELS, LE NOMBRE D'ÉTAGES DU PIPELINE PEUT ATTEINDRE UNE DOUZAINE OU MÊME UNE VINGTAINE. LA FRÉQUENCE D'HORLOGE EST LIMITÉE PAR L'ÉTAPE QUI EST LA PLUS LONGUE À RÉALISER. L'OBJECTIF DES CONCEPTEURS DE MICRO-PROCESSEURS EST D'ÉQUILIBRER AU MIEUX LES ÉTAPES AFIN D'OPTIMISER LA PERFORMANCE.
- POUR LE MICRO-PROCESSEUR LC-3, ON VA DÉCOUPER L'EXÉCUTION DES INSTRUCTIONS EN LES CINQ ÉTAPES SUIVANTES. ON VA DONC CONSTRUIRE UN PIPELINE À CINQ ÉTAGES.

Lecture de l'instruction (Instruction Fetch)

La prochaine instruction à exécuter est chargée à partir de la case mémoire pointée par le compteur de programme PC dans le registre d'instruction IR. Ensuite le compteur de programme est incrémenté pour pointer sur l'instruction suivante.

Décodage de l'instruction (Instruction Decode)

Cette étape consiste à préparer les arguments de l'instruction pour l'étape suivante où ils seront utilisés. Ces arguments sont placés dans deux registres A et B. Si l'instruction utilise le contenu de un ou deux registres, ceux-ci sont lus et leurs contenus sont rangés en A et B. Si l'instruction contient une valeur immédiate, celle-ci est étendue (signée ou non signée) à 16 bits et placée dans le registre B. Pour les instructions de branchement avec offset, le contenu de PC est rangé en A et l'offset étendu dans B. Pour les instructions de branchement avec un registre, le contenu de ce registre est rangé en A et B est rempli avec 0. Les instructions de rangement ST* mettent le contenu du registre qui doit être transféré en mémoire dans le registre C.

Exécution de l'instruction (Instruction Execution)

Cette étape utilise l'unité arithmétique et logique pour combiner les arguments. L'opération précise réalisée par cette étape dépend du type de l'instruction.

Instruction arithmétique ou logique (ADD, AND et NOT)

Les deux arguments contenus dans les registres A et B sont fournis à l'unité arithmétique et logique pour calculer le résultat.

Instruction de chargement et rangement (LD* et ST*)

Le calcul de l'adresse est effectué à partir de l'adresse provenant du registre A et de l'offset contenu dans le registre B.

Instruction de branchement (BR*, JMP, JSR, JSRR et TRAP)

Pour les instructions contenant un offset, l'addition avec le contenu du PC est effectuée à cette étape. Pour les instructions utilisant un registre, le contenu du registre est juste transmis.

Accès à la mémoire (Memory Access)

Cette étape est uniquement utile pour les instruction de chargement et de rangement. Pour les instructions arithmétiques et logiques ou les branchements, rien n'est effectué. L'adresse du mot mémoire est contenue dans le registre R. Dans le cas d'un rangement, la valeur à ranger provient du registre C. Dans le cas d'un chargement, la valeur lue en mémoire est mise dans le registre R pour l'étape suivante.

Rangement du résultat (Write Back)

Le résultat des opérations arithmétiques et logiques est rangé dans le registre destination. La valeur lue en mémoire par les instructions de chargement est aussi rangée dans le registre destination. Les instructions de branchement rangent la nouvelle adresse dans PC.

Ce schéma ne s'applique pas aux deux instructions LDI et STI qui nécessitent deux accès à la mémoire. Les processeurs utilisant un pipeline ne possèdent pas d'instruction avec ce mode d'adressage indirect. Dans la suite, on ignore ces deux instructions.

- LE PIPELINE A RÉDUIT LE NOMBRE D'ADDITIONNEURS PUISQUE LE MÊME EST UTILISÉ POUR LES CALCULS ARITHMÉTIQUES ET LES CALCULS D'ADRESSES. PAR CONTRE, CERTAINS REGISTRES ONT DÛ ÊTRE MULTIPLIÉS. LE REGISTRE D'INSTRUCTION IR EST PRÉSENT À CHAQUE ÉTAGE DU PIPELINE. EN EFFET, L'OPÉRATION À EFFECTUER À CHAQUE ÉTAGE DÉPEND DE L'INSTRUCTION EN COURS. CETTE MULTIPLICATION DE CERTAINS ÉLÉMENTS EST LE PRIX À PAYER POUR L'EXÉCUTION SIMULTANÉE DE PLUSIEURS INSTRUCTIONS.
- LE TABLEAU CI-DESSOUS REPRÉSENTE L'EXÉCUTION D'UN PROGRAMME PENDANT QUELQUES CYCLES D'HORLOGE. CHACUNE DES INSTRUCTIONS COMMENCE SON EXÉCUTION UN CYCLE APRÈS L'INSTRUCTION PRÉCÉDENTE ET PASSE PAR LES CINQ ÉTAPES D'EXÉCUTION PENDANT CINQ CYCLES CONSÉCUTIFS.

Programme	Cycles d'horloges									
	1	2	3	4	5	6	7	8	9	10
Inst. n° 1	IF	ID	IE	MA	WB					
Inst. n° 2		IF	ID	IE	MA	WB				
Inst. n° 3			IF	ID	IE	MA	WB			
Inst. n° 4				IF	ID	IE	MA	WB		
Inst. n° 5					IF	ID	IE	MA	WB	
Inst. n° 6						IF	ID	IE	MA	WB

- LA PREMIÈRE UNITÉ FONCTIONNELLE DU PIPELINE VA CHERCHER LES INSTRUCTIONS EN MÉMOIRE ET LES RANGE DANS UN TAMON, LA SECONDE UNITÉ DÉCODE L'INSTRUCTION ET AINSI DE SUITE.
- GLOBALEMENT, IL FAUT TOUJOURS AUTANT DE TEMPS POUR EXÉCUTER UNE INSTRUCTION MAIS LA VITESSE D'EXÉCUTION EST MULTIPLIÉE PAR CINQ PUISQUE AVEC CE SYSTÈME LES INSTRUCTIONS SUIVANTES SONT ENTAMÉES DÈS QUE POSSIBLE, LES INSTRUCTIONS SE FONT DONC EN PARALLÈLE.
- LES PREMIERS PENTIUM (CINQUIÈME GÉNÉRATION) ONT DEUX PIPELINES EN PARALLÈLE CE QUI LEUR PERMET D'ACCOMPLIR DEUX INSTRUCTIONS PAR CYCLE.

- DANS LES PROCESSEURS SUIVANTS, L'ARCHITECTURE "SUPERSCALAIRE" MULTIPLIE LES CHEMINS DES INSTRUCTIONS AU NIVEAU DE CERTAINS ÉTAGES DU PIPELINE, LES UNITÉS FONCTIONNELLES D'EXÉCUTIONS ONT ALORS RECOURS À PLUSIEURS UNITÉ ARITHMÉTIQUES ET LOGIQUES (ALU). LE PROCESSEUR EST DIT **SUPERSCALAIRE DE RANG "N"** S'IL POSSÈDE N UNITÉS ARITHMÉTIQUES ET LOGIQUES.
- LE PIPELINE DU 486 PERDAIT DE SON EFFICACITÉ LORS DES RUPTURES DE SÉQUENCES. LORS DES SAUTS CONDITIONNELS, LES INSTRUCTIONS QUI SUVENT LE SAUT ET DONT LE TRAITEMENT A ÉTÉ ENTAMÉ DOIVENT PARFOIS ÊTRE ABANDONNÉES APRÈS L'ÉVALUATION DU TEST. EN CAS D'ERREUR, LA PERTE DE TEMPS EST D'AUTANT PLUS IMPORTANTE QUE LE PIPELINE EST PLUS LONG.
- A PARTIR DU PENTIUM, UNE **UNITÉ DE PRÉDICTION DE BRANCHEMENT**, S'ATTACHE À ÉVALUER LA SUITE D'INSTRUCTIONS QUI SERA LA PLUS PROBABLE. LORS DES TESTS CONDITIONNELS, ELLE MÉMORISE LE RÉSULTAT DU TEST POUR EN TENIR COMPTE AU PASSAGE SUIVANT SELON DES ALGORITHMES QUI AU FIL DE L'ÉVOLUTION DES PROCESSEURS DEVIENT DE PLUS EN PLUS ÉLABORÉS. CETTE MÉTHODE EST EFFICACE NOTAMMENT POUR LES TÂCHES RÉPÉTITIVES EXÉCUTÉES PAR DES BOUCLES DE PROGRAMME.

HYPERTHREADING

- L'HYPERTHREADING EST UNE TECHNIQUE QUI CONSISTE À PERMETTRE L'EXÉCUTION SIMULTANÉE DE PLUSIEURS THREADS. ON TRADUIT GÉNÉRALEMENT LE TERME THREAD PAR « FILS D'EXÉCUTION » OU « SOUS PROCESSUS ». IL S'AGIT D'UNE PARTIE D'UN PROCESSUS DONT L'EXÉCUTION PEUT ÊTRE INDÉPENDANTE DU RESTE DE L'APPLICATION. LE CORRECTEUR ORTHOGRAPHIQUE D'UN TRAITEMENT DE TEXTE EN EST L'EXEMPLE LE PLUS FACILE À IMAGINER.
- L'HTT HYPER-THREADING TECHNOLOGY EST APPARU CHEZ INTEL AVEC LE PENTIUM XEON, IL EST DISPONIBLE SUR LES PENTIUM 4 QUI TOURNENT À AU MOINS 3,6 GHZ. L'HYPERTHREADING ÉTAIT SELON LA RUMEUR PRÉSENT DANS LES PREMIERS PENTIUM 4 MAIS INTEL L'AURAIT PAR PRUDENCE MI HORS D'USAGE AVANT D'ÊTRE ABSOLUMENT SÛR DE SON BON FONCTIONNEMENT.

- ON NE PEUT TIRER AVANTAGE DE L'HYPERTHREADING QUE SI LES APPLICATIONS, LE SYSTÈME D'EXPLOITATION, LE PROCESSEUR LE BIOS ET LE CHIPSET SONT PRÉVUS POUR.
- CERTAINS ÉLÉMENTS DU PROCESSEUR QUI CARACTÉRISENT SON ÉTAT SONT DÉDOUBLÉS DE SORTE À ÉMULER DEUX PROCESSEURS LOGIQUES AU SEIN D'UN SEUL CŒUR. L'HYPERTHREADING PERMET L'EXÉCUTION CONCURRENTE DE DEUX JEUX D'INSTRUCTIONS AFIN D'ÉVITER CERTAINS TEMPS MORTS. CES TEMPS MORTS SONT PAR EXEMPLE DUS À L'ABSENCE D'UNE DONNÉE UTILE DANS LA CACHE (CACHE MISS) OU À UNE ERREUR DE PRÉDICTION DE BRANCHEMENT QUI ANNIHILE LA SÉQUENCE D'INSTRUCTIONS ENTAMÉE DANS LE PIPELINE. LE PROCESSEUR PHYSIQUE AGIT ALORS COMME DEUX PROCESSEURS VIRTUELS AUSSI DITS "PROCESSEURS LOGIQUES" QUI APPARAISSENT DANS LE GESTIONNAIRE DE PÉRIPHÉRIQUE COMME DEUX PROCESSEURS DISTINCTS.

LE GAIN DE PERFORMANCE ANNONcé PAR INTEL VA ACTUELLEMENT JUSQU'à 30%. IL EST OPTIMUM QUAND LES LOGICIELS SONT DÉVELOPPÉS DANS L'OPTIQUE DE L'HYPERTHREADING.

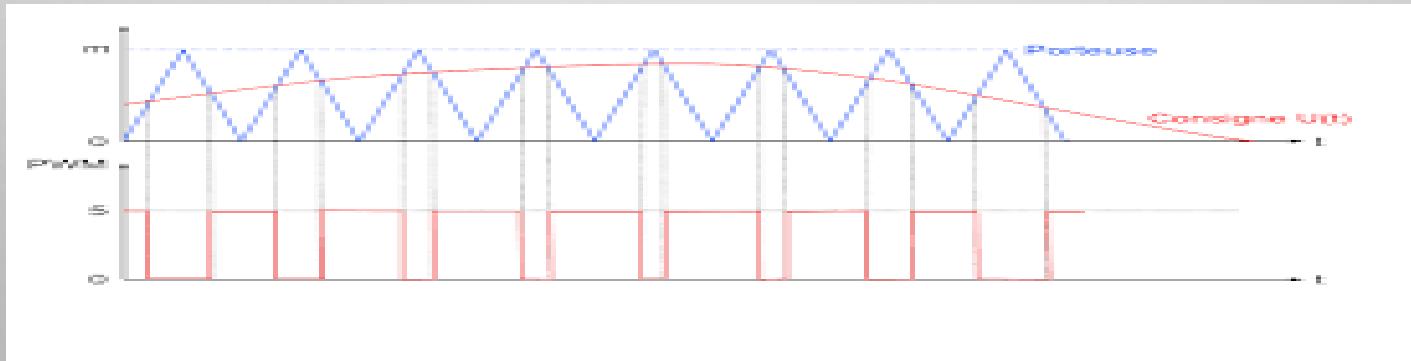
PROCESSEURS MULTI-CŒURS

- UNE AUTRE MANIÈRE DE FAVORISER L'EXÉCUTION SIMULTANÉE DE PLUSIEURS PROCESSUS OU DE PLUSIEURS THREADS EST DE PLACER PLUSIEURS PROCESSEURS, ON DIRA PLUSIEURS CŒURS, DANS LE MÊME BOÎTIER. CETTE TECHNIQUE CONVIENT PARTICULIÈREMENT AU MULTITÂCHE PUISQU'AVEC ELLE, IL Y A RÉELLEMENT AUTANT DE TÂCHES QUI PEUVENT S'EXÉCUTER EN PARALLÈLE QUE DE CŒURS DANS LE PROCESSEUR. LES APPLICATIONS POUR BÉNÉFICIER PLEINEMENT DU MULTI-CŒUR DOIVENT AVOIR ÉTÉ REPENSÉES POUR POUVOIR SE SUBDIVISER EN TÂCHES PARALLÈLES.

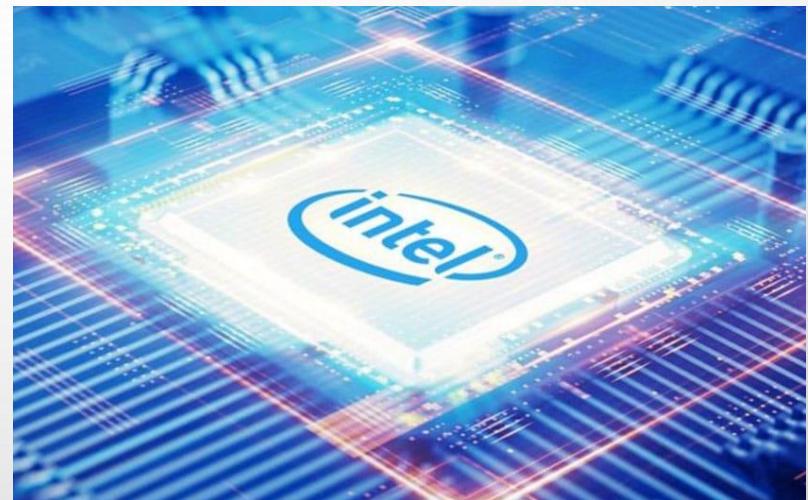
LE PROCESSEUR

- FONCTIONNEMENT

LE PROCESSEUR (NOTÉ CPU, POUR *CENTRAL PROCESSING UNIT*) EST UN CIRCUIT ÉLECTRONIQUE CADENCÉ AU RYTHME D'UNE HORLOGE INTERNE, GRÂCE À UN CRISTAL DE QUARTZ QUI, SOUMIS À UN COURANT ÉLECTRIQUE, ENVOIE DES IMPULSIONS, APPELÉES « TOP ». LA **FRÉQUENCE D'HORLOGE** (APPELÉE ÉGALEMENT CYCLE, CORRESPONDANT AU NOMBRE D'IMPULSIONS PAR SECONDE, S'EXPRIME EN HERTZ (HZ). AINSI, UN ORDINATEUR À 200 MHZ POSSÈDE UNE HORLOGE ENVOYANT 200 000 000 DE BATTEMENTS PAR SECONDE. LA FRÉQUENCE D'HORLOGE EST GÉNÉRALEMENT UN MULTIPLE DE LA FRÉQUENCE DU SYSTÈME (*FSB, FRONT-SIDE BUS*), C'EST-À-DIRE UN MULTIPLE DE LA FRÉQUENCE DE LA CARTE MÈRE A CHAQUE TOP D'HORLOGE LE PROCESSEUR EXÉCUTE UNE ACTION, CORRESPONDANT À UNE INSTRUCTION OU UNE PARTIE D'INSTRUCTION. L'INDICATEUR APPELÉ **CPI** (CYCLES PAR INSTRUCTION) PERMET DE REPRÉSENTER LE NOMBRE MOYEN DE CYCLES D'HORLOGE NÉCESSAIRE À L'EXÉCUTION D'UNE INSTRUCTION SUR UN MICROPROCESSEUR. LA PUISSANCE DU PROCESSEUR PEUT AINSI ÊTRE CARACTÉRISÉE PAR LE NOMBRE D'INSTRUCTIONS QU'IL EST CAPABLE DE TRAITER PAR SECONDE. L'UNITÉ UTILISÉE EST LE **MIPS** (MILLIONS D'INSTRUCTIONS PAR SECONDE) CORRESPONDANT À LA FRÉQUENCE DU PROCESSEUR QUE DIVISE LE CPI.



LE SUPPORT DE PROCESSEUR



PERFORMANCES D'UN MICROPROCESSEUR

ON PEUT CARACTÉRISER LA PUISSANCE D'UN MICROPROCESSEUR PAR LE NOMBRE D'INSTRUCTIONS QU'IL EST CAPABLE DE TRAITER PAR SECONDE. POUR CELA, ON DÉFINIT :

- LE **CPI** (CYCLE PAR INSTRUCTION) QUI PRÉSENTE LE NOMBRE MOYEN DE CYCLES D'HORLOGE NÉCESSAIRE POUR L'EXÉCUTION D'UNE INSTRUCTION POUR UN MICROPROCESSEUR DONNÉ.
- LE **MIPS** (MILLIONS D'INSTRUCTIONS PAR SECONDE) QUI PRÉSENTE LA PUISSANCE DE TRAITEMENT DU MICROPROCESSEUR.

MIPS = FH/CPI

AVEC FH EN MHZ

POUR AUGMENTER LES PERFORMANCES D'UN MICROPROCESSEUR, ON PEUT DONC SOIT AUGMENTER LA FRÉQUENCE D'HORLOGE (LIMITATION MATÉRIELLE), SOIT DIMINUER LE CPI (CHOIX D'UN JEU D'INSTRUCTION ADAPTÉ).

INTEL AUJOURD'HUI I3, I5, I7?

❖ CORE I3

- 2 CŒURS
- HYPER-THREADING
- PEU DE CACHE(3-4 MIO)
- BASSE CONSOMMATION

❖ CORE I5:

- MOBILE BUREAU
- 2COEURS 4 CŒURS
- HYPER THREADING
- PLUS DE CACHE (3-6MIO)
- TURBO BOOST

❖ CORE I7:

- 2(ULTRABOOK) A 8 CŒURS (PC BUREAU)
- SUPPORT DE 2 A 8 BARRETTES DE RAM
- TDP ENTRE 10 ET 130 W
- PLUS DE CACHE (4 A 20MIO)
- HYPER-THREADING
- MEILLEUR TURBO BOOST
- MEILLEURE PUCE GRAPHIQUE

INTEL AUJOURD'HUI

EXEMPLE DE I7

□ I7-3770

- ✓ 3: GÉNÉRATION DU PROCESSEUR
- ✓ X –XTREME
- ✓ K –UNLOCKED
- ✓ M –MOBILE
- ✓ MQ –MOBILE QUAD CORE
- ✓ S –PERFORMANCES OPTIMALES
- ✓ T –CONSOMMATION OPTIMALE
- ✓ U –ULTRA BASSE CONSOMMATION

 DirectX Diagnostic Tool

System Display 1 Display 2 Render Sound 1 Sound 2 Input

This tool reports detailed information about the DirectX components and drivers installed on your system.

If you know what area is causing the problem, click the appropriate tab above. Otherwise, you can use the "Next Page" button below to visit each page in sequence.

System Information

Current Date/Time: Monday, May 24, 2021, 4:14:12 PM
Computer Name: DESKTOP-9Q69PBS
Operating System: Windows 10 Home 64-bit (10.0, Build 18363)
Language: English (Regional Setting: English)
System Manufacturer: ASUSTeK COMPUTER INC.
System Model: S551LN
BIOS: S551LN.207
Processor: Intel(R) Core(TM) i7-4500U CPU @ 1.80GHz (4 CPUs), ~2.4GHz
Memory: 8192MB RAM
Page file: 10311MB used, 2477MB available
DirectX Version: DirectX 12

Check for WHQL digital signatures

System | Display 1 | Display 2 | Render | Sound 1 | Sound 2 | Input

Device	Drivers
Name: Intel(R) HD Graphics Family	Main Driver: igdumdim64.dll,igd10iumd64.dll,igd10
Manufacturer: Intel Corporation	Version: 20.19.15.5171
Chip Type: Intel(R) HD Graphics Family	Date: 11/4/2020 01:00:00
DAC Type: Internal	WHQL Logo'd: Yes
Device Type: Full Display Device	Direct3D DDI: 12
Approx. Total Memory: 2160 MB	Feature Levels: 11_1,11_0,10_1,10_0,9_3,9_2,9_1
Display Memory 112 MB	Driver Model: WDDM 2.0
Shared Memory: 2048 MB	

DirectX Features

DirectDraw Acceleration: Enabled
Direct3D Acceleration: Enabled
AGP Texture Acceleration: Enabled

Notes

- No problems found.

Help | Next Page | Save All Information... | Exit

 DirectX Diagnostic Tool

System | Display 1 | Display 2 | **Render** | Sound 1 | Sound 2 | Input

Device

Name: NVIDIA GeForce 840M
Manufacturer: NVIDIA
Chip Type: NVIDIA GeForce 840M
DAC Type: Integrated RAMDAC
Device Type: Render-Only Display Device
Approx. Total Memory: 6015 MB
Display Memory 2010 MB
Shared Memory: 4005 MB

Drivers

Main Driver: nvldumdx.dll,nvldumdx.dll,nvldumdx.dll
Version: 27.21.14.6611
Date: 4/12/2021 01:00:00
WHQL Logo'd: Yes
Direct3D DDI: 12
Feature Levels: 11_0,10_1,10_0,9_3,9_2,9_1
Driver Model: WDDM 2.6

DirectX Features

DirectDraw Acceleration: Enabled
Direct3D Acceleration: Enabled
AGP Texture Acceleration: Enabled

Notes

- No problems found.

L'HORLOGE ET LA PILE DU CMOS

L'HORLOGE TEMPS RÉEL (NOTÉE RTC, POUR *REAL TIME CLOCK*) EST UN CIRCUIT CHARGÉ DE LA SYNCHRONISATION DES SIGNAUX DU SYSTÈME. ELLE EST CONSTITUÉE D'UN CRISTAL QUI, EN VIBRANT, DONNE DES IMPULSIONS (APPELÉS TOPS D'HORLOGE) AFIN DE CADENCER LE SYSTÈME. ON APPELLE FRÉQUENCE DE L'HORLOGE (EXPRIMÉE EN MHZ) LE NOMBRE DE VIBRATIONS DU CRISTAL PAR SECONDE, C'EST-À-DIRE LE NOMBRE DE TOPS D'HORLOGE ÉMIS PAR SECONDE. PLUS LA FRÉQUENCE EST ÉLEVÉE, PLUS LE SYSTÈME PEUT TRAITER D'INFORMATIONS.

LE BIOS

LE BIOS

LE BIOS (*BASIC INPUT/OUTPUT SYSTEM*) EST LE PROGRAMME BASIQUE SERVANT D'INTERFACE ENTRE LE SYSTÈME D'EXPLOITATION ET LA CARTE MÈRE. LE BIOS EST STOCKÉ DANS UNE ROM (MÉMOIRE MORTE, C'EST-À-DIRE UNE MÉMOIRE EN LECTURE SEULE), AINSI IL UTILISE LES DONNÉES CONTENUES DANS LE CMOS POUR CONNAÎTRE LA CONFIGURATION MATÉRIELLE DU SYSTÈME.

IL EST POSSIBLE DE CONFIGURER LE BIOS GRÂCE À UNE INTERFACE (NOMMÉE *BIOS SETUP*, TRADUISEZ *CONFIGURATION DU BIOS*) ACCESSIBLE AU DÉMARRAGE DE L'ORDINATEUR PAR SIMPLE PRESSION D'UNE TOUCHE (GÉNÉRALEMENT LA TOUCHE SUPPR. EN RÉALITÉ LE SETUP DU BIOS SERT UNIQUEMENT D'INTERFACE POUR LA CONFIGURATION, LES DONNÉES SONT STOCKÉES DANS LE CMOS. POUR PLUS D'INFORMATIONS N'HÉSITEZ PAS À VOUS REPORTER AU MANUEL DE VOTRE CARTE MÈRE).

BIOS

PhoenixBIOS Setup Utility

Main Advanced Security Boot Exit

System Time:	[16:23:24]	Item Specific Help
System Date:	[03/14/2013]	<Tab>, <Shift-Tab>, or <Enter> selects field.
Legacy Diskette A:	[1.44/1.25 MB 3½"]	
Legacy Diskette B:	[Disabled]	
▶ Primary Master	[None]	
▶ Primary Slave	[None]	
▶ Secondary Master	[VMware Virtual IDE]	
▶ Secondary Slave	[VMware Virtual IDE]	
▶ Keyboard Features		
System Memory:	640 KB	
Extended Memory:	5241856 KB	
Boot-time Diagnostic Screen:	[Disabled]	

F1 Help ↑ Select Item -/+ Change Values F9 Seton Defaults
Esc Exit ↔ Select Menu Enter Select ► Sub-Menu F10 Save and Exit

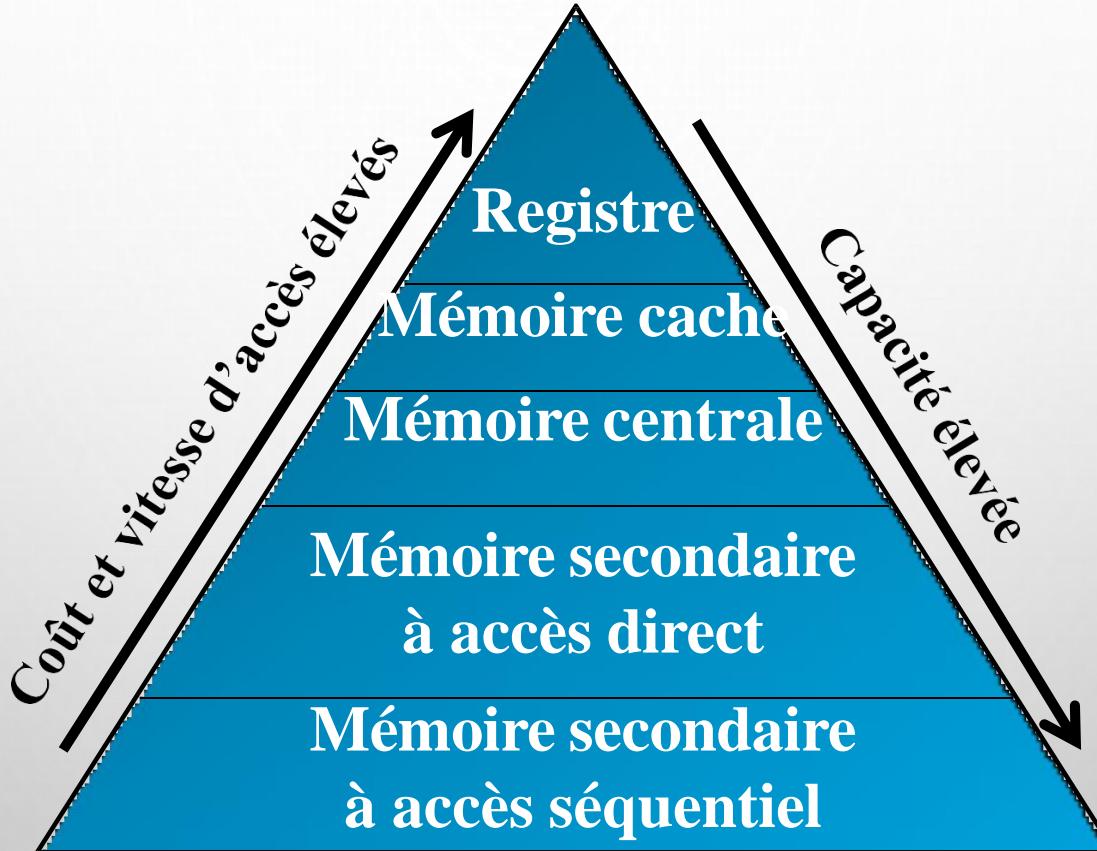
• LES CONNECTEURS DE MÉMOIRE VIVE

LA MÉMOIRE VIVE (*RAM* POUR *RANDOM ACCESS MEMORY*) PERMET DE STOCKER DES INFORMATIONS PENDANT TOUT LE TEMPS DE FONCTIONNEMENT DE L'ORDINATEUR, SON CONTENU EST PAR CONTRE DÉTRUIT DÈS LORS QUE L'ORDINATEUR EST ÉTEINT OU REDÉMARRÉ, CONTRAIREMENT À UNE MÉMOIRE DE MASSE TELLE QUE LE DISQUE DUR, CAPABLE DE GARDER LES INFORMATIONS MÊME LORSQU'IL EST HORS TENSION. ON PARLE DE « VOLATILITÉ » POUR DÉSIGNER CE PHÉNOMÈNE.

• LES CONNECTEURS DE MÉMOIRE VIVE



HIÉRARCHIE DE LA MÉMOIRE



MÉMOIRES EN CHIFFRE

	Temps d'accès	Capacité
Registre	0,3 ns	64 bits
Cache	2 à 5 ns	8 Ko à 1 Mo
RAM	50 ns	1 Go
Cache disque	1 ms	8 Mo
Disque dur	10 ms	160 Go

MÉMOIRE PRINCIPALE (MP)

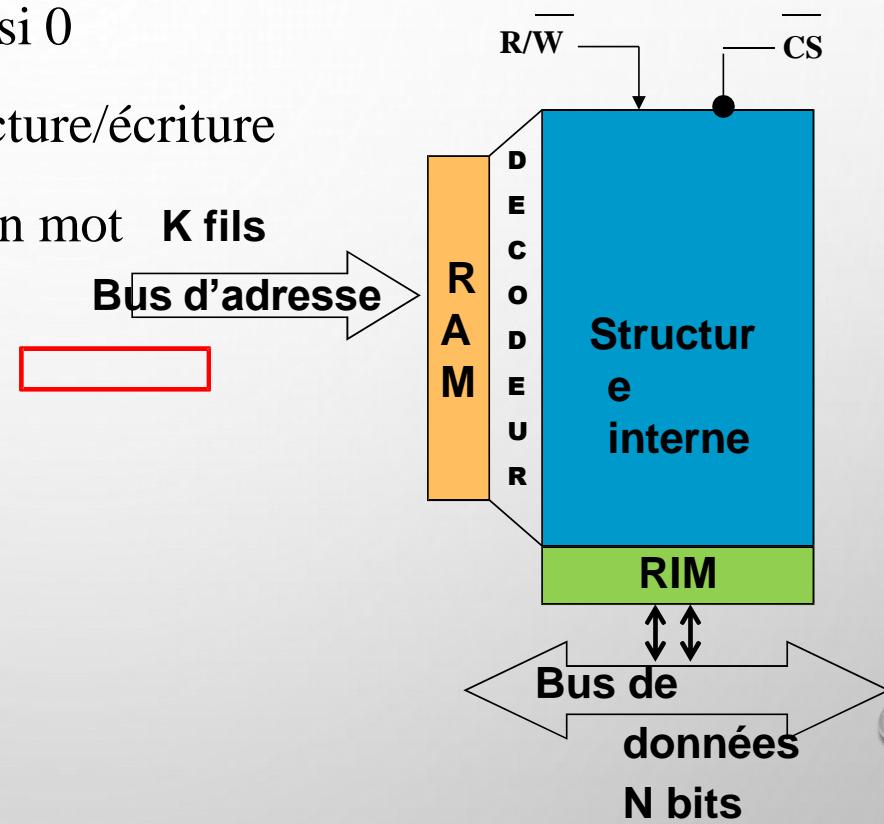
- Contient les informations utilisées par le processeur lors de l'exécution
- Sa capacité et son temps d'accès ont un impact sur la performance de la machine
- Est une mémoire à semi-conducteurs pour un accès rapide
- Constituée de mots possédant chacun une adresse unique
 - Taille des adresses dépend de la capacité de la mémoire

CARACTÉRISTIQUES DE LA MP

- Mémoire vive
- Accès aléatoire (RAM)
- A lecture-écriture
- Volatile
- Capacité limitée (possibilité d'extension)
- Communique au moyen des bus d'adresses et de données
- Types
 - Mémoires statiques (SRAM) : à base de bascules D
 - Mémoires dynamiques (DRAM) : à base de condensateurs

STRUCTURE PHYSIQUE D'UNE MP

- RAM : Registre d'adresse Mémoire
- \overline{CS} : boîtier sélectionné si 0
- R/\overline{W} : Commande de lecture/écriture
- Décodeur : sélectionne un mot **K fils**



- Capacité = 2^k Mots = $2^k * n$ Bits

CONCEPTION DES MP

- Pb : Comment réaliser une mémoire à partir de boîtiers de petite taille?
 - Mémoire M de capacité C et de m mots de n bits
 - Boîtier M' de capacité C' et de m' mots de n' bits
 - $C > C'$ ($m \geq m'$, $n \geq n'$)
- Nombre de boîtiers nécessaires : P.Q
 - $P = m/m'$ (facteur d'extension lignes)
 - $Q = n/n'$ (facteur d'extension colonnes)
- K bits de poids forts d'adresses pour sélectionner Q boîtiers ($2^k = P$), le reste pour sélectionner un mot

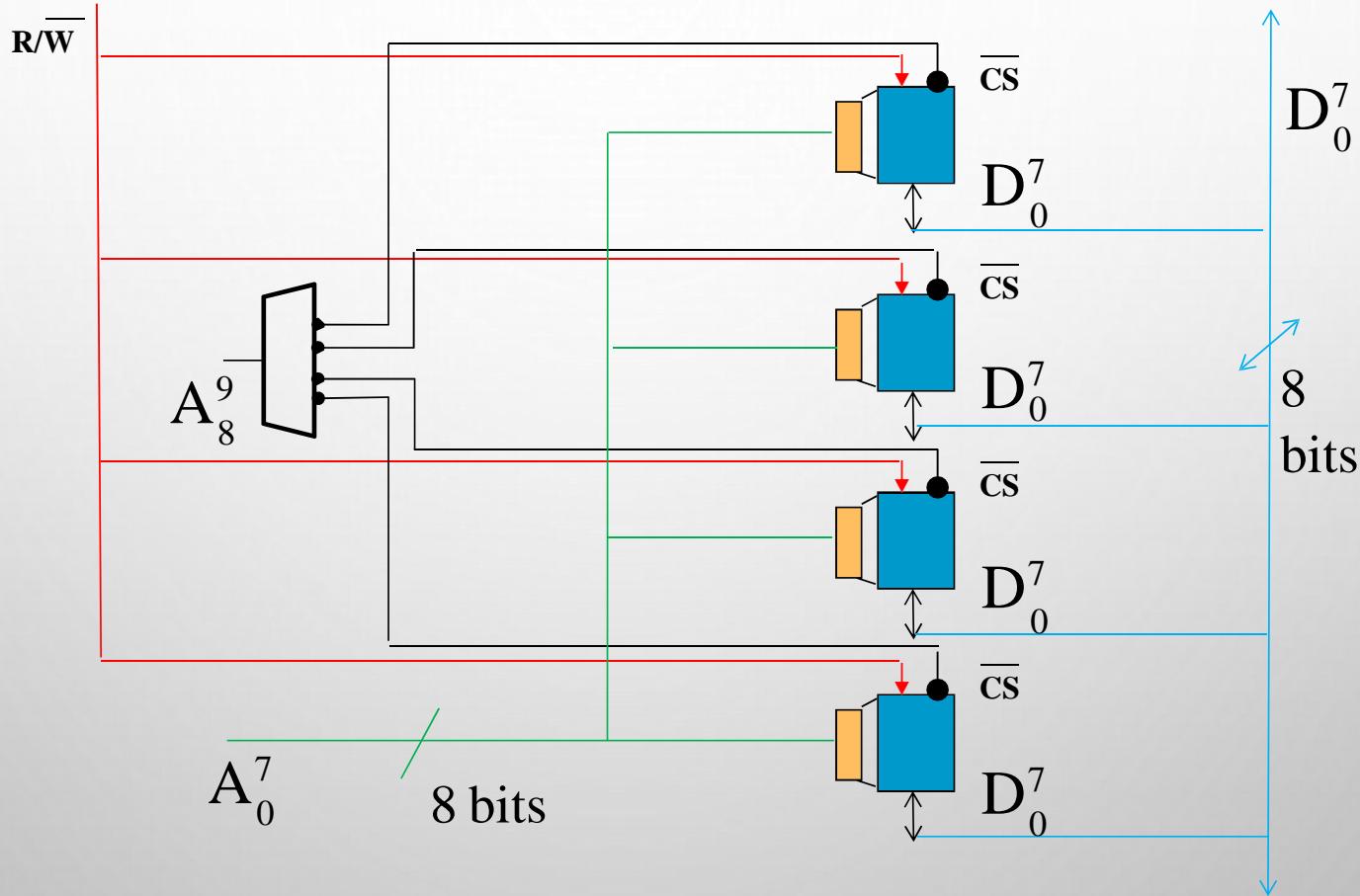
EXEMPLE 1

- Réaliser une mémoire de 1Ko (un mot est de 8 bits) en utilisant des boîtiers de taille 256 mots de 8 bits

EXEMPLE 1

- Réaliser une mémoire de 1Ko (un mot est de 8 bits) en utilisant des boîtiers de taille 256 mots de 8 bits
- Solution :
 - $m=1024 \leftarrow$ bus d'adresses de 10 bits (A_0^9)
 - $n=8 \leftarrow$ bus de données de 8 bits (D_0^7)
 - $m'=256 \leftarrow$ bus d'adresses de 8 bits (A'_0^7)
 - $n'=8 \leftarrow$ bus de données de 8 bits (D'_0^7)
 - $P= m/m' = 1024/256=4$
 - $Q= n/n' = 8/8=1$
 - Nombre total de boîtiers : $P.Q=4$

SOLUTION 1



EXAMPLE 2

- Réaliser une mémoire de 1KO (et de mots de 8 bits) en utilisant des boîtiers de taille 256 mots de 4 bits

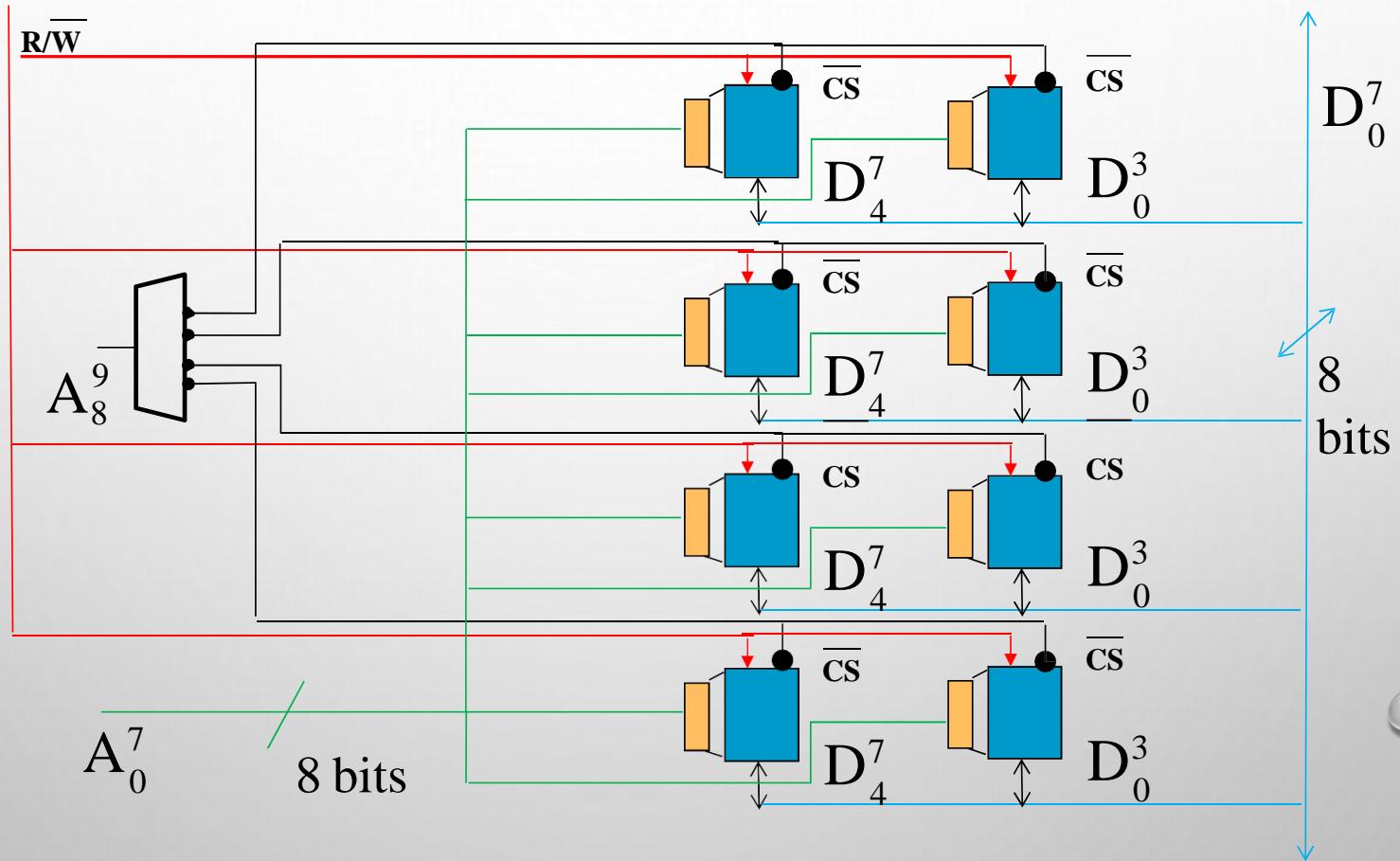
EXAMPLE 2

□ Réaliser une mémoire de 1KO (et de mots de 8 bits) en utilisant des boîtiers de taille 256 mots de 4 bits

Solution :

- $m=1024 \leftarrow$ bus d'adresses de 10 bits (A_0^9)
- $n=8 \leftarrow$ bus de données de 8 bits (D_0^7)
- $m'=256 \leftarrow$ bus d'adresses de 8 bits (A_0^7)
- $n'=4 \leftarrow$ bus de données de 4 bits (D_0^{13})
- $P= m/m' = 1024/256=4$
- $Q= n/n' = 8/4=2$
- Nombre total de boîtiers : $P.Q=8$

SOLUTION 2



MÉMOIRE MULTI-MODULES

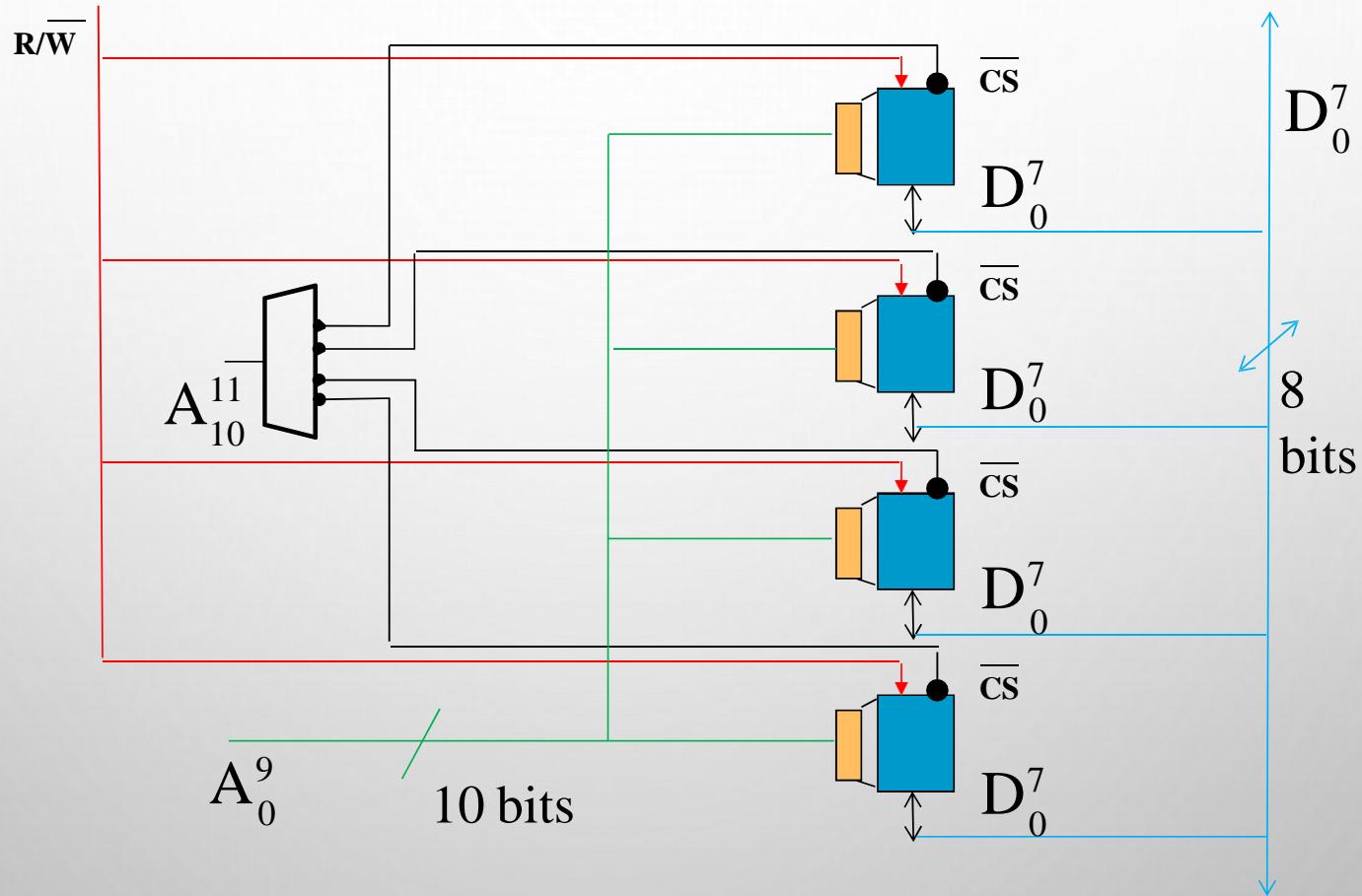
- Pb : mémoire accessible par 1 seul processeur à la fois
- Solution : découper la mémoire en plusieurs modules
- Possibilité d'accès simultané aux différents modules par plusieurs bus
- Modules comprenant des mots d'adresses séquentielles

ADRESSAGE D'UNE MÉMOIRE MODULAIRE

- Adresse divisée en 2 parties :
 - K Bits de poids forts pour sélectionner un module tel que :
 $2^k \geq$ nombre de modules
 - Bits de poids faibles pour sélectionner un mot dans un module

- Exemple : mémoire de 4 Ko et 4 modules et des boîtiers de 1 Ko
 - Capacité = 4 Ko = $4 * 2^{10} = 2^{12}$ o → bus d'adresses de 12 bits
 - 2 bits du poids forts pour la sélection des modules (A_{10}^{11})
 - (A_0^9) pour la sélection d'un mot

EXEMPLE DE MÉMOIRE À 4 MODULES



MÉMOIRE ENTRELACÉE

- Pb : Module mémoire accessible par 1 seul processeur à la fois (ex : accès à la fois aux données consécutives)
- Solution :
 - Diviser la mémoire en plusieurs blocs dotés de leurs propres registres d'adresses → plusieurs accès simultané à la mémoire
 - Placer les données consécutives dans des blocs différents
 - Le nombre de blocs représente le degré d'entrelacement
- Adresse divisée en deux parties :
 - K bits de poids faibles pour sélectionner le bloc ($2^k \geq$ nombre de blocs)
 - Bits de poids forts pour sélectionner le mot dans le bloc

EXEMPLE 1

- Mémoire entrelacée avec un degré d'entrelacement égale à 4, un bloc est de taille de 4 mots de 4 bits
- Solution :
 - 4 blocs et taille d'un bloc égale à 4 mots de 4 bits → taille de la mémoire = 16 mots de 4 bits
 - 4 blocs → 2 bits de poids faibles pour la sélection A_0^1
 - Les bits de poids forts (A_2^3) pour sélectionner un mot dans un bloc

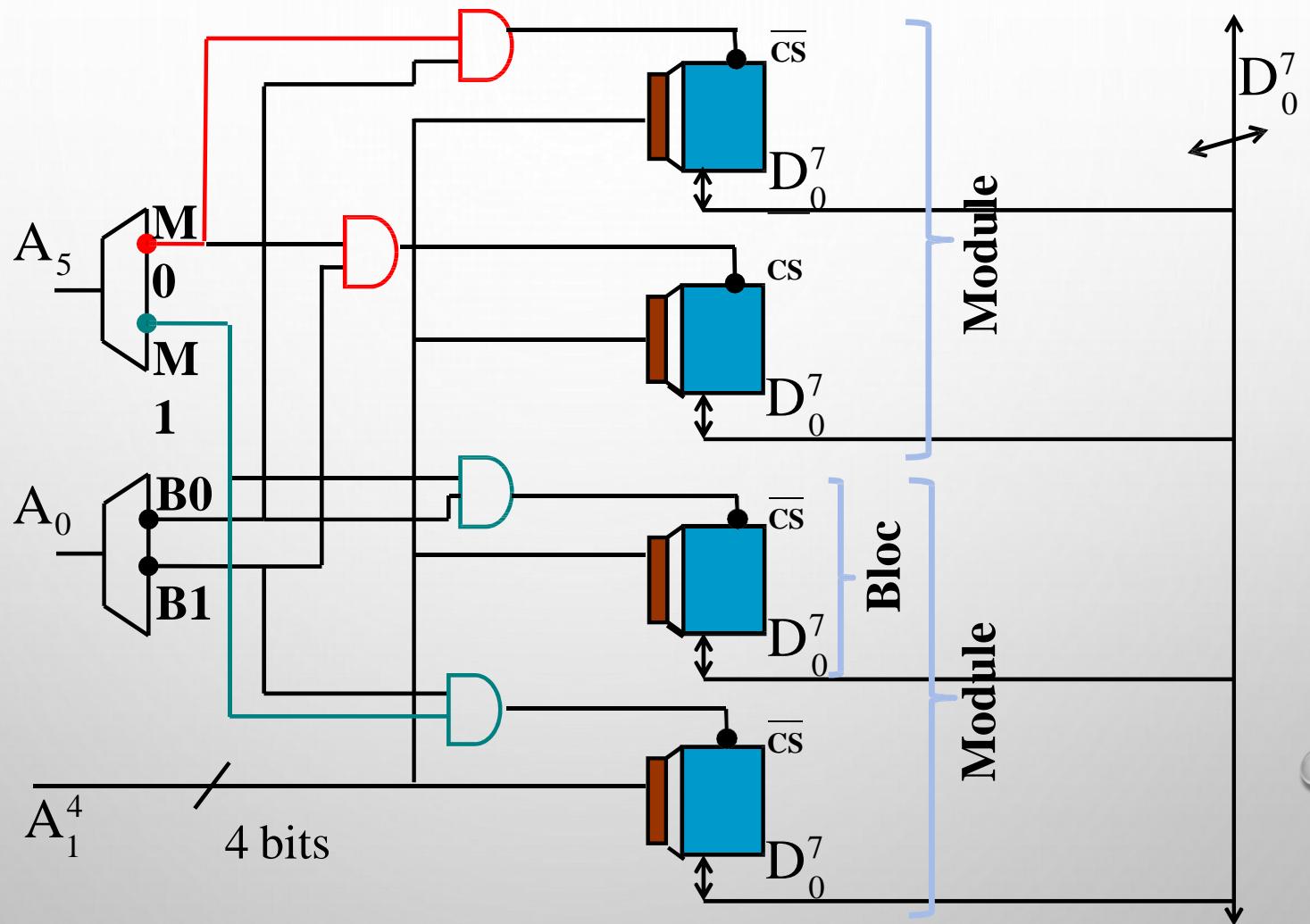
MÉMOIRE MODULAIRE ENTRELACÉE

- MP divisée en plusieurs modules
- Chaque module est divisé en n blocs
- Sélection de mots
 - Bits de poids forts pour sélectionner le module
 - Bits de poids faibles pour sélectionner le bloc dans le module
 - Bits restants pour sélectionner le mot dans le bloc

EXEMPLE

- Mémoire de 64 mots de 8 bits organisée en 2 modules entrelacés (degré d'entrelacement $D=2$). On utilise des boîtiers de 16 mots de 8 bits
 - Taille du bus d'adresses $k= 6$ ($64=2^6$) $\rightarrow A_0^5$
 - Nombre de modules $m=2$, Taille d'un module=32 mots
 - Nombre de bits pour sélectionner un module = 1 (A^5)
 - Nombre de blocs dans un module $D=2 \rightarrow$ Nombre de bits nécessaire pour sélectionner un bloc = 1 (A_0)
 - Taille d'un bloc = 16 mots \rightarrow un boîtier suffit pour réaliser un bloc
 - Nombre de bits nécessaire pour sélectionner un mot dans le bloc = 4 (A_1^4)

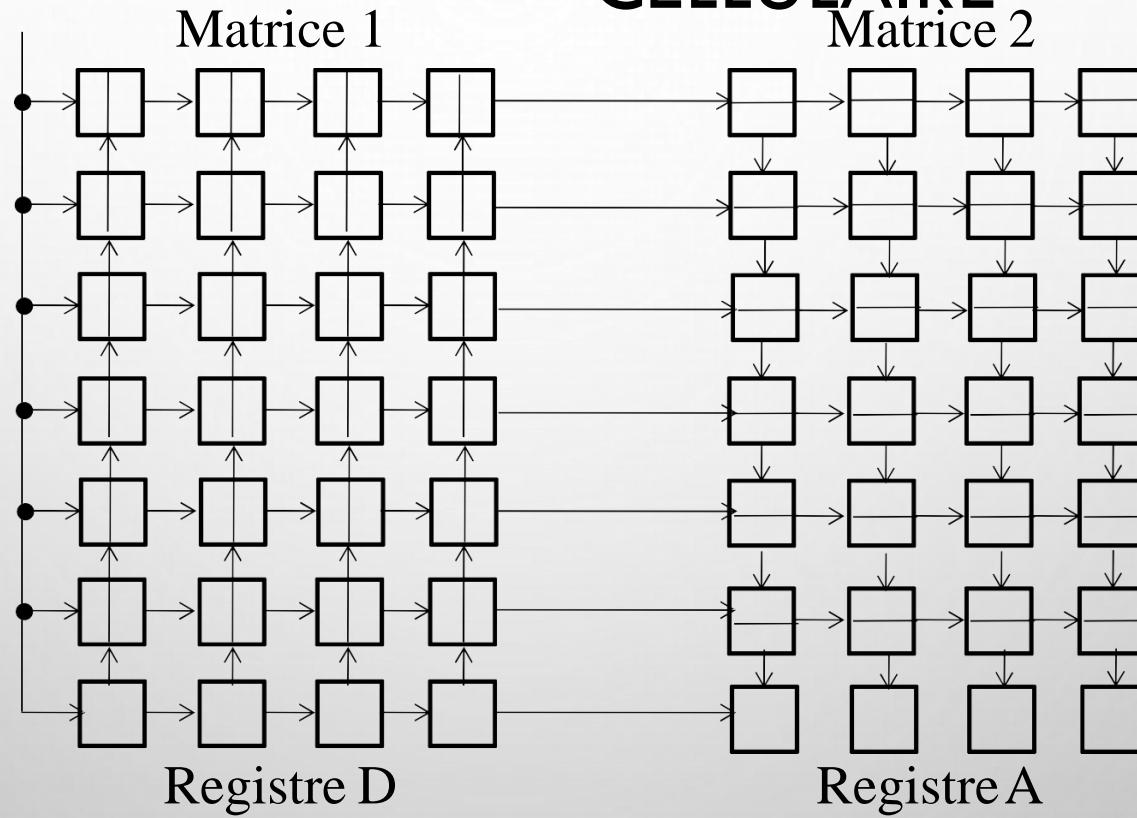
SOLUTION



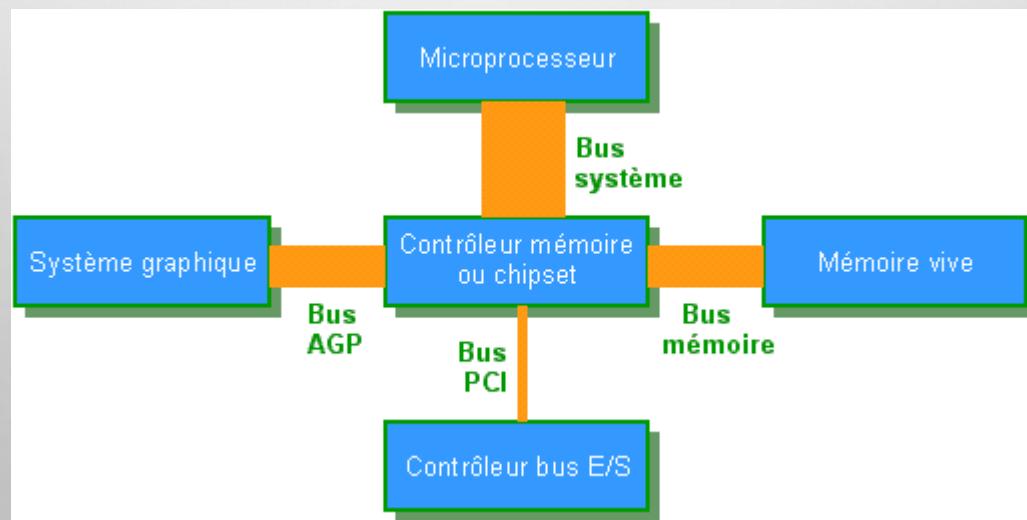
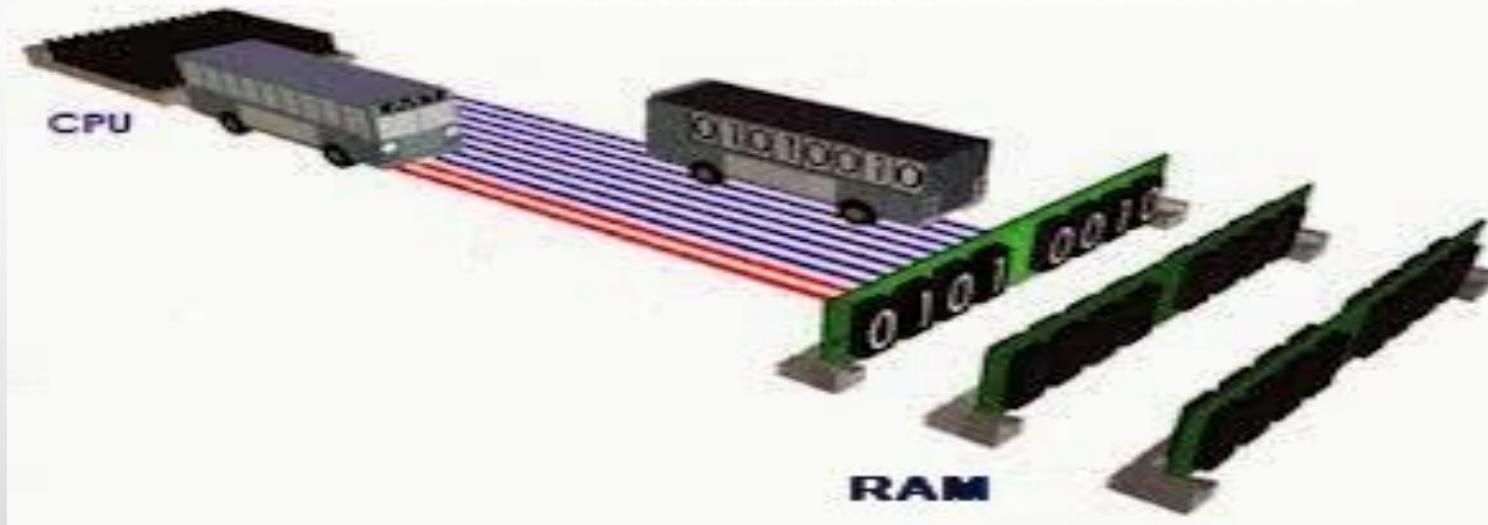
MÉMOIRE ASSOCIATIVE

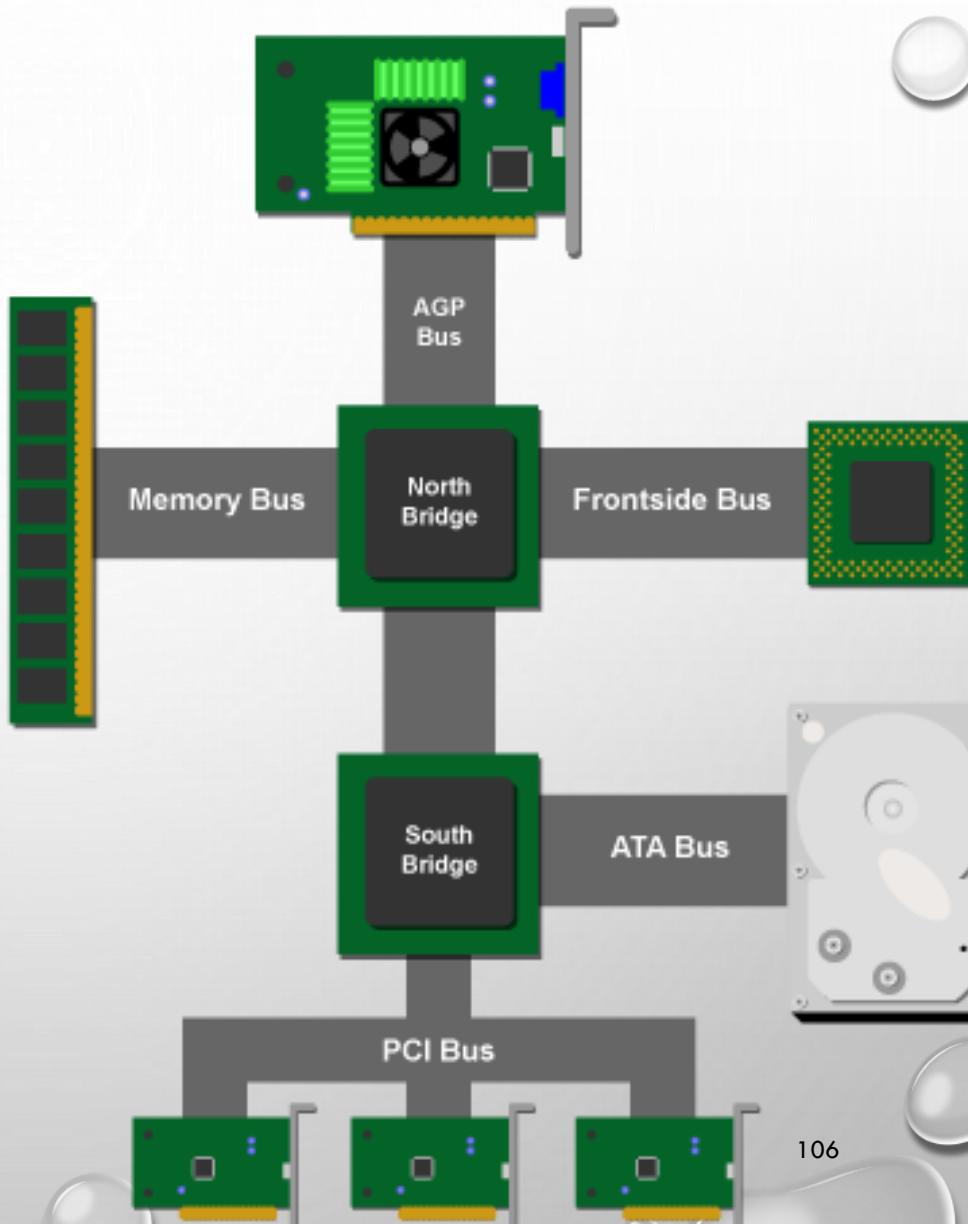
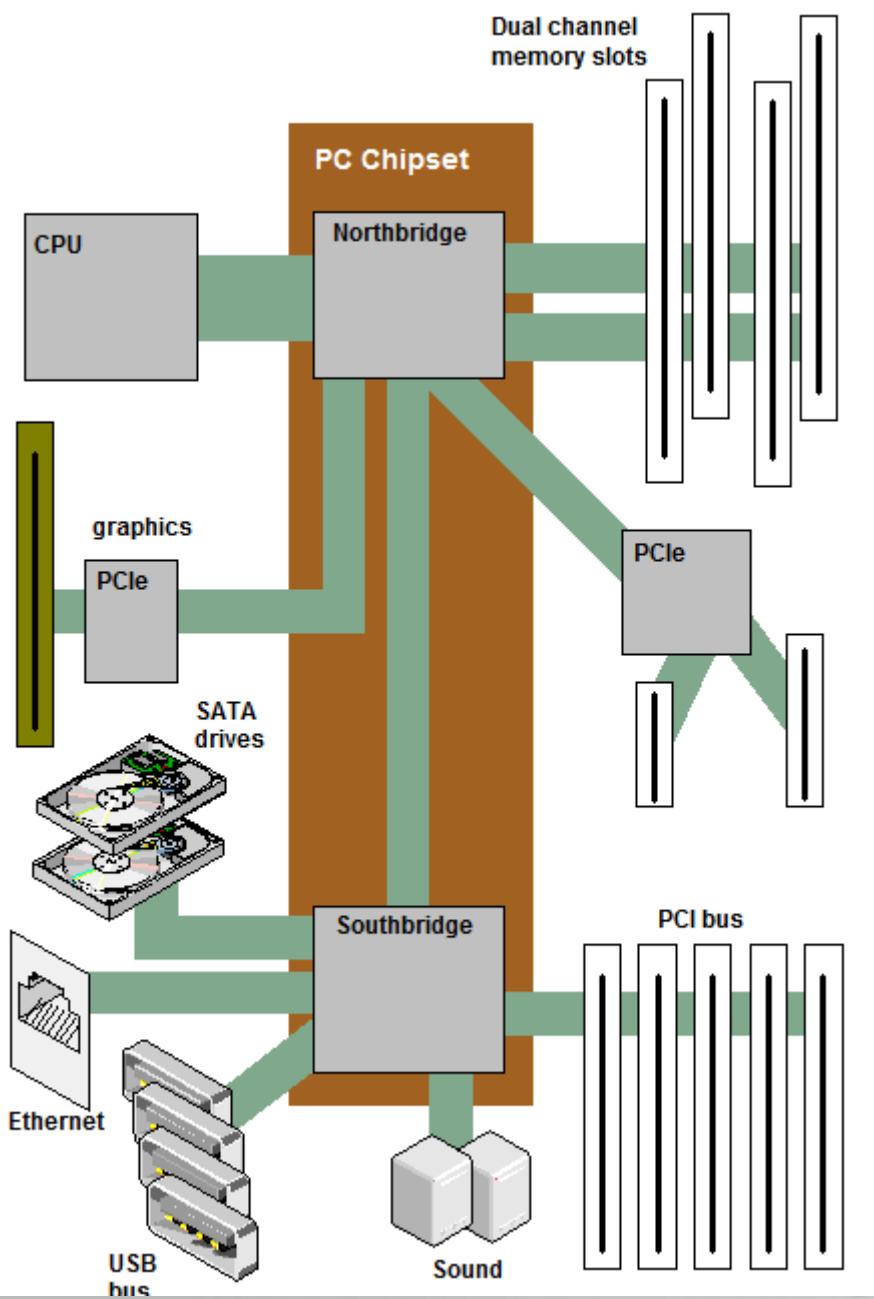
- Mémoire adressable par le contenu pour une recherche plus rapide
 - Mémoire à accès aléatoire : information à partir d'une adresse
- Mémoire associative : fournir un descripteur (clé) et obtenir l'information associée s'il existe
- Divisée en 2 parties M1 et M2
 - M1 : mots comparés en parallèle au descripteur
 - M2 : fournit l'information associée dans un registre A

MÉMOIRE ASSOCIATIVE EN LOGIQUE CELLULAIRE



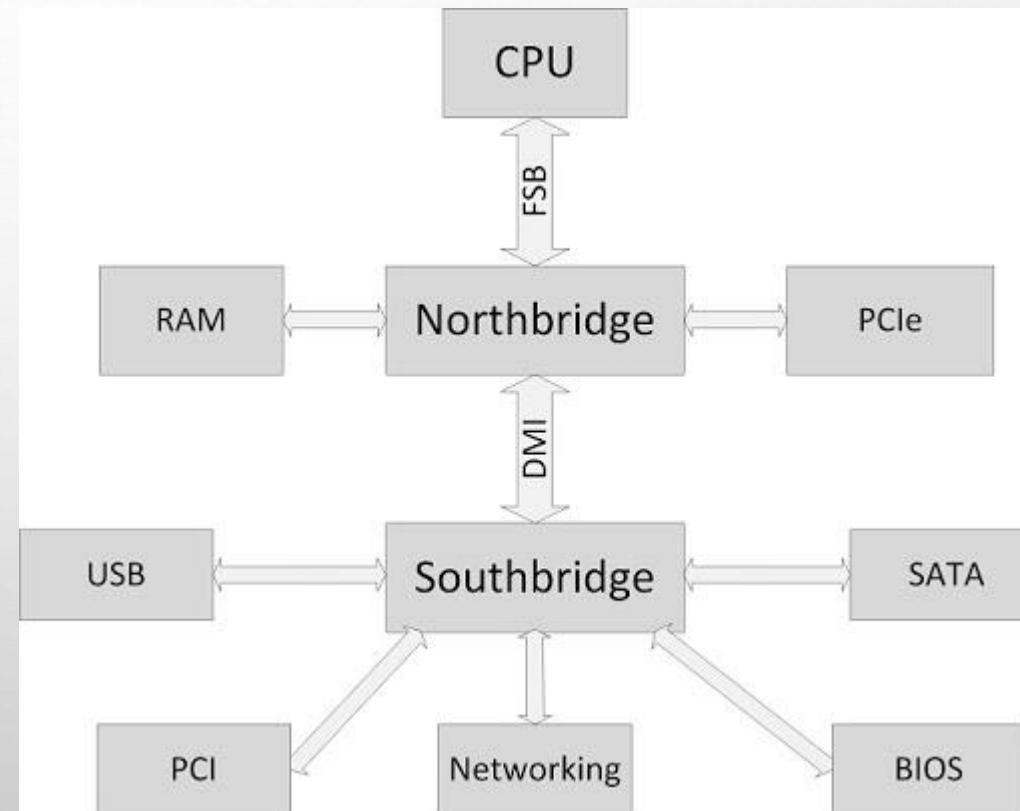
LES BUS



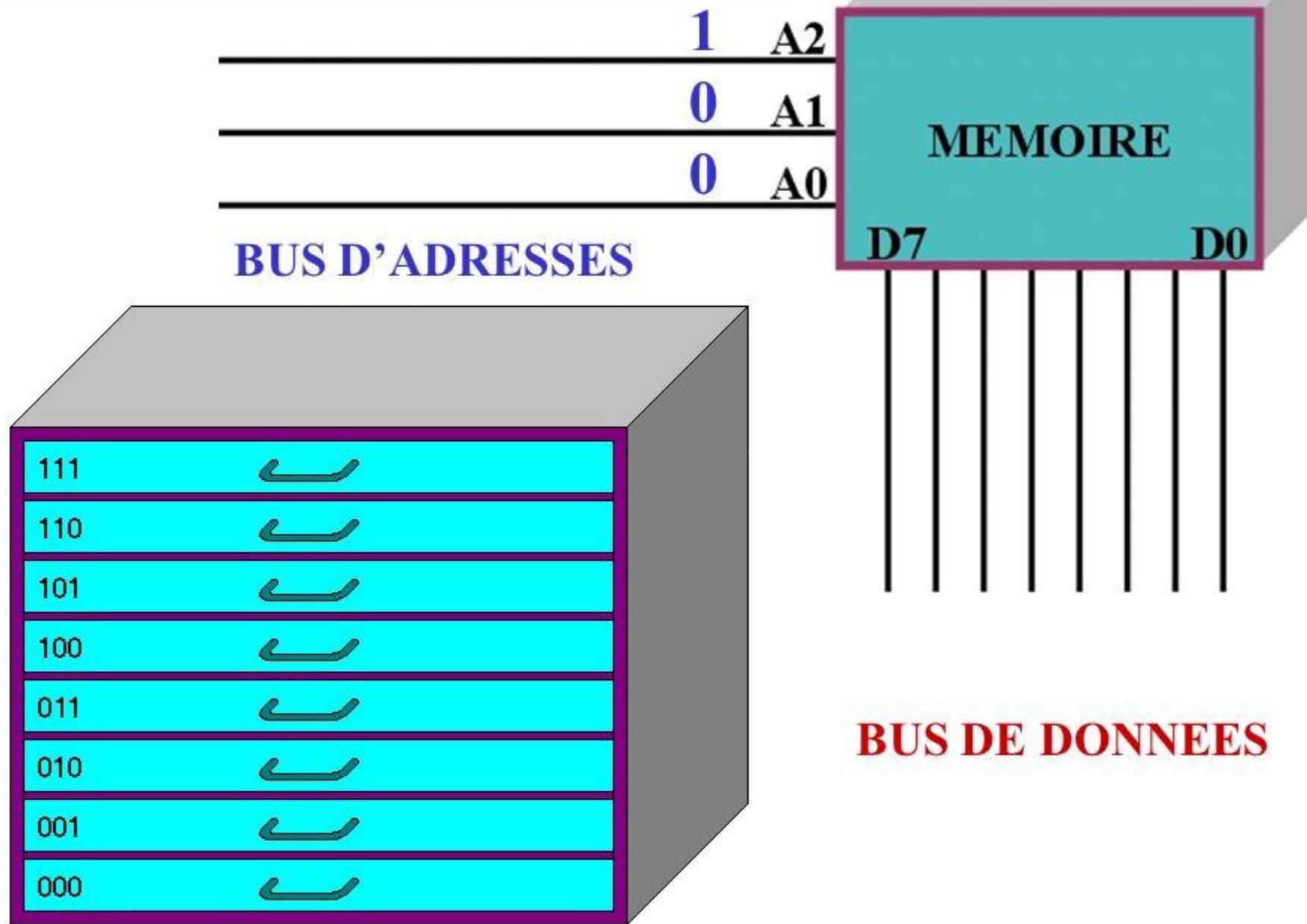


LES BUS

- BUS DMI: DIRECT MEDIA INTERFACE
- PCIE: LE PCI EXPRESS, PCI (PERIPHERAL COMPONENT INTERCONNECT),



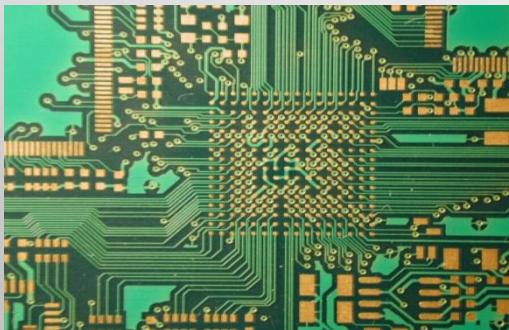
Principe de fonctionnement



LES BUS

Un BUS Informatique est un ensemble de liaisons physiques (fils électriques, pistes de circuits imprimés) qui assurent la communication numérique entre les périphériques d'un PC.

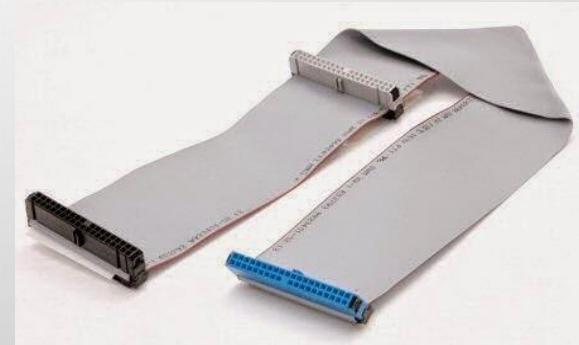
Ex: CPU, RAM, HDD.. Etc.



Circuits Imprimés

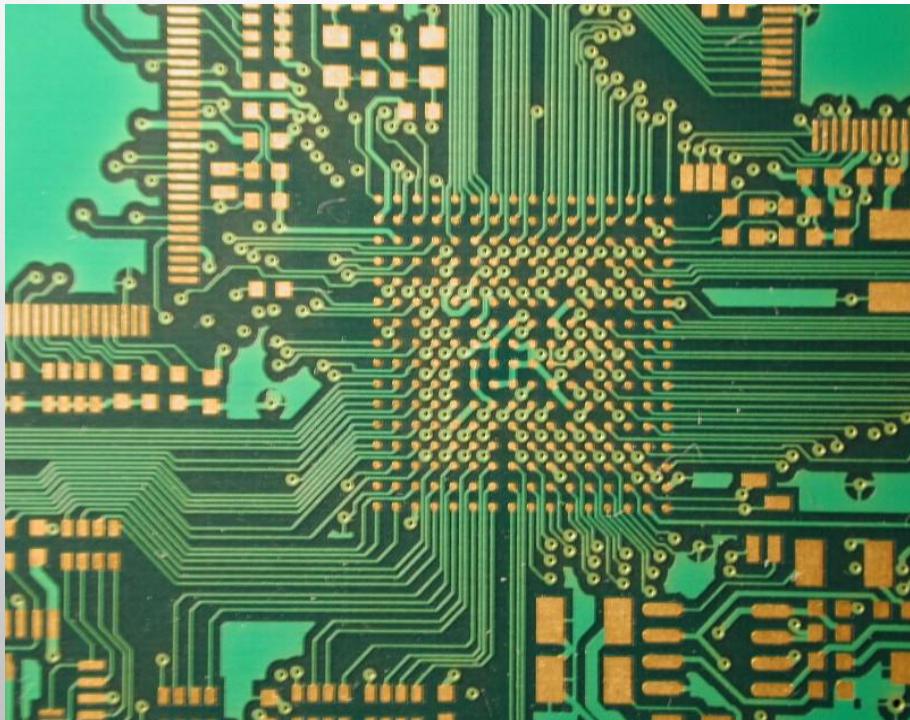


Nappe HDD - SATA



Nappe HDD - IDE

LES BUS



Les **BUS** dans un Circuits Imprimés



Les **Route s** dans une Ville

LES BUS



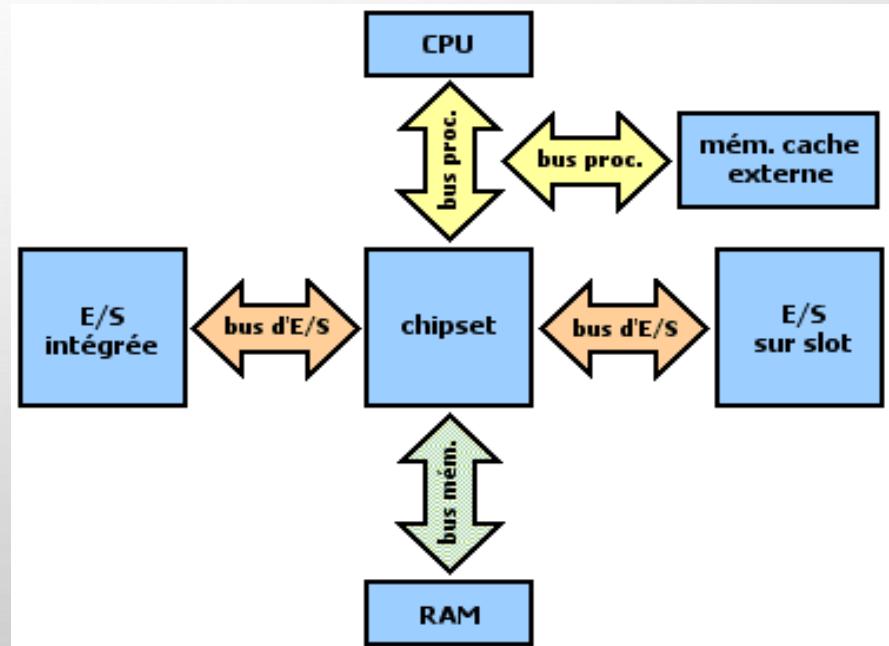
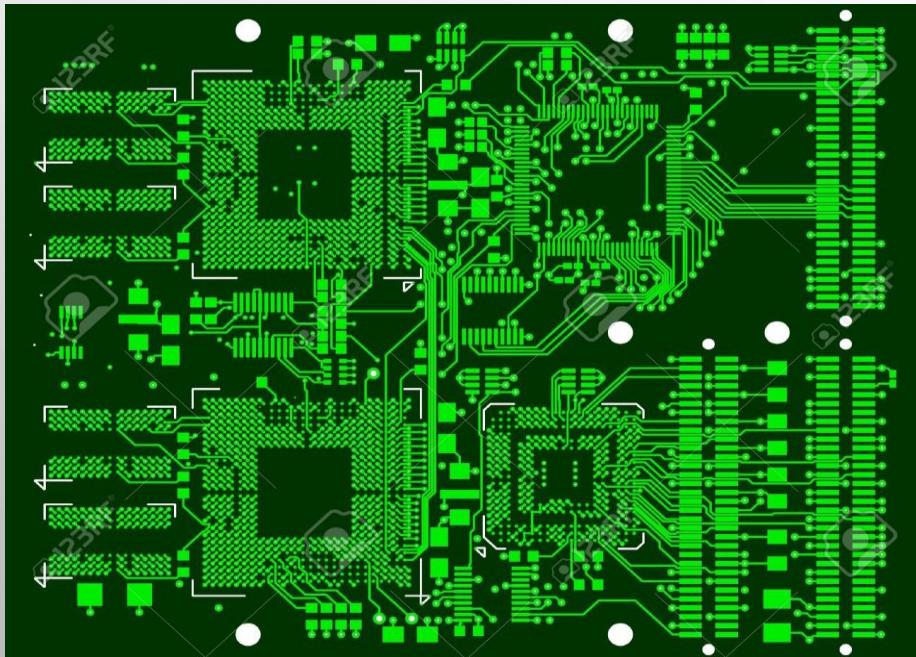
Une Seul voie - Vitesse Réduite



Plusieurs voies - Vitesse Rapide

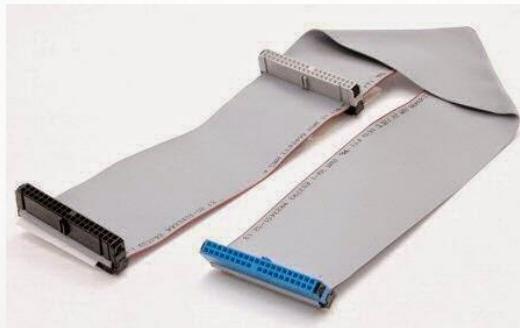
LES TYPES DE BUS

a. Les BUS Internes sont tous les bus dans la carte mère.





Bus SATA



Bus IDE

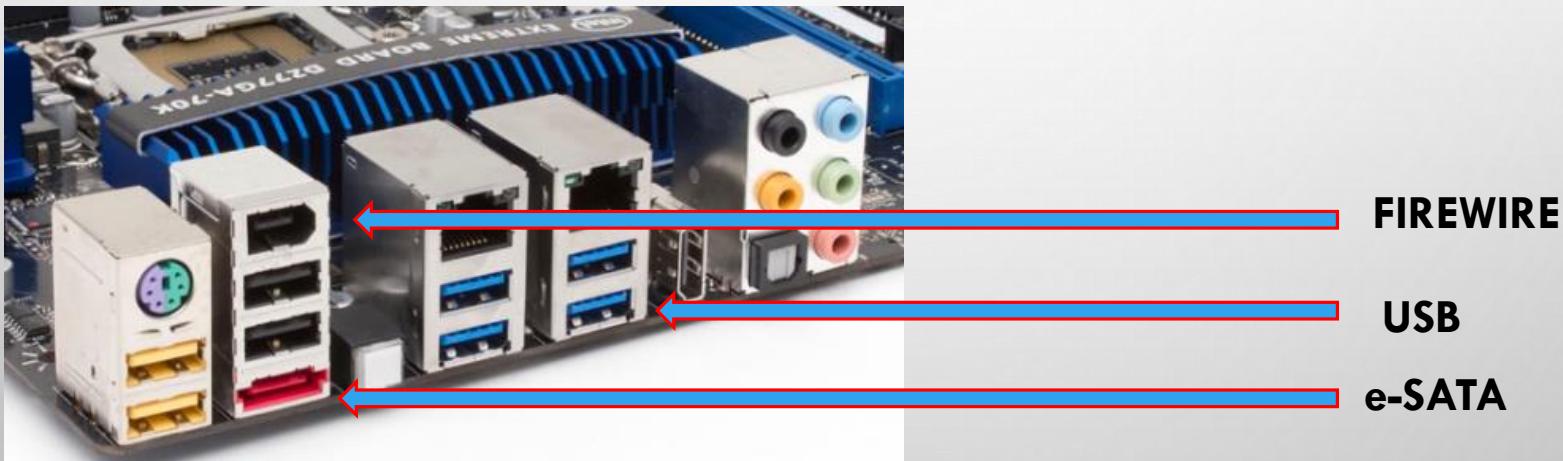


Bus d'extention

LES TYPES DE BUS

b. Les BUS Externes

Sont les ports de données externes tel que USB, FIREWIRE, et e-SATA qui connectent des périphériques Externes.



LE BUS SYSTÈME

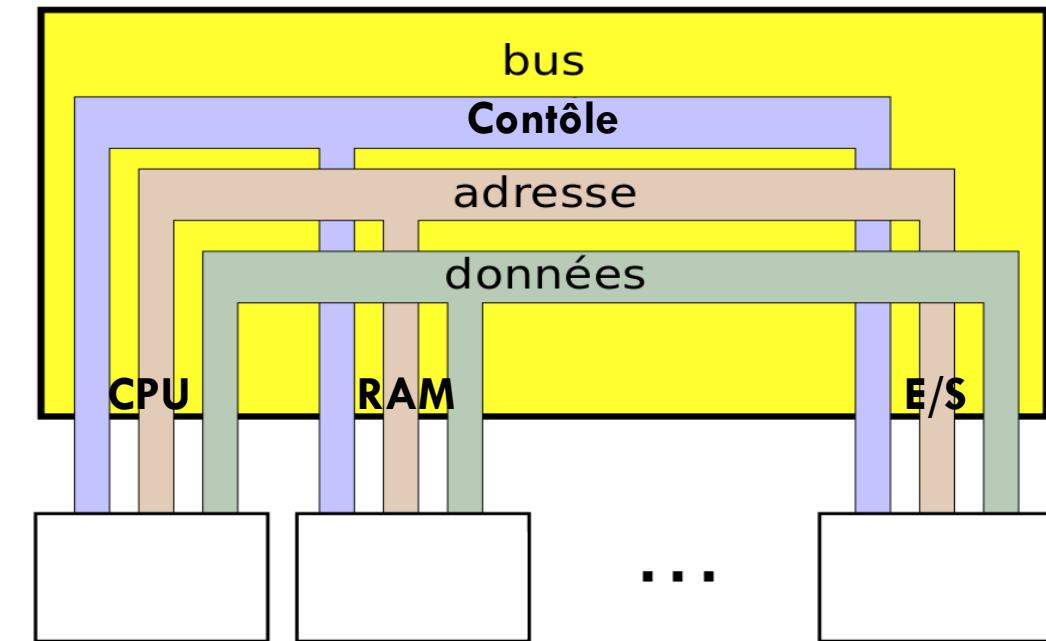
- LE MICROPROCESSEUR POSSÈDE SON PROPRE BUS : LE BUS SYSTÈME AUSSI APPELÉ BUS INTERNE OU FRONT SIDE BUS (FSB) EN ANGLAIS. IL RELIE LE MICROPROCESSEUR AU CHIPSET
- IL EST APPELÉ AINSI, CAR LES PERFORMANCES GÉNÉRALES DE TOUT LE SYSTÈME DÉPENDENT DE LA VÉLOCITÉ DE CE BUS (ENFIN, EN THÉORIE !). EN EFFET, C'EST GRÂCE À CELUI-CI QUE LE MICROPROCESSEUR COMMUNIQUE AVEC TOUS LES AUTRES COMPOSANTS. DE CE FAIT, LA BANDE PASSANTE DE CE BUS EST LA PLUS IMPORTANTE DE TOUT LE SYSTÈME.
- IL FAUT NOTER QUE DES TECHNIQUES SONT EMPLOYÉES POUR AUGMENTER LA BANDE PASSANTE DU BUS SYSTÈME. LA TECHNOLOGIE "QUAD-PUMPED" (ASSOCIÉE À UN PASSAGE DE 64 BITS À 128 BITS DE LA LARGEUR DU BUS) PERMET DE MULTIPLIER PAR 4 SA FRÉQUENCE DE FONCTIONNEMENT. AINSI, LA BANDE PASSANTE DU BUS SYSTÈME PEUT ATTEINDRE : $128 \text{ BITS} \times 800 \text{ MHZ} (200 \text{ MHZ} \times 4) = 102\ 400 \text{ MBITS/S} = \mathbf{12\ 800\ MO/S}$ (1 OCTET ÉQUIVAUT À 8 BITS).

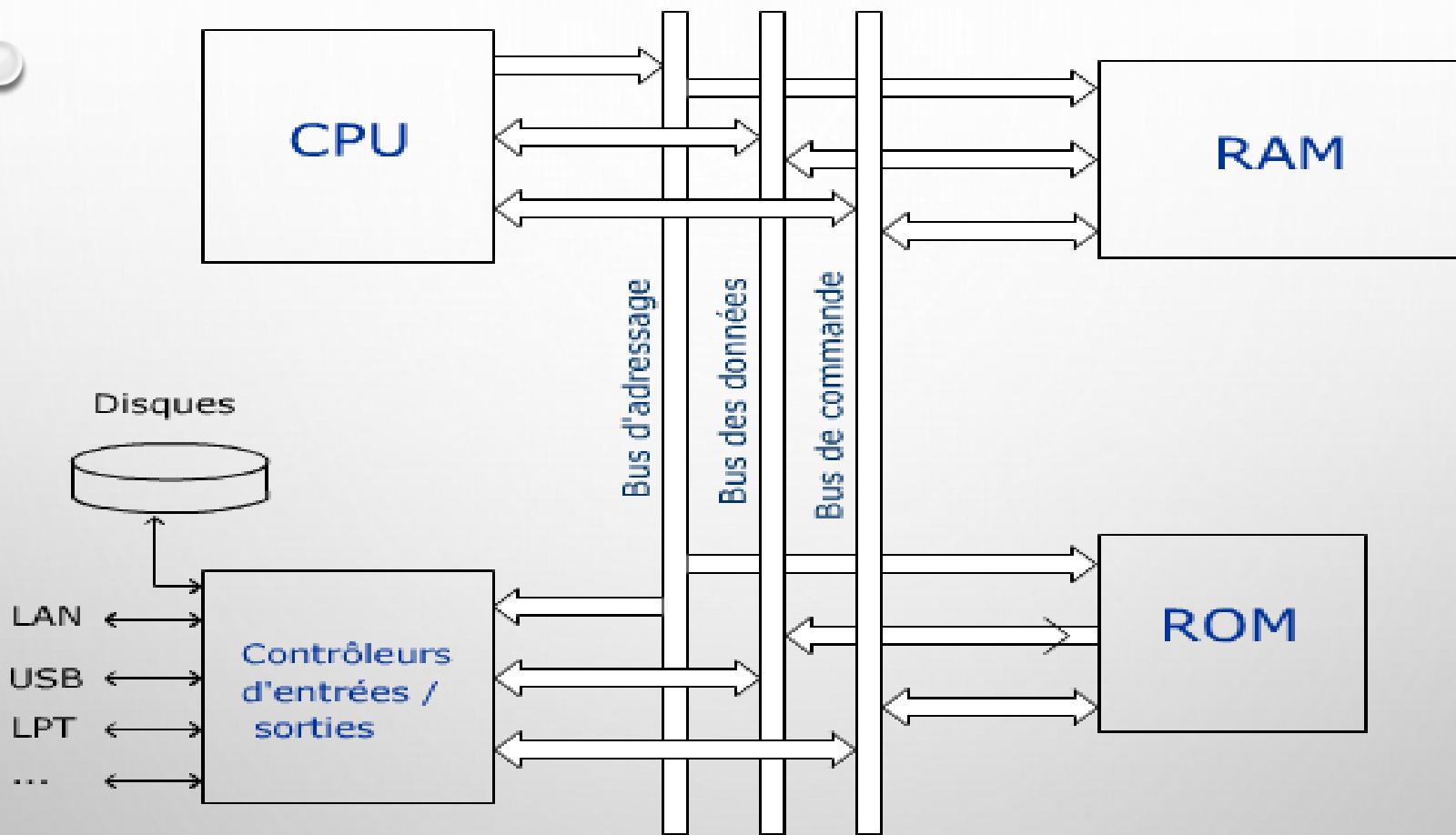
LE BUS MÉMOIRE

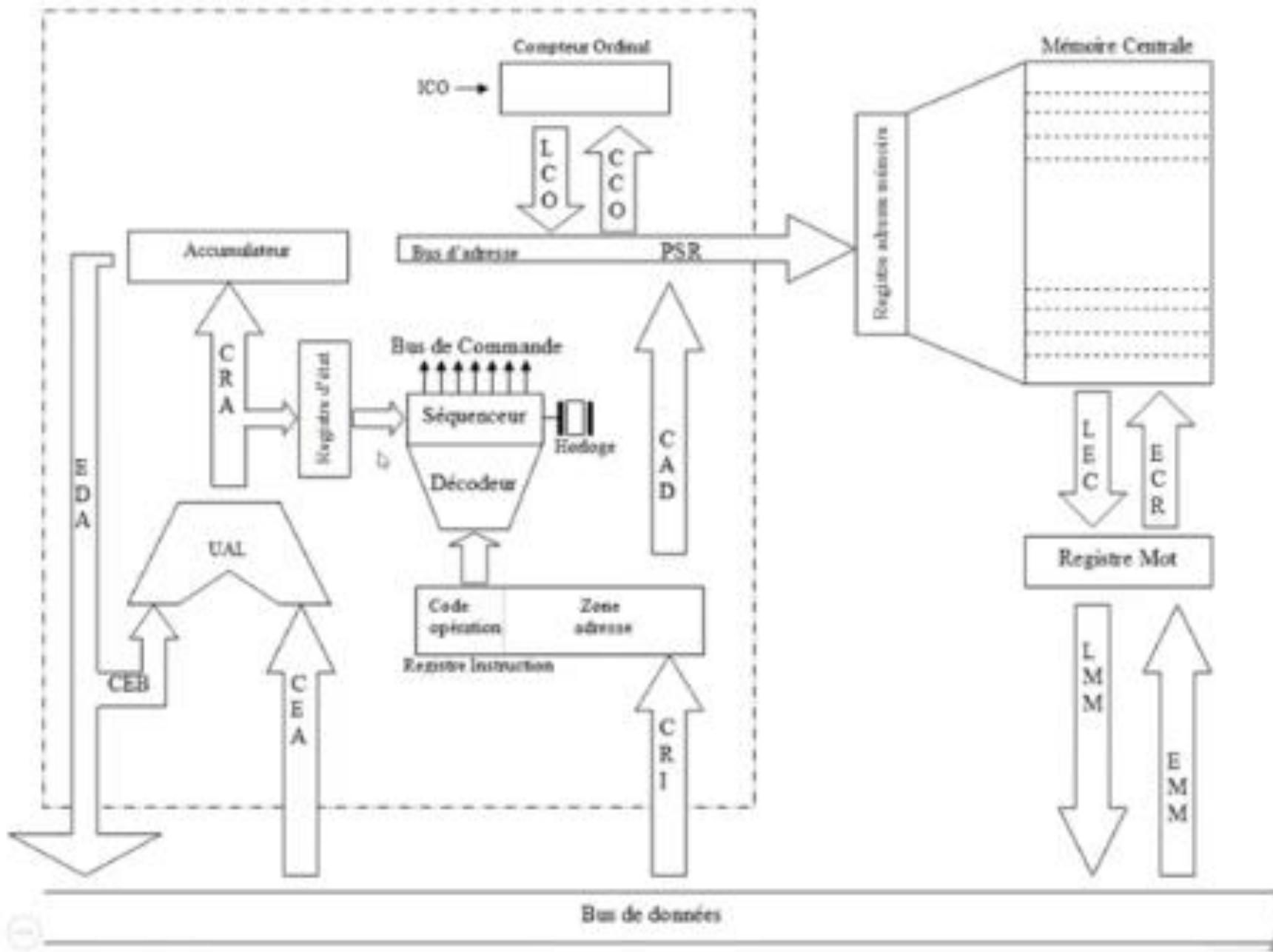
- RELIE LE CHIPSET À LA MÉMOIRE VIVE;
- LE BUS MÉMOIRE PERMET LE TRANSFERT DE DONNÉES ENTRE LE MICROPROCESSEUR ET LA MÉMOIRE VIVE (RAM). CE BUS DOIT DONC ÊTRE VÉLOCE (GÉNÉRALEMENT UN PEU MOINS QUE LE BUS SYSTÈME, AFIN D'ASSURER DES TRANSFERTS LES PLUS RAPIDES).

Composition d'un bus informatique

Les bus véhiculent trois types de signaux: les adresses, les données et les commandes.







• ETAPE D'EXECUTION D'UN PROGRAMME

- SOIT LE PROGRAMME:

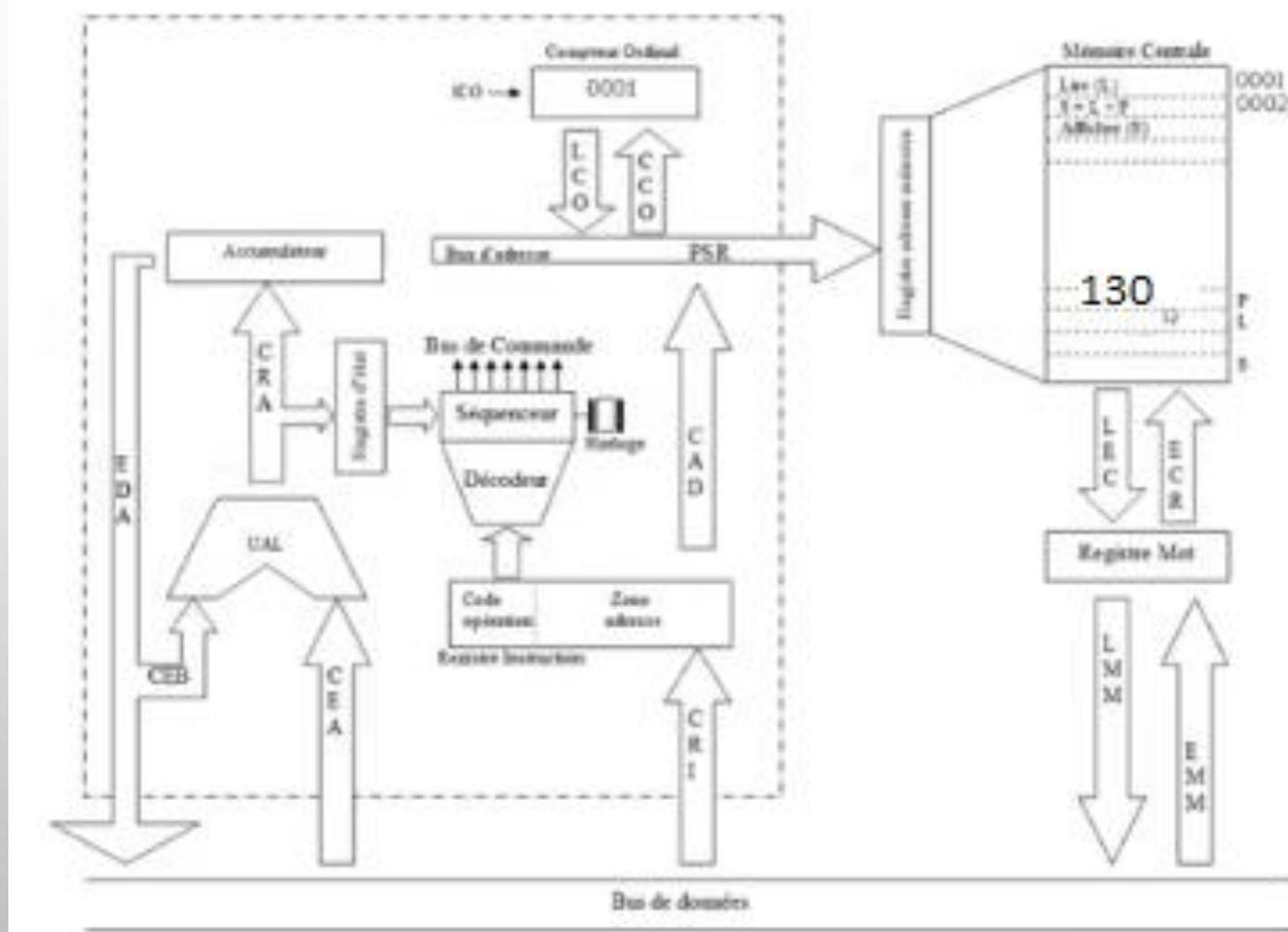
INT P = 130;

INT L,S;

SCANF("%D",&L);

S=P+L;

PRINTF("%D",S);



- ❖ LCO: LECTURE DU CONTROL ORDINAL. TRANSFÈRE LE CONTENU DU COMPTEUR ORDINAL SUR LE BUS D'ADRESSE.
- ❖ CCO: CHARGEMENT DU COMPTEUR ORDINAL. TRANSFÈRE LE CONTENU DU BUS D'ADRASSES DANS LE COMPTEUR ORDINAL
- ❖ PSR: POINTAGE SUR REGISTRE. TRANSFÈRE LE CONTENU DU BUS D'ADDRESSES DANS LE REGISTRE ADDRESSE MéMOIRE
- ❖ LEC: LECTURE. TRANSFÈRE LE CONTENU DE L'EMPLACEMENT MéMOIRE DANS LE REGISTER MOT(MéMOIRE TAMPON)
- ❖ ECR: ÉCRITURE. TRANSFÈRE LE CONTENU DU REGISTER MOT MéMOIRE DANS L'EMPLACEMENT MéMOIRE REPÉRÉ PAR L'ADRESSE STOCKÉE DANS LE REGISTER ADRESSE MéMOIRE
- ❖ LMM: LECTURE MOT MéMOIRE. TRANSFERT LE CONTENU DU MOT MéMOIRE SUR LE BUS DE DONNÉES
- ❖ EMM: ECRIURE MOT MéMOIRE. TRANSFÉRT LE CONTENU DU BUS DE DONNÉES DANS LE REGISTER MOT MéMOIRE.

- ❖ CRI: CHARGEMENT REGISRE INSTRUCTION:. TRANSFERT DU CONTENU DU BUS DE DONNÉES DANS LE REGISTER INSTRUCTION
- ❖ CAD: CHARGEMENT ADRESSE. TRANSFÉRT LA PARTIE ADRESSE (OPÉRANDE) DE L'INSTRUCTION SUR LE BUS D'ADRESSE.
- ❖ CRA: CHARGEMENT REGISTER ACCUMILATEUR. LE RÉSULTAT D'UNE OPÉRATIONDANS L'UAL EST TRANSFEREE DANS L'ACCUMILATEUR
- ❖ CEA: CHARGEMENT ENTRÉE A. TRANSFÉRT LE CONTENU DU BUS DE DONNÉES SUR L'ENTRÉE A DE L'UAL
- ❖ CEB: CHARGEMENT ENTRÉE B. TRANSFÈRT LE CONTENU DE L'ACCUMULATEUR SUR L'ENTÉEEE B DE L'UAL
- ❖ EDA: ENVOI DE DONNÉES ACCUMULATEUR. TRANSFÈRT LE CONTENU DE L'ACCUMULATEUR SUR LE BUS DE DONNÉES
- ❖ ICO: INCRÉMENTATION (+1) DU COMPEER ORDINAL.

CATÉGORIES DE BUS

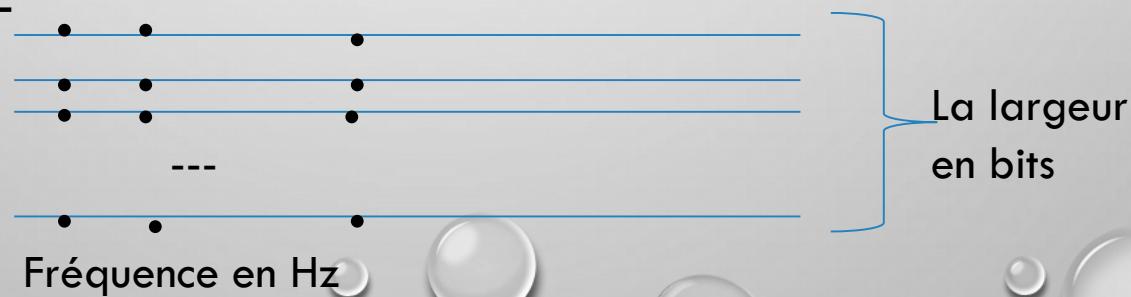
- ❑ LE BUS D'ADRESSAGE SUR LEQUEL LE PROCESSEUR ENVOIE LES ADRESSES DES CELLULES MÉMOIRE ET DES ENTRÉES/SORTIES AUXQUELLES IL VEUT ACCÉDER
- ❑ LE BUS DE DONNÉES EST BIDIRECTIONNEL PUISQUE LE PROCESSEUR L'UTILISE POUR LIRE ET POUR ÉCRIRE EN MÉMOIRE OU DANS LES I/O
- ❑ LE BUS DE COMMANDE (CONTROL BUS) VÉHICULE TOUS LES AUTRES SIGNAUX
 - ✓ LE CPU UTILISE L'UN D'EUX POUR INDICER LE SENS DES TRANSFERTS SUR LE BUS DE DONNÉES (LECTURE OU ÉCRITURE).
 - ✓ C'EST PAR UN AUTRE DE CES CONDUCTEURS QUE LES MÉMOIRES SIGNALENT QUAND ELLES SONT PRÊTES POUR RÉPONDRE À UNE COMMANDE DE LECTURE

TYPE DE BUS

- ❖ ***LES BUS PARALLÈLES*** TRANSMET SIMULTANÉMENT LES DONNÉES, CE TYPE DE BUS SE DÉCOMPOSE EN TROIS SOUS-ENSEMBLES:
 - ✓ LES LIGNES DE DONNÉES TRANSMETTENT LES DONNÉES.
 - ✓ LES LIGNES D'ADRESSE
 - ✓ LA OU LES LIGNES DE CONTRÔLE
- ❖ ***LES BUS SÉRIE*** TRANSMETTANT LES DONNÉES ÉLÉMENT PAR ÉLÉMENT

CARACTÉRIQUE D'UN BUS INFORMATIQUE

- ❖ **LA LARGEUR:** POUR DÉSIGNER LE NOMBRE DE BITS QU'UN BUS PEUT TRANSMETTRE SIMULTANÉMENT (ELLE SE MESURE EN BITS). D'AUTRE PART,
- ❖ **LA FRÉQUENCE** (EXPRIMÉE EN HERTZ), C'EST-À-DIRE LE NOMBRE DE PAQUETS DE DONNÉES ENVOYÉS OU REÇUS PAR SECONDE.
- ❖ **LE DÉBIT** MAXIMAL DU BUS (OU TAUX DE TRANSFERT MAXIMAL), C'EST LA QUANTITÉ DE DONNÉES QU'IL PEUT TRANSPORTER PAR UNITÉ DE TEMPS, LE DÉBIT MAX (BITS/SECONDE) = LA LARGEUR(BITS) * LA FRÉQUENCE(HZ)

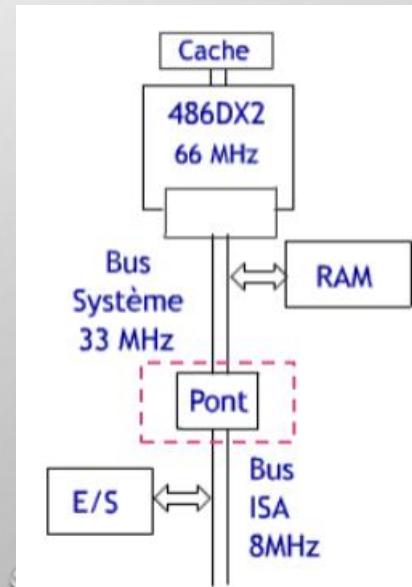


L'ARCHITECTURE MULTI-BUS

- ❖ LA VITESSE DES PROCESSEURS ET DES MÉMOIRES AUGMENTE CONSTAMMENT,
- ❖ PAR CONTRE LA VITESSE DES CIRCUITS D'ENTRÉES/SORTIES CHANGE RELATIVEMENT PEU.

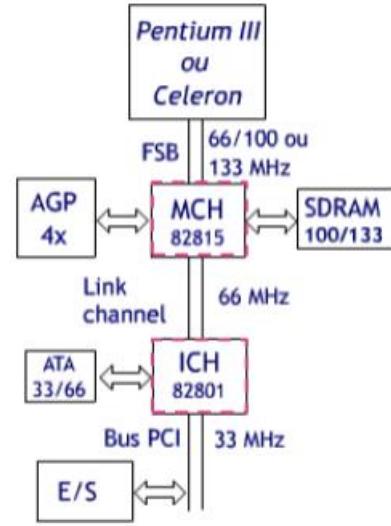
SOLUTION

- AJOUTER UNE INTERFACE (PONT) ENTRE LE PROCESSEUR ET LA MÉMOIRE D'UNE PART ET LES CIRCUITS D'ENTRÉES SORTIES D'UNE AUTRE PART



L'ARCHITECTURE MULTI-BUS

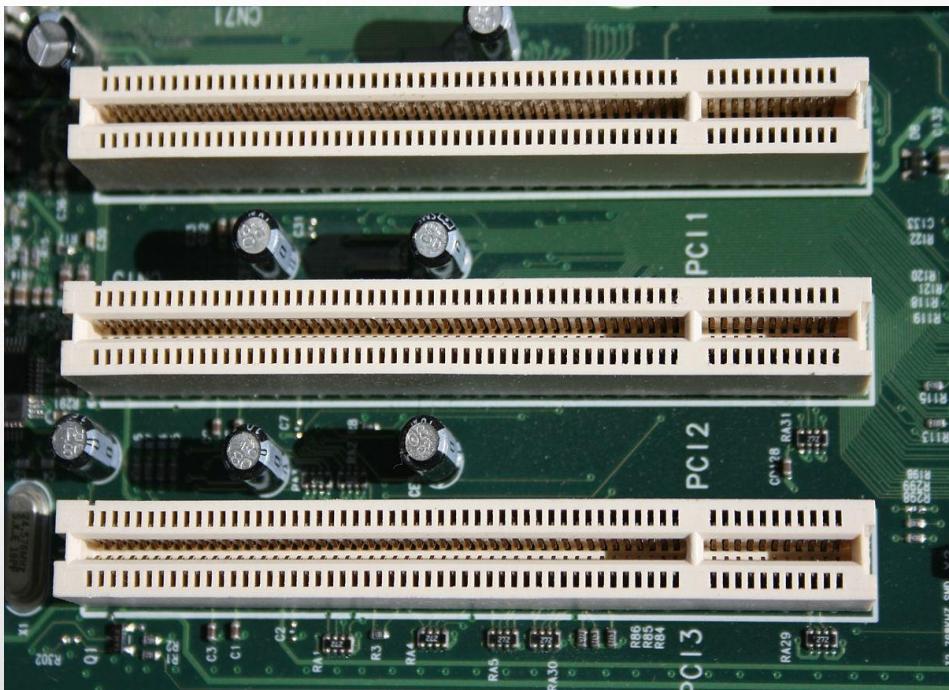
- ❖ LA VITESSE DES PROCESSEURS AUGMENTE PAR RAPPORT AUX MÉMOIRES
- ❖ MAIS LA VITESSE DES CIRCUITS D'ENTRÉES/SORTIES RESTE À LA TRAINE.
- ❖ SOLUTION
- ❖ INSERTION D'UN PONT ENTRE LE CPU, LA RAM ET LA CARTE GRAPHIQUE, ON PARLE MAINTENANT DE MCH(MEMORY CONTROLLER HUB) OU NORTHBRIDGE
- ❖ INSERTION D'UN AUTRE PONT POUR LES CIRCUITS D'ENTRÉES/SORTIES, ON PARLE DU ICH(I/O CONTROLLER HUB) OU SOUTHBIDGELES DEUX PONTS SONT CONNECTÉS PAR CANAL DE LIEN OU LINK CHANNEL QUI EST DEUX FOIS PLUS RAPIDE LE BUS PC



Types des bus d'extensions(connecteurs d'extension)

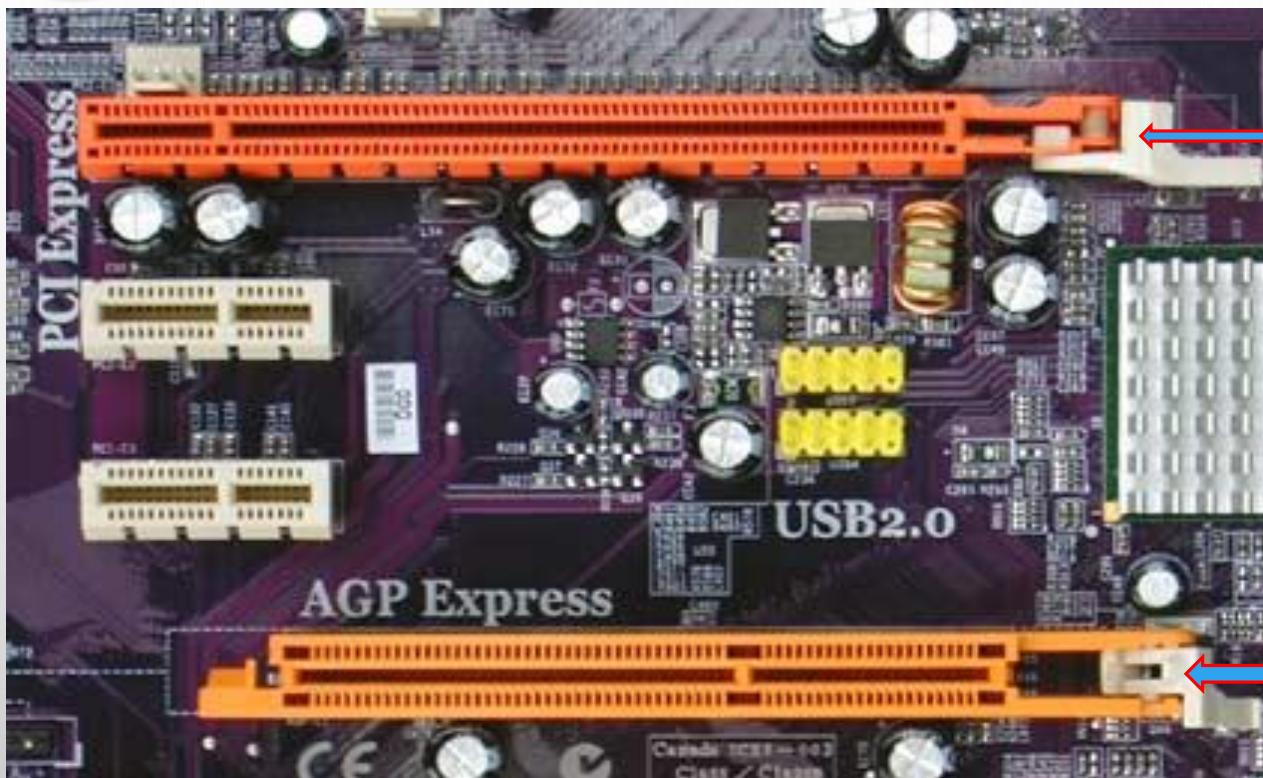
a. BUS d'extension standard

- (aussi appelé bus d'entrées/sorties): Il relie le micro-processeur aux connecteurs d'entrée/sortie et aux connecteurs d'extension;
- Les connecteurs d'extension (anglais: slot) sont des réceptacles pouvant accueillir des cartes d'extension. Ces cartes sont utilisées pour ajouter des fonctionnalités ou augmenter les performances d'un micro-ordinateur,
- Exemple : ISA, PCI, AGP, PClexpress



BUS PCI

BUS d'extension Graphiques AGP et PCI Express

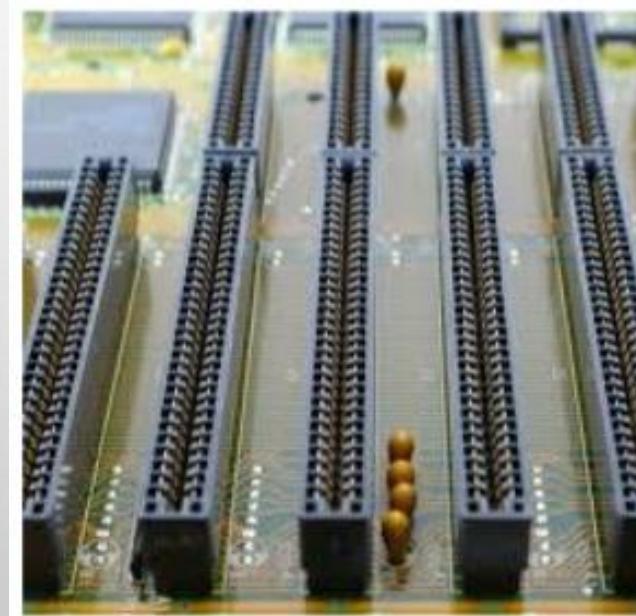


BUS PCI Express

BUS AGP

BUS ISA

SLOT ISA(INDUSTRY STANDARD ARCHITECTURE): DE COULEUR NOIRE OU BRUNE, EXISTE EN VERSION COURTE OU EN VERSION LONGUE ET DESTINÉ COMME SON NOM L'INDIQUE À RECEVOIR DES CARTES DE TYPE ISA. CE CONNECTEUR EST DÉSORMAIS OBSOLÈTE. IL A ÉTÉ REMPLACÉ PAR LE PORT PCI. C'EST UN BUS DE LARGEUR 16 BITS, AVEC UNE FRÉQUENCE D'HORLOGE DE 8MHZ



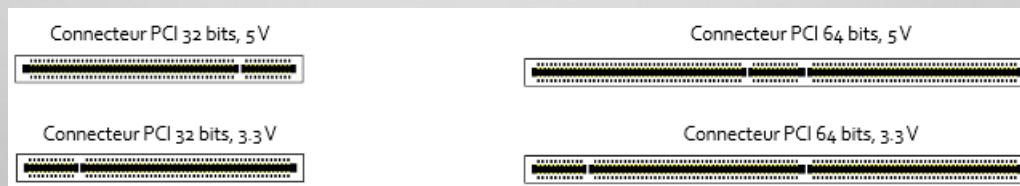
BUS PCI

SLOT PCI (PERIPHERAL COMPONENT INTERCONNECT): EST UN STANDARD DE BUS LOCAL (INTERNE). GÉNÉRALEMENT BLANC, DESTINÉ À RECEVOIR DES CARTES PCI. IL EST EN TRAIN D'ÊTRE REMPLACÉ PAR LE PORT PCI EXPRESS. L'UN DES INTÉRêTS DU BUS PCI EST QUE DEUX CARTES PCI PEUVENT DIALOGUER ENTRE ELLES SANS PASSER PAR LE PROCESSEUR.



BUS PCI

- VARIANTES: COMME DANS LE CAS DES SLOTS ISA IL EXISTE EN PLUSIEURS FORMATS SUIVANT LA VARIANTE DE LA NORME PCI ADOPTÉE
 - ❖ PCI 1 : FRÉQUENCE 33MHZ, LARGEUR 32BITS 64BITS
 - ❖ PCI 2 QUI EXISTE EN DEUX VERSIONS:
 - BUS 32 BITS À 33 MHZ (SOIT UNE BANDE PASSANTE MAXI DE 133 MO/S) 1 (LA PLUS RÉPANDUE),
 - BUS 64 BITS À 66 MHZ (SOIT UNE BANDE PASSANTE MAXI DE 528 MO/S) 1 , UTILISÉ SUR CERTAINES CARTES MÈRES PROFESSIONNELLES OU SUR DES SERVEURS (ELLES FONT DEUX FOIS LA LONGUEUR DU PCI 2.2 À BUS 32 BITS)
 - PCI – X : BUS 64 BITS À 133 MHZ (SOIT UNE BANDE PASSANTE MAXI DE 1066 MO/S), UTILISÉE PRINCIPALEMENT DANS LES MACHINES PROFESSIONNELLES ;
 - PCI- X 2.0: 266 MHZ (SOIT UNE BANDE PASSANTE MAXI DE 2133 MO/S)



BUS AGP

- SLOT AGP (ACCELERATED GRAPHICS PORT) : DE COULEUR NOIRE OU BRUNE ET DESTINÉ À RECEVOIR LES CARTES GRAPHIQUES, LE SLOT AGP EST EN EXEMPLAIRE UNIQUE ET C'EST LE PLUS PROCHE DU PROCESSEUR SUR LES CARTES MÈRES DES PC. IL EST EN TRAIN D'ÊTRE REMPLACÉ PAR LE PORT PCI EXPRESS



BUS AGP

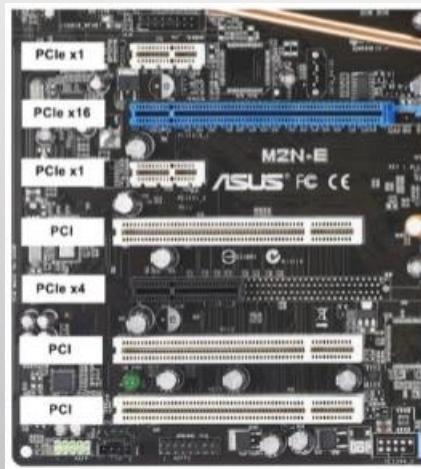
❖ VARIANTES : LE PORT AGP SE DÉCLINE EN PLUSIEURS VARIANTES AVEC COMPATIBILITÉ ASCENDANTE ET DONT LES FRÉQUENCES SONT DES MULTIPLES (X) DE L'AGP DE BASE :

- AGP 1X : 66,66 MHZ X 1(COEF .) X 32 BITS /8 = 266.67 MO/S
- AGP 2X : 66,66 MHZ X 2(COEF .) X 32 BITS /8 = 533.33 MO/S
- AGP 4X : 66,66 MHZ X 4(COEF.) X 32 BITS /8 = 1,06 GO/S
- AGP 8X : 66,66 MHZ X 8(COEF.) X 32 BITS /8 = 2,11 GO/S

GP	Tension	Mode
AGP 1.0	3.3 V	1x, 2x
AGP 2.0	1.5 V	1x, 2x, 4x
AGP 2.0 universa	1.5 V, 3.3 V	1x, 2x, 4x
AGP 3.0	1.5 V	4x, 8x

BUS PCI EXPRESS

- BUS PCI EXPRESS (PERIPHERAL COMPONENT INTERCONNECT EXPRESS), EST UN BUS D'INTERCONNEXION PERMETTANT L'AJOUT D'UNE CARTE GRAPHIQUE, CARTE SON, OU AUTRE CARTE ADDITIONNELLE. IL FONCTIONNE EN INTERFACE SÉRIE, CE QUI LUI PERMET D'OBTENIR UNE BANDE PASSANTE BEAUCOUP PLUS ÉLEVÉE QUE CE DERNIER.
- LE BUS PCI EXPRESS SE DÉCLINE EN PLUSIEURS VERSIONS, 1X, 2X, 4X, 8X, 12X, 16X ET 32X, PERMETTANT D'OBTENIR DES DÉBITS COMPRIS ENTRE 250 MO/S ET 8 GO/S



BUS PCI EXPRESS

- LE CONNECTEUR PCI EXPRESS 1X POSSÈDE 36 CONNECTEURS ET EST DESTINÉ À UN USAGE D'ENTRÉES SORTIES À HAUT DÉBIT



- LE CONNECTEUR PCI EXPRESS 4X POSSÈDE 64 CONNECTEURS ET EST DESTINÉ À UN USAGE SUR SERVEURS



- LE CONNECTEUR PCI EXPRESS 8X POSSÈDE 98 CONNECTEURS ET EST DESTINÉ À UN USAGE SUR SERVEURS

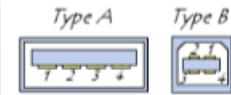


- LE CONNECTEUR PCI EXPRESS 16X POSSÈDE 164 CONNECTEURS, ET MESURE 89 MM DE LONG ET A VOCATION À SERVIR DE PORT GRAPHIQUE



BUS USB

- LE BUS USB (UNIVERSAL SERIAL BUS , EN FRANÇAIS BUS SÉRIE UNIVERSEL) EST BASÉ SUR UNE ARCHITECTURE DE TYPE SÉRIE . IL S'AGIT TOUTEFOIS D'UNE INTERFACE ENTRÉE - SORTIE BEAUCOUP PLUS RAPIDE QUE LES PORTS SÉRIE STANDARDS.
- L'ARCHITECTURE SÉRIE PERMET D'UTILISER UNE CADENCE D'HORLOGE BEAUCOUP PLUS ÉLEVÉE LES CÂBLES SÉRIE COÛTENT BEAUCOUP MOINS CHER QUE LES CÂBLES PARALLÈLES.
- IL EXISTE DEUX TYPES DE CONNECTEURS USB :
 - LES CONNECTEURS DITS DE TYPE A, DONT LA FORME EST RECTANGULAIRE ET SERVANT GÉNÉRALEMENT POUR DES PÉRIPHÉRIQUES PEU GOURMANDS EN BANDE PASSANTE (CLAVIER, SOURIS, WEBCAM, ETC.) ;
 - LES CONNECTEURS DITS DE TYPE B, DONT LA FORME EST CARRÉE ET UTILISÉS PRINCIPALEMENT POUR DES PÉRIPHÉRIQUES À HAUT DÉBIT (DISQUES DURS EXTERNES, IMPRIMANTE, ETC.



BUS USB

- LE STANDARD USB 1.0 PROPOSE DEUX MODES DE COMMUNICATION :
 - 12 MB/S EN MODE HAUTE VITESSE,
 - 1.5 MB/S À BASSE VITESSE
- LE STANDARD USB 1.1 APPORTE QUELQUES CLARIFICATIONS AUX CONSTRUCTEURS DE PÉRIPHÉRIQUES USB MAIS NE MODIFIE EN RIEN LE DÉBIT. LES PÉRIPHÉRIQUES CERTIFIÉS USB 1.1 PORTENT LE LOGO SUIVANT :



- LA NORME USB 2.0 PERMET D'OBTENIR DES DÉBITS POUVANT ATTEINDRE 480 MBIT/S. LES PÉRIPHÉRIQUES CERTIFIÉS USB 2.0 PORTENT LE LOGO SUIVANT



- LA NORME USB 2.0 PERMET D'OBTENIR DES DÉBITS POUVANT ATTEINDRE 480 MBIT/S. LES PÉRIPHÉRIQUES CERTIFIÉS USB 2.0 PORTENT LE LOGO SUIVANT



RECAP: LES CONNECTEURS D'ENTRÉE-SORTIE

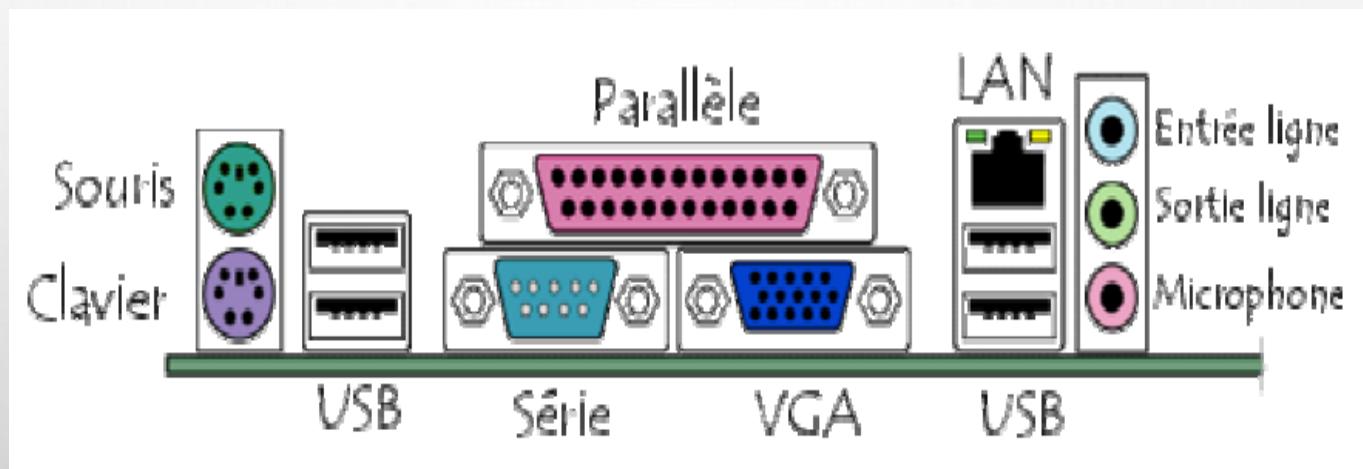
LA CARTE MÈRE POSSÈDE UN CERTAIN NOMBRE DE CONNECTEURS D'ENTRÉES-SORTIES REGROUPÉS SUR LE « PANNEAU ARRIÈRE ».

- LA PLUPART DES CARTES MÈRES PROPOSENT LES CONNECTEURS SUIVANTS :
- PORT SÉRIE, PERMETTANT DE CONNECTER DE VIEUX PÉRIPHÉRIQUES ;
- PORT PARALLÈLE, PERMETTANT NOTAMMENT DE CONNECTER DE VIEILLES IMPRIMANTES
- PORTS USB (1.1, BAS DÉBIT, OU 2.0, HAUT DÉBIT), PERMETTANT DE CONNECTER DES PÉRIPHÉRIQUES PLUS RÉCENTS ;

RECAP: LES CONNECTEURS D'ENTRÉE-SORTIE

- CONNECTEUR RJ45 (APPELÉS *LAN* OU *PORT ETHERNET*) PERMETTANT DE CONNECTER L'ORDINATEUR À UN RÉSEAU. IL CORRESPOND À UNE CARTE RÉSEAU INTÉGRÉE À LA CARTE MÈRE ;
- CONNECTEUR VGA (APPELÉ *SUB-D15*), PERMETTANT DE CONNECTER UN ÉCRAN. CE CONNECTEUR CORRESPOND À LA CARTE GRAPHIQUE INTÉGRÉE ;
- PRISES AUDIO (*ENTRÉE LINE-IN*, *SORTIE LINE-OUT* ET *MICROPHONE*), PERMETTANT DE CONNECTER DES ENCEINTES ACOUSTIQUES OU UNE CHAÎNE HI FI, AINSI QU'UN MICROPHONE. CE CONNECTEUR CORRESPOND À LA CARTE SON INTÉGRÉE.

LES CONNECTEURS D'ENTRÉE-SORTIE



LE BOÎTIER

LE **BOÎTIER** DE L'ORDINATEUR EST LE SQUELETTE MÉTALLIQUE ABRITANT SES DIFFÉRENTS COMPOSANTS INTERNES. LES BOÎTIERS ONT PAR AILLEURS D'AUTRES UTILITÉS TELLES QUE L'ISOLEMENT PHONIQUE OU LA PROTECTION CONTRE LES RAYONNEMENTS ÉLECTROMAGNÉTIQUES. AINSI DES NORMES EXISTENT AFIN DE GARANTIR UN NIVEAU DE PROTECTION CONFORME À LA RÉGLEMENTATION EN VIGUEUR.

Le boîtier



LE BOÎTIER

AUJOURD'HUI, CERTAINS ORDINATEURS NE DISPOSENT PLUS D'UNE UNITÉ CENTRALE À PROPREMENT PARLER : TOUT EST REGROUPÉ DERRIÈRE L'ÉCRAN COMME C'EST LE CAS POUR LES IMAC OU SOUS LE CLAVIER COMME POUR TOUS LES ORDINATEURS PORTABLES.

L'UNITÉ CENTRALE CONTIENT LE PROCESSEUR (LE CERVEAU), LE DISQUE DUR (LA MÉMOIRE), LA CARTE MÈRE (LA COLONNE VERTÉBRALE) ET L'ALIMENTATION (LE COEUR ET LES POUMONS).

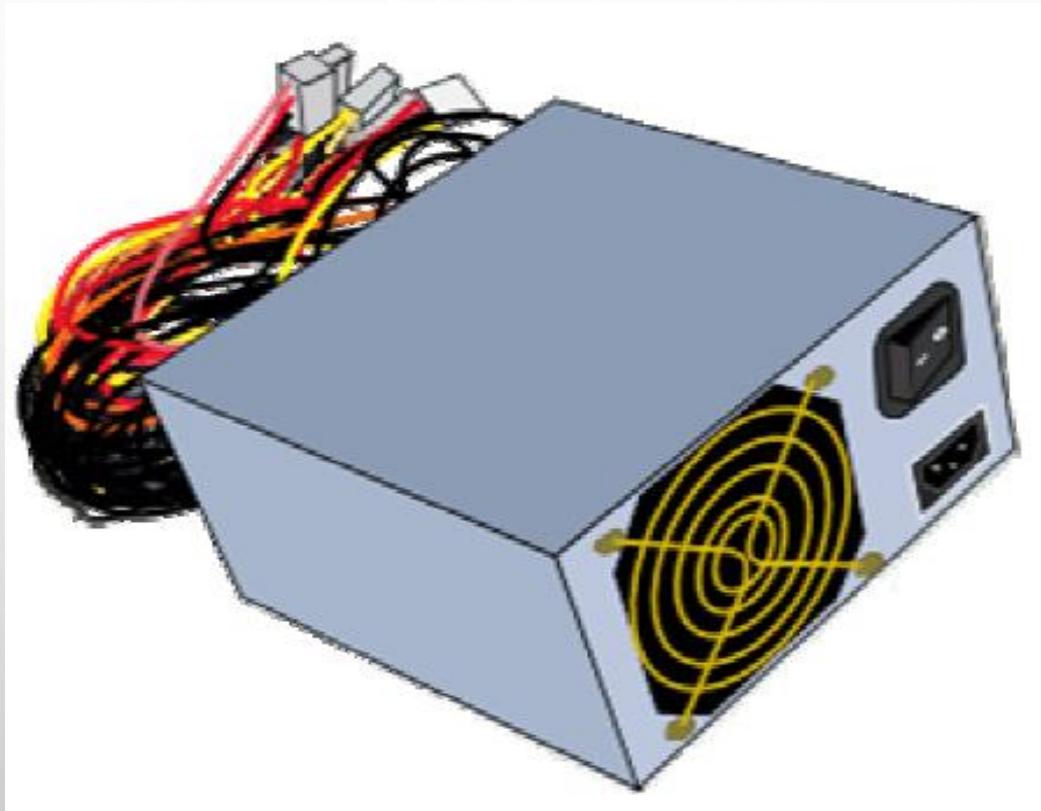


Pr Mohamed CHAKRAOUI

BLOC D'ALIMENTATION

- LA PLUPART DES BOÎTIERS SONT FOURNIS AVEC UN **BLOC D'ALIMENTATION** (EN ANGLAIS *POWER SUPPLY*). L'ALIMENTATION PERMET DE FOURNIR DU COURANT ÉLECTRIQUE À L'ENSEMBLE DES COMPOSANTS DE L'ORDINATEUR. AUX ETATS-UNIS LES BLOCS D'ALIMENTATION DÉLIVRENT UN COURANT À 110V ET À 60 HZ, TANDIS QU'EN EUROPE LA NORME EST 220V À UNE FRÉQUENCE DE 50 HZ, C'EST LA RAISON POUR LAQUELLE LES BLOCS D'ALIMENTATION POSSÈDENT LA PLUPART DU TEMPS UN COMMUTATEUR PERMETTANT DE CHOISIR LE TYPE DE TENSION À DÉLIVRER.
- IL EST ESSENTIEL DE S'ASSURER QUE LE COMMUTATEUR EST BIEN POSITIONNÉ SUR LE BON VOLTAGE AFIN DE NE PAS RISQUER DE DÉTÉRIORER DES ÉLÉMENTS DE L'UNITÉ CENTRALE.
- LE BLOC D'ALIMENTATION DOIT POSSÉDER UNE PUSSANCE SUFFISANTE POUR ALIMENTER LES PÉRIPHÉRIQUES DE L'ORDINATEUR

BLOC D'ALIMENTATION



MEMOIRE

□ RÔLE DE LA MÉMOIRE

ON APPELLE « MÉMOIRE » TOUT COMPOSANT ÉLECTRONIQUE CAPABLE DE STOCKER TEMPORAIREMENT DES DONNÉES. ON DISTINGUE AINSI DEUX GRANDES CATÉGORIES DE MÉMOIRES :

LA MÉMOIRE CENTRALE (APPELÉE ÉGALEMENT MÉMOIRE INTERNE) PERMETTANT DE MÉMORISER TEMPORAIREMENT LES DONNÉES LORS DE L'EXÉCUTION DES PROGRAMMES. LA MÉMOIRE CENTRALE EST RÉALISÉE À L'AIDE DE MICRO-CONDUCTEURS, C'EST-À-DIRE DES CIRCUITS ÉLECTRONIQUES SPÉCIALISÉS RAPIDES. LA MÉMOIRE CENTRALE CORRESPOND À CE QUE L'ON APPELLE LA MÉMOIRE VIVE.

LA MÉMOIRE DE MASSE (APPELÉE ÉGALEMENT MÉMOIRE PHYSIQUE OU MÉMOIRE EXTERNE) PERMETTANT DE STOCKER DES INFORMATIONS À LONG TERME, Y COMPRIS LORS DE L'ARRÊT DE L'ORDINATEUR. LA MÉMOIRE DE MASSE CORRESPOND AUX DISPOSITIFS DE STOCKAGE MAGNÉTIQUES, TELS QUE LE DISQUE DUR, AUX DISPOSITIFS DE STOCKAGE OPTIQUE, CORRESPONDANT PAR EXEMPLE AUX CD-ROM OU AUX DVD-ROM.

LES REGISTRES: MÉMOIRE NON PERMANENTE INTERNE AU CPU. ON COMpte:

- REGISTRE MOT (REGISTER D'INSTRUCTION): SA TAILLE CLASSIQUE ACTUELLE EST 32 OU 64 BITS.
- REGISTRE ADRESSE (COMPTEUR ORDINAL): CONTIENT L'ADRESSE D'UN MOT

CARACTÉRISTIQUES TECHNIQUES

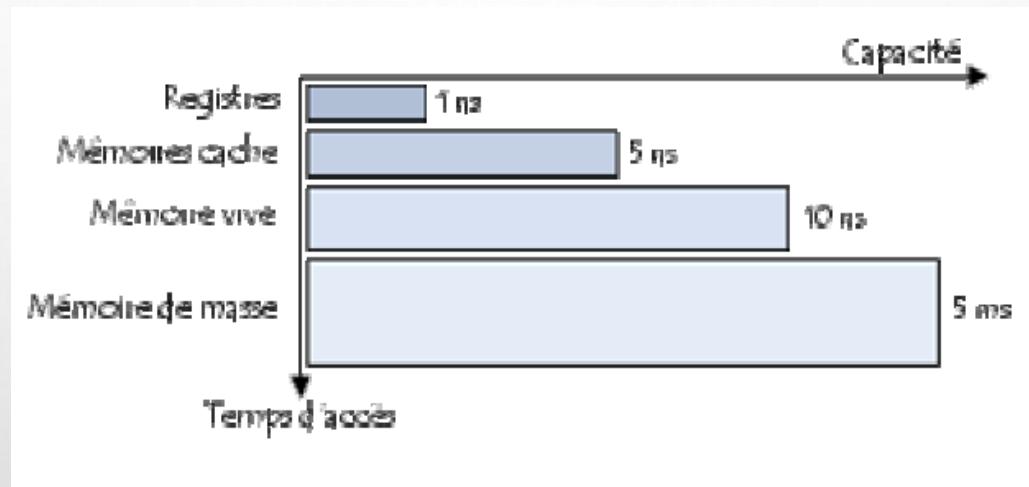
LES PRINCIPALES CARACTÉRISTIQUES D'UNE MÉMOIRE SONT LES SUIVANTES :

1. **LA CAPACITÉ, REPRÉSENTANT LE VOLUME GLOBAL D'INFORMATIONS (EN BITS) QUE LA MÉMOIRE PEUT STOCKER ;**
2. **LE TEMPS D'ACCÈS, CORRESPONDANT À L'INTERVALLE DE TEMPS ENTRE LA DEMANDE DE LECTURE/ÉCRITURE ET LA DISPONIBILITÉ DE LA DONNÉE ;**
3. **LE TEMPS DE CYCLE, REPRÉSENTANT L'INTERVALLE DE TEMPS MINIMUM ENTRE DEUX ACCÈS SUCCESSIFS ;**
4. **LE DÉBIT, DÉFINISSANT LE VOLUME D'INFORMATION ÉCHANGÉ PAR UNITÉ DE TEMPS, EXPRIMÉ EN BITS PAR SECONDE ;**
5. **LA NON VOLATILITÉ CARACTÉRISANT L'APTITUDE D'UNE MÉMOIRE À CONSERVER LES DONNÉES LORSQU'ELLE N'EST PLUS ALIMENTÉE ÉLECTRIQUEMENT.**

AINSI, LA MÉMOIRE IDÉALE POSSÈDE UNE GRANDE CAPACITÉ AVEC DES TEMPS D'ACCÈS ET TEMPS DE CYCLE TRÈS RESTREINTS, UN DÉBIT ÉLEVÉ ET EST NON VOLATILE.

NÉANMOINS LES MÉMOIRES RAPIDES SONT ÉGALEMENT LES PLUS ONÉREUSES. C'EST LA RAISON POUR LAQUELLE DES MÉMOIRES UTILISANT DIFFÉRENTES TECHNOLOGIES SONT UTILISÉES DANS UN ORDINATEUR, INTERFACÉES LES UNES AVEC LES AUTRES ET ORGANISÉES DE FAÇON HIÉRARCHIQUE.

CARACTÉRISTIQUES TECHNIQUES



TYPES DE MÉMOIRE

- MÉMOIRE VIVE (RAM)

LA MÉMOIRE VIVE, GÉNÉRALEMENT APPELÉE RAM (*RANDOM ACCESS MEMORY*, TRADUISEZ *MÉMOIRE À ACCÈS DIRECT*), EST LA MÉMOIRE PRINCIPALE DU SYSTÈME, C'EST-À-DIRE QU'IL S'AGIT D'UN ESPACE PERMETTANT DE STOCKER DE MANIÈRE TEMPORAIRE DES DONNÉES LORS DE L'EXÉCUTION D'UN PROGRAMME.

EN EFFET, CONTRAIREMENT AU STOCKAGE DE DONNÉES SUR UNE MÉMOIRE DE MASSE TELLE QUE LE DISQUE DUR, LA MÉMOIRE VIVE EST VOLATILE,

ON DISTINGUE GÉNÉRALEMENT DEUX GRANDES CATÉGORIES DE MÉMOIRES VIVES :

LES **MÉMOIRES DYNAMIQUES** (DRAM, *DYNAMIC RANDOM ACCESS MEMORY*), PEU COÛTEUSES. ELLES SONT PRINCIPALEMENT UTILISÉES POUR LA MÉMOIRE CENTRALE DE L'ORDINATEUR ;

LES **MÉMOIRES STATIQUES** (SRAM, *STATIC RANDOM ACCESS MEMORY*), RAPIDES ET ¹⁵² ONÉREUSES. LES SRAM SONT NOTAMMENT UTILISÉES POUR LES MÉMOIRES CACHE DU PROCESSEUR ;

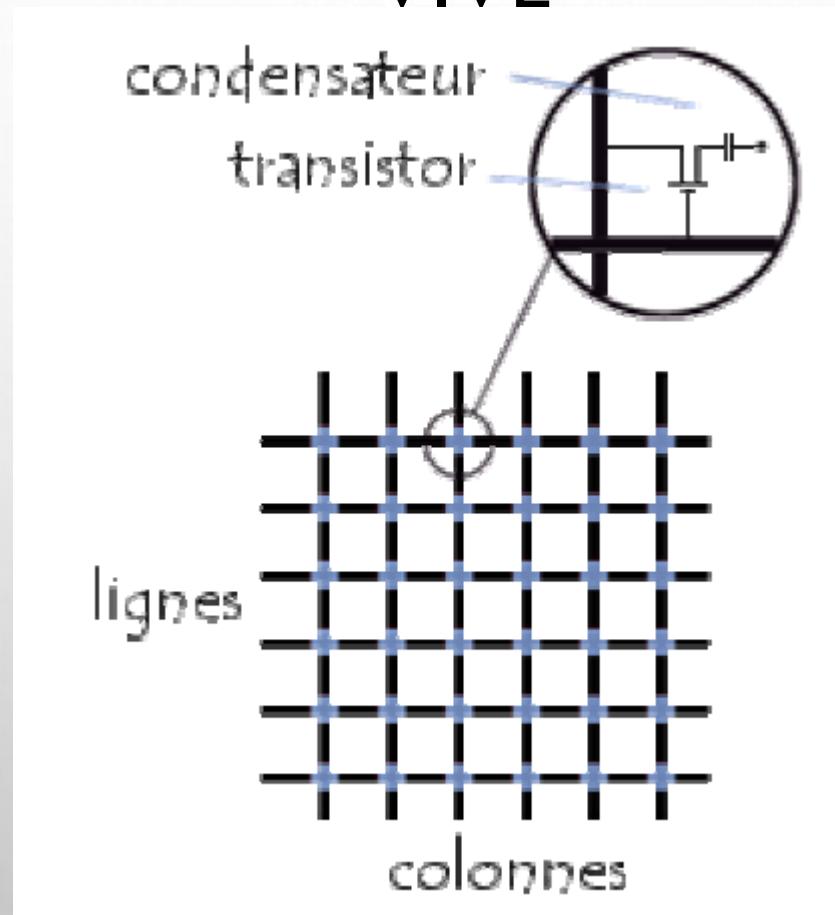
FONCTIONNEMENT DE LA MÉMOIRE VIVE

LA MÉMOIRE VIVE EST CONSTITUÉE DE CENTAINES DE MILLIERS DE PETITS CONDENSATEURS **EMMAGASINANT DES CHARGES. LORSQU'IL EST CHARGÉ, L'ÉTAT LOGIQUE DU CONDENSATEUR** EST ÉGAL À 1, DANS LE CAS CONTRAIRE IL EST À 0, CE QUI SIGNIFIE QUE CHAQUE CONDENSATEUR REPRÉSENTE UN BIT DE LA MÉMOIRE.

ETANT DONNÉ QUE LES CONDENSATEURS SE DÉCHARGENT, IL FAUT CONSTAMMENT LES RECHARGER (LE TERME EXACT EST RAFRAÎCHIR, EN ANGLAIS REFRESH) À UN INTERVALLE DE TEMPS RÉGULIER APPELÉ **CYCLE DE RAFRAÎCHISSEMENT. LES MÉMOIRES DRAM NÉCESSITENT PAR EXEMPLE DES CYCLES DE RAFRAÎCHISSEMENT EST D'ENVIRON 15 NANOSECONDES (NS).**

CHAQUE CONDENSATEUR EST COUPLÉ À UN TRANSISTOR (DE TYPE MOS) PERMETTANT DE « RÉCUPÉRER » OU DE MODIFIER L'ÉTAT DU CONDENSATEUR. CES TRANSISTORS SONT RANGÉS SOUS FORME DE TABLEAU (MATRICE), C'EST-À-DIRE QUE L'ON ACCÈDE À UNE CASE MÉMOIRE (AUSSI APPELÉE POINT MÉMOIRE) PAR UNE LIGNE ET UNE COLONNE.

FONCTIONNEMENT DE LA MÉMOIRE VIVE



FONCTIONNEMENT DE LA MÉMOIRE VIVE

CHAQUE POINT MÉMOIRE EST DONC CARACTÉRISÉ PAR UNE ADRESSE, CORRESPONDANT À UN NUMÉRO DE LIGNE (EN ANGLAIS ROW) ET UN NUMÉRO DE COLONNE (EN ANGLAIS COLUMN).

OR CET ACCÈS N'EST PAS INSTANTANÉ ET S'EFFECTUE PENDANT UN DÉLAI APPELÉ **TEMPS DE LATENCE**. PAR CONSÉQUENT L'ACCÈS À UNE DONNÉE EN MÉMOIRE DURE UN TEMPS ÉGAL AU TEMPS DE CYCLE AUQUEL IL FAUT AJOUTER LE TEMPS DE LATENCE. AINSI, POUR UNE MÉMOIRE DE TYPE DRAM, LE TEMPS D'ACCÈS EST DE 60 NANOSECONDES (35NS DE DÉLAI DE CYCLE ET 25 NS DE TEMPS DE LATENCE). SUR UN ORDINATEUR, LE TEMPS DE CYCLE CORRESPOND À L'INVERSE DE LA FRÉQUENCE DE L'HORLOGE, PAR EXEMPLE POUR UN ORDINATEUR CADENCÉ À 200 MHZ, LE TEMPS DE CYCLE EST DE 5 NS ($1/(200*10^6)$).

PAR CONSÉQUENT UN ORDINATEUR AYANT UNE FRÉQUENCE ÉLEVÉE ET UTILISANT DES MÉMOIRES DONT LE TEMPS D'ACCÈS EST BEAUCOUP PLUS LONG QUE LE TEMPS DE CYCLE DU PROCESSEUR DOIT EFFECTUER DES **CYCLES D'ATTENTE (EN ANGLAIS WAIT STATE)** POUR ACCÉDER À LA MÉMOIRE. DANS LE CAS D'UN ORDINATEUR CADENCÉ À 200 MHZ UTILISANT DES MÉMOIRES DE TYPES DRAM (DONT LE TEMPS D'ACCÈS EST DE 60NS), IL Y A 11 CYCLES D'ATTENTE POUR UN CYCLE DE TRANSFERT. LES PERFORMANCES DE L'ORDINATEUR SONT D'AUTANT DIMINUÉES QU'IL Y A DE CYCLES D'ATTENTES, IL EST DONC CONSEILLÉ D'UTILISER DES MÉMOIRES PLUS RAPIDES.

LA MÉMOIRE MORTE

- MÉMOIRE MORTE (ROM)

LA **MÉMOIRE MORTE**, APPELÉE **ROM** POUR READ ONLY MEMORY (TRADUISEZ MÉMOIRE EN LECTURE SEULE) EST UN TYPE DE MÉMOIRE PERMETTANT DE CONSERVER LES INFORMATIONS QUI Y SONT CONTENUES MÊME LORSQUE LA MÉMOIRE N'EST PLUS ALIMENTÉE ÉLECTRIQUEMENT. A LA BASE CE TYPE DE MÉMOIRE NE PEUT ÊTRE ACCÉDÉE QU'EN LECTURE. TOUTEFOIS IL EST DÉSORMAIS POSSIBLE D'ENREGISTRER DES INFORMATIONS DANS CERTAINES MÉMOIRES DE TYPE ROM.

DIFFÉRENTES MÉMOIRES DE TYPE ROM CONTIENNENT DES **DONNÉES INDISPENSABLES AU DÉMARRAGE**, C'EST-À-DIRE :

LE BIOS EST UN PROGRAMME PERMETTANT DE PILOTER LES INTERFACES D'ENTRÉE-SORTIE PRINCIPALES DU SYSTÈME, D'OÙ LE NOM DE BIOS ROM DONNÉ PARFOIS À LA PUCE DE MÉMOIRE MORTE DE LA CARTE-MÈRE QUI L'HÉBERGE.

LE CHARGEUR D'AMORCE: UN PROGRAMME PERMETTANT DE CHARGER LE SYSTÈME D'EXPLOITATION EN MÉMOIRE (VIVE) ET DE LE LANCER. CELUI-CI CHERCHE GÉNÉRALEMENT LE SYSTÈME D'EXPLOITATION SUR LE LECTEUR DE DISQUETTE, PUIS SUR LE DISQUE DUR, CE QUI PERMET DE POUVOIR LANCER LE SYSTÈME D'EXPLOITATION À PARTIR D'UNE DISQUETTE SYSTÈME EN CAS DE DYSFONCTIONNEMENT DU SYSTÈME INSTALLÉ SUR LE DISQUE DUR.

LA MÉMOIRE MORTE



LA MÉMOIRE MORTE

LISTE DES CHARGEURS D'AMORÇAGE

LES CHARGEURS D'AMORÇAGE LES PLUS USUELS SONT

- SOCIÉTÉ MICROSOFT :
 - NTLDR (NT LOADER OU CHARGEUR D'AMORÇAGE DE WINDOW NT) AVEC LE BIOS.
SA CONFIGURATION EST STOCKÉE DANS LE FICHIER *BOOT.INI*.
 - *IA32ELDR.EFI* ET *IA64LDR.EFI* AVEC L'*EFI*
 - POUR LE SYSTÈME D'EXPLOITATION VISTA : LE CHARGEUR D'AMORÇAGE EST *WINLOAD.EXE* ET SA CONFIGURATION EST STOCKÉE DANS UN REGISTRE : *BCD* (BOOT CONFIGURATION DATA)
- OPEN SOURCE:
 - AIR-BOOT(GESTIONNAIRE DE BOOT INSTALLÉ UNIQUEMENT DANS LE MASTER BOOT RECORD M) (SOUS LICENCE GPLv3)
 - AKEL BOOT LOADER (SOUS LICENCE GPLv2)
 - GAG : GESTOR DE ARRANQUE GRAFICO (GESTIONNAIRE DE BOOT INSTALLÉ UNIQUEMENT DANS LE MASTER BOOT RECORD) (SOUS LICENCE GPL)
 - GRUB (GRAND UNIFIED BOOTLOADER)(SOUS LICENSE GNU)

LA MÉMOIRE MORTE

LISTE DES CHARGEURS D'AMORÇAGE

- APPLE :
 - BOOT CAMP EST UN OUTIL DE PARTITIONNEMENT DE DISQUE QUI ÉCRIT LE CHARGEUR D'AMORÇAGE UTILISÉ PAR EFI

IL EXISTE D'AUTRES CHARGEURS D'AMORÇAGE MOINS CONNUX, POUR PC :

- POUR LE SYSTÈME D'EXPLOITATION BEOS : BOOTMAN
- CHOS (CHOOSE-OS)
- LE TRÈS ANCIEN LOADLIN (EN)
- PUPA (EN), UN DÉRIVÉ DE GRUB
- SC (SYSTEM COMMANDER (EN))

MÉMOIRE ROM

LE SETUP CMOS : C'EST L'ÉCRAN DISPONIBLE À L'ALLUMAGE DE L'ORDINATEUR PERMETTANT DE MODIFIER LES PARAMÈTRES DU SYSTÈME (SOUVENT APPELÉ BIOS À TORT...). **LE POWER-ON SELF TEST (POST)** : PROGRAMME EXÉCUTÉ AUTOMATIQUEMENT À L'AMORÇAGE DU SYSTÈME PERMETTANT DE FAIRE UN TEST DU SYSTÈME (C'EST POUR CELA PAR EXEMPLE QUE VOUS VOYEZ LE SYSTÈME "COMPTER" LA RAM AU DÉMARRAGE). ETANT DONNÉ QUE LES ROM SONT BEAUCOUP PLUS LENTES QUE LES MÉMOIRES DE TYPES RAM (UNE ROM A UN TEMPS D'ACCÈS DE L'ORDRE DE 150 NS TANDIS QU'UNE MÉMOIRE DE TYPE SDRAM A UN TEMPS D'ACCÈS D'ENVIRON 10 NS), LES INSTRUCTIONS CONTENUES DANS LA ROM SONT PARFOIS COPIÉES EN RAM AU DÉMARRAGE, ON PARLE ALORS DE SHADOWING (EN FRANÇAIS CELA POURRAIT SE TRADUIRE PAR OMBRAGE, MAIS ON PARLE GÉNÉRALEMENT DE MÉMOIRE FANTÔME).

TYPES DE MÉMOIRE ROM

- LES ROM ONT PETIT À PETIT ÉVOLUÉ DE MÉMOIRES MORTES FIGÉES À DES MÉMOIRES PROGRAMMABLES, PUIS REPROGRAMMABLES.

LES PREMIÈRES ROM ÉTAIENT FABRIQUÉES À L'AIDE D'UN PROCÉDÉ INSCRIVANT DIRECTEMENT LES DONNÉES BINAIRES DANS UNE PLAQUE DE SILICIUM GRÂCE À UN MASQUE.

- PROM

LES PROM (PROGRAMMABLE READ ONLY MEMORY) ONT ÉTÉ MISES AU POINT À LA FIN DES ANNÉES 70 PAR LA FIRME TEXAS INSTRUMENTS. CES MÉMOIRES SONT DES PUCES CONSTITUÉES DE MILLIERS DE FUSIBLES (OU BIEN DE DIODES) POUVANT ÊTRE "GRILLÉS" GRÂCE À UN APPAREIL APPELÉ « PROGRAMMATEUR DE ROM », APPLIQUANT UNE FORTE TENSION (12V) AUX CASES MÉMOIRE DEVANT ÊTRE MARQUÉES. LES FUSIBLES AINSI GRILLÉS CORRESPONDENT À DES 0, LES AUTRES À DES 1.

- EPROM

LES EPROM (ERASABLE PROGRAMMABLE READ ONLY MEMORY) SONT DES PROM POUVANT ÊTRE EFFACÉES. CES PUCE POSSÈDENT UNE VITRE PERMETTANT DE LAISSER PASSER DES RAYONS ULTRA-VIOLETS. LORSQUE LA PUCE EST EN PRÉSENCE DE RAYONS ULTRA-VIOLETS D'UNE CERTAINE LONGUEUR D'ONDE, LES FUSIBLES SONT RECONSTITUÉS, C'EST-À-DIRE QUE TOUS LES BITS DE LA MÉMOIRE SONT À NOUVEAU À 1. C'EST POUR CETTE RAISON QUE L'ON QUALIFIE CE TYPE DE PROM D'EFFAÇABLE.

TYPES DE ROM

EEPROM

LES EEPROM (ELECTRICALLY ERASABLE READ ONLY MEMORY) SONT AUSSI DES PROM EFFAÇABLES, MAIS CONTRAIREMENT AUX EPROM, CELLES-CI PEUVENT ÊTRE EFFACÉES PAR UN SIMPLE COURANT ÉLECTRIQUE, C'EST-À-DIRE QU'ELLES PEUVENT ÊTRE EFFACÉES MÊME LORSQU'ELLES SONT EN POSITION DANS L'ORDINATEUR

MÉMOIRE FLASH

LA MÉMOIRE FLASH EST UNE MÉMOIRE À SEMI-CONDUCTEURS, NON VOLATILE ET RÉINSCRIPTIBLE, C'EST-À-DIRE UNE MÉMOIRE POSSÉDANT LES CARACTÉRISTIQUES D'UNE MÉMOIRE VIVE MAIS DONT LES DONNÉES NE SE VOLATILISENT PAS LORS D'UNE MISE HORS TENSION. AINSI LA MÉMOIRE FLASH STOCKE LES BITS DE DONNÉES DANS DES CELLULES DE MÉMOIRE, MAIS LES DONNÉES SONT CONSERVÉES EN MÉMOIRE LORSQUE L'ALIMENTATION ÉLECTRIQUE EST COUPÉE.

EN RAISON DE SA VITESSE ÉLEVÉE, DE SA DURABILITÉ ET DE SA FAIBLE CONSOMMATION, LA MÉMOIRE FLASH EST IDÉALE POUR DE NOMBREUSES APPLICATIONS - COMME LES APPAREILS PHOTOS NUMÉRIQUES, LES TÉLÉPHONES CELLULAIRES, LES IMPRIMANTES, LES ASSISTANTS PERSONNELS (PDA), LES ORDINATEURS PORTABLES, OU LES DISPOSITIFS DE LECTURE OU D'ENREGISTREMENT SONORE TELS QUE LES BALADEURS MP3. DE PLUS CE TYPE DE MÉMOIRE NE POSSÈDE PAS D'ÉLÉMENTS MÉCANIQUES, CE QUI LEUR CONFÈRE UNE GRANDE RÉSISTANCE AUX CHOCS.

DIFFÉRENTS TYPES DE MÉMOIRES DE MASSE

LA MÉMOIRE DE MASSE (APPELÉE ÉGALEMENT *MÉMOIRE PHYSIQUE* OU *MÉMOIRE EXTERNE*) PERMETTANT DE STOCKER DES INFORMATIONS À LONG TERME, Y COMPRIS LORS DE L'ARRÊT DE L'ORDINATEUR. LA MÉMOIRE DE MASSE CORRESPOND AUX DISPOSITIFS DE STOCKAGE MAGNÉTIQUES, TELS QUE LE DISQUE DUR, AUX DISPOSITIFS DE STOCKAGE OPTIQUE, CORRESPONDANT PAR EXEMPLE AUX CD-ROM OU AUX DVD-ROM, AINSI QU'AUX MÉMOIRES MORTES.

DIFFÉRENTS TYPES DE MÉMOIRES DE MASSE

- **LE DISQUE DUR**

LE **DISQUE DUR** EST L'ORGANE SERVANT À CONSERVER LES DONNÉES DE MANIÈRE PERMANENTE, CONTRAIREMENT À LA MÉMOIRE VIVE, QUI S'EFFACE À CHAQUE REDÉMARRAGE DE L'ORDINATEUR. LE DISQUE DUR EST RELIÉ À LA CARTE-MÈRE PAR L'INTERMÉDIAIRE D'UN **CONTRÔLEUR DE DISQUE DUR** FAISANT L'INTERFACE ENTRE LE PROCESSEUR ET LE DISQUE DUR PAR UNE NAPPE PATA OU PAR UN CÂBLE 8 BROCHES(SATA). LE CONTRÔLEUR DE DISQUE DUR GÈRE LES DISQUES QUI LUI SONT RELIÉS, INTERPRÈTE LES COMMANDES ENVOYÉES PAR LE PROCESSEUR ET LES ACHEMINE AU DISQUE CONCERNÉ. ON DISTINGUE GÉNÉRALEMENT LES INTERFACES SUIVANTES :

- IDE
- SCSI
- SERIAL ATA

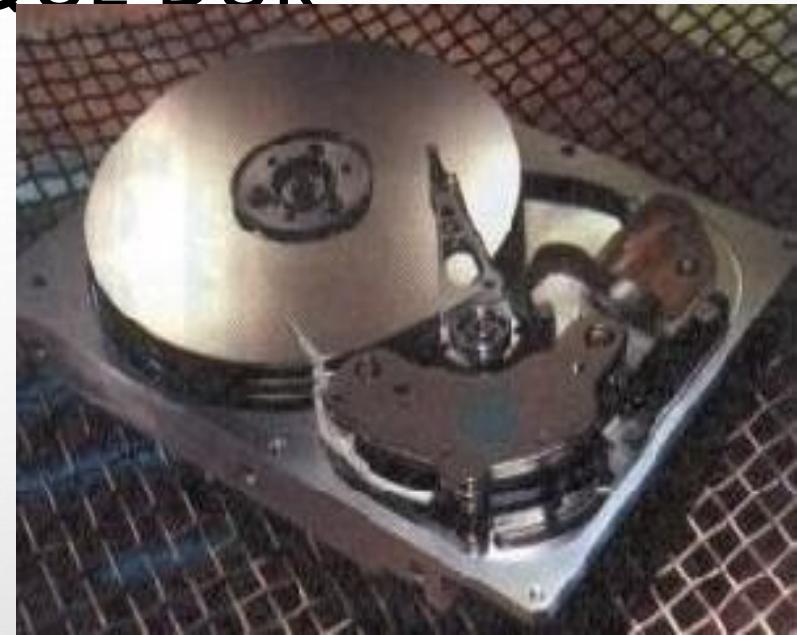
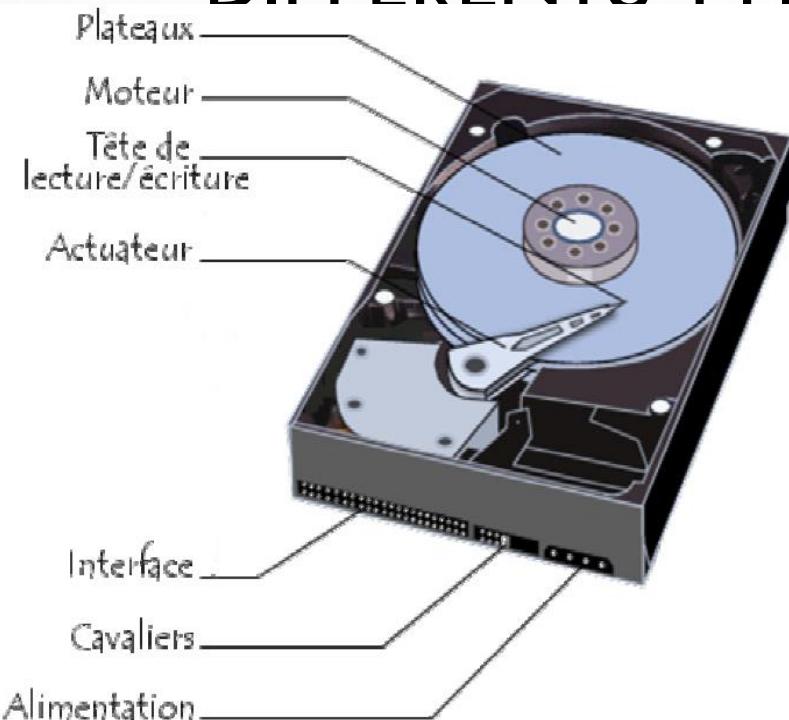
AVEC L'APPARITION DE LA NORME USB, DES BOÎTIERS EXTERNES PERMETTANT DE CONNECTER UN DISQUE DUR SUR UN PORT USB ONT FAIT LEUR APPARITION, RENDANT LE DISQUE DUR FACILE À INSTALLER ET PERMETTANT DE RAJOUTER DE LA CAPACITÉ DE STOCKAGE POUR FAIRE DES SAUVEGARDES. ON PARLE AINSI DE **DISQUE DUR EXTERNE PAR OPPOSITION AUX DISQUES DURS INTERNES BRANCHÉS DIRECTEMENT SUR LA CARTE MÈRE**, MAIS IL S'AGIT BIEN DES MÊMES DISQUES, SI CE N'EST QU'ILS SONT CONNECTÉS À L'ORDINATEUR PAR L'INTERMÉDIAIRE D'UN BOÎTIER BRANCHÉ SUR UN PORT USB.

DIFFÉRENTS TYPES DE MÉMOIRES DE MASSE: DISQUE DURE

- **STRUCTURE**

UN **DISQUE DUR** EST CONSTITUÉ NON PAS D'UN SEUL DISQUE, MAIS DE PLUSIEURS DISQUES RIGIDES (EN ANGLAIS *HARD DISK* SIGNIFIE *DISQUE DUR*) EN MÉTAL, EN VERRE OU EN CÉRAMIQUE, EMPILÉS À UNE TRÈS FAIBLE DISTANCE LES UNS DES AUTRES ET APPELÉS **PLATEAUX** (EN ANGLAIS *PLATTERS*).

DIFFÉRENTS TYPES DE MÉMOIRES DE DISQUE DUR



DIFFÉRENTS TYPES DE MÉMOIRES DE MASSE: DISQUE DUR

LES DISQUES TOURNENT TRÈS RAPIDEMENT AUTOUR D'UN AXE (À PLUSIEURS MILLIERS DE TOURS PAR MINUTE ACTUELLEMENT) DANS LE SENS INVERSE DES AIGUILLES D'UNE MONTRE. UN ORDINATEUR FONCTIONNE DE MANIÈRE BINAIRE, C'EST-À-DIRE QUE LES DONNÉES SONT STOCKÉES SOUS FORME DE 0 ET DE 1 (APPELÉS BITS). IL EXISTE SUR LES DISQUES DURS DES MILLIONS DE CES BITS, STOCKÉS TRÈS PROCHES LES UNS DES AUTRES SUR UNE FINE COUCHE MAGNÉTIQUE DE QUELQUES MICRONS D'ÉPAISSEUR, ELLE-MÊME RECOUVERTE D'UN FILM PROTECTEUR.

LA LECTURE ET L'ÉCRITURE SE FAIT GRÂCE À DES **TÊTES DE LECTURE** (EN ANGLAIS HEADS) SITUÉES DE PART ET D'AUTRE DE CHACUN DES PLATEAUX. CES TÊTES SONT DES **ÉLECTROAIMANTS** QUI SE BAISSENT ET SE SOULÈVENT POUR POUVOIR LIRE L'INFORMATION OU L'Écrire. LES TÊTES NE SONT QU'À QUELQUES MICRONS DE LA SURFACE, SÉPARÉES PAR UNE COUCHE D'AIR PROVOQUÉE PAR LA ROTATION DES DISQUES QUI CRÉE UN VENT D'ENVIRON 250KM/H ! DE PLUS CES TÊTES SONT MOBILES LATÉRALEMENT AFIN DE POUVOIR BALAYER L'ENSEMBLE DE LA SURFACE DU DISQUE.

DIFFÉRENTS TYPES DE MÉMOIRES DE MASSE: DISQUE DUR

- CEPENDANT, LES TÊTES SONT LIÉES ENTRE ELLES ET SEULEMENT UNE SEULE TÊTE PEUT LIRE OU ÉCRIRE À UN MOMENT DONNÉ. ON PARLE DONC DE **CYLINDRE POUR DÉSIGNER** L'ENSEMBLE DES DONNÉES STOCKÉES VERTICALEMENT SUR LA TOTALITÉ DES DISQUES. L'ENSEMBLE DE CETTE MÉCANIQUE DE PRÉCISION EST CONTENU DANS UN BOÎTIER TOTALEMENT HERMÉTIQUE, CAR LA MOINDRE PARTICULE PEUT DÉTÉRIORER LA SURFACE DU DISQUE. VOUS POUVEZ DONC VOIR SUR UN DISQUE DES OPERCULES PERMETTANT L'ÉTANCHÉITÉ, ET LA MENTION "*"WARRANTY VOID IF REMOVED"*" QUI SIGNIFIE LITTÉRALEMENT "*"LA GARANTIE EXPIRE SI RETIRÉ"*" CAR SEULS LES CONSTRUCTEURS DE DISQUES DURS PEUVENT LES OUVRIR (DANS DES SALLES BLANCHES, EXEMPTES DE PARTICULES).

DISQUE DUR : FONCTIONNEMENT

LES TÊTES DE LECTURE/ÉCRITURE SONT DITES « INDUCTIVES », C'EST-À-DIRE QU'ELLES SONT CAPABLES DE GÉNÉRER UN CHAMP MAGNÉTIQUE. C'EST NOTAMMENT LE CAS LORS DE L'ÉCRITURE : LES TÊTES, EN CRÉANT DES CHAMPS POSITIFS OU NÉGATIFS, VIENNENT POLARISER LA SURFACE DU DISQUE EN UNE TRÈS PETITE ZONE, CE QUI SE TRADUIRA LORS DU PASSAGE EN LECTURE PAR DES CHANGEMENTS DE POLARITÉ INDUISANT UN COURANT DANS LA TÊTE DE LECTURE, QUI SERA ENSUITE TRANSFORMÉ PAR UN CONVERTISSEUR ANALOGIQUE NUMÉRIQUE (CAN) EN 0 ET EN 1 COMPRÉHENSIBLES PAR L'ORDINATEUR.

LES UNITÉS DE MESURE D'UN DISQUE DUR

Symbol	Kilo	Capacité
K	Kilo	$2^{10} = 1024$
M	Méga	$2^{20} = (1024)^2$
G	Giga	$2^{30} = (1024)^3$
T	Téra	$2^{40} = (1024)^4$
P	Péra	$2^{50} = (1024)^5$
E	Exa	$2^{60} = (1024)^6$
Z	Zetta	$2^{70} = (1024)^7$
Y	Yotta	$2^{80} = (1024)^8$

LE NOMBRE DE TÊTES DU LECTEUR.

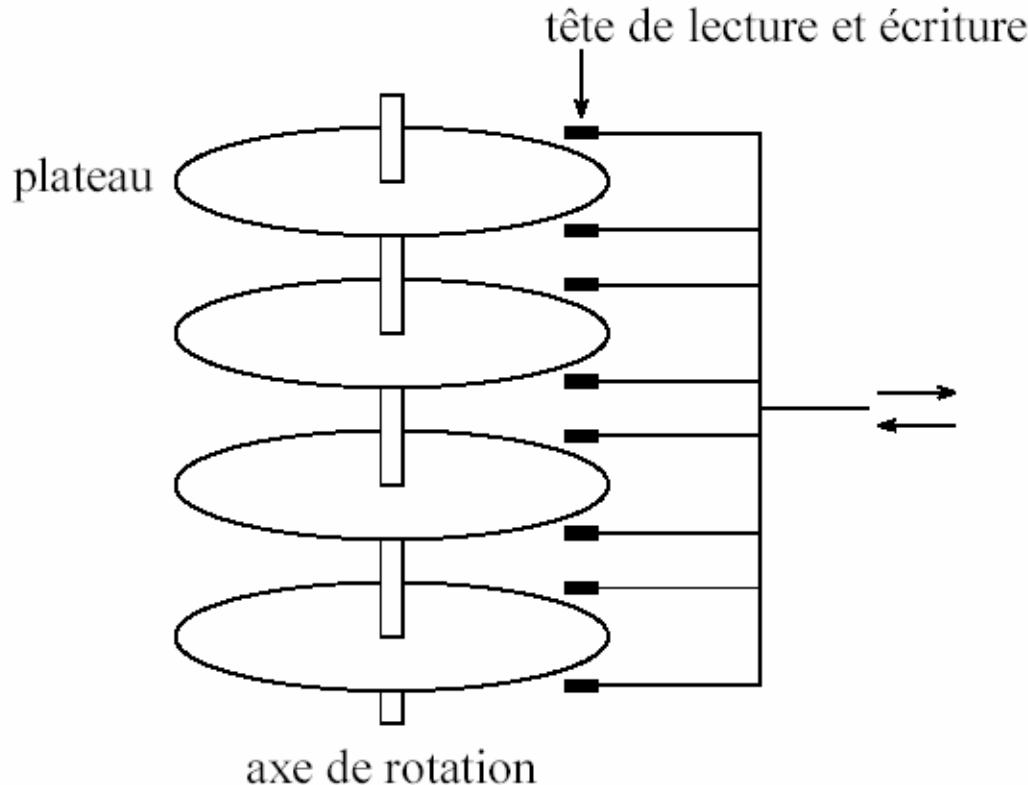
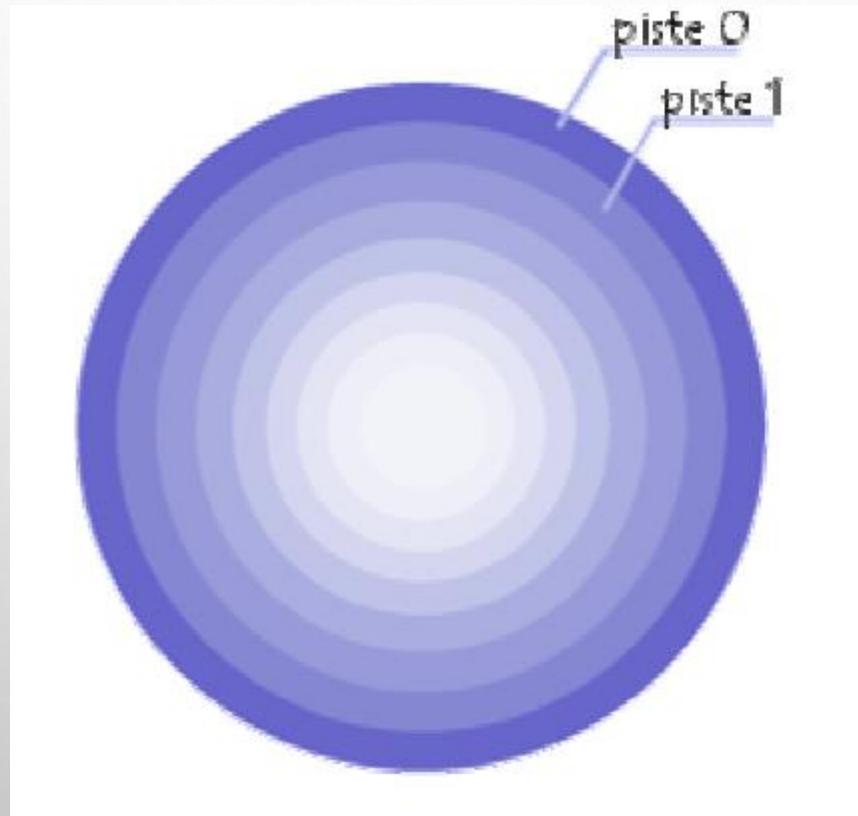


Schéma d'un disque dur représentant ses différentes composantes.

STRUCTURE D'UN DISQUE DUR

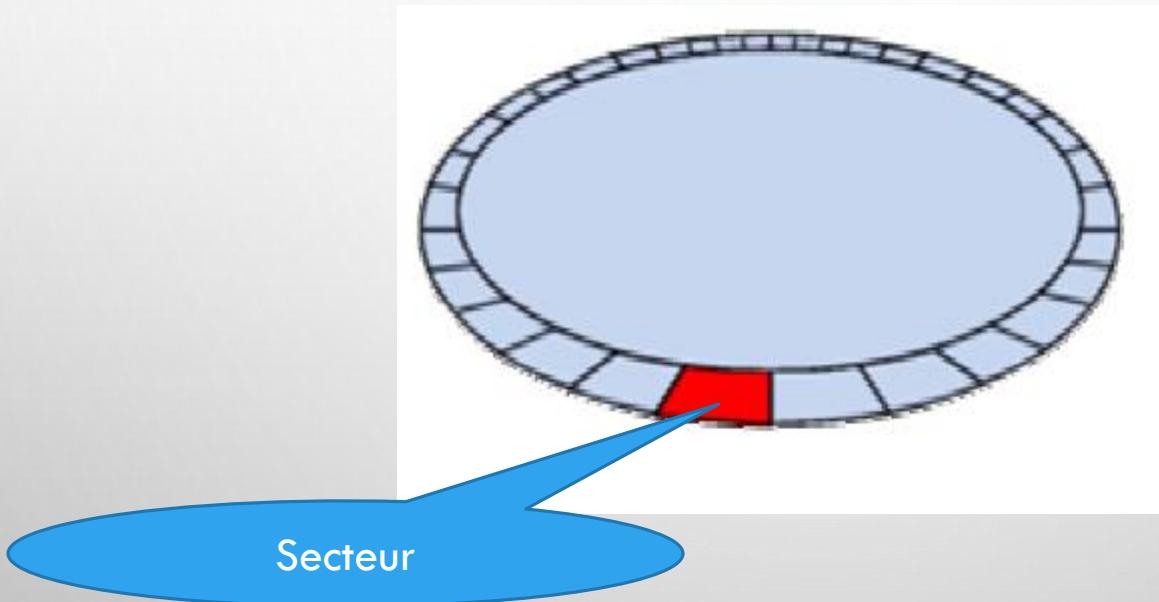


FONCTIONNEMENT DU DISQUE DUR

LES TÊTES COMMENCENT À INSCRIRE DES DONNÉES À LA PÉRIPHÉRIE DU DISQUE (PISTE 0), PUIS AVANCENT VERS LE CENTRE. LES DONNÉES SONT ORGANISÉES EN CERCLES CONCENTRIQUES APPELÉS « **PISTES** », CRÉÉES PAR LE FORMATAGE DE BAS NIVEAU.

LES PISTES SONT SÉPARÉES EN QUARTIERS (ENTRE DEUX RAYONS) QUE L'ON APPELLE **SECTEURS**, CONTENANT LES DONNÉES (AU MINIMUM 512 OCTETS PAR SECTEUR EN GÉNÉRAL).

FONCTIONNEMENT DU DISQUE DUR



FONCTIONNEMENT DU DISQUE DUR

UNE OPTION DU BIOS (IDE HDD BLOCK MODE OU MULTI SECTOR TRANSFER) PERMET PARFOIS DE DÉTERMINER LE NOMBRE DE BLOCS POUVANT ÊTRE GÉRÉS SIMULTANÉMENT. CE NOMBRE SE SITUE ENTRE 2 ET 32. SI VOUS NE LE CONNAISSEZ PAS, PLUSIEURS SOLUTIONS S'OFFRENT À VOUS :

- CONSULTER LA DOCUMENTATION DE VOTRE DISQUE DUR ;
- RECHERCHER LES CARACTÉRISTIQUES DU DISQUE SUR INTERNET ;
- DÉTERMINER EXPÉRIMENTALEMENT EN EFFECTUANT DES TESTS.
- LE MODE BLOC PEUT TOUTEFOIS GÉNÉRER DES ERREURS SOUS CERTAINS SYSTÈMES, À CAUSE D'UNE REDONDANCE DE GESTIONNAIRE DE DISQUE DUR. LA SOLUTION CONSISTE ALORS À DÉSACTIVER L'UN DES DEUX GESTIONNAIRES :
 - LA GESTION LOGICIELLE DU MODE 32-BIT SOUS LE SYSTÈME D'EXPLOITATION ;
 - LE MODE BLOC DANS LE BIOS.

MODES DE TRANSFERT DANS UN DISQUE DUR

MODE 32 BITS

LE MODE 32 BITS (PAR OPPOSITION AU MODE 16 BITS) EST CARACTÉRISÉ PAR UN TRANSFERT DES DONNÉES SUR 32 BITS. LE TRANSFERT SUR 32 BITS CORRESPOND À 32 PORTES QUI S'OUVRENT ET SE FERMENT SIMULTANÉMENT. EN MODE 32 BITS, DEUX MOTS (ENSEMBLE DE BITS) DE 16 BITS SONT TRANSMIS SUCCESSIVEMENT, PUIS ASSEMBLÉS. LE GAIN DE PERFORMANCE LIÉ AU PASSAGE DU MODE 16 BITS AU MODE 32 BITS EST GÉNÉRALEMENT INSIGNIFIANT. QUOIQU'IL EN SOIT IL N'EST LA PLUPART DU TEMPS PLUS POSSIBLE DE CHOISIR LE MODE, CAR LA CARTE MÈRE DÉTERMINE AUTOMATIQUEMENT LE TYPE DE MODE À ADOPTER EN FONCTION DU TYPE DE DISQUE DUR.

MODES DE TRANSFERT

- LE MODE PIO(PROGRAMMED INPUT OUTPUT) DATE DES PREMIERS PENTIUM. C'EST UNE MISE EN FORME DES SIGNAUX DES CONTRÔLES POUR L'ENVOI/RÉCEPTION DES DONNÉES. PERMETTANT DES DÉBIT IMPORTANTS(À L'ÉPOQUE), IL N'UTILISE PAS LE MODE DMA(DIRECT MEMORY ACCESS), MOBILISANT BEAUCOUP PLUS DE PROCESSEUR QUE LES NORMES SUIVANTES

MODES DE TRANSFERT

MODE BLOC

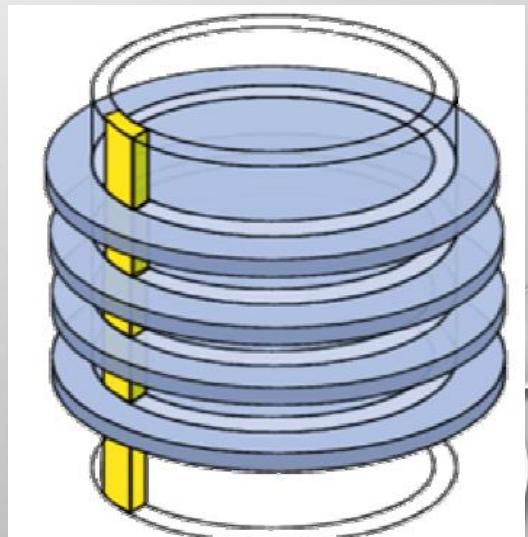
- LE MODE BLOC ET LE TRANSFERT 32 BITS PERMETTENT D'EXPLOITER PLEINEMENT LES PERFORMANCES DE VOTRE DISQUE DUR. LE MODE BLOC CONSISTE À EFFECTUER DES TRANSFERTS DE DONNÉES PAR BLOC, C'EST-À-DIRE PAR PAQUETS DE 512 OCTETS GÉNÉRALEMENT, CE QUI ÉVITE AU PROCESSEUR D'AVOIR À TRAITER UNE MULTITUDE DE MINUSCULES PAQUETS D'UN BIT. LE PROCESSEUR A ALORS DU "TEMPS" POUR EFFECTUER D'AUTRES OPÉRATIONS. CE MODE DE TRANSFERT DES DONNÉES N'A MALHEUREUSEMENT UNE VÉRITABLE UTILITÉ QUE SOUS D'ANCIENS SYSTÈMES D'EXPLOITATION (TELS QUE MS-DOS), CAR LES SYSTÈMES D'EXPLOITATION RÉCENTS UTILISENT LEUR PROPRE GESTIONNAIRE DE DISQUE DUR, CE QUI REND CE GESTIONNAIRE OBSOLÈTE.

FONCTIONNEMENT DU DISQUE DUR

ON APPELLE ENFIN **CLUSTER** (OU EN FRANÇAIS UNITÉ D'ALLOCATION) LA ZONE MINIMALE QUE PEUT OCCUPER UN FICHIER SUR LE DISQUE. EN EFFET LE SYSTÈME D'EXPLOITATION EXPLOITE DES **BLOCS QUI SONT EN FAIT PLUSIEURS SECTEURS (ENTRE 1 ET 16 SECTEURS)**. UN FICHIER DEVRA DONC OCCUPER PLUSIEURS SECTEURS (UN CLUSTER). SUR LES ANCIENS DISQUES DURS, L'ADRESSAGE SE FAISAIT AINSI DE MANIÈRE PHYSIQUE EN DÉFINISSANT LA POSITION DE LA DONNÉE PAR LES COORDONNÉES CYLINDRE / TÊTE / SECTEUR (EN ANGLAIS **CHS POUR CYLINDER / HEAD / SECTOR**).

FONCTIONNEMENT DU DISQUE DUR

ON APPELLE **CYLINDRE** L'ENSEMBLE DES DONNÉES SITUÉES SUR UNE MÊME PISTE SUR DES PLATEAUX DIFFÉRENTS (C'EST-À-DIRE À LA VERTICALE LES UNES DES AUTRES) CAR CELA FORME DANS L'ESPACE UN "CYLINDRE" DE DONNÉES.



CARACTÉRISTIQUES TECHNIQUES

- **CAPACITÉ : VOLUME DE DONNÉES POUVANT ÊTRE STOCKÉES SUR LE DISQUE.**
- **TAUX DE TRANSFERT (OU DÉBIT) : QUANTITÉ DE DONNÉES POUVANT ÊTRE LUES OU ÉCRITES SUR LE DISQUE PAR UNITÉ DE TEMPS. IL S'EXPRIME EN BITS PAR SECONDE.**
- **VITESSE DE ROTATION : VITESSE À LAQUELLE LES PLATEAUX TOURNENT, EXPRIMÉE EN TOURS PAR MINUTES (NOTÉS RPM POUR ROTATIONS PAR MINUTE). LA VITESSE DES DISQUES DURS EST DE L'ORDRE DE 7200 À 15000 RPM. PLUS LA VITESSE DE ROTATION D'UN DISQUE EST ÉLEVÉE MEILLEUR EST LE DÉBIT DU DISQUE. EN REVANCHE, UN DISQUE POSSÉDANT UNE VITESSE DE ROTATION ÉLEVÉ EST GÉNÉRALEMENT PLUS BRUYANT ET CHAUFFE PLUS FACILEMENT.**
- **TEMPS DE LATENCE (AUSSI APPELÉ DÉLAI ROTATIONNEL) : TEMPS ÉCOULÉ ENTRE LE MOMENT OÙ LE DISQUE TROUVE LA PISTE ET LE MOMENT OÙ IL TROUVE LES DONNÉES.**
- **TEMPS D'ACCÈS MOYEN : TEMPS MOYEN QUE MET LA TÊTE POUR SE POSITIONNER SUR LA BONNE PISTE ET ACCÉDER À LA DONNÉE. IL PRÉSENTE DONC LE TEMPS MOYEN QUE MET LE DISQUE ENTRE LE MOMENT OÙ IL A REÇU L'ORDRE DE FOURNIR DES DONNÉES ET LE MOMENT OÙ IL LES FOURNIT RÉELLEMENT. IL DOIT AINSI ÊTRE LE PLUS COURT POSSIBLE.**

CARACTÉRISTIQUES TECHNIQUES

- **DENSITÉ RADIALE : NOMBRE DE PISTES PAR POUCE (TPI: TRACK PER INCH).**
- **DENSITÉ LINÉAIRE : NOMBRE DE BITS PAR POUCE SUR UNE PISTE DONNÉE (BPI: BIT PER INCH).**
- **DENSITÉ SURFACIQUE : RAPPORT DE LA DENSITÉ LINÉAIRE SUR LA DENSITÉ RADIALE** (S'EXPRIME EN BITS PAR POUCE CARRÉ).
- **MÉMOIRE CACHE (OU MÉMOIRE TAMON) : QUANTITÉ DE MÉMOIRE EMBARQUÉE SUR** LE DISQUE DUR. LA MÉMOIRE CACHE PERMET DE CONSERVER LES DONNÉES AUXQUELLES LE DISQUE ACCÈDE LE PLUS SOUVENT AFIN D'AMÉLIORER LES PERFORMANCES GLOBALES ;
- **INTERFACE : IL S'AGIT DE LA CONNECTIQUE DU DISQUE DUR. LES PRINCIPALES INTERFACES** POUR DISQUES DURS SONT LES SUIVANTES :

IDE/ATA ;

SERIAL ATA ;

SCSI ;

IL EXISTE PAR AILLEURS DES BOÎTIERS EXTERNES PERMETTANT DE CONNECTER DES DISQUES DURS EN USB OU FIREWIRE.

EXEMPLE DE CABLE FIREWIRE



DIFFÉRENTS TYPES DE MÉMOIRES DE MASSE

- CD-ROM

LE COMPACT DISC A ÉTÉ INVENTÉ PAR SONY ET PHILIPS EN 1981 AFIN DE CONSTITUER UN SUPPORT AUDIO COMPACT DE HAUTE QUALITÉ PERMETTANT UN ACCÈS DIRECT AUX PISTES NUMÉRIQUES. IL A ÉTÉ OFFICIELLEMENT LANCÉ EN OCTOBRE 1982. EN 1984, LES SPÉCIFICATIONS DU COMPACT DISC ONT ÉTÉ ÉTENDUES AFIN DE LUI PERMETTRE DE STOCKER DES DONNÉES NUMÉRIQUES.

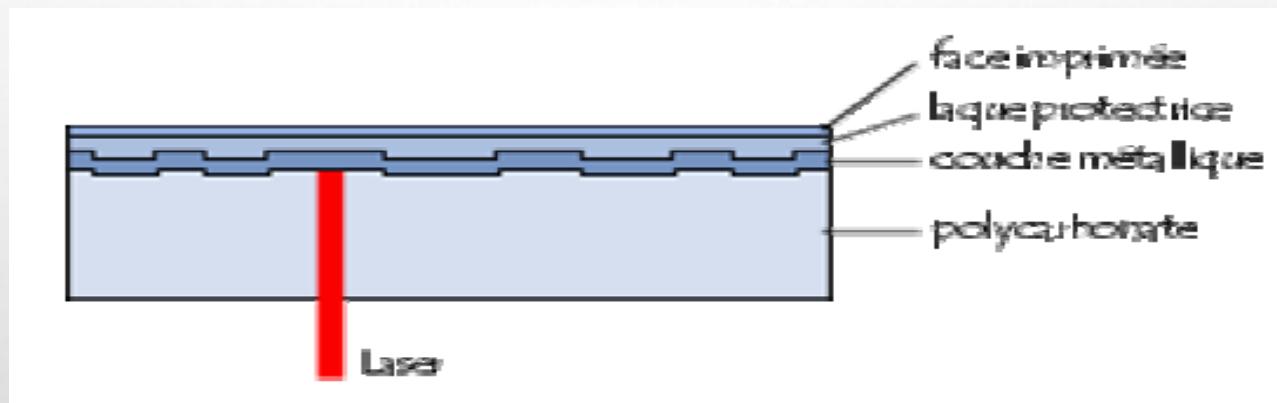
LA GÉOMÉTRIE DU CD

LE CD (COMPACT DISC) EST UN DISQUE OPTIQUE DE 12 CM DE DIAMÈTRE ET DE 1.2 MM D'ÉPAISSEUR (L'ÉPAISSEUR PEUT VARIER DE 1.1 À 1.5 MM) PERMETTANT DE STOCKER DES INFORMATIONS NUMÉRIQUES, C'EST-À-DIRE CORRESPONDANT À 650 MO DE DONNÉES INFORMATIQUES (SOIENT 300 000 PAGES DACTYLOGRAPHIÉES) OU BIEN JUSQU'À 74 MINUTES DE DONNÉES AUDIO. UN TROU CIRCULAIRE DE 15 MM DE DIAMÈTRE EN SON MILIEU PERMET DE LE CENTRER SUR LA PLATINE DE LECTURE.

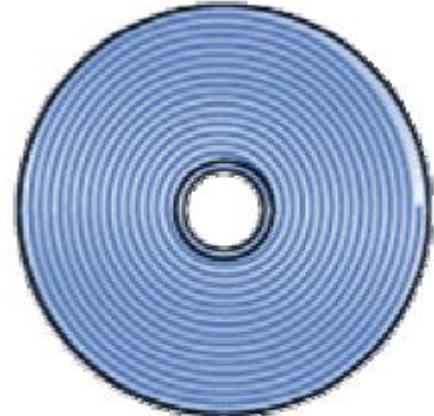
LA COMPOSITION DU CD

LE CD EST CONSTITUÉ D'UN SUBSTRAT EN MATIÈRE PLASTIQUE (POLYCARBONATE) ET D'UNE FINE PELLICULE MÉTALLIQUE RÉFLÉCHISSANTE (ALLIAGE D'ARGENT). LA COUCHE RÉFLÉCHISSANTE EST RECOUVERTE D'UNE LAQUE ANTI-UV CRÉANT UN FILM PROTECTEUR POUR LES DONNÉES. ENFIN, UNE COUCHE SUPPLÉMENTAIRE PEUT ÊTRE AJOUTÉE AFIN D'OBTENIR UNE FACE SUPÉRIEURE IMPRIMÉE.

LA COMPOSITION DU CD



LA COMPOSITION DU CD



- LA COUCHE RÉFLÉCHISSANTE POSSÈDE DE PETITES ALVÉOLES QUI TOUCHES LA COUCHE MÉTALLIQUE. AINSI LORSQUE LE LASER TRAVERSE LE SUBSTRAT DE POLYCARBONATE, LA LUMIÈRE EST RÉFLÉCHIE SUR LA COUCHE RÉFLÉCHISSANTE, SAUF LORSQUE LE LASER PASSE SUR UNE ALVÉOLE, C'EST CE QUI PERMET DE CODER L'INFORMATION.

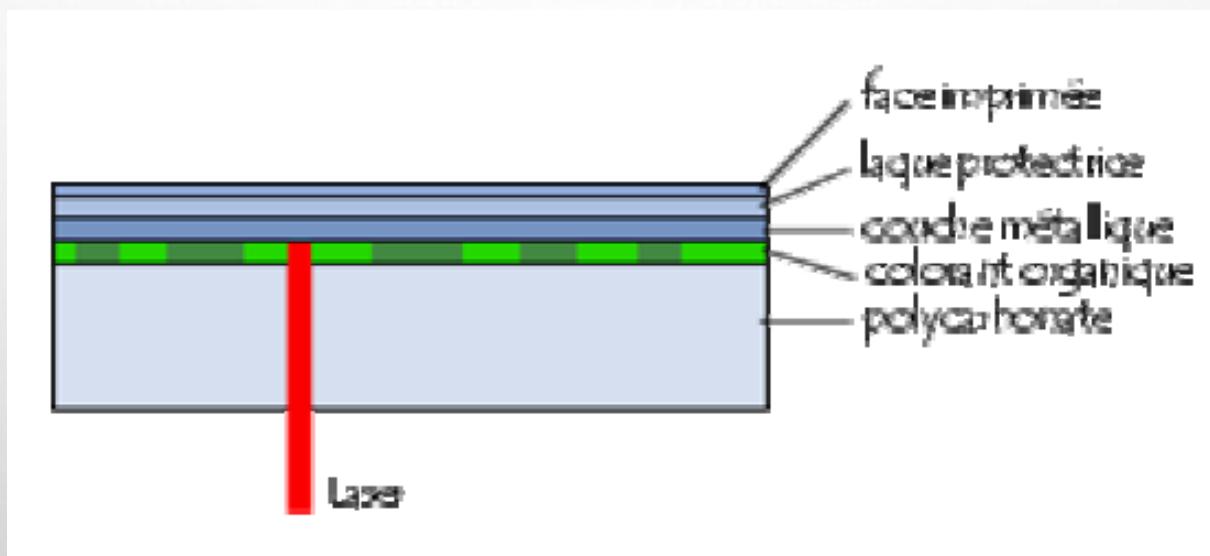
CES INFORMATIONS SONT STOCKÉES SUR 22188 PISTES GRAVÉES EN SPIRALES (IL S'AGIT EN RÉALITÉ D'UNE SEULE PISTE CONCENTRIQUE).

FONCTIONNEMENT DU CD ROM

- LES CD ACHETÉS DANS LE COMMERCE SONT PRESSÉS, C'EST-À-DIRE QUE LES ALVÉOLES SONT RÉALISÉES GRÂCE À DU PLASTIQUE INJECTÉ DANS UN MOULE CONTENANT LE MOTIF INVERSE.

UNE COUCHE MÉTALLIQUE EST ENSUITE COULÉE SUR LE SUBSTRAT EN POLYCARBONATE, ET CETTE COUCHE MÉTALLIQUE EST ELLE-MÊME PRISE SOUS UNE COUCHE PROTECTRICE. LES **CD VIERGES PAR CONTRE (CD-R) POSSÈDENT UNE COUCHE SUPPLÉMENTAIRE (SITUÉE ENTRE LE SUBSTRAT ET LA COUCHE MÉTALLIQUE)** COMPOSÉE D'UN COLORANT ORGANIQUE (EN ANGLAIS DYE) POUVANT ÊTRE MARQUÉ (*LE TERME BRÛLER EST SOUVENT UTILISÉ*) PAR UN LASER DE FORTE PUSSANCE (10 FOIS CELLE NÉCESSAIRE POUR LA LECTURE). C'EST DONC LA COUCHE DE COLORANT QUI PERMET D'ABSORBER OU NON LE FAISCEAU DE LUMIÈRE ÉMIS PAR LE LASER.

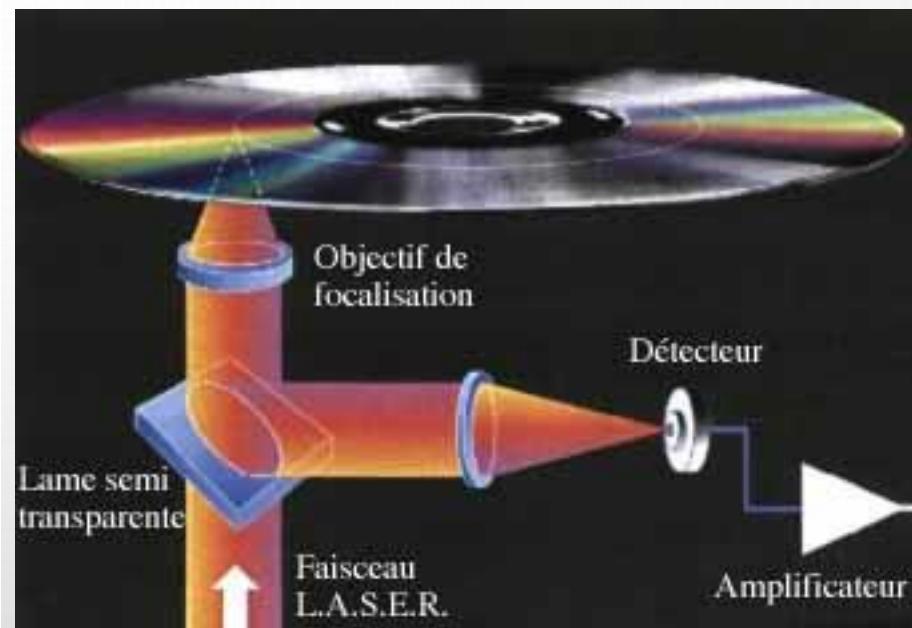
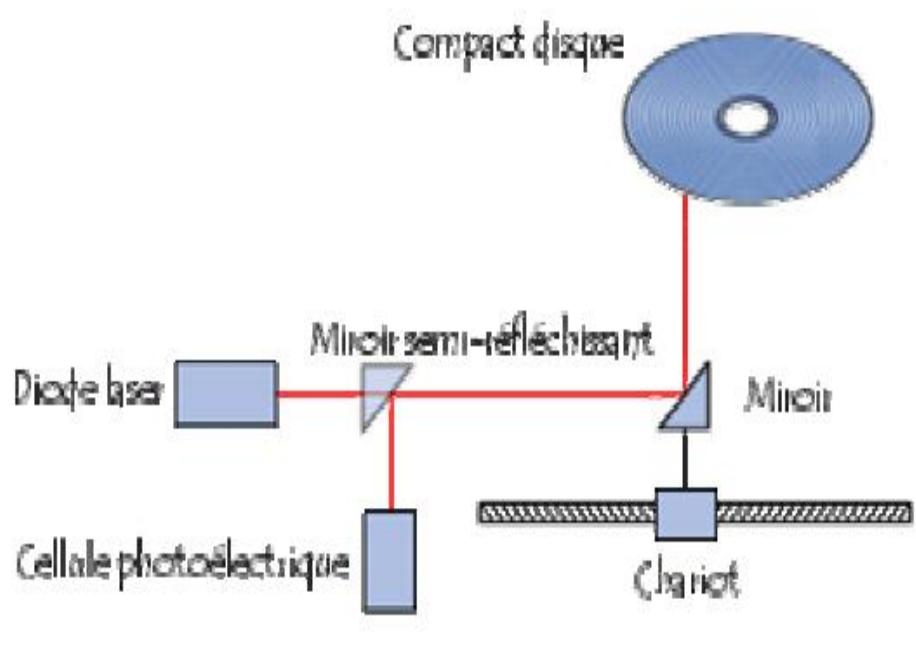
FONCTIONNEMENT DU CD ROM



FONCTIONNEMENT

LA TÊTE DE LECTURE EST COMPOSÉ D'UN LASER (*LIGHT AMPLIFICATION BY STIMULATED EMISSION OF RADIATION*) ÉMETTANT UN FAISCEAU LUMINEUX ET D'UNE CELLULE PHOTOÉLECTRIQUE CHARGÉE DE CAPTER LE RAYON RÉFLÉCHI. LE LASER UTILISÉ PAR LES LECTEURS DE CD EST UN LASER INFRAROUGE (POSSÉDANT UNE LONGUEUR D'ONDE DE 780 NM) CAR IL EST COMPACT ET PEU COÛTEUX. UNE LENTILLE SITUÉE À PROXIMITÉ DU CD FOCALISE LE FAISCEAU LASER SUR LES ALVÉOLES. UN MIROIR SEMI RÉFLÉCHISSANT PERMET À LA LUMIÈRE RÉFLÉCHIE D'ATTEINDRE LA CELLULE PHOTOÉLECTRIQUE, COMME EXPLIQUÉ SUR LE DESSIN SUIVANT :

FONCTIONNEMENT DU CD ROM



FONCTIONNEMENT DU CD ROM

UN CHARIOT EST CHARGÉ DE DÉPLACER LE MIROIR DE FAÇON À PERMETTRE À LA TÊTE DE LECTURE D'ACCÉDER À L'INTÉGRALITÉ DU CD-ROM. ON DISTINGUE GÉNÉRALEMENT DEUX MODES DE FONCTIONNEMENT POUR LA LECTURE DE CD :

LA LECTURE À **VITESSE LINÉAIRE CONSTANTE (NOTÉE CLV SOIT CONSTANT LINEAR VELOCITY)**. IL S'AGIT DU MODE DE FONCTIONNEMENT DES PREMIERS LECTEURS DE CD-ROM, BASÉ SUR LE FONCTIONNEMENT DES LECTEURS DE CD AUDIO. LORSQU'UN DISQUE TOURNE, LA VITESSE DES PISTES SITUÉES AU CENTRE EST MOINS IMPORTANTE QUE CELLE DES PISTES SITUÉES SUR L'EXTÉRIEUR, AINSI IL EST NÉCESSAIRE D'ADAPTER LA VITESSE DE LECTURE (DONC LA VITESSE DE ROTATION DU DISQUE) EN FONCTION DE LA POSITION RADIALE DE LA TÊTE DE LECTURE. AVEC CE PROCÉDÉ LA DENSITÉ D'INFORMATION EST LA MÊME SUR TOUT LE SUPPORT, IL Y A DONC UN GAIN DE CAPACITÉ.

FONCTIONNEMENT DU CD ROM

LES LECTEURS DE CD AUDIO POSSÈDENT UNE VITESSE LINÉAIRE COMPRISE ENTRE 1.2 ET 1.4 M/S. LA **LECTURE À VITESSE DE ROTATION ANGULAIRE CONSTANTE (NOTÉE CAV POUR CONSTANT ANGULAR VELOCITY)** CONSISTE À AJUSTER LA DENSITÉ DES INFORMATIONS SELON L'ENDROIT OÙ ELLES SE TROUVENT AFIN D'OBTENIR LE MÊME DÉBIT À VITESSE DE ROTATION ÉGALE EN N'IMPORTE QUEL POINT DU DISQUE. CELA CRÉE DONC UNE FAIBLE DENSITÉ DE DONNÉES À LA PÉRIPHÉRIE DU DISQUE ET UNE FORTE DENSITÉ EN SON CENTRE.

LA VITESSE DE LECTURE DU LECTEUR DE CD-ROM CORRESPONDAIT À L'ORIGINE À LA VITESSE DE LECTURE D'UN CD AUDIO, C'EST-À-DIRE UN DÉBIT DE 1X ÉQUIVALENT À 150 KO/S. CETTE VITESSE A PAR LA SUITE ÉTÉ PRISE COMME RÉFÉRENCE ET NOTÉE 1X. **LES GÉNÉRATION SUIVANTES DE** LECTEURS DE CD-ROM ONT ÉTÉ CARACTÉRISÉES PAR DES MULTIPLES DE CETTE VALEUR. LE TABLEAU SUIVANT DONNE LES ÉQUIVALENCES ENTRE LES MULTIPLES DE 1X ET LE DÉBIT :

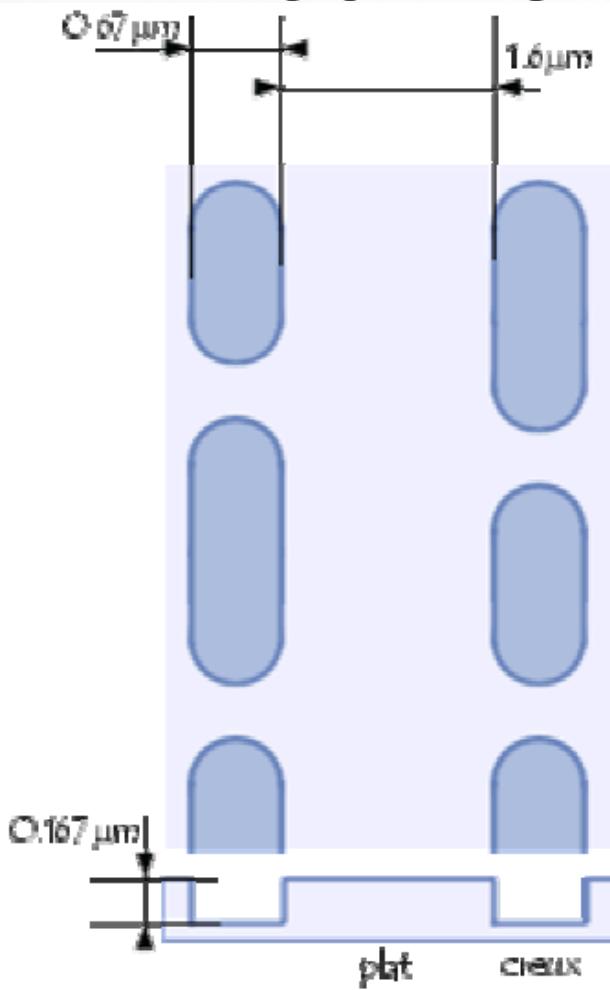
FONCTIONNEMENT DU CD ROM

	Débit	Temps de réponse
1x	150 ko/s	400 à 600 ms
2x	300 ko/s	200 à 400 ms
3x	450 ko/s	180 à 240 ms
4x	600 ko/s	150 à 220 ms
6x	900 ko/s	140 à 200 ms
8x	1200 ko/s	120 à 180 ms
10x	1500 ko/s	100 à 160 ms
12x	1800 ko/s	90 à 150 ms
16x	2400 ko/s	80 à 120 ms
20x	3000 ko/s	75 à 100 ms
24x	3600 ko/s	70 à 90 ms
32x	4500 ko/s	70 à 90 ms
40x	6000 ko/s	60 à 80 ms
52x	7800 ko/s	60 à 80 ms

LE CODAGE DES INFORMATIONS

LA PISTE PHYSIQUE EST EN FAIT CONSTITUÉE D'ALVÉOLES D'UNE PROFONDEUR DE 0,168MM, D'UNE LARGEUR DE 0,67UM ET DE LONGUEUR VARIABLE. LES PISTES PHYSIQUES SONT ÉCARTÉES ENTRE ELLES D'UNE DISTANCE D'ENVIRON 1.6MM. ON NOMME CREUX (EN ANGLAIS PIT) LE FOND DE L'ALVÉOLE ET ON NOMME PLAT (EN ANGLAIS LAND) LES ESPACES ENTRE LES ALVÉOLES.

LE CODAGE DES INFORMATIONS



LE CODAGE DES INFORMATIONS

LE LASER UTILISÉ POUR LIRE LES CD A UNE LONGUEUR D'ONDE DE 780 NM DANS L'AIR. OR L'INDICE DE RÉFRACTION DU POLYCARBONATE ÉTANT ÉGAL À 1.55, LA LONGUEUR D'ONDE DU LASER DANS LE POLYCARBONATE VAUT $780 / 1.55 = 503\text{NM}$.

LA PROFONDEUR DE L'ALVÉOLE CORRESPOND DONC À UN QUART DE LA LONGUEUR D'ONDE DU FAISCEAU LASER, SI BIEN QUE L'ONDE SE RÉFLÉCHISSANT DANS LE CREUX PARCOURT UNE MOITIÉ DE LONGUEUR D'ONDE DE PLUS (UN QUART À L'ALLER PLUS UN QUART AU RETOUR) QUE CELLE SE RÉFLÉCHISSANT SUR LE PLAT.

STRUCTURE LOGIQUE

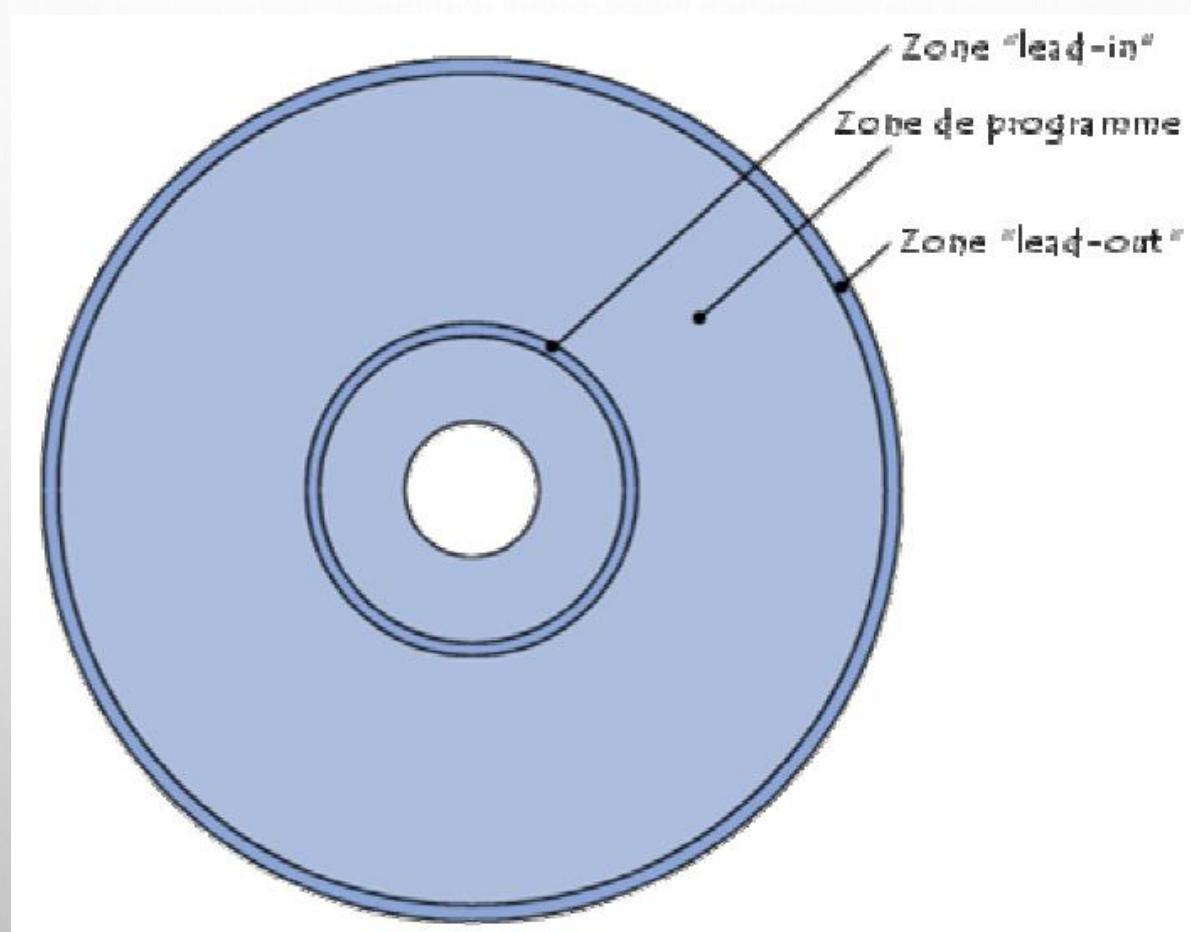
UN CD-R, QU'IL SOIT AUDIO OU *CD-ROM*, EST GÉNÉRALEMENT CONSTITUÉ, DE TROIS ZONES CONSTITUANT LA ZONE D'INFORMATION (*INFORMATION AREA*) : LA ZONE **LEAD-IN AREA** (PARFOIS NOTÉE *LIA*) **CONTENANT UNIQUEMENT DES** INFORMATIONS DÉCRIVANT LE CONTENU DU SUPPORT (CES INFORMATIONS SONT STOCKÉES DANS LA **TOC, TABLE OF CONTENTS**). **LA ZONE LEAD-IN S'ÉTEND DU RAYON 23 MM AU RAYON 25 MM.** CETTE TAILLE EST IMPOSÉE PAR LE BESOIN DE POUVOIR STOCKER DES INFORMATIONS CONCERNANT UN MAXIMUM DE 99 PISTES. LA ZONE *LEAD-IN* SERT AU LECTEUR DE CD À SUIVRE LES CREUX EN SPIRALE AFIN DE SE SYNCHRONISER AVEC LES DONNÉES PRÉSENTES DANS LA ZONE *PROGRAMME*

STRUCTURE LOGIQUE

LA ZONE PROGRAMME (*PROGRAM AREA*) EST LA ZONE CONTENANT LES DONNÉES. ELLE COMMENCE À PARTIR D'UN RAYON DE 25 MM, S'ÉTEND JUSQU'À UN RAYON DE 58MM ET PEUT CONTENIR L'ÉQUIVALENT DE 76 MINUTES DE DONNÉES. LA ZONE PROGRAMME PEUT CONTENIR UN MAXIMUM DE 99 PISTES (OU SESSIONS).

LA ZONE LEAD-OUT (*PARFOIS NOTÉE LOA*) CONTENANT DES DONNÉES NULLES (*DU SILENCE POUR UN CD AUDIO*) MARQUE LA FIN DU CD. ELLE COMMENCE AU RAYON 58 MM ET DOIT MESURER AU MOINS 0.5 MM D'ÉPAISSEUR (RADIALEMENT). LA ZONE LEAD-OUT DOIT AINSI CONTENIR AU MINIMUM 6750 SECTEURS, SOIT 90 SECONDES DE SILENCE À LA VITESSE MINIMALE (1X).

STRUCTURE LOGIQUE



STRUCTURE LOGIQUE

UN CD-R CONTIENT, EN PLUS DES TROIS ZONES DÉCRITES CI-DESSUS, UNE ZONE APPELÉE *PCA* (*POWER CALIBRATION AREA*) ET UNE ZONE *PMA* (*PROGRAM MEMORY AREA*) CONSTITUANT À ELLES DEUX UNE ZONE APPELÉ *SUA* (*SYSTEM USER AREA*).

LA *PCA* PEUT ÊTRE VUE COMME UNE ZONE DE TEST POUR LE LASER AFIN DE LUI PERMETTRE D'ADAPTER SA PUISSANCE AU TYPE DE SUPPORT. C'EST GRÂCE À CETTE ZONE QU'EST POSSIBLE LA COMMERCIALISATION DE SUPPORTS VIERGES UTILISANT DES COLORANTS ORGANIQUES ET DES COUCHES RÉFLÉCHISSANTES DIFFÉRENTS. A CHAQUE CALIBRATION, LE GRAVEUR NOTE QU'IL A EFFECTUÉ UN ESSAI. UN MAXIMUM DE 99 ESSAIS PAR MEDIA EST AUTORISÉ.

CARACTÉRISTIQUES TECHNIQUES

UN LECTEUR CD-ROM EST CARACTÉRISÉ PAR LES ÉLÉMENTS SUIVANTS :

- **VITESSE:** LA VITESSE EST CALCULÉE PAR RAPPORT À LA VITESSE D'UN LECTEUR DE CD-AUDIO (150 KO/S). UN LECTEUR ALLANT À 3000KO/S SERA QUALIFIÉ DE 20X (20 FOIS PLUS RAPIDE QU'UN LECTEUR 1X).
- **TEMPS D'ACCÈS :** IL PRÉSENTE LE TEMPS MOYEN POUR ALLER D'UNE PARTIE DU CD À UNE AUTRE.
- **INTERFACE :** ATAPI (IDE) OU SCSI ;

BUS D'EXTENSION

ON APPELLE *BUS D'EXTENSION* (PARFOIS *BUS DE PÉRIPHÉRIQUE* OU EN ANGLAIS *EXPANSION BUS*) LES BUS POSSÉDANT DES CONNECTEURS PERMETTANT D'AJOUTER DES CARTES D'EXTENSION (PÉRIPHÉRIQUES) À L'ORDINATEUR. IL EXISTE DIFFÉRENTS TYPES DE BUS INTERNES NORMALISÉS CARACTÉRISÉS PAR :

- LEUR FORME,
- LE NOMBRE DE BROCHES DE CONNEXION,
- LE TYPE DE SIGNAUX (FRÉQUENCE, DONNÉES, ETC).

LE BUS ISA

LA VERSION ORIGINALE DU **BUS ISA (INDUSTRY STANDARD ARCHITECTURE)**, APPARUE EN 1981 AVEC LE PC XT, ÉTAIT UN BUS D'UNE LARGEUR DE 8 BITS CADENCÉ À UNE FRÉQUENCE DE 4,77 MHZ.

EN 1984, AVEC L'APPARITION DU PC AT (PROCESSEUR INTEL 286), LA LARGEUR DU BUS EST PASSÉE À 16 BITS ET LA FRÉQUENCE SUCCESSIVEMENT DE 6 À 8 MHZ, PUIS FINALEMENT 8,33 MHZ, OFFRANT AINSI UN DÉBIT THÉORIQUE MAXIMAL DE 16 MO/S

LE BUS ISA PERMETTAIT LE **BUS MASTERING**, C'EST-À-DIRE QU'IL PERMETTAIT DE COMMUNIQUER DIRECTEMENT AVEC LES AUTRES PÉRIPHÉRIQUES SANS PASSER PAR LE PROCESSEUR. UNE DES CONSÉQUENCES DU BUS MASTERING EST L'**ACCÈS DIRECT À LA MÉMOIRE (DMA, POUR DIRECT MEMORY ACCESS)**. TOUTEFOIS LE BUS ISA NE PERMETTAIT D'ADRESSER QUE LES 16 PREMIERS MÉGAOCTETS DE LA MÉMOIRE VIVE.

JUSQU'À LA FIN DES ANNÉES 1990 LE BUS ISA ÉQUIPAIT LA QUASI-TOTALITÉ DES ORDINATEURS DE TYPE PC, PUIS IL A ÉTÉ PROGRESSIVEMENT REMPLACÉ PAR LE BUS PCI, OFFRANT DE MEILLEURES PERFORMANCES.

LE BUS ISA



Connecteur ISA 16 bits :



LE BUS MCA

LE BUS MCA (MICRO CHANNEL ARCHITECTURE) EST UN BUS PROPRIÉTAIRE AMÉLIORÉ CONÇU PAR IBM EN 1987 AFIN D'ÉQUIPER LEUR GAMME D'ORDINATEURS PS/2. CE BUS, D'UNE LARGEUR DE 16 ET 32 BITS, ÉTAIT INCOMPATIBLE AVEC LE BUS ISA ET PERMETTAIT D'OBTENIR UN TAUX DE TRANSFERT DE 20 MO/S.

LE BUS EISA

LE BUS EISA (*EXTENDED INDUSTRY STANDARD ARCHITECTURE*), A ÉTÉ MIS AU POINT EN 1988 PAR UN CONSORCIOUM DE SOCIÉTÉS (AST, COMPAQ, EPSON, HEWLETT-PACKARD, NEC, OLIVETTI, TANDY, WYSE ET ZENITH), AFIN DE CONCURRENCER LE BUS PROPRIÉTAIRE MCA LANCÉ PAR IBM L'ANNÉE PRÉCÉDENTE. LE BUS EISA UTILISAIT DES CONNECTEURS DE MÊME DIMENSION QUE LE CONNECTEUR ISA, MAIS AVEC 4 RANGÉES DE CONTACTS AU LIEU DE 2, PERMETTANT AINSI UN ADRESSAGE SUR 32 BITS.

LES CONNECTEURS EISA ÉTAIENT PLUS PROFONDS ET LES RANGÉES DE CONTACTS SUPPLÉMENTAIRES ÉTAIENT PLACÉES EN DESSOUS DES RANGÉES DE CONTACTS ISA. IL ÉTAIT AINSI POSSIBLE D'ENFICHER UNE CARTE ISA DANS UN CONNECTEUR EISA. ELLE RENTRAIT CEPENDANT MOINS PROFONDÉMENT DANS LE CONNECTEUR (GRÂCE À DES ERGOTS) ET N'UTILISAIT AINSI QUE LES RANGÉES DE CONTACTS SUPÉRIEURES (ISA).

NOTION DE BUS LOCAL

LES BUS D'ENTRÉE-SORTIE TRADITIONNELS, TELS QUE LE BUS ISA, MCA OU EISA, SONT DIRECTEMENT RELIÉS AU BUS PRINCIPAL ET SONT DONC FORCÉS DE FONCTIONNER À LA MÊME FRÉQUENCE, OR CERTAINS PÉRIPHÉRIQUES D'ENTRÉE-SORTIE NÉCESSITENT UNE FAIBLE BANDE PASSANTE TANDIS QUE D'AUTRES ONT BESOIN DE DÉBITS PLUS ÉLEVÉS : IL EXISTE DONC DES **GOULOTS D'ÉTRANGLEMENT SUR LE BUS** (EN ANGLAIS **LE TERME « BOTTLENECK »**, LITTÉRALEMENT « *GOULOT DE BOUTEILLE* » EST COURAMMENT UTILISÉ). AFIN DE REMÉDIER À CE PROBLÈME L'ARCHITECTURE DITE DE « **BUS LOCAL** » (EN ANGLAIS **LOCAL BUS**) PROPOSE DE TIRER PARTIE DE LA VITESSE DU BUS PROCESSSEUR *FSB*(*FRONT SIDE BUS*), AUSSI APPELÉ BUS SYSTÈME OU BUS INTERNE EN S'INTERFAÇANT DIRECTEMENT SUR CE DERNIER.²¹⁰

LE BUS VLB

LE BUS VLB EST AINSI UN BUS 32-BIT PRÉVU INITIALEMENT POUR FONCTIONNER À UNE FRÉQUENCE DE 33 MHZ (FRÉQUENCE DES PREMIERS PC 486 DE L'ÉPOQUE). LE BUS LOCAL VESA A ÉTÉ UTILISÉ SUR LES MODÈLES DE 486 (RESPECTIVEMENT 40 ET 50 MHZ) AINSI QUE SUR LES TOUT PREMIERS PENTIUM, MAIS IL A RAPIDEMENT ÉTÉ REMPLACÉ PAR LE BUS PCI.

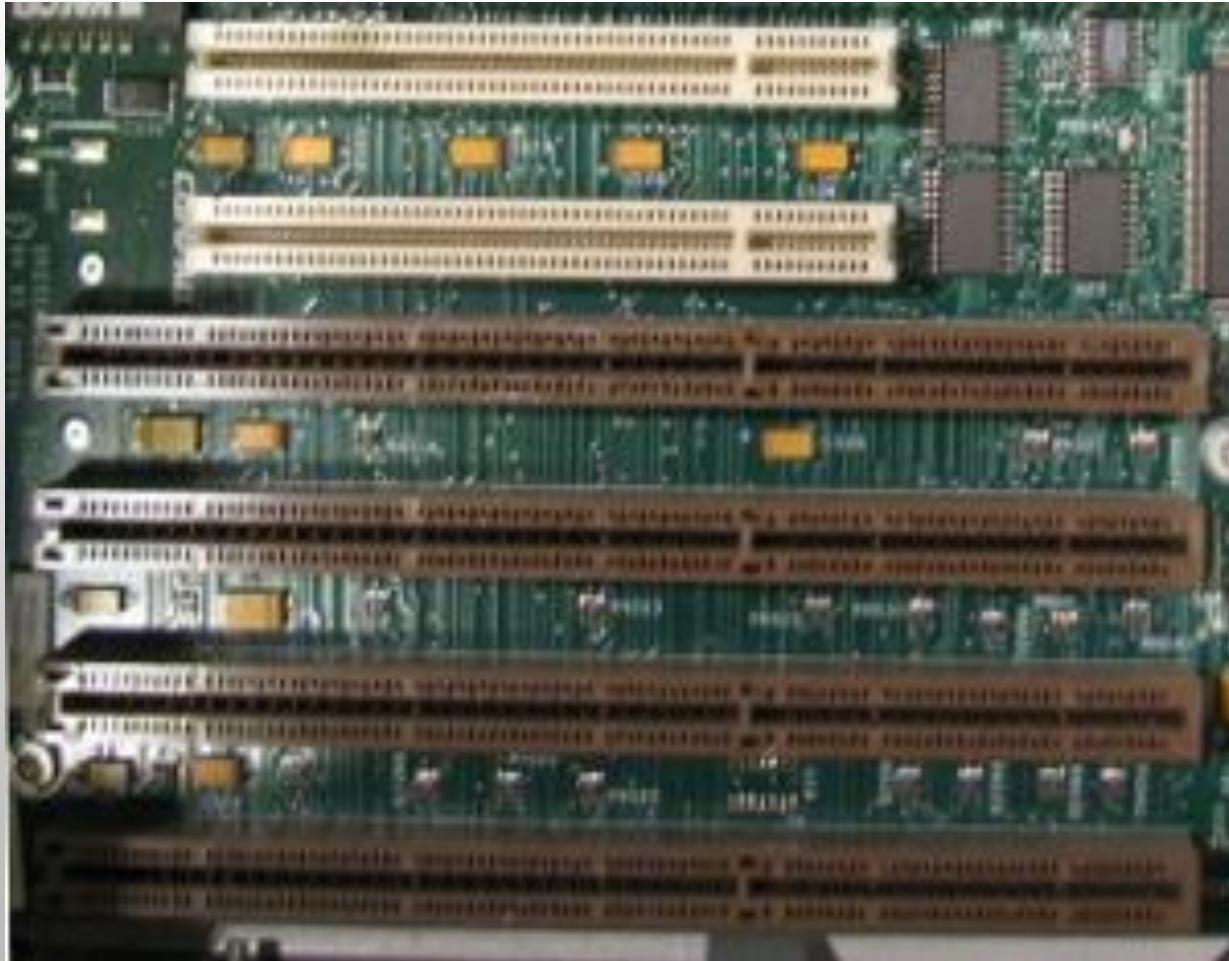
« CONNECTEUR PCI (*PERIPHERAL COMPONENT INTERCONNECT*) : PERMETTANT DE CONNECTER DES CARTES PCI, BEAUCOUP PLUS RAPIDES QUE LES CARTES ISA ET FONCTIONNANT EN 32- BIT »

BUS PCI

LE BUS PCI (PERIPHERAL COMPONENT INTERCONNECT) A ÉTÉ MIS AU POINT PAR INTEL. CONTRAIREMENT AU BUS VLB IL NE S'AGIT PAS À PROPREMENT PARLER D'UN BUS LOCAL MAIS D'UN BUS INTERMÉDIAIRE SITUÉ ENTRE LE BUS PROCESSEUR ET LE BUS D'ENTRES/SORIES(DMA)

LE BUS PCI UTILISE LE DMA (DIRECT MEMORY ACCESS) POUR LE TRANSFERT DE DONNÉES VERS LA RAM OU ENTRE LES CARTES, AVEC QUELQUES LIMITATIONS POUR D'ANCIENS CHIPSET VERS LE PORT AGP QUI UTILISE ÉGALEMENT CETTE TECHNIQUE.

BUS



En haut 2 bus PCI

En bas 4 bus VLB

LES PÉRIPHÉRIQUES D'ENTRÉES ET DE SORTIES

UN ORDINATEUR C'EST UNE MACHINE QUI REÇOIT DES DONNÉES POUR LES STOCKER OU LES TRAITER ET ENSUITE FAIRE RETOURNER CES DONNÉES AUX UTILISATEURS. LES ÉCHANGES DE CES DONNÉES ENTRE L'ORDINATEUR ET L'UTILISATEUR SE FAIT PAR LES PÉRIPHÉRIQUES D'ENTRÉES ET DE SORTIES.

PÉRIPHÉRIQUES D'ENTRÉES:

LES PÉRIPHÉRIQUES D'ENTRÉES SE SONT DES OUTILS QUI AIDENT L'UTILISATEUR À FAIRE ENTRER SES DONNÉES À L'ORDINATEUR. IL EXISTE PLUSIEURS PÉRIPHÉRIQUES D'ENTRÉES, PARMI LESQUELS ON CITE : CARTE MAGNÉTIQUE, LECTEUR OPTIQUE (LECTEUR DES CODES BARRES (UTILISÉ DANS LES SUPER MARCHÉ)), LE CLAVIER, LA SOURIS, LE SCANNER, ETC.

CLAVIER :

LE CLAVIER EST LE PÉRIPHÉRIQUE D'ENTRÉE LE PLUS COMMODE POUR SAISIR DES CARACTÈRES (LETTRES, CHIFFRES, SYMBOLES, ETC), CE DERNIER EST COMPOSÉ DE TROIS PARTIES : PARTIE ALPHANUMÉRIQUE (A,B,C,...), PARTIE NUMÉRIQUE (0,1,...,9), PARTIE FONCTION (ENTER, SHIFT, CTRL,...). LES CLAVIERS SE DIFFÉRENT SELON LE NOMBRE DE LEURS TOUCHES (102 TOUCHES, 105 TOUCHES,...).

PÉRIPHÉRIQUES D'ENTRÉES:

SOURIS:

EN 1964, DOUGLE ENGLEBRAT A CRÉÉ POUR LA PREMIÈRE FOIS DANS L'HISTOIRE UN INDICATEUR DE COORDONNÉES POUR UN SYSTÈME D'AFFICHAGE, DÉNOMMÉ SOURIS EN RAISON DE SA PETITE TAILLE ET DE SON CÂBLE.

LA SOURIS EST UNE PETITE BOITE DE PLASTIQUE AYANT LA FORME D'UNE SOURIS ET C'EST PARMI LES PÉRIPHÉRIQUES D'ENTRÉES LES PLUS IMPORTANT CAR SANS CETTE DERNIÈRE ON NE PEUT PAS SE COMMUNIQUER AVEC LA PLUS PART DES LOGICIELS QUI SE TROUVENT SUR NOTRE ORDINATEUR. LE MOUVEMENT DE LA SOURIS SUR UN PLAN ENTRAÎNE UN DÉPLACEMENT D'UN CURSEUR SUR L'ÉCRAN DE L'ORDINATEUR CE QUI PERMET D'APPLIQUER CERTAINES TÂCHES SUR CE DERNIER.

LA SOURIS COMPREND DE 1 À 4 BOUTONS SUR SA FACE SUPÉRIEURE, CES BOUTONS SONT UTILISÉS POUR SÉLECTIONNER ET D'ACTIVER LES ITEMS DE MENUS OU POUR DÉFILER UN TEXTE, ETC. EN GÉNÉRAL, IL EXISTE 2 TYPES DE SOURIS : SOURIS MÉCANIQUES ET SOURIS OPTIQUES

TYPES DE SOURIS

- SOURIS MÉCANIQUE : IL DISPOSE SOUS SA FACE INFÉRIEURE D'UNE BILLE EN CONTACT AVEC DEUX ROULETTES. LE DÉPLACEMENT DE LA SOURIS, ENTRAÎNE LA ROTATION DE CES ROULETTES CE QUI ENTRAÎNE LE DÉPLACEMENT DU CURSEUR DE LA SOURIS SUR L'ÉCRAN DE L'ORDINATEUR. CE TYPE EST PLUS ANCIEN. IL EST POSSIBLE D'AVOIR UNE SOURIS AVEC OU SANS FIL (DANS CE CAS, IL FAUT BRANCHER UN RÉCEPTEUR SANS FIL SUR UN PORT USB DE L'ORDINATEUR ET LA RECHARGER DE TEMPS EN TEMPS).
- SOURIS OPTIQUE : IL NE CONTIENT NI BILLE NI ROULETTE, ELLE DISPOSE SEULEMENT D'UNE DIODE OPTIQUE DE TYPE LED (LIGHT EMITTING DIODE) ET D'UN PHOTO-DÉTECTEUR SOUS SA FACE INFÉRIEURE. LA SOURIS OPTIQUE DOIT SE DÉPLACER SOUS UNE PLAQUE SPÉCIALE (RÉFLÉCHISSANTE) CONSTITUÉE D'UNE GRILLE RECTANGULAIRE QUI PERMET DE CARACTÉRISER LE DÉPLACEMENT DE CHAQUE DÉPLACEMENT DE LA SOURIS.

PÉRIPHÉRIQUES D'ENTRÉES:

SCANNER :

LE CLAVIER EST UN OUTIL TRÈS EFFICACE POUR SAISIR LES DONNÉES DE TYPE TEXTE OU DES SYMBOLES SIMPLES (+, M,...), MAIS IL EST INCAPABLE DE SAISIR DES INFORMATIONS GRAPHIQUES (DES IMAGES PAR EXEMPLE). ACTUELLEMENT, IL EXISTE PLUSIEURS OUTILS QUI PERMETTENT DE SAISIR DES DONNÉES GRAPHIQUE, ON CITE PARMI CES OUTILS : LE SCANNER, CAMÉRA RELIÉE À UNE CARTE VIDÉO, APPAREIL PHOTO NUMÉRIQUE, ETC.

POUR STOCKER UNE IMAGE SUR UN ORDINATEUR, IL FAUT LA NUMÉRISER, C'EST-À-DIRE LA DÉCOMPOSER EN UN TRÈS GRAND NOMBRE DE VALEURS NUMÉRIQUES, CHAQUE VALEUR NUMÉRIQUE PRÉSENTE TOUTE UNE BANDE DANS L'IMAGE RÉELLE. SCANNER VEUT DIRE NUMÉRISER. LE SCANNER DÉCOMPOSE L'IMAGE EN UN GRAND NOMBRE DE POINTS. POUR CHAQUE POINT LE SCANNER MESURE SA COULEUR QU'EST UNE VALEUR SITUÉE DANS UN INTERVALLE DE VALEURS (PAR EXEMPLE 0,...,16777215).

PÉRIPHÉRIQUES D'ENTRÉES:

LORSQU'ON VEUT SCANNER UN DOCUMENT, LE SCANNER EST ILLUMINÉ PAR UNE LUMIÈRE FLUORESCENTE, ENSUITE LE DOCUMENT REFLETTÉ CETTE LUMIÈRE QU'EST PLUS AU MOINS INTENSE SUIVANT QUE LA ZONE ILLUMINÉE EST PLUS AU MOINS SOMBRE. LA LUMIÈRE REFLETÉE EST REDIRIGÉE À L'AIDE D'UN MIROIR ET UNE LENTILLE FOCALISANTE VERS UNE COMPOSANTE PHOTO-SENSITIVE QUI CONTIENT UNE RANGÉE DE CAPTEURS QUI CONVERTISSENT LA LUMIÈRE REÇUE EN SIGNAUX ÉLECTRIQUES QUI SONT CONVERTIS EN VALEURS NUMÉRIQUES PAR UN CONVERTISSEUR ANALOGIQUE/NUMÉRIQUE.

PARMI LES FACTEURS DE LA QUALITÉ D'UN SCANNER :

- * LA RÉSOLUTION D'ANALYSE EST LE NOMBRE DE POINTS DE L'IMAGE QUI SONT SCANNÉS PAR UNITÉ DE SURFACE, ELLE EST EXPRIMÉE EN POINTS PAR POUCE (DOTS PER INCH). SI CETTE VALEUR EST 300 DPI, ALORS LA RÉSOLUTION EST 300×300 POINTS PAR POUCE² (1 POUCE=2,54CM).
- * LA PROFONDEUR D'ÉCHANTILLONNAGE : ELLE CORRESPOND LE NOMBRE DE COULEURS QUE LE SCANNER EST CAPABLE DE CAPTER. SI CETTE PROFONDEUR EST DE 8 BITS SIGNIFIE QUE LE SCANNER CAPABLE DE DISTINGUER $2^8=256$ NUANCES DE CHAQUE PRIMAIRE, C'EST-À-DIRE LE SCANNER FAIT LA DIFFÉRENCE DE $256^3=16.777.216$ COULEURS.

PÉRIPHÉRIQUES DE SORTIES

LE RÔLE PRINCIPAL D'UN ORDINATEUR EST DE FOURNIR LES RÉSULTATS D'UN TRAITEMENT RÉALISÉ PAR UN UTILISATEUR SUR DES DONNÉES SAISIES PAR CE DERNIER. LES OUTILS QUI PERMETTENT DE RETOURNER CES RÉSULTATS À L'UTILISATEUR SONT APPELÉS PÉRIPHÉRIQUES DE SORTIE. PARMI CES PÉRIPHÉRIQUES, ON CITE : L'ÉCRAN, L'IMPRIMANTE, ETC.

PÉRIPHÉRIQUES DE SORTIES

ECRAN :

L'ÉCRAN DE L'ORDINATEUR (APPELÉ AUSSI MONITEUR) EST LE PÉRIPHÉRIQUE DE SORTIE LE PLUS RÉPONDU. IL PERMET D'AFFICHER DU TEXTE ET DE GRAPHIQUE. EN GÉNÉRAL, IL EXISTE PLUSIEURS TYPES D'ÉCRANS : ÉCRAN À TUBE CATHODIQUE, ÉCRAN PLAT, ETC.

* ECRAN À TUBE CATHODIQUE : CET ÉCRAN CONTIENT UN TUBE CATHODIQUE COMME CELUI DES TÉLÉVISIONS À TUBES CATHODIQUES. CE TYPE D'ÉCRAN EST CARACTÉRISÉ PAR : LA FRÉQUENCE DE BALAYAGE HORIZONTALE ET VERTICALE, LA TAILLE DE SON ÉCRAN (ON PARLE D'ÉCRAN DE 14, 15, 17 POUCES (POUCE=2,54 CM)) ELLE PRÉSENTE LA LONGUEUR DE SON DIAGONAL, FINESSE OU PITCH ELLE INDIQUE LE NOMBRE DE POINTS PAR UNITÉS DE LONGUEUR DE L'ÉCRAN, PLUS LA FINESSE EST GRANDE PLUS L'IMAGE EST PRÉCISE, LA FRÉQUENCE MAXIMALE DE BALAYAGE, ELLE INDIQUE LA FRÉQUENCE DE RAFRAÎCHISSEMENT, PLUS CETTE FRÉQUENCE EST GRANDE PLUS QUE L'IMAGE APPARAÎT PLUS STABLE.

PÉRIPHÉRIQUES DE SORTIES

IMPRIMANTE :

L'ÉCRAN EST LE PÉRIPHÉRIQUE DE SORTIE LE PLUS UTILISÉ DE NOS JOURS, MAIS PARFOIS IL EST NÉCESSAIRE DE DISPOSER D'UNE COPIE DES RÉSULTATS RETOURNÉS SUR ÉCRAN SUR PAPIER (LES FACTURES, LES RAPPORTS, ETC). L'IMPRIMANTE EST L'OUTIL QUI PERMET DE FAIRE CECI. EN GÉNÉRAL, IL EXISTE PLUSIEURS 3 TYPES D'IMPRIMANTES : IMPRIMANTE MATRICIELLE (EN TRAIN DE DISPARAÎTRE), IMPRIMANTE JET D'ENCRE ET IMPRIMANTE LASER.

* IMPRIMANTE MATRICIELLE OU IMPRIMANTE À AIGUILLE: ELLE COMPREND UNE TÊTE CONTENANT UN ENSEMBLE D'AIGUILLES TRÈS FINES ACTIVÉES PAR UN ÉLECTRO-AIMANT ET AGISSANT DE FAÇON SEMBLABLE AUX SOUPAPES D'UN MOTEUR, ENSUITE DES POINTS SONT PROPULSÉS SUR LE RUBAN ENCRÉ. AINSI UNE CARACTÈRE EST OBTENUÉ À L'AIDE D'UNE MATRICE DE POINTS, LE NOMBRE DE LIGNES CORRESPOND AU NOMBRE D'AIGUILLES ET LE NOMBRE DE COLONNES CORRESPOND AU NOMBRE DE DÉPLACEMENT DE LA TÊTE DE L'IMPRIMANTE.

AFIN D'OBTENIR UNE QUALITÉ D'IMPRESSION BONNE, IL FAUT AUGMENTER LE NOMBRE D'AIGUILLES SUR LA TÊTE DE L'IMPRIMANTE, IL EXISTE DES TÊTES À 24 À 36 AIGUILLES.

* IMPRIMANTE LASER OU IMPRIMANTE PAGE : COMME SON NOM INDIQUE, CE TYPE D'IMPRIMANTE A UNE TECHNIQUE D'IMPRESSION PAR PAGE UTILISANT LA MÊME TECHNIQUE QUE CELUI DE PHOTOCOPIEUR.

PÉRIPHÉRIQUES DE SORTIES

- L'IMPRIMANTE LASER EST CONSTITUÉE D'UN TAMBOUR ROTATIF, OU DÉBUT D'IMPRESSION LE TAMBOUR EST PLACÉ DANS UN CHAMP ÉLECTRIQUE DE 100 VOLTS POUR LE RENDRE PHOTOSENSIBLE. ENSUITE CE TAMBOUR EST BALAYÉ LIGNE PAR LIGNE PAR UN FAISCEAU LASER ET CECI GRÂCE À UN MIROIR ROTATIF OCTOGONAL. CE FAISCEAU PRODUIRA UN ENSEMBLE DE POINTS LUMINEUX ET SOMBRES SUR LA SURFACE DU TAMBOUR. ENSUITE LA ROTATION DU TAMBOUR AMÈNE CE DERNIER DEVANT UN RÉSERVOIR DE TONNER QUI EST ATTIRÉ SEULEMENT PAR LES POINTS QUI ONT PERDU LEURS CHARGES ÉLECTRIQUES, ENSUITE CET ENCRE SE TROUVANT SUR CE TAMBOUR SE DÉPOSE SUR LE PAPIER QUI PASSE DANS UN FOUR POUR IMPRÉGNER CET ENCRE SUR LE PAPIER.

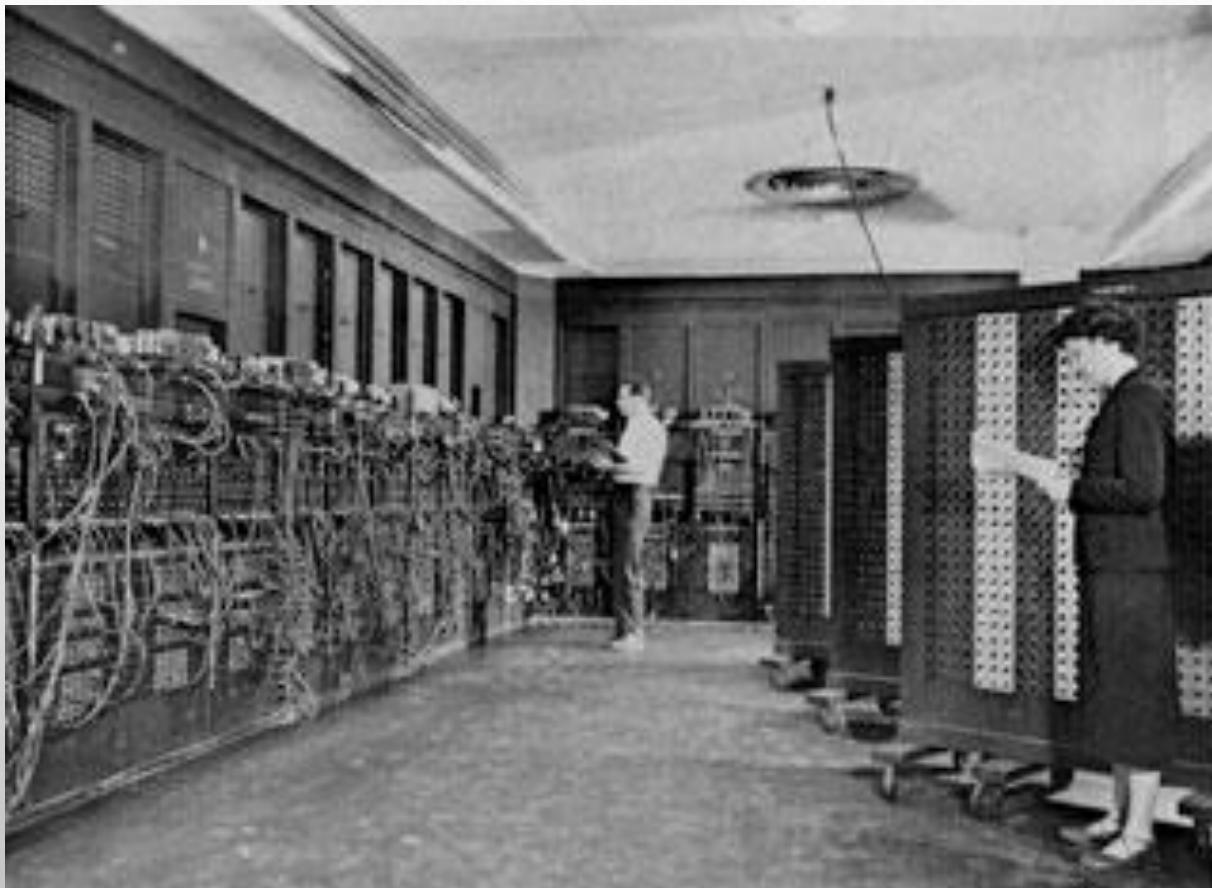
ARCHITECTURE VON NEEMANN

- JOHN VON NEUMANN 1946
 - PROJET ENIAC (*ELECTRONIC NUMERICAL INTEGRATOR AND COMPUTER*) FUT LE PREMIER CALCULATEUR ENTIÈREMENT ÉLECTRONIQUE; DE DIMENSIONS PLUS DE 20M DE LONGUEUR, 2,50M DE HAUTEUR, 30 TONNES. COMPORTANT 18 000 TUBES ÉLECTRONIQUES, IL CONSOMMAIT 150 KW
 - APPLIQUÉS JUSQU'À NOS JOURS

TROIS BLOCS FONCTIONNELS:

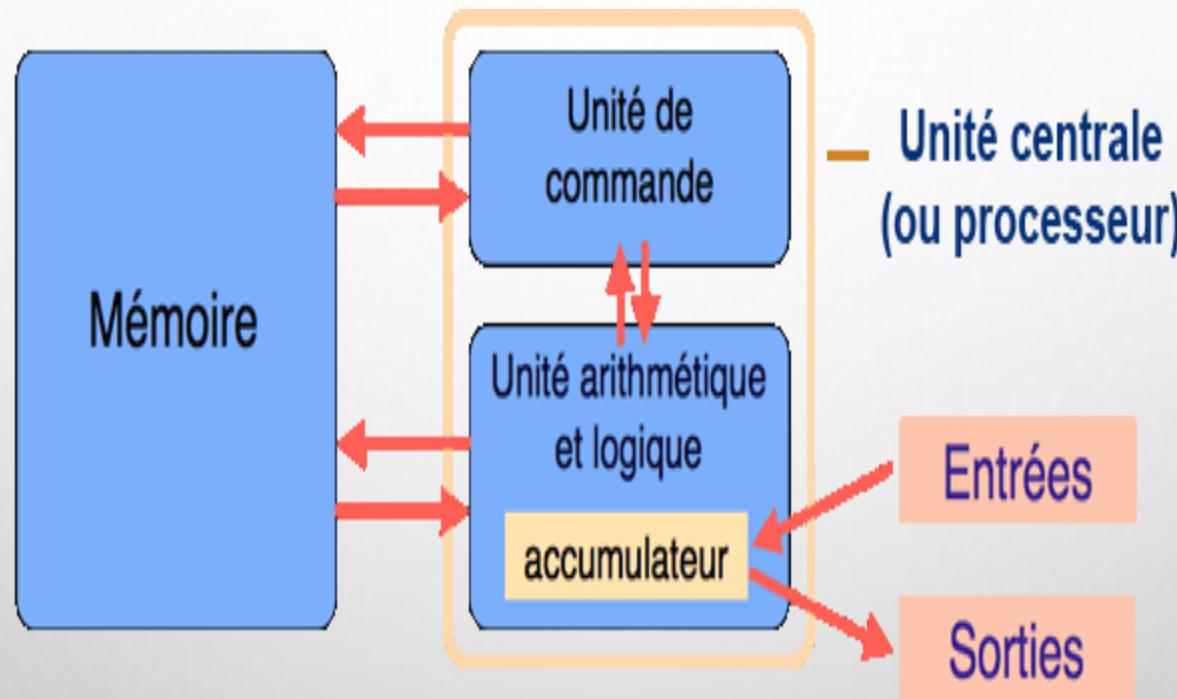
- * LE PROCESSEUR
- * LA MÉMOIRE
- * LE BUS

ARCHITECTURE VON NEEMANN



L'ENIAC

ARCHITECTURE VON NEUMANN



Le modèle original de Von Neumann pour l'architecture des ordinateurs.

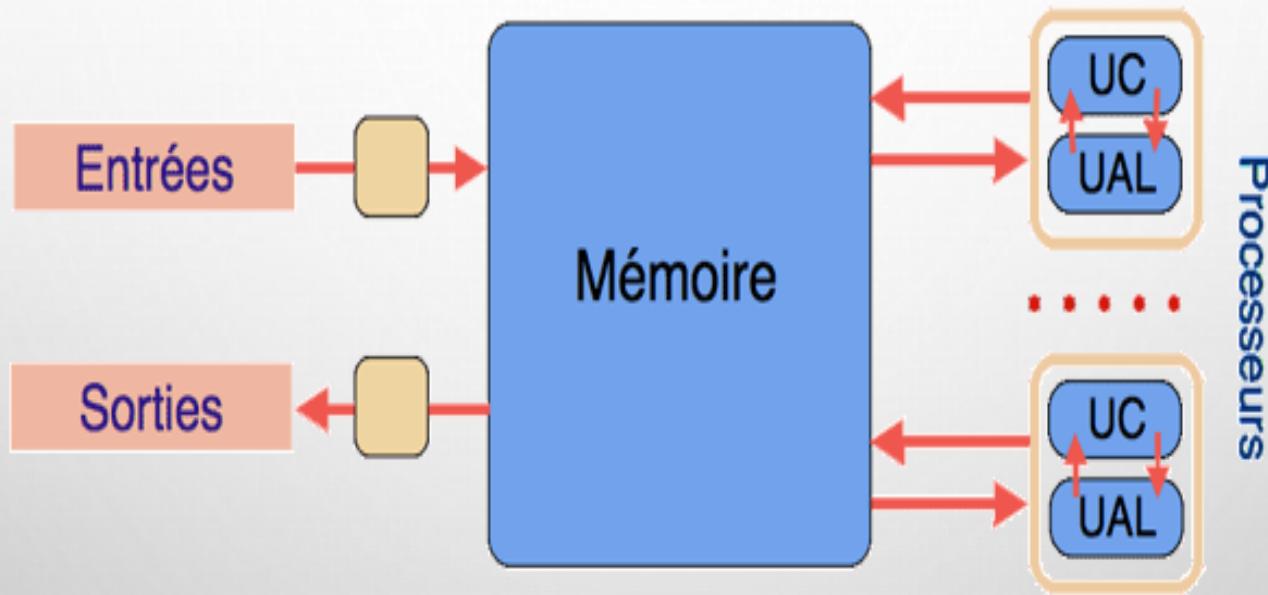
ARCHITECTURE VON NEUMANN

- LA PREMIÈRE INNOVATION EST LA SÉPARATION NETTE ENTRE L'UNITÉ DE COMMANDE, QUI ORGANISE LE FLOT DE SÉQUENCEMENT DES INSTRUCTIONS, ET L'UNITÉ ARITHMÉTIQUE, CHARGÉE DE L'EXÉCUTION PROPREMENT DITE DE CES INSTRUCTIONS. LA SECONDE INNOVATION, LA PLUS FONDAMENTALE, EST L'IDÉE DU PROGRAMME ENREGISTRÉ : LES INSTRUCTIONS, AU LIEU D'ÊTRE CODÉES SUR UN SUPPORT EXTERNE (RUBAN, CARTES, ...), SONT ENREGISTRÉES DANS LA MÉMOIRE SELON UN CODAGE CONVENTIONNEL. UN COMPTEUR ORDINAL CONTIENT L'ADRESSE DE L'INSTRUCTION EN COURS D'EXÉCUTION; IL EST AUTOMATIQUEMENT INCRÉMENTÉ APRÈS EXÉCUTION DE L'INSTRUCTION, ET EXPLICITEMENT MODIFIÉ PAR LES INSTRUCTIONS DE BRANCHEMENT.
- UN EMPLACEMENT DE MÉMOIRE PEUT CONTENIR INDIFFÉREMMENT DES INSTRUCTIONS ET DES DONNÉES, ET UNE CONSÉQUENCE MAJEURE (DONT TOUTE LA PORTÉE N'AVAIT PROBABLEMENT PAS ÉTÉ PERÇUE À L'ÉPOQUE) EST QU'UN PROGRAMME PEUT ÊTRE TRAITÉ COMME UNE DONNÉE PAR D'AUTRES PROGRAMMES.

ARCHITECTURE VON NEUMANN

- PLUS DE 60 ANS APRÈS SON INVENTION, LE MODÈLE D'ARCHITECTURE DE VON NEUMANN RÉGIT TOUJOURS L'ARCHITECTURE DES ORDINATEURS. PAR RAPPORT AU SCHÉMA INITIAL, ON PEUT NOTER DEUX ÉVOLUTIONS.
- LES ENTRÉES-SORTIES, INITIALEMENT COMMANDÉES PAR L'UNITÉ CENTRALE, SONT DEPUIS LE DÉBUT DES ANNÉES 1960 SOUS LE CONTRÔLE DE PROCESSEURS AUTONOMES (CANAUX D'ENTRÉE-SORTIE ET MÉCANISMES ASSIMILÉS). ASSOCIÉE À LA MULTIPROGRAMMATION (PARTAGE DE LA MÉMOIRE ENTRE PLUSIEURS PROGRAMMES), CETTE ORGANISATION A NOTAMMENT PERMIS LE DÉVELOPPEMENT DES SYSTÈMES EN TEMPS PARTAGÉ.
- LES ORDINATEURS COMPORTENT MAINTENANT DES PROCESSEURS MULTIPLES, QU'IL S'AGISSE D'UNITÉS SÉPARÉES OU DE « CŒURS » MULTIPLES À L'INTÉRIEUR D'UNE MÊME PUCE. CETTE ORGANISATION PERMET D'ATTEINDRE UNE PUISSANCE GLOBALE DE CALCUL ÉLEVÉE SANS AUGMENTER LA VITESSE DES PROCESSEURS INDIVIDUELS, LIMITÉE PAR LES CAPACITÉS D'ÉVACUATION DE LA CHALEUR DANS DES CIRCUITS DE PLUS EN PLUS DENSES.

ARCHITECTURE VON NEUMANN



Le modèle de von Neumann, aujourd'hui.