

verilog 语言复习要点

- 1、 模块的写法及仿真的写法、格式
- 2、 硬件描述语言的种类、特点。
- 3、 语言的抽象层次

Verilog 的抽象层次

Verilog 支持在多种不同抽象层次上的设计。其中三种为：

- ◆ 行为级
- ◆ 寄存器传输级
- ◆ 门级

行为级

这个层次上通过并行代数（concurrent algorithms）来描述一个系统。作为算法，本身是一种顺序结构，也就是说它包含着一系列依次顺序执行的指令。

函数、任务以及 Always 块是 Verilog 设计中的主要元素。注意：这里并没有考虑设计的结构化实现。

寄存器传输级（RTL）

寄存器传输级上，通过运算和寄存器间数据的传输来描述电路特性，并使用一个确定的时钟。寄存器传输级包含确切的时间界限，运算定于特定的时间执行。现代 RTL 代码的定义为：任何可以被综合的代码均称为 RTL 代码。

门级

该层次上，系统的描述由逻辑联系及其时间特性组成。所有的信号均为离散信号，他们只能取以下逻辑值：'0','1','X','Z'。可以使用的运算只能是预定义逻辑原语（与、或、非等门电路）。对于任何级别的逻辑设计来说，门级描述都不是一个好的办法。门级描述通常由综合工具自动产生。

- 4、 数据类型
- 5、 存储器建模
- 6、 同步复位、异步复位的关系
- 7、 状态机相关概念及应用
- 8、 双端口声明注意点
- 9、 阻塞与非阻塞的关系及应用
- 10、 结构建模的应用

11、 程序仿真的应用

12、 过程块的区别